

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-104855

(P2012-104855A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 27/12 (2006.01) HO 1 L 27/12 B
 HO 1 L 21/02 (2006.01)

審査請求 有 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2012-14182 (P2012-14182)
 (22) 出願日 平成24年1月26日 (2012. 1. 26)
 (62) 分割の表示 特願2006-527512 (P2006-527512)
 の分割
 原出願日 平成16年9月27日 (2004. 9. 27)
 (31) 優先権主張番号 03/11347
 (32) 優先日 平成15年9月26日 (2003. 9. 26)
 (33) 優先権主張国 フランス (FR)

(71) 出願人 500361216
 ソワテク
 フランス国 3 8 1 9 0 ベルナン、シェ
 マーン・デ・フランク、パルク・テクノ
 ジーク・デ・フォンタン (番地なし)
 (71) 出願人 505083184
 ユニヴェルシテ カトリク ドゥ ルーヴ
 エン
 ベルギー、ルーヴェン-ラーヌーヴ B-
 1 3 4 8, プラス ドゥ リュニヴェルシ
 テ, 1
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和

最終頁に続く

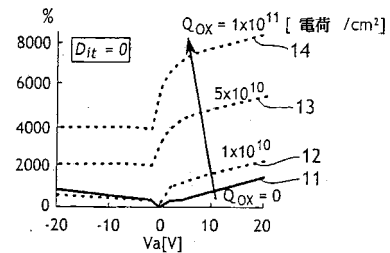
(54) 【発明の名称】 半導体材料製の多層構造を製造するための方法

(57) 【要約】 (修正有)

【課題】 能動層と、支持層と、能動層と支持層間の電気絶縁層とを備える、半導体材料製の多層構造を製造するための方法であって、構造支持層内の電気的損失を最小限に抑えるために、キャリア・トラップの密度および/または電気絶縁層内の電荷を修正する方法を提供する。

【解決手段】 支持層内の電気的損失を最小限に抑えるために電気絶縁層内の電荷が、構造が形成されたあとで構造に適用される加熱処理のパラメーターを調節することによって修正する。

【選択図】 図 1



Q_{BOX}が増大する構造についての、基準点に対するG_{EFF}の相対変動

【特許請求の範囲】

【請求項 1】

能動層と、支持層と、前記能動層と前記支持層の間の電気絶縁層とを備える、半導体材料製の多層構造を製造するための方法であって、

前記方法は、第 1 の基板と第 2 の基板とを接着することを含み、前記第 1 の基板は、前記能動層と前記電気絶縁層とを有し、前記第 2 の基板は、前記支持層を有し、

前記方法は、前記支持層内の電氣的損失を最小限に抑える修正を備え、

前記修正は、

前記多層構造の前記電気絶縁層内の電荷を減少させること、および、

前記修正が、前記電気絶縁層と前記電気絶縁層の下の前記支持層との間の界面で、キャリア・トラップの密度を増大すること、を含み、

前記キャリア・トラップは、前記多層構造に存在する固定電荷により運動させられている電荷を捕らえる電氣的なトラップであり、

前記キャリア・トラップの密度を増大させることは、前記第 1 と第 2 の基板が接着される前に、前記第 2 の基板の表面領域をエッチングすることを含む

ことを特徴とする方法。

10

【請求項 2】

前記能動層が、前記支持層の抵抗率より低い前記抵抗率を有するように選択されることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記支持層がシリコン製であり、前記キャリア・トラップの密度を増大することは、前記第 1 の基板と前記第 2 の基板との接着の前に、窒化酸化物の中間層を前記第 2 の基板上に堆積する

ことを特徴とする請求項 1 または 2 に記載の方法。

20

【請求項 4】

前記多層構造の前記電気絶縁層内の電荷を減少させることは、前記第 1 と第 2 の基板が接着される前に、前記第 1 の基板内で行われる注入のドーズ量を調整することを含む

ことを特徴とする請求項 1 から請求項 3 のいずれか一項に記載の方法。

【請求項 5】

前記注入は、プロセスの弱注入に相当し、前記プロセスにおいて、前記第 1 の基板は、酸化表面を介して注入が行われる前に酸化される表面を有する単結晶シリコン基板であり、前記第 2 の基板は、前記第 1 の基板に接着される補強材になり、前記第 1 の基板は、前記注入で画定された厚さを有する弱領域で分離され、結果として前記多層構造になる

ことを特徴とする請求項 4 に記載の方法。

30

【請求項 6】

前記多層構造の前記電気絶縁層内の電荷を減少させることは、前記第 1 の基板の表面上で前記電気絶縁層を作成するための、前記第 1 の基板上で行われる熱酸化の、温度および/または温度変動、ガス組成、アニール時間を調整することを含むことを特徴とする請求項 1 から請求項 5 のいずれか一項に記載の方法。

【請求項 7】

前記多層構造が S O I であることを特徴とする請求項 1 から請求項 6 のいずれか一項に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、能動層と、支持層と、能動層と支持層の間の電気絶縁層とを備える、半導体材料製の多層構造を製造するための方法に関する。

【0002】

また、本発明は、そのような方法を使用して得られる構造に関する。

【背景技術】

50

【 0 0 0 3 】

本発明は、マイクロエレクトロニクス応用分野、光学応用分野、オプトロニクス応用分野に使用されるタイプの、ウェハの形態にある薄い構造に適用可能である。

【 0 0 0 4 】

本明細書の残りの部分では、「本発明が関する構造」という全体的な表現を使用し、上述のもののような構造、すなわち能動層と、支持層と、能動層と支持層の間の電気絶縁層とを備える、半導体材料製の多層構造タイプのもを示すことになる。

【 0 0 0 5 】

多層構造は、いくつかの層を組み合わせるものであり、そのいくつかは、異なる材料からできている。

10

【 0 0 0 6 】

したがって、本発明の一応用例は、S O I (シリコン・オン・インシュレータ)タイプの構造の製造である。

【 0 0 0 7 】

したがって、このタイプのS O Iは、通常、
 ・ (数 \cdot cm程度の)低い抵抗率を有する単結晶シリコン製の能動層と、
 ・ 支持層は、典型的には1 0 0 0 \cdot cmを超える著しく (significantly) 高い抵抗率を有するシリコン製とすることができる、
 ・ これら2つの層間の電気絶縁層、たとえばS i O ₂層を備える。

20

【 0 0 0 8 】

いわゆる「能動」層は、構成部品、典型的には電子構成部品またはオプトロニクス構成部品が配置されることになるため、このように名付けられている。

【 0 0 0 9 】

本発明が関する多層構造は、可能な限り低い電氣的損失に関連することが望ましい。

【 0 0 1 0 】

本明細書では、「損失」は、構造支持層内の電氣的損失を指し、前記損失は、能動層上で作製された構成部品の分極動作 (polarised operation) から生じること留意されたい。

【 0 0 1 1 】

これらの損失は、この構造の電気効率に影響を及ぼし、(特に、非常に高い周波数の応用例について、換言すれば、典型的には1 0 G H zを超える周波数について)能動層内で信号品質に影響を及ぼすノイズを生成する可能性があるので不都合である。

30

【 0 0 1 2 】

したがって、本発明が適用可能である構造は、通常、
 ・ その能動層上で取り付けられた構成部品の良好な相互作用を可能にするために、その層部で(5から30 \cdot cm程度の)低い電気抵抗率と、
 ・ 構造内の電氣的損失を回避するために、この能動層を支持する層部ではるかに高い抵抗率とを有する。これを達成するために、本発明に関する構造(必ずしもそれだけではないが、典型的にはS O I)内の支持層は、典型的には、(たとえば、1 0 0 0 \cdot cmを超える)能動層よりはるかに高い抵抗率を有することになる。

40

【 0 0 1 3 】

したがって、これらの構造の能動層を支持する層の高い抵抗率は、構造に関する損失を低減するように設計される。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

本発明の一目的は、損失が可能な限り低いものである、本明細書の始めに述べたタイプの構造を作製することである。

【 0 0 1 5 】

非常に高い周波数の応用例では、その構造の能動層内で生成された電気信号は、その構

50

造の絶縁層の電気絶縁効果にもかかわらず、この層を通過することができることに留意されたい。これは、上述のように、望ましくない損失に対応する。

【0016】

したがって、上述したものよりさらに正確には、本発明の他の目的は、損失が最小限に抑えられる上述のもののような構造を作製することが可能であることであり、これは非常に高い周波数の応用例についても同様である。

【課題を解決するための手段】

【0017】

これらの目的を達成するために、本発明は、能動層と、支持層と、能動層と支持層の間の電気絶縁層とを備える、半導体材料製の多層構造を作製する方法であって、構造支持層内の電氣的損失を最小限に抑えるために、キャリア・トラップ(carrier traps)の密度および/または電気絶縁層内の電荷を修正することを含む方法を提案する。

【0018】

そのような方法の他の好ましい、しかし非限定的な態様は、以下のようなものである。すなわち、

- ・前記修正は、構造絶縁層と構造支持層の間の界面でキャリア・トラップの密度を増大することが意図され、
- ・前記修正は、構造の電気絶縁層内の電荷を減少させるように設計され、
- ・能動層は、支持層よりはるかに低い抵抗率を有するように選択され、
- ・本方法は、構造能動層を備える第1の基板と、構造支持層を備える第2の基板とを接着することを含み、
- ・前記第1の基板は、絶縁層を備え、
- ・第1の基板の前記絶縁層は、構造の絶縁層に相当し、
- ・構造支持層内の電氣的損失を最小限に抑えるために、前記第1の基板と前記第2の基板が接着される前に、キャリア・トラップの密度が修正され、
- ・構造支持層内の電氣的損失を最小限に抑えるために、前記接着される2枚の基板間に中間層を挿入することによってキャリア・トラップの密度が修正され、中間層は、第2の基板の支持層と接触することになり、前記中間層の材料は、前記支持層内の材料と関係(相関)付けられることによりキャリア・トラップの密度を増大するように選択され、
- ・前記中間層は、第1と第2の基板の前記接着の前に、前記第2の基板上で堆積され、
- ・前記支持層はシリコン製であり、前記中間層内で使用される材料は、窒化酸化物(nitrided oxide)であり、
- ・キャリア・トラップの密度は、前記支持層内の材料と関係付けられることによりキャリア・トラップの密度を増大し、構造支持層内の電氣的損失を最小限に抑える傾向がある、前記第1と第2の基板を接着するための少なくとも1つの材料を使用して修正され、
- ・構造支持層内の電氣的損失を最小限に抑えるために、前記第1と第2の基板が接着される前に、第2の基板の表面領域に、ある処理を適用することによってキャリア・トラップの密度が修正され、
- ・第2の基板の表面領域の前記処理は、第2の基板の表面状態の制御された劣化を含み、
- ・構造支持層内の電氣的損失を最小限に抑えるために、前記第1と前記第2の基板が接着される前に、前記第1の基板内で行われる注入の特性を調整することによって、電荷が電気絶縁層内で修正され、
- ・前記注入のドーズ量が、電気絶縁層内の電荷を修正するように調整され、
- ・前記注入が、SMART CUT(登録商標)タイプ・プロセスの弱化注入(weakening implantation)に相当し、
- ・構造支持層内の電氣的損失を最小限に抑えるために、電気絶縁層内の電荷が、前記第1の基板上で行われる熱酸化のパラメータを調整し、その表面上で構造絶縁層を作成することによって修正され、
- ・前記パラメータは、温度および/または温度変動、ガス組成、アニール時間などを含み、

10

20

30

40

50

・構造支持層内の電氣的損失を最小限に抑えるために、電気絶縁層内の電荷が、構造が形成された後で前記構造に適用される加熱処理のパラメータを調整することによって修正され、

・前記加熱処理のサーマル・バジェット (thermal budget) が、その構造の電気絶縁層内の電荷を減少させるように調整され、

・前記構造が S O I であり、

・本方法は、S M A R T C U T (登録商標) タイプ・プロセスにおける諸ステップを使用する。

【0019】

本発明の他の態様、目的、利点は、添付の図面を参照して、本発明の以下の説明を読んだ後で明らかとなるであろう。

【発明を実施するための最良の形態】

【0020】

次に、本明細書の導入で述べたような多層構造のための、本発明のいくつかの実施形態について述べる。

【0021】

この構造は、特に S O I タイプの構造とすることができる (が、これに限られない) ことに留意されたい。

【0022】

概して、本発明に関する構造は、典型的には、能動層の電気抵抗率が、構造支持層の抵抗率より著しく低い構造である。

【0023】

また、下記で述べられる方法は、多層構造を製造するための S M A R T C U T (登録商標) タイプ・プロセスの実施のより一般的な状況で使用することができることに留意されたい。

【0024】

しかし、本発明による方法を、S M A R T C U T (登録商標) プロセスと異なる多層構造を製造するための方法の一般的な状況で実施することができることは全く可能である。

【0025】

具体的には、本方法は、2枚の基板を接着するステップを実施する多層構造を作製するための、S M A R T C U T (登録商標) プロセスと異なるプロセス (たとえば、E L T R A N タイプ・プロセスなど) の一般的な状況で使用することができる。

【0026】

例示として S O I タイプ構造例を使用して、本発明は、

この構造に関連する損失を最小限に抑えるために、

・その構造の電気絶縁層内の電荷、

・および/または、(典型的には、絶縁層と構造支持層の間の界面で) キャリア・トラップの密度を修正する。

【0027】

出願人らは確かに、シミュレーションおよび実験的な観察を実施した後で、以下によってその構造に関連する損失を低減することが可能であると決定した。すなわち、

・その構造の電気絶縁層内の電荷を減少させること。この点に関して、出願人らは、その構造の絶縁層 (換言すれば、S O I の場合には、埋込み酸化層) に関連する電荷に対応するパラメータ $Q_{B O X}$ の値によって損失がどのように影響を受けるかという実証を使用した。

・および/または、キャリア・トラップの密度を、より具体的には、その構造の絶縁層とその支持層の間の界面で増大すること。この点に関して、出願人らは、キャリア・トラップの密度に対応するパラメータ $D_{i t}$ の値によって損失がどのように影響を受けるかという実証を使用した。

【0028】

10

20

30

40

50

混乱を回避するために、称される「キャリア・トラップ (carrier traps)」（または「キャリア (carriers)」) は、構造内に存在する固定電荷によって運動させられている電荷を捕らえようとする電氣的なトラップであることが指定される。この点に関して、キャリア・トラップは、特に物理的な不純物など諸要素をゲッターリングしようとするゲッターリング手段 (gettering means) と異なる (そのような不純物は、たとえば重金属からの、たとえば金属イオンなどとすることができる)。

【0029】

本発明は、上述の2つの影響の実証、すなわちパラメータ D_{it} および Q_{Box} の値を使用する。

【0030】

この実証の追跡として、出願人らは、上述の、また本発明に関するタイプの異なる構造に対して、一連の観察を実施した。

【0031】

したがって、これらの観察は、パラメータ D_{it} および Q_{Box} の異なる値が関連する、また損失が測定される異なる構造に関するものであった。

【0032】

より正確には、出願人らは、これらの構造のそれぞれについて、

- ・第1に、その構造の絶縁層内の電荷と、
- ・第2に、絶縁層と構造支持層の間の界面でのキャリア密度とを選択的に修正した。

【0033】

これらの修正を行う手段について、より詳しく論じる。

【0034】

数値シミュレーションの、また出願人らによって実施された実験の結果を提示する前に、これらのシミュレーションおよび実験の状況で使用された、損失を測定する方法において必要とされる原理を簡単に要約する。

【0035】

この損失測定方法は、通常、共平面ラインによる損失測定 (loss measurement by coplanar lines) と呼ばれる。

【0036】

この損失測定方法は、支持層内における電磁場の広がり関数として、ある深さまで損失を測定する手段を提供する。この深さは、導体間の間隔、支持層の周波数および抵抗率、ならびに酸化物の厚さによって決まる。

【0037】

したがって、この測定方法は、特徴付けるべき各構造について以下のステップを使用する。

- ・以下による構造の準備、すなわち、

エッチング深さを埋込み酸化物絶縁層部で停止して、その構造の能動層の選択エッチング (この説明で論じられる諸例は、SOIに関することを銘記されたい)、

導電金属を用いた埋込み酸化物の上方の、構造上のソリッド・プレート金属堆積 (solid plate metallic deposit)。したがって、1ミクロン厚のアルミニウムを堆積することができる、

テスト・パターン、実際には (導波路を形成する) 並列導電金属化ライン (parallel conducting metallised lines) を形成するように、堆積後金属のドライおよび選択エッチング。

・金属化ラインの1本に対する電気信号の印加。この信号 V_A は、DC電圧 V_{DC} および低振幅AC電圧 V_{AC} の重畳からなる。これは、前記ラインに印加され、以下を修正することができる。すなわち、

DC成分 V_{DC} の振幅

AC成分 V_{AC} の周波数

- ・導波路の端部での放射、伝送、反射された電力の測定を利用して、損失の計算 (= 導

10

20

30

40

50

体内の損失 C_{OND} + エッチングによって除去される前の能動層の下方に位置する層内の損失 S_{UB})。

S_{UB} は、 と、印加信号の所与の周波数について固定であると考えられる C_{OND} の推定値との値から抽出される。

【0038】

この方法の原理は、特に損失が特徴付けられる構造の異なる領域内で作成された導波路を示す図3に示されている（電圧 V_A は、各共平面ラインの中央導体に印加される）。

【0039】

測定中にDC成分をAC成分上に重畳することの利点は、本発明に関する構造内の絶縁/支持層界面下の抵抗が低い層の損失に対する、かなりの効果を実証することである。

【0040】

本明細書の残りの部分で、より詳しく述べるように、この低抵抗層は、導波路の中央導体の下でDC成分を印加することによって生成される。

【0041】

また、これは、パラメータ Q_{BOX} および D_{it} によって強く影響される。したがって、この低抵抗層内のキャリアの濃度と、（特にその厚さによって制御される）その全体的な量（global volume）とは、 Q_{BOX} と D_{it} が損失に対して影響を有する理由である。

【0042】

この方法の実施中に測定された損失を使用し、その構造の有効抵抗率を抽出する（この有効抵抗率は、損失に直接関係する）。

【0043】

上述のように、また、詳しく示されることになるように、出願人は、本発明の状況内で、構造損失に対する以下の実証された影響を使用する。すなわち、

- ・埋込み酸化絶縁層の（すなわち内の）電荷 Q_{BOX}
- ・キャリア・トラップの密度 D_{it}

【0044】

したがって、結果が図1および図2に示されているシミュレーションは、本発明に関する構造に関連する損失に対するパラメータ Q_{BOX} （図1）および D_{it} （図2）の対応する影響を実証する。

【0045】

これら2つの図の曲線は、構造上で作製された共平面導波路（coplanar wave guides）の並列線形コンダクタンス（parallel linear conductance）（ G_{EFF} ）を計算するシミュレーション・モデルから導出される。

【0046】

図3は、構造上で作製された共平面導波路、および（図の右部の）等価分布回路を示す。

【0047】

共平面導波路に関する伝播指数 は、

【数1】

$$\gamma = (\alpha_{cond} + \alpha_{sub}) + j\beta = \sqrt{(Reff + j\omega Leff) \cdot (Geff + j\omega Ceff)}$$

の形態にある。

【0048】

その構造内の支持層に関する損失 S_{UB} は、高い周波数で G_{EFF} に直接比例する。

【0049】

損失 S_{UB} は、 $[0.5 * G_{EFF} (Leff / Ceff)^{0.5}]$ に等しく、ただし、 $Leff$ および $Ceff$ は、それぞれ図3に示されている共平面導波路の線形インダクタンスおよびキャパシタンスを示す。

【0050】

10

20

30

40

50

したがって、所与の構造について、その構造に関する損失は、パラメータ G_{EFF} の値と共に増大する（また逆も同様である）。

【0051】

使用されたモデルは、Silvaco CompanyのAtlasソフトウェア（登録商標）によって実施されている。このモデルは、共平面導波路の異なる寸法パラメータ、すなわち、

- ・損失を測定するためにその構造上で形成された金属化ラインの幾何形状、
- ・その構造の埋込み酸化層（絶縁層）の厚さ、
- ・金属化ライン上で印加された電圧 V_A （考慮された分極電圧および周波数）、を考慮するために活動化される。

10

【0052】

さらに、このモデルは、 G_{EFF} の計算の際に、パラメータ D_{it} および Q_{BOX} を考慮する。

【0053】

図1は、パラメータ Q_{BOX} の4つの異なる値に関係付けられる4つの異なる構造に対応する4つの曲線11、12、13、14を示す。

【0054】

これらの曲線のそれぞれは、上述の損失測定方法の状況でその構造の導体に印加されることになる電圧 V_A の関数として、（上述のように損失に直接関係するパラメータ G_{EFF} を介して）基準点に対する構造損失の相対変動を示す。

20

【0055】

基準点は、 $V_{DC} = Q_{BOX} = D_{it} = 0$ で得られる G_{EFF} の値に固定される。

【0056】

曲線11は、値 Q_{BOX} がゼロである構造に対応する。

【0057】

曲線12、13、14は、絶縁層が、曲線12の構造から（絶縁層の電荷が 10^{11} cm^{-2} に等しい）曲線14の構造にかけて増大する非ゼロ値の Q_{BOX} を有する3つの構造に対応する。

【0058】

この図の矢印は、異なる曲線における構造間の Q_{BOX} の増大を示す。

30

【0059】

この図は、 Q_{BOX} の値の増大が構造損失の増大を引き起こすことを示す。

【0060】

パラメータ Q_{BOX} のこの影響、したがって電気絶縁層の電荷について、以下のように述べることができる。

【0061】

この電荷は正電荷であり、したがって、移動できる負電荷（電子）を、絶縁層と（きわめて抵抗性の）支持層の間の界面に引き付ける傾向がある。

【0062】

これらの電子の超過分は、前記界面に集まり、次いで抵抗が低い表面層を形成し、したがって、支持層内の全体的な損失を増大させる。

40

【0063】

上述の損失測定方法の実施中には、わずかに負の電圧 V_A を中央導体に印加し、一時的にのみ、これらの電子を中央導体の下に押し動かすことができ、次いで電子は、界面から移動する。すなわち、界面のこの部分は、そして、より抵抗性となり、測定損失が低減される。

【0064】

次に、 V_A の値がさらに低減された場合、正の移動電荷は、界面に向かって引き付けられることになり、そして、局所的にその抵抗率を減少させる。

【0065】

50

したがって、損失は、負電圧 V_{OPT} について最小である。最小損失のこのシフトが、図 1 に示されている。

【0066】

したがって、 Q_{BOX} の値が増大するにつれて、 V_{OPT} の値が負の値に向かってシフトする。

【0067】

同様に、 Q_{BOX} の値について、埋込み酸化物絶縁層と支持層の間の界面での電子の存在は、(上述のように絶縁/支持層に引き付けられた電子が、電圧 V_A が印加される中央導体の下に存在せず、その界面の他の場所に存在する電圧である V_{OPT} においてすら) 損失を増大することになる。

10

【0068】

したがって、図 1 でわかるように、2つの同一の構造間での値 Q_{BOX} の増大は、損失の増大と、損失が最小である V_A の値 V_{OPT} の、負電位に向かうシフトを誘起する。

【0069】

同様に、図 2 は、3つの異なる構造に対応する3つの曲線 21、22、23を示す。

【0070】

各構造は、その電気絶縁層とその支持層の間の界面で、 D_{it} の異なる値に関係付けられる。

【0071】

これらの3つの曲線のそれぞれは、横座標でゼロ・ボルトに近い最小を有する(したがって、ほとんど同一の値 V_{OPT} に対応する)。

20

【0072】

曲線 21 は、ゼロの D_{it} 値に関係する構造に対応する。

【0073】

曲線 22 から曲線 24 は、非ゼロかつ(曲線 22 から曲線 24 にかけて)増大する D_{it} を有する構造に対応し、曲線 24 の構造に関連する D_{it} は、 $10^{12} \text{ # / cm}^2 / \text{eV}$ である。

【0074】

3つの曲線の最小の各側の2つの矢印は、3つの構造間での D_{it} のこの増大を表す。

【0075】

D_{it} の増大により、その構造に関する損失が減少することがわかる。

30

【0076】

また、 D_{it} の増大により、その構造の中央金属化ライン (central metallised line) に印加された定電圧 V_{DC} の DC 成分の影響が減少することがわかる。

【0077】

パラメータ D_{it} の、損失に対するこの影響について、次のように述べることができる。

【0078】

このパラメータは、鋭い縁部、汚染物質、または、その構造の絶縁層と支持層の間の界面で正もしくは負の移動できる電荷(電子、または材料の結晶格子内の空いている空間である正孔)を捕らえることができる任意の他のトラップの密度を特徴付ける。

40

【0079】

この界面部の高密度は、絶縁層の電荷を増大させる傾向に関して上述した影響に逆らう傾向がある。

【0080】

高密度は、前記界面に到達し、そこで表面層を形成する、またその構造の抵抗率を低減する(したがって、損失を増大する)効果を有するいくつかの電子の吸収を引き起こす。

【0081】

この効果は、密度が増大するにつれて増大する(したがって、損失を低減する傾向がある)。

50

【 0 0 8 2 】

さらに、(電圧 V_A の符号に応じて)電子または正電荷を前記界面に引き付ける電圧 V_A の効果は、より高いキャリア・トラップ密度によって減衰される。すなわち、この場合には、電圧 V_A によって界面に向かって引き付けられたいくつかの移動電荷は、捕らえられ、したがって損失に対して影響がないように中和される。

【 0 0 8 3 】

したがって、キャリア・トラップの密度の増大は、正または負の電圧 V_A について同じ形で適用可能であることに留意されたい。

【 0 0 8 4 】

図 4 におけるグラフは、損失に対するパラメータ D_{it} の変動の効果を示す。

10

【 0 0 8 5 】

このグラフは、2つの異なる構造に対応する2つの曲線を含む。すなわち、

- ・ (SMARTCUT (登録商標) プロセスの後で) どの特定の処理もなしに出願人らによって得られた SOI 構造 (実線で示されている、曲線 4 1)。
- ・ その構造の埋込み酸化層絶縁層と支持層の間の界面でパラメータ D_{it} の値を減少させることに向けられた特定の処理にかけられた同様の構造 (破線、曲線 4 2)。この処理は、432 程度の温度で30分間の、水素5%および窒素95%からなる混合物下でのアニールであり得る。

【 0 0 8 6 】

本明細書の残りの部分では、パラメータ D_{it} のこの減少を得るために使用された特別な処理に戻る。

20

【 0 0 8 7 】

したがって、図 4 は、その構造の絶縁層と支持層の間の界面での D_{it} の減少が、その構造を介して損失を増大することを示す。

【 0 0 8 8 】

それに対応して、図 5 は、損失に対する Q_{Box} の値の修正の影響を示す。

【 0 0 8 9 】

したがって、図 5 は、2つの異なる構造、すなわち、

- ・ Q_{Box} が低い、たとえば $1.5 \times 10^{10} \text{ cm}^{-2}$ 程度の構造 (それ自体 SMARTCUT (登録商標) プロセスで知られるやり方で得られた SOI に対応する曲線 5 1)、
- ・ および、 Q_{Box} がより高い、 $6 \times 10^{10} \text{ cm}^{-2}$ 程度の構造 (汚染物質、たとえば金属汚染物質を含む炉内での酸化された高抵抗率 Si ウェハに対応する曲線 5 2) について、損失の特徴付け中に印加された定電圧の関数としてこれらの損失の変動を表す。

30

【 0 0 9 0 】

すでに上述したように、パラメータ Q_{Box} の増大により損失が増大することになることに留意されたい。

【 0 0 9 1 】

D_{it} のレベルは、曲線 5 1 と曲線 5 2 にそれぞれ対応する構造間で修正されていないことに留意されたい。

【 0 0 9 2 】

図 7 における曲線は、 Q_{Box} および D_{it} の異なる値を有する、SMARTCUT (登録商標) プロセスによって得られた3つの SOI 構造について、周波数の関数として $V_{DC} = 0 \text{ V}$ についての損失の変動を示す。

40

【 0 0 9 3 】

以下の表は、これらの3つの構造 SL 1、SL 2、SH 1のそれぞれについて、 Q_{Box} および D_{it} の値を提供する。

【表 1】

ウェハ名	Q_{BOX} [$\#/\text{cm}^2$]	D_{it} [$\#/\text{cm}^2/\text{eV}$]
SL1	$\sim 1 \times 10^{10}$	無視してよい
SL2	$\sim 1 \times 10^{10}$	$\sim 1 \times 10^{11}$
SH1	$Q_{\text{BOX. SH1}} > Q_{\text{BOX. SL1}}$ の場合、 $\sim 1 \times 10^{10}$	無視してよい

10

【0094】

破線の曲線は、同一の構造上で作製された共平面導波路のシミュレーションによる損失に対応し、ただし $100 \text{ } \cdot \text{cm}$ (上端曲線) から $5000 \text{ } \cdot \text{cm}$ (下端曲線 - 支持層の抵抗率値は、矢印の方向で増大する) に変わる、これらの対応する構造の支持層の抵抗率 e_{ff} を除く。

【0095】

図は、この抵抗率 e_{ff} が増大するにつれて理論損失は減少することを示す。

【0096】

これらの理論損失は、ラインの金属導体に関連する損失 (連続線で示されている、図7における最も低い曲線に対応する) と、支持層内の損失とを含むことに留意されたい。

20

【0097】

図7は、 D_{it} の最も高い値を有する構造が、最も損失の低い構造であることを示す。この構造の損失は、 $4000 \text{ } \cdot \text{cm}$ 程度の有効抵抗率に対応し、この有効抵抗率により、支持層に関連する損失は、金属導体に関連する損失に比べて無視してよいものになる (s_{UB} がゼロに向かう傾向があるとき、総損失は、損失 c_{OND} と s_{UB} の和に等しいため、 c_{OND} に等しくなる)。

【0098】

Q_{BOX} の値は低いが、 D_{it} の値は無視してよい構造は、 300 および $500 \text{ } \cdot \text{cm}$ に等しい支持層の抵抗率値に対応する損失だけ有する。

【0099】

したがって、本発明の場合には、キャリア・トラップの密度の値、および/または本発明に関する構造の電気絶縁層内の電荷の値が、この構造の電気抵抗率を最大にするために修正される。

30

【0100】

本明細書でさらに述べられるように、キャリア・トラップの密度は、埋込み層 (たとえば、SOIの埋込み酸化物) と、下にある支持層との間の界面で修正される。

【0101】

上述のように、本発明は、(その構造の能動層を備える) 第1の基板と(構造支持層を備える) 第2の基板とを接着する状況で実施することができる。

【0102】

この場合には、その構造の能動層を含む第1の基板はまた、その構造の絶縁層をも含むことができる。

40

【0103】

このタイプの接着を実行する前に、キャリア・トラップの密度をこの密度が増大するように修正することが可能であり、これは、上記でわかるように、その構造に関連する損失を低減することになる。

【0104】

したがって、(単独で、または組合せで実施される) いくつかの変形形態を想定することができる。すなわち、

・第2の基板の支持層と接触するように設計された中間層を、接着される2枚の基板間に

50

挿入することによるキャリア・トラップの密度の修正。前記中間層の材料は、支持層ができていて材料と関係付けられることによりキャリア・トラップの密度の増大を容易にするように選択される。

> この場合には、前記中間層は、接着前に第2の基板上で堆積することができる。

> 本発明の一応用例では、支持層はシリコン製とすることができ、中間層材料は、窒化酸化物とすることができる。

・前記第1と第2の基板を接着するための少なくとも1つの材料を使用する、キャリア・トラップの密度の修正。これは、支持層ができていて材料と関係付けられた結果として、キャリア・トラップの密度の増大を容易にする。

・前記第1と第2の基板が接着される前に、第2の基板の表面領域内で、ある処理を適用することによるキャリア・トラップの密度の修正。

> 第2の基板の表面領域の、このタイプの処理は、特に、この第2の基板の表面状態の制御された劣化（エッチングによるその粗さの劣化）を含むことができる。

【0105】

上記で提示されている変形形態すべてにおいて、得られる構造内で、酸化物層と下にある支持層との間の界面でキャリア・トラップの密度が修正される。

【0106】

さらに、上述のもののような接着と組み合わせて使用されたとき依然として本発明の状況内において、その構造の電気絶縁層内の電荷は、（やはり単独で、または組合せて適用される）異なる変形形態に従って、それを減少させるように修正することができる。

・接着前に前記第1の基板内で行われる注入の特性を調整することによる電荷の修正。

> この場合には、注入のドーズ量が、電気絶縁層内の電荷値を修正するように調整されることが好ましい。

> この注入はまた、弱化注入がSMARTCUT（登録商標）タイプ・プロセスを使用して行われるステップに対応することができる。この場合には、第1の基板は、酸化表面を介して注入が行われる前に酸化される表面を有する単結晶シリコン基板とすることができ、第2の基板は、前記第1の基板に接着されることになる支持材または補強材に対応する。次いで、この第1の基板は、注入ステップで画定された厚さを有する弱化領域（weakening area）で分離され、所望の多層構造になる。

・その基板の絶縁層をその表面部で作成するために、接着前に第1の基板上で行われる熱酸化のパラメータを調整することによる、電気絶縁層内の電荷の修正。

> 処置がとられるパラメータは、特に、温度（絶対値）および/またはその変動（特に、温度上昇勾配の特性）、ガス組成、ならびにアニール時間を含む。

> この場合も、前記熱酸化は、酸化物層がSMARTCUT（登録商標）タイプ・プロセスを使用して作成されるステップに対応することができる。

【0107】

最後に、その構造の電気絶縁層内の電荷は、前記構造が形成された後でそこに適用される熱処理のパラメータを調整することによって修正することも可能である。この場合には、2枚の基板が事前に接着されているか否かは問題にならない。

【0108】

また、そこ構造の電気絶縁層内の電荷の、このタイプの変形調整では、前記熱処理のサーマル・パッケージが、この絶縁層内の電荷を最小限に抑えるように調整される。

【0109】

その構造の電気絶縁層内の電荷を修正することは、ある構造の層間のいくつかの界面で電荷の再分配に影響を及ぼすことと全く異なることに留意されたい（後者の技法は、たとえば、米国特許第6091112号によって開示されている）。

【0110】

さらに、米国特許第6091112号に関して、この文書は、いずれにしても - 本発明がそうであるように - 支持層内の損失を最小限に抑えようとしておらず、むしろ、能動層内の空乏化を回避しようとする。この点に関して、この従来技術の文書は、能動層の特性

10

20

30

40

50

に影響を及ぼすことを提案しており、（本発明の場合のように）埋込み絶縁層の特性ではない。

【0111】

図6は、上述の2枚の基板AおよびBについて接着ステップを示し、その場合において、基板Aは、（特に、表面酸化物層A1を作成するために）酸化されており、（基板Aの厚さ内で能動層A3を画定する弱化領域A2を作成するための）注入であった。

【0112】

基板Bは、必要とされる最終構造の支持層に相当する。

【0113】

この場合は、特にSMARTCUT（登録商標）タイプ・プロセスの状況での本発明の使用に相当する。

【図面の簡単な説明】

【0114】

【図1】本発明に関する異なる構造について、絶縁層の電荷の、異なる対応する値の関数としてその構造に関連する損失を表すパラメータ G_{EFF} の変動を示す、シミュレーションから導出されたグラフである。

【図2】本発明に関する異なる構造について、絶縁層と支持層の間の界面部でのキャリア・トラップの密度の、異なる対応する値の関数としてその構造に関連する損失を表す同じパラメータ G_{EFF} の変動を示す、図1に示されているもののような同じタイプの、同様にシミュレーションから導出されたグラフである。

【図3】本発明に関する構造など、ある構造内の電氣的損失を測定するための方法の原理を示す図であり、前記構造は断面図で示されており、図の右部は、等価電気回路の表現を含む。

【図4】本発明に関する構造について測定された電氣的損失に対する、本発明に関する絶縁層と支持層の間の界面部でキャリア・トラップの密度が減少することの影響を示す、実験的な測定から導出されたグラフである。

【図5】本発明に関する構造の電気絶縁層内の電荷に対する修正の、この構造について測定された電氣的損失に対する影響を示す、図4に示されているものと同じタイプの、やはり実験的な測定から導出されたグラフである。

【図6】2枚の基板を接着し、本発明に関する構造を構成することを示す概略図であり、2枚の基板の少なくとも1枚は、得られることになる構造に関連する損失を最小限に抑えるために、本発明の各実施形態の1つに従って特に処理されている。

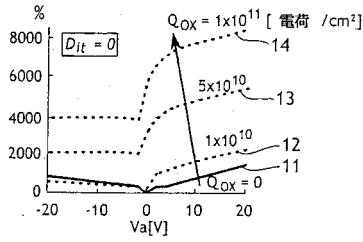
【図7】パラメータ Q_{Box} および D_{it} について異なる値を有する異なる構造について、周波数の関数として測定損失を表す図である。

10

20

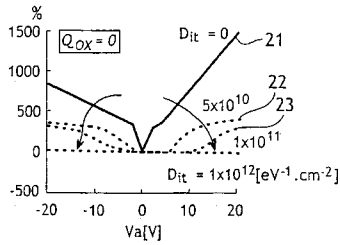
30

【 図 1 】



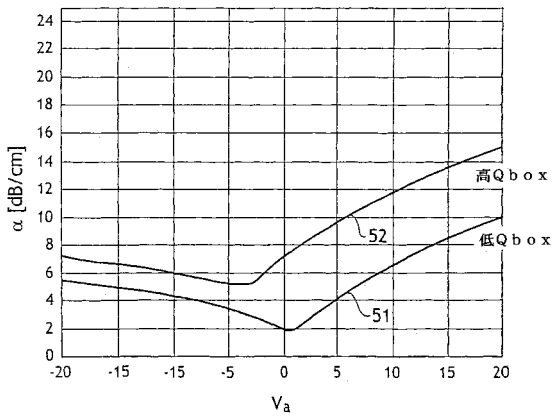
Q_{BOX} が増大する構造についての、
基準点に対する G_{EFF} の相対変動

【 図 2 】



Q_{BOX} が増大する構造についての、
基準点に対する G_{EFF} の相対変動

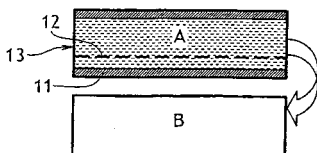
【 図 5 】



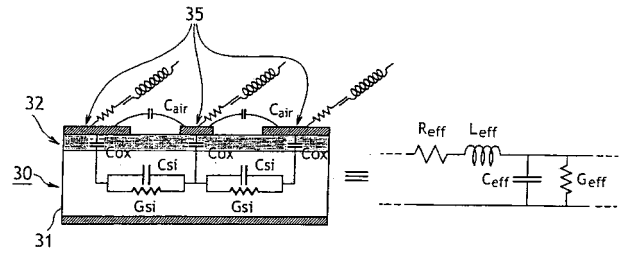
【 図 6 】

$$\gamma = (\alpha_{cond} + \alpha_{sub}) + j\beta = \sqrt{(R_{eff} + j\omega L_{eff}) \cdot (G_{eff} + j\omega C_{eff})}$$

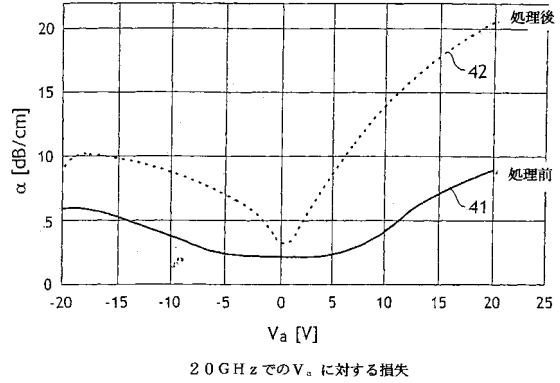
$$\alpha_{sub, max} \approx \frac{G_{eff}}{2} \sqrt{\frac{L_{eff}}{C_{eff}}}$$



【 図 3 】

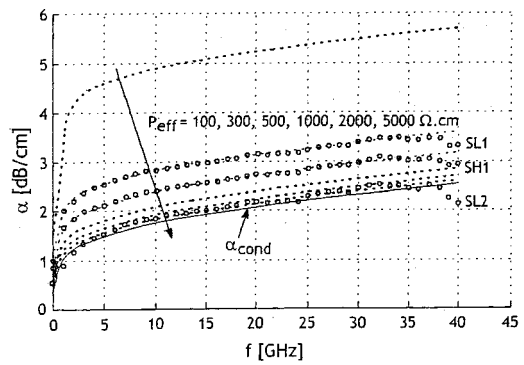


【 図 4 】



20 GHz での V_a に対する損失

【 図 7 】



フロントページの続き

- (74)代理人 100103263
弁理士 川崎 康
- (74)代理人 100107582
弁理士 関根 毅
- (74)代理人 100118843
弁理士 赤岡 明
- (74)代理人 100137523
弁理士 出口 智也
- (72)発明者 ジャン ピエール、ラスキン
ベルギー国ベ 5 3 1 0、サン ジェルマン、リュ、ド、ラ、プラスリー、1 7
- (72)発明者 ディミトリ、レドラー
ベルギー国ベ 5 0 3 0、エルナーージュ、リュ、カミーユ、カルス、2 8
- (72)発明者 フランソワ、ブリュニエ
フランス国グルノーブル、リュ、ド、ニュー、ヨーク、9