



(12) 发明专利

(10) 授权公告号 CN 1992074 B

(45) 授权公告日 2011. 04. 20

(21) 申请号 200610168832. X

(22) 申请日 2006. 12. 14

(30) 优先权数据

10-2005-0131459 2005. 12. 28 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李宗勋 李真烨 黄相元

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 戎志敏

(56) 对比文件

CN 1106550 A, 1995. 08. 09, 全文.

US 2005/0141283 A1, 2005. 06. 30, 全文.

US 6731540 B2, 2004. 05. 04, 说明书第 7 栏第 43 行 - 第 8 栏第 33 行、附图 5.

审查员 何明伦

(51) Int. Cl.

G11C 8/10(2006. 01)

G11C 8/18(2006. 01)

G11C 16/08(2006. 01)

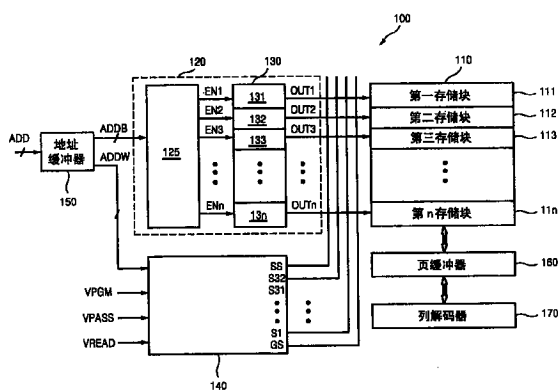
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

防止泄漏电流的行解码器及包括其的半导体存储器件

(57) 摘要

提出了防止泄漏电流的行解码器以及包括其的半导体存储器件。行解码器包括地址解码器和选择信号发生器。地址解码器对预定地址信号解码并激活使能信号。择信号发生器在激活使能信号时电连接升压节点与输出节点以激活块选择信号, 当去激活使能信号时中断升压节点和输出节点间及升压节点和接地电压节点间的通道。选择信号发生器包括反馈电路、开关及 DC 通道断路器。反馈电路与输出节点电连接以产生随块选择信号电压电平变化的输出电压。开关将反馈电路的输出电压传输到输出节点。DC 通道断路器当激活使能信号时接通开关, 当去激活使能信号时断开开关。因此, 当施加到半导体存储器件的电源电压为低时, 中断行解码器中的 DC 通道, 从而防止泄漏电流。



1. 一种半导体存储器件的行解码器，所述行解码器包括：
地址解码器，对块地址信号进行解码并且激活使能信号；以及
选择信号发生器，当激活使能信号时，所述选择信号发生器将升压节点与输出节点电连接以激活块选择信号，并且当去激活使能信号时，所述选择信号发生器将升压节点和输出节点之间的通道、以及升压节点和接地电压节点之间的通道电中断，

其中，所述选择信号发生器包括：

反馈电路，与输出节点电连接以产生随着块选择信号的电压电平而变化的输出电压；

开关，将反馈电路的输出电压传输到输出节点；

直流通道断路器，当激活使能信号时接通开关，并且当去激活使能信号时断开开关。

2. 如权利要求 1 所述的行解码器，其中，

所述反馈电路包括第一负沟道金属氧化物半导体耗尽型晶体管，所述第一负沟道金属氧化物半导体耗尽型晶体管具有与输出节点相连的第一端子和接收升压电压的第二端子；以及

所述开关包括第一正沟道金属氧化物半导体晶体管，所述第一正沟道金属氧化物半导体晶体管连接在所述第一负沟道金属氧化物半导体耗尽型晶体管和输出节点之间，并且响应于直流通道断路器的输出电压而导通或截止。

3. 如权利要求 2 所述的行解码器，其中，当激活使能信号时，所述直流通道断路器使第一正沟道金属氧化物半导体晶体管的栅极的电压变成接地电压的电平，并且当去激活使能信号时，所述直流通道断路器使第一正沟道金属氧化物半导体晶体管的栅极的电压变成等于或高于第一正沟道金属氧化物半导体晶体管的源极的电压。

4. 如权利要求 3 所述的行解码器，其中，所述选择信号发生器还包括放电电路，当去激活使能信号时，所述放电电路对输出节点的电压进行放电，并且所述放电电路包括：

串联连接在输出节点和接收使能信号的节点之间的第二负沟道金属氧化物半导体耗尽型晶体管和第一负沟道金属氧化物半导体晶体管，其中第二负沟道金属氧化物半导体耗尽型晶体管连接至输出节点，第一负沟道金属氧化物半导体晶体管连接至接收使能信号的节点。

5. 如权利要求 4 所述的行解码器，其中，所述直流通道断路器包括：

第三负沟道金属氧化物半导体耗尽型晶体管，具有与升压节点相连的端子；

第二正沟道金属氧化物半导体晶体管，连接在第三负沟道金属氧化物半导体耗尽型晶体管和第一正沟道金属氧化物半导体晶体管的栅极之间；以及

第二负沟道金属氧化物半导体晶体管，连接在第一正沟道金属氧化物半导体晶体管的栅极和接地电压节点之间，并且响应于使能信号而导通或截止。

6. 一种半导体存储器件，包括：

存储单元阵列，包括第一至第 n 存储块，其中 n 是 2 或比 2 大的自然数；

行解码器，解码块地址信号，并且激活第一至第 n 块选择信号中的一个块选择信号以选择第一至第 n 存储块中的一个存储块；以及

行线电压电平选择器，解码字线地址信号，并且产生分别施加到与激活的块选择信

号相对应的存储块中的行线上的电压，

其中，所述行解码器包括：

地址解码器，解码块地址信号，并且激活第一至第 n 使能信号中的一个使能信号；
以及

第一至第 n 选择信号发生器，当激活第一至第 n 使能信号中对应的使能信号时，第一至第 n 选择信号发生器各自将升压节点与输出节点电连接以激活对应的块选择信号；当去激活对应的使能信号时，第一至第 n 选择信号发生器各自将升压节点和输出节点之间的通道、以及升压节点和接地电压节点之间的通道电中断，

其中，所述第一至第 n 选择信号发生器中的每一个包括：

反馈电路，与输出节点电连接以产生随着对应的块选择信号的电压电平而变化的输出电压；

开关，将反馈电路的输出电压传输到输出节点；以及

直流通道断路器，当激活对应的使能信号时接通开关，并且当去激活对应的使能信号时断开开关。

7. 如权利要求 6 所述的半导体存储器件，其中，

所述反馈电路包括第一负沟道金属氧化物半导体耗尽型晶体管，所述第一负沟道金属氧化物半导体耗尽型晶体管具有与输出节点相连的第一端子和接收升压电压的第二端子；以及

所述开关包括第一正沟道金属氧化物半导体晶体管，所述第一正沟道金属氧化物半导体晶体管连接在所述第一负沟道金属氧化物半导体耗尽型晶体管和输出节点之间，并且响应于直流通道断路器的输出电压而导通或截止。

8. 如权利要求 7 所述的半导体存储器件，其中，所述第一至第 n 选择信号发生器的每一个还包括放电电路，当去激活对应的使能信号时，所述放电电路对输出节点的电压进行放电，并且放电电路包括：

串联连接在输出节点和接收使能信号的节点之间的第二负沟道金属氧化物半导体耗尽型晶体管和第一负沟道金属氧化物半导体晶体管，其中第二负沟道金属氧化物半导体耗尽型晶体管连接至输出节点，第一负沟道金属氧化物半导体晶体管连接至接收使能信号的节点。

9. 如权利要求 8 所述的半导体存储器件，其中，所述直流通道断路器包括：

第三负沟道金属氧化物半导体耗尽型晶体管，具有与升压节点相连的端子；

第二正沟道金属氧化物半导体晶体管，连接在第三负沟道金属氧化物半导体耗尽型晶体管和第一正沟道金属氧化物半导体晶体管的栅极之间；以及

第二负沟道金属氧化物半导体晶体管，连接在第一正沟道金属氧化物半导体晶体管的栅极和接地电压节点之间，并且响应于使能信号而导通或截止，并且

第一至第 n 选择信号发生器共享第三负沟道金属氧化物半导体耗尽型晶体管。

10. 如权利要求 9 所述的半导体存储器件，其中，所述第一至第 n 选择信号发生器共享第二正沟道金属氧化物半导体晶体管的单体。

11. 如权利要求 6 所述的半导体存储器件，其中，所述半导体存储器件是闪速存储器件。

防止泄漏电流的行解码器及包括其的半导体存储器件

[0001] 本申请要求 2005 年 12 月 28 日向韩国知识产权局递交的韩国专利申请 No.10-2005-0131459 的优先权，将其全部内容一并在此作为参考。

技术领域

[0002] 本发明涉及一种半导体存储器件，具体地，涉及一种行解码器，用于即使在非易失性存储器件中处于低电源电压时防止出现泄漏电流。

背景技术

[0003] 通常将诸如闪速电可擦除可编程只读存储器 (EEPROM) 的非易失性半导体存储器件用作便携电子系统中的数据存储器件。在各种类型的非易失性半导体存储器件中，一般使用具有 NAND 型存储单元的 NAND 闪速半导体存储器件和具有 NOR 型存储单元的 NOR 闪速半导体存储器件。

[0004] 在闪速存储器件中，当电源电压为低（例如，“1.6V”）时，行解码器或高压开关具有直流 (DC) 通道，导致较高的能耗。在闪速存储器件中，在内部使用了比电源电压高的升压电压。行解码器是一种也需要升压电压的电路，因此，当从升压电压节点形成 DC 通道时，增加了能耗。

[0005] 图 1 是传统的行解码器 500 的电路图。参考图 1，当将使能信号 EN 激活到“高”电平 (1) 时，高压正沟道金属氧化物半导体 (PMOS) 晶体管 541 的栅极 511 的电压转变成接地电压电平，并且高压 PMOS 晶体管 541 导通。然后通过接收输出信号 OUT 的反馈的负沟道 MOS (NMOS) 耗尽型晶体管 531 逐渐地增加节点 512 的电压。因此，输出信号 OUT 的电压增加到升压电压 VPP 的电平。

[0006] 然而，当去激活使能信号 EN 时，第一节点 511 的电压（反相器 551 的输出节点）具有电源电压 VCC 的电平，并且反相器 552 的输出电压具有接地电压电平 (0V)。因此，NMOS 晶体管 521 和 NMOS 耗尽型晶体管 532 导通，并且从而形成从输出节点 513 到反相器 552 的接地电压节点（未示出）的电通道。因此，输出信号 OUT 的电压电平降低到 0V。假设电源电压是 VCC 是约 1.6V，当 NMOS 耗尽型晶体管 531 的阈值电压是约 -2.5V 时，节点 512 的电压是约 2.5V。因此，在 PMOS 晶体管 541 的源极和栅极之间产生电压差，并且 PMOS 晶体管导通。然后，如图 1 中所示，在升压电压节点 (VPP) 和接地电压节点之间形成 DC 通道，所述 DC 通道导致能耗增加。

[0007] 如上所述，在传统的解码器中，即使去激活使能信号也形成了 DC 通道，并且因此增加了能耗。

发明内容

[0008] 本发明提出了一种行解码器，用于通过中断在低电源电压时可能形成的直流 (DC) 通道来减小能耗，并且提出了一种包括所述行解码器的半导体存储器件。

[0009] 根据本发明的一个方面，提出了一种行解码器，包括地址解码器和选择信号发

生器。地址解码器对预定的地址信号进行解码并且激活使能信号。当激活使能信号时，选择信号发生器将升压节点与输出节点电连接以激活块选择信号，并且当去激活使能信号时，选择信号发生器电中断升压节点和输出节点之间的通道、以及升压节点和接地电压节点之间的通道。选择信号发生器可以包括：反馈电路、开关、以及直流 (DC) 通道断路器。反馈电路与输出节点电连接以产生随着块选择信号的电压电平变化的输出电压。开关将反馈电路的输出电压传输到输出节点。直流 (DC) 通道断路器当激活使能信号时接通开关，并且当去激活使能信号时断开开关。

[0010] 在一个实施例中，反馈电路包括第一负沟道金属氧化物半导体 (NMOS) 耗尽型晶体管，所述第一 NMOS 耗尽型晶体管具有与输出节点相连的第一端子和接收升压电压的第二端子，所述开关包括第一正沟道 MOS (PMOS) 晶体管，所述第一 PMOS 晶体管连接在第一 NMOS 耗尽型晶体管和输出节点之间，并且响应于 DC 通道断路器的输出电压而导通或截止。

[0011] 在一个实施例中，当激活使能信号时，DC 通道断路器使第一 PMOS 晶体管的栅极的电压变成接地电压的电平，并且当去激活使能信号时，DC 通道断路器使第一 PMOS 晶体管的栅极的电压变成等于或高于第一 PMOS 晶体管的源极的电压。

[0012] 在一个实施例中，选择信号发生器还包括放电电路，当去激活使能信号时，所述放电电路对输出节点的电压进行放电，并且放电电路包括：串联连接在输出节点和接收使能信号的节点之间的第二 NMOS 耗尽型晶体管和第一 NMOS 晶体管，其中第二 NMOS 耗尽型晶体管连接至输出节点，第一 NMOS 晶体管连接至接收使能信号的节点。

[0013] 在一个实施例中，DC 通道断路器包括：第三 NMOS 耗尽型晶体管，具有与升压节点相连的端子；第二 PMOS 晶体管，连接在第三 NMOS 耗尽型晶体管和第一 PMOS 晶体管的栅极之间；以及第二 NMOS 晶体管，连接在第一 PMOS 晶体管的栅极和接地电压节点之间，并且响应于使能信号而导通或截止。

[0014] 根据本发明的另一个方面，提出了一种半导体存储器件，包括：存储单元阵列、行解码器、以及行线电压电平选择器。存储单元阵列包括第一至第 n 存储块，其中 n 是 2 或比 2 大的自然数。行解码器解码块地址信号，并且激活第一至第 n 块选择信号中的一个块选择信号以选择第一至第 n 存储块中的一个存储块。行线电压电平选择器解码字线地址信号，并且产生分别施加到与激活的块选择信号相对应的存储块中的行线的电压。

[0015] 行解码器可以包括地址解码器和第一至第 n 选择信号发生器。地址解码器解码块地址信号，并且激活第一至第 n 使能信号中的一个使能信号。当激活第一至第 n 使能信号中的对应的使能信号时，第一至第 n 选择信号发生器各自将升压节点与输出节点电连接以激活对应的块选择信号；当去激活对应的使能信号时，第一至第 n 选择信号发生器将升压节点和输出节点之间的通道、以及升压节点和接地电压节点之间的通道电中断。在一个实施例中，第一至第 n 选择信号发生器中的每一个包括：反馈电路，与输出节点电连接以产生随着对应的块选择信号的电压电平变化的输出电压；开关，将反馈电路的输出电压传输到输出节点；以及直流 (DC) 通道断路器，当激活对应的使能信号时接通开关，并且当去激活对应的使能信号时断开开关。

[0016] 在一个实施例中，反馈电路包括第一负沟道金属氧化物半导体 (NMOS) 耗尽型

晶体管，所述第一 NMOS 耗尽型晶体管具有与输出节点相连的第一端子和接收升压电压的第二端子，所述开关包括第一正沟道 MOS (PMOS) 晶体管，所述第一 PMOS 晶体管连接在第一 NOMS 耗尽型晶体管和输出节点之间，并且响应于 DC 通道断路器的输出电压而导通或截止。

[0017] 在一个实施例中，第一至第 n 选择信号发生器的每一个还包括放电电路，当去激活对应的使能信号时，所述放电电路对输出节点的电压进行放电，并且放电电路包括：串联连接在输出节点和接收使能信号的节点之间的第二 NMOS 耗尽型晶体管和第一 NMOS 晶体管，其中第二 NMOS 耗尽型晶体管连接至输出节点，第一 NMOS 晶体管连接至接收使能信号的节点。

[0018] 在一个实施例中，DC 通道断路器包括：第三 NMOS 耗尽型晶体管，具有与升压节点相连的端子；第二 PMOS 晶体管，连接在第三 NMOS 耗尽型晶体管和第一 PMOS 晶体管的栅极之间；以及第二 NMOS 晶体管，连接在第一 PMOS 晶体管的栅极和接地电压节点之间，并且响应于使能信号而导通或截止，并且第一至第 n 选择信号发生器共享第三 NMOS 耗尽型晶体管。

[0019] 在一个实施例中，第一至第 n 选择信号发生器共享第二 PMOS 晶体管的单体 (single body)。

[0020] 在一个实施例中，半导体存储器件是闪速存储器件。

附图说明

[0021] 根据本发明的优选方面的具体描述，本发明的前述和其他方面、特征、以及优点将变得更加清楚，如附图中所示，其中贯穿不同的图中相同的参考数字表示相同的部分。这些图不必是按比例的，而是着重说明本发明的原理。在图中，为清楚起见放大了层和区域的厚度。

[0022] 图 1 是传统行解码器的电路图。

[0023] 图 2 是根据本发明实施例的闪速存储器件的示意性方框图。

[0024] 图 3 是图 2 中示出的单个存储块的电路图。

[0025] 图 4 是图 2 中示出的第一选择信号发生器的电路图。

[0026] 图 5 是图 2 中示出的第一至第 n 选择信号发生器的电路图。

具体实施方式

[0027] 图 2 是根据本发明实施例的闪速存储器件 100 的示意性方框图。图 3 是图 2 中示出的单独存储块的电路图。

[0028] 参考图 2，闪速存储器件 100 包括：存储单元阵列 110、行解码器（即，X-解码器）120、行线电压电平选择器 140、地址缓冲器 150、页缓冲器 160、以及列解码器 170。

[0029] 存储单元阵列 110 包括多个（即，“n”个）存储块 111、112、113、…、11n。如图 3 中所示，“n”个存储块 111 至 11n 的每一个包括：多个位线 BL1、BL2、…、BLi，以及与位线 BL1 至 BLi 的每一个相连的存储单元串 MCS。

[0030] 地址缓冲器 150 缓冲并且输出地址信号 ADD。行解码器 120 解码地址信号 ADD 的块选择地址 ADDB，并且输出块选择信号 OUT1、OUT2、OUT3、…、OUTn 以在

“n”个存储块 111 至 11n 中选择一个存储块。行线电压电平选择器 140 解码地址信号 ADD 的字线选择地址 ADDW，并且使用多个电压 VPGM、VPASS 和 VREAD，选择并输出电压电平 SS、S32、S31、…、S1、和 GS，以施加到每一个存储块中的各个行线 SSL、WL32 至 WL1、和 GSL(图 3)。通过页缓冲器 160 输出存储单元阵列 110 的数据。列解码器 170 选择位线，通过所述位线输入/输出所述数据。

[0031] 下面参考图 3 详细地描述图 2 中示出的每一个存储块的结构。存储单元串 MCS 分别包括针对每一个位线 BL_j(其中 j = 1 至 i)的多个(在该实施例中是 32)单元晶体管 M1 至 M32。单元晶体管 M1 至 M32 串联连接在串选择晶体管 SST 的源极和接地选择晶体管 GST 的漏极之间。串选择晶体管 SST 的漏极与对应的位线 BL_j 相连，并且接地选择晶体管 GST 的源极与公共源极线 CSL 相连。

[0032] 分别与位线 BL_j 相连的串选择晶体管 SST 的栅极共同与串选择线 SSL 相连。接地选择晶体管 GST 的栅极共同与接地选择线 GSL 相连。一个存储单元串 MCS 中的单元晶体管 M1 至 M32 的控制栅极分别与字线 WL1 至 WL32 中对应的字线相连。该特征也适用于另一存储单元串 MCS 中的单元晶体管 M1 至 M32。存储块中的行线，即串选择线 SSL、接地选择线 GSL、字线 WL1 至 WL32 分别接收通过晶体管 PG0 至 PG33 从行线电压电平选择器 140 输出的行线选择电压 SS、S32、S31、…、S1 以及 GS，所述晶体管 PG0 至 PG33 分别响应于对应的块选择信号 OUT_j(其中 j = 1 至 n)而导通或截止。

[0033] 回头参考图 2，行解码器 120 包括地址解码器 125 和块选择信号产生电路 130。块选择信号产生电路 130 包括第一至第 n 选择信号发生器 131 至 13n。地址解码器 125 解码块选择地址 ADDB，并且产生使能信号 EN1、EN2、EN3、…、ENn，用于在“n”个存储块 111 至 11n 中选择一个存储块。第一至第 n 选择信号发生器 131 至 13n 分别响应于对应的使能信号 EN1 至 ENn，分别激活对应的块选择信号 OUT1 至 OUTn。如图 3 中所示，每一个块选择信号 OUT1 至 OUTn 导通晶体管 PG0 至 PG33，使得将行线电压电平选择器 140 所产生的行线选择电压 SS、S32 至 S1、以及 GS 施加到对应的存储块中的行线 SSL、WL32 至 WL1、以及 GSL。

[0034] 图 4 是图 2 中示出的第一选择信号发生器 131 的电路图。第一选择信号发生器 131 包括反馈晶体管 NDH1、开关晶体管 PH1、直流(DC)通道断路器 320、NMOS 晶体管 N1、NMOS 耗尽型晶体管 NDH2、以及反相器 I1 和 I2。

[0035] 反馈晶体管 NDH1 可以是高压 NMOS 耗尽型晶体管。反馈晶体管 NDH1 与输出节点 315 相连以接收块选择信号 OUT1 的反馈，并且根据块选择信号 OUT1 的电压电平来改变节点 312 的电压。开关晶体管 PH1 可以是高压 PMOS 晶体管。当激活使能信号 EN1(在该实施例中激活为高电平)时开关晶体管 PH1 导通，并且所述开关晶体管 PH1 将节点 312 的电压传输给输出节点 315，以将块选择信号 OUT1 的电压电平增加到升压电压 VPP 的电平。

[0036] 当激活使能信号 EN1 时，DC 通道断路器 320 导通开关晶体管 PH1，并且当去激活使能信号 EN1(在该实施例中去激活为低电平)时，DC 通道断路器 320 截止开关晶体管 PH1。具体地，为了控制开关晶体管 PH1，DC 通道断路器 320 如此操作，使得当激活使能信号 EN1 时，开关晶体管 PH1 的栅极 311 的电压具有接地电压电平，以及当去激活使能信号 EN1 时，开关晶体管 PH1 的栅极 311 的电压具有等于或大于开关晶体管 PH1 的

源极 312 的电压的电平。DC 通道断路器 320 包括：NMOS 耗尽型晶体管 NDH3、PMOS 晶体管 P1、以及 NMOS 晶体管 N2。

[0037] NMOS 耗尽型晶体管 NDH3 的栅极与接地电压相连。因为 NMOS 耗尽型晶体管 NDH3 的阈值电压比 0 低（例如约 -2.5V ），NMOS 耗尽型晶体管 NDH3 总是处于导通状态。因此 NMOS 耗尽型晶体管 NDH3 的源极具有比栅极高 $+2.5\text{V}$ 的电压。即，NMOS 耗尽型晶体管 NDH3 的源极具有约 2.5V 的电压。

[0038] 当激活使能信号 EN 时，第一选择信号发生器 131 如下操作。

[0039] 反相器 I2 的输出节点 313 的电压具有电源电压 VCC 的电平，并且从而将 DC 通道断路器 320 的 NMOS 晶体管 N2 导通。因此，开关晶体管 PH1 的栅极电压（即，节点 311 的电压）具有约 0V 的低电平，并且开关晶体管 PH1 导通。当假设输出信号 OUT1 最初具有 0V ，并且反馈晶体管 NDH1 的阈值电压是约 -2.5V 时，节点 312 的电压是约 2.5V 。将节点 312 的电压通过已经导通的开关晶体管 PH1 输出到输出信号 OUT1。因此，输出信号 OUT1 的电压增加到 2.5V 。当输出信号 OUT1 的电压变成 2.5V 时，节点 312 的电压电平变成 5V ，并且因此，输出信号 OUT1 的电压也增加到 5V 。如上所述，因为将输出信号 OUT1 反馈给反馈晶体管 NDH1 的栅极，所以节点 312 的电压和输出信号 OUT1 的电压逐渐地增加，直到输出信号 OUT1 的电压具有升压电压 VPP 的电平为止。

[0040] 由于 NMOS 耗尽型晶体管 NDH2 的原因，节点 314 的电压是约 2.5V ，并且从而将 DC 通道断路器 320 的 PMOS 晶体管 P1 截止。因此，中断了升压电压 VPP 和节点 311 之间的通道。另外，因为 NMOS 晶体管 N1 截止，没有形成输出节点 315 和接地电压节点之间的电流通路。

[0041] 当去激活使能信号 EN1 时，第一选择信号发生器 131 如下操作。

[0042] 当去激活使能信号 EN1 时，节点 313 的电压是 0V ，并且从而将 DC 通道断路器 320 的 NMOS 晶体管 N2 截止。同时，NMOS 晶体管 N1 导通，并且节点 314 的电压变成 0V ，并且因此，DC 通道断路器 320 的 PMOS 晶体管 P1 导通，使得节点 311 的电压变成 2.5V 。因此开关晶体管 PH1 的源极 312 和栅极 311 的电压电平几乎相同，并且从而没有导通开关晶体管 PH1。因此，当去激活使能信号 EN1 时，开关晶体管 PH1 截止，并且不会出现泄漏电流。即，没有形成从升压电压节点到接地电压节点的 DC 通道。当去激活使能信号 EN1 时，因为 NMOS 晶体管 N1 和 NMOS 耗尽型晶体管 NDH2 导通，对输出节点 315 的电压进行放电。换句话说，当去激活使能信号 EN1 时，NMOS 晶体管 N1 和 NMOS 耗尽型晶体管 NDH2 形成从输出节点 315 至反相器 I2 的接地电压节点的放电通道，从而将块选择信号 OUT1 降低到接地电压电平。

[0043] 图 5 是图 2 中示出的第一至第 n 选择信号发生器 131 至 13n 的电路图。这里，作为示例，假设存储块的数目“n”是 1024。

[0044] 参考图 5，第一选择信号发生器 131 与图 4 中示出的相同。其他的选择信号发生器，即第二至第 1024 选择信号发生器 13n 也具有与第一选择信号发生器 131 相同的结构，除了第二至第 1024 选择信号发生器 13n 没有单独包括 DC 通道断路器 320 的 NMOS 耗尽型晶体管 NDH3，而是共享第一选择信号发生器 131 中所包括的 NMOS 耗尽型晶体管 NDH3。

[0045] 第一至第 n 选择信号发生器 131 至 13n 共享 DC 通道断路器 320 的 PMOS 晶体

管 P1 的单体 (single body) 330。因为将单体 330 用于第一至第 n 选择信号发生器 131 至 13n，可以减小行解码器 120 (图 2) 的布局尺寸。因此，也可以减小半导体存储器件的整体尺寸。

[0046] 如上所述，根据本发明，当施加到半导体存储器件的电源电压的电平为低时，在行解码器中，中断 DC 通道，并且因此，不会产生泄漏电流。因此减小了能耗。

[0047] 尽管已经参考本发明的典型实施例，具体示出和描述了本发明，但本领域普通技术人员应当理解，在不脱离所附权利要求所限定的本发明的精神和范围的情况下，可以对这些实施例进行形式和细节上的多种改变。

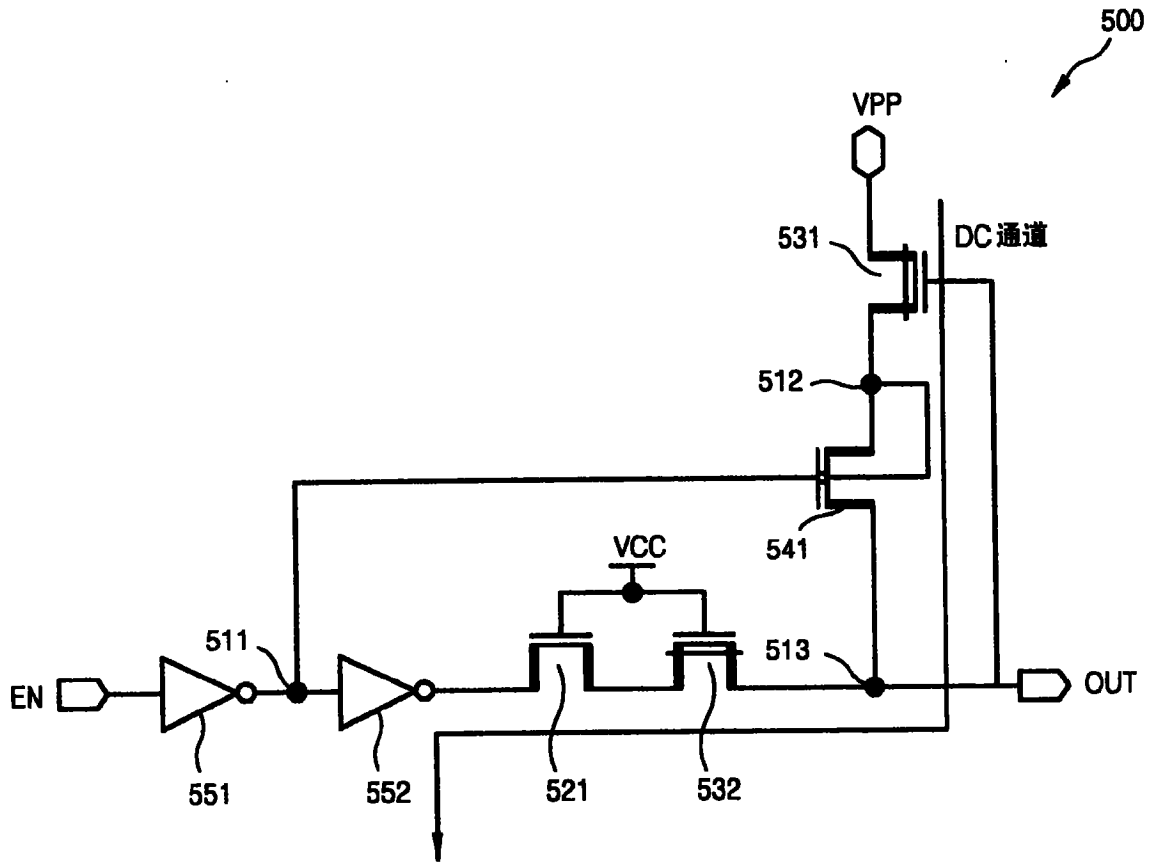


图 1

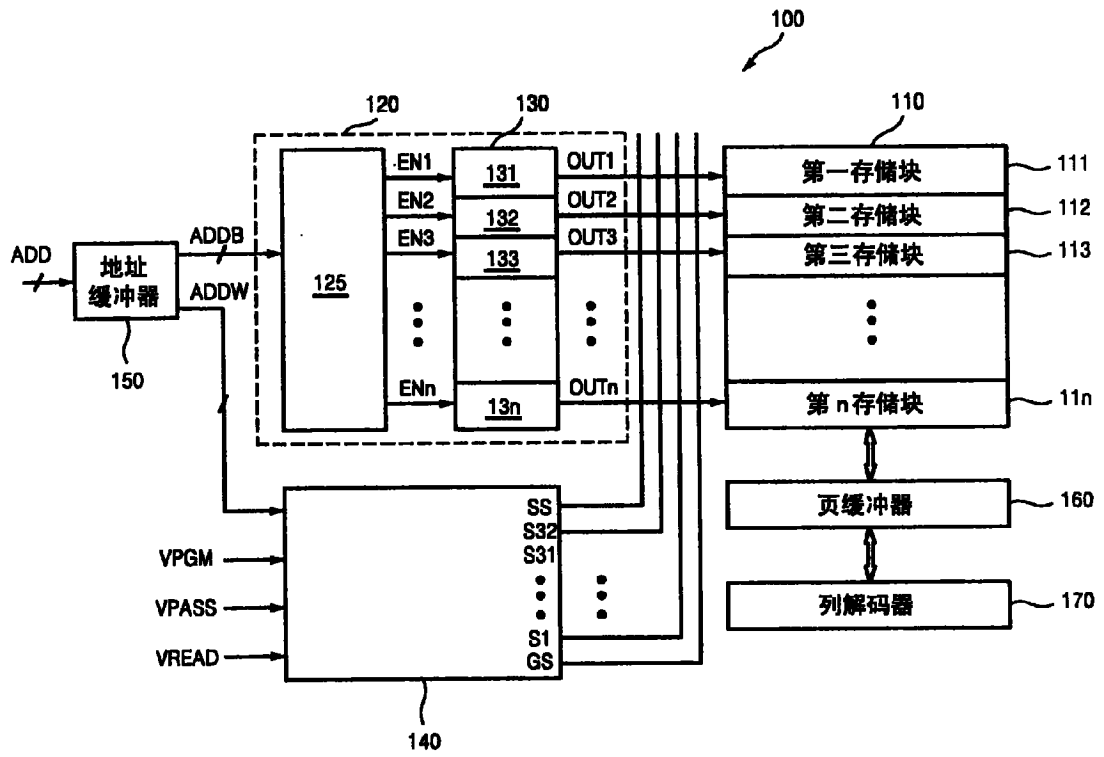


图 2

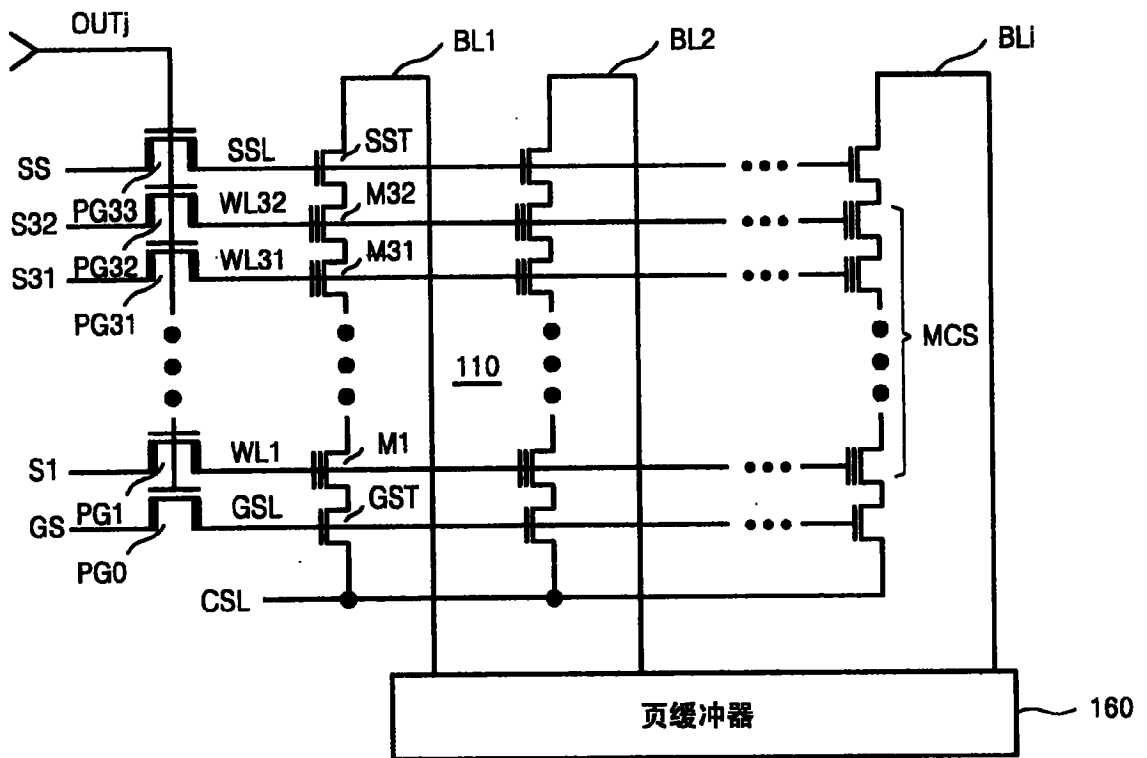


图 3

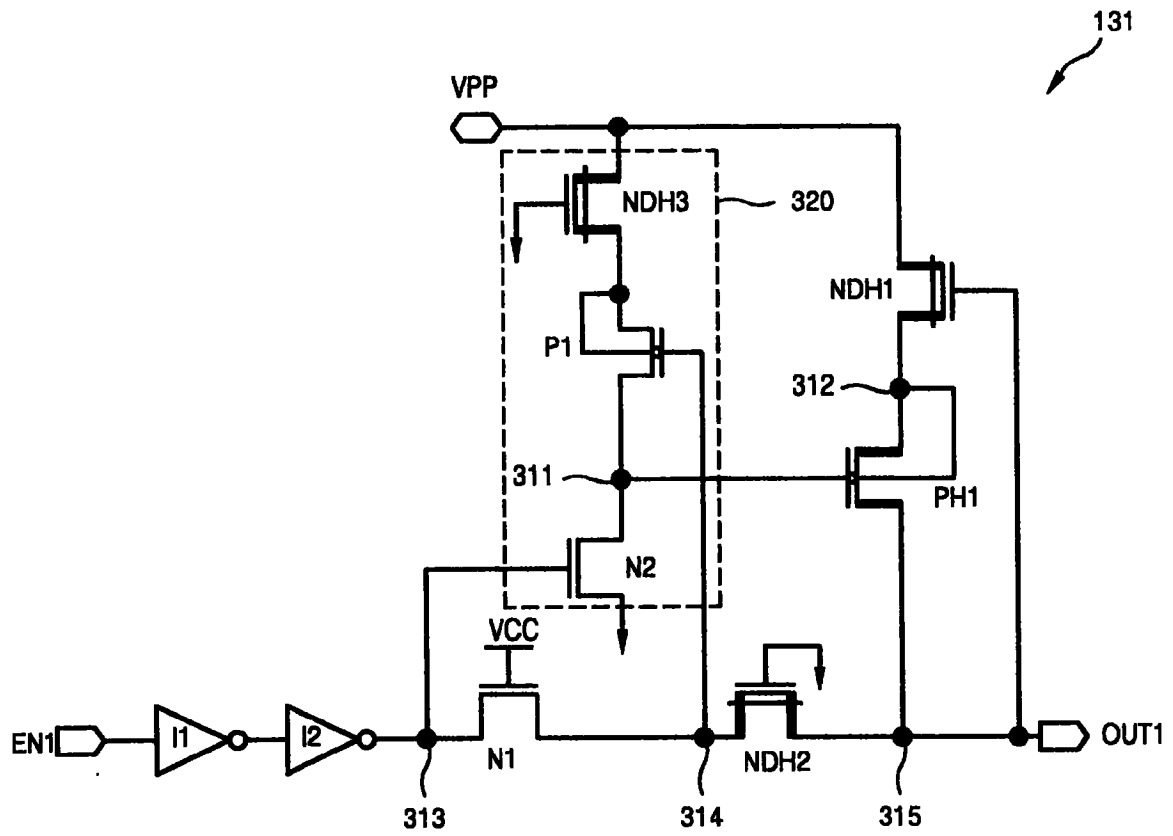


图 4

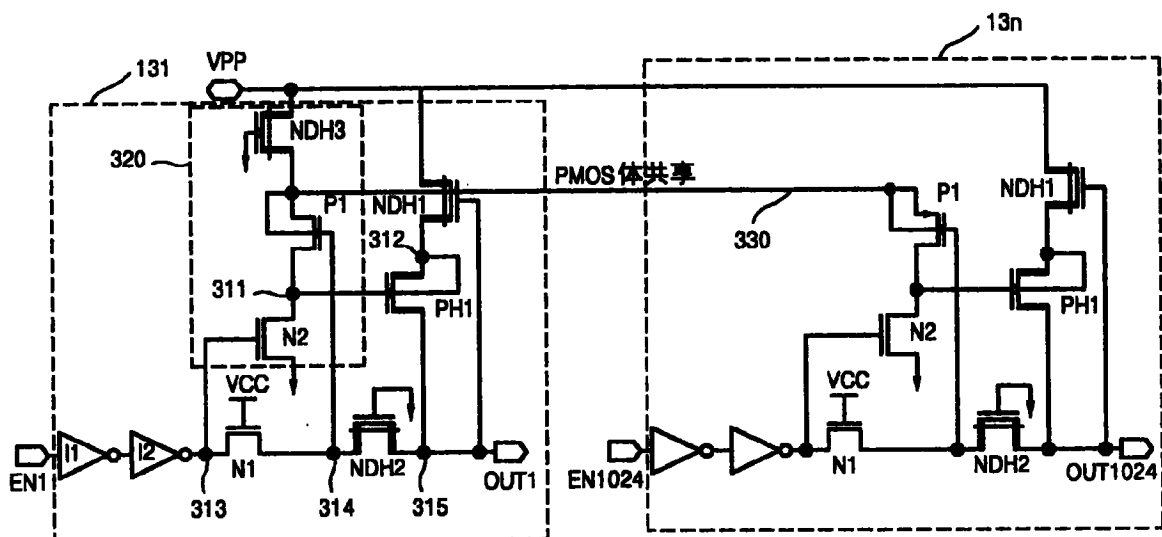


图 5