

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6078126号

(P6078126)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

(51) Int.Cl.		F I			
G 1 1 C	19/28	(2006.01)	G 1 1 C	19/28	2 3 O
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/20	6 7 0 J
			G 0 9 G	3/36	

請求項の数 6 (全 135 頁)

(21) 出願番号	特願2015-171749 (P2015-171749)	(73) 特許権者	000153878
(22) 出願日	平成27年9月1日(2015.9.1)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-13919 (P2014-13919)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	梅崎 敦司
原出願日	平成19年9月14日(2007.9.14)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-28367 (P2016-28367A)		半導体エネルギー研究所内
(43) 公開日	平成28年2月25日(2016.2.25)	(72) 発明者	三宅 博之
審査請求日	平成27年9月1日(2015.9.1)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-269905 (P2006-269905)		半導体エネルギー研究所内
(32) 優先日	平成18年9月29日(2006.9.29)		
(33) 優先権主張国	日本国(JP)	審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1乃至第8のトランジスタを有し、

前記第1のトランジスタの第1の電極と前記第2のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第1のトランジスタのゲート電極と前記第4のトランジスタのゲート電極と前記第5のトランジスタの第1の電極と前記第6のトランジスタの第1の電極と前記第7のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第2のトランジスタのゲート電極と前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極と前記第6のトランジスタのゲート電極と前記第8のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第5のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第7のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、互いに電氣的に接続され、

前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極とは、第1の導電層に設けられ、

前記第2のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは、第2の導電層に設けられ、

10

20

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、第3の導電層に設けられ、

前記第6のトランジスタの第1の電極は、第4の導電層に設けられ、

前記第7のトランジスタの第1の電極は、第5の導電層に設けられ、

前記第1のトランジスタのゲート電極は、第6の導電層に設けられ、

前記第4の導電層は、第1の配線を介して前記第6の導電層と電氣的に接続され、

前記第5の導電層は、第2の配線を介して前記第6の導電層と電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

第1乃至第8のトランジスタを有し、

前記第1のトランジスタの第1の電極と前記第2のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第1のトランジスタのゲート電極と前記第4のトランジスタのゲート電極と前記第5のトランジスタの第1の電極と前記第6のトランジスタの第1の電極と前記第7のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第2のトランジスタのゲート電極と前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極と前記第6のトランジスタのゲート電極と前記第8のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第5のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第7のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、互いに電氣的に接続され、

前記第4のトランジスタのW/L（Wはチャネル幅、Lはチャネル長）は、前記第3のトランジスタのW/Lよりも大きく、

前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極とは、第1の導電層に設けられ、

前記第2のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは、第2の導電層に設けられ、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、第3の導電層に設けられ、

前記第6のトランジスタの第1の電極は、第4の導電層に設けられ、

前記第7のトランジスタの第1の電極は、第5の導電層に設けられ、

前記第1のトランジスタのゲート電極は、第6の導電層に設けられ、

前記第4の導電層は、第1の配線を介して前記第6の導電層と電氣的に接続され、

前記第5の導電層は、第2の配線を介して前記第6の導電層と電氣的に接続されていることを特徴とする半導体装置。

【請求項3】

第1乃至第10のトランジスタを有し、

前記第1のトランジスタの第1の電極と前記第2のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第1のトランジスタのゲート電極と前記第4のトランジスタのゲート電極と前記第5のトランジスタの第1の電極と前記第6のトランジスタの第1の電極と前記第7のトランジスタの第1の電極と前記第9のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタのゲート電極と前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極と前記第6のトランジスタのゲート電極と前記第8のトランジスタの第1の電極と前記第10のトランジスタのゲート電極とは、互いに電氣的に接

10

20

30

40

50

続され、

前記第5のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第7のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、互いに電氣的に接続され、

前記第9のトランジスタの第1の電極と前記第10のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極とは、第1の導電層に設けられ、

10

前記第2のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは、第2の導電層に設けられ、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、第3の導電層に設けられ、

前記第6のトランジスタの第1の電極は、第4の導電層に設けられ、

前記第7のトランジスタの第1の電極は、第5の導電層に設けられ、

前記第1のトランジスタのゲート電極は、第6の導電層に設けられ、

前記第4の導電層は、第1の配線を介して前記第6の導電層と電氣的に接続され、

前記第5の導電層は、第2の配線を介して前記第6の導電層と電氣的に接続されている
ことを特徴とする半導体装置。

20

【請求項4】

第1乃至第10のトランジスタを有し、

前記第1のトランジスタの第1の電極と前記第2のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第1のトランジスタのゲート電極と前記第4のトランジスタのゲート電極と前記第5のトランジスタの第1の電極と前記第6のトランジスタの第1の電極と前記第7のトランジスタの第1の電極と前記第9のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタのゲート電極と前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極と前記第6のトランジスタのゲート電極と前記第8のトランジスタの第1の電極と前記第10のトランジスタのゲート電極とは、互いに電氣的に接続され、

30

前記第5のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第7のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、互いに電氣的に接続され、

前記第9のトランジスタの第1の電極と前記第10のトランジスタの第1の電極とは、互いに電氣的に接続され、

40

前記第4のトランジスタのW/L（Wはチャンネル幅、Lはチャンネル長）は、前記第3のトランジスタのW/Lよりも大きく、

前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極とは、第1の導電層に設けられ、

前記第2のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは、第2の導電層に設けられ、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、第3の導電層に設けられ、

前記第6のトランジスタの第1の電極は、第4の導電層に設けられ、

50

前記第 7 のトランジスタの第 1 の電極は、第 5 の導電層に設けられ、
前記第 1 のトランジスタのゲート電極は、第 6 の導電層に設けられ、
前記第 4 の導電層は、第 1 の配線を介して前記第 6 の導電層と電氣的に接続され、
前記第 5 の導電層は、第 2 の配線を介して前記第 6 の導電層と電氣的に接続されている
 ことを特徴とする半導体装置。

【請求項 5】

第 1 乃至第 10 のトランジスタを有し、
 前記第 1 のトランジスタの第 1 の電極と前記第 2 のトランジスタの第 1 の電極とは、互いに電氣的に接続され、
 前記第 1 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極と前記第 5 のトランジスタの第 1 の電極と前記第 6 のトランジスタの第 1 の電極と前記第 7 のトランジスタの第 1 の電極と前記第 9 のトランジスタのゲート電極とは、互いに電氣的に接続され、
 前記第 2 のトランジスタのゲート電極と前記第 3 のトランジスタの第 1 の電極と前記第 4 のトランジスタの第 1 の電極と前記第 6 のトランジスタのゲート電極と前記第 8 のトランジスタの第 1 の電極と前記第 10 のトランジスタのゲート電極とは、互いに電氣的に接続され、
 前記第 5 のトランジスタのゲート電極と前記第 8 のトランジスタのゲート電極とは、互いに電氣的に接続され、
 前記第 2 のトランジスタの第 2 の電極と前記第 4 のトランジスタの第 2 の電極と前記第 6 のトランジスタの第 2 の電極と前記第 7 のトランジスタの第 2 の電極と前記第 8 のトランジスタの第 2 の電極とは、互いに電氣的に接続され、
 前記第 9 のトランジスタの第 1 の電極と前記第 10 のトランジスタの第 1 の電極とは、互いに電氣的に接続され、
 前記第 9 のトランジスタの W/L (W はチャネル幅、 L はチャネル長) は、前記第 1 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 2 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 3 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 4 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 5 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 6 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 7 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 8 のトランジスタの W/L よりも大きく、
 前記第 9 のトランジスタの W/L は、前記第 10 のトランジスタの W/L よりも大きく、
 、
 前記第 3 のトランジスタの第 1 の電極と前記第 4 のトランジスタの第 1 の電極とは、第 1 の導電層に設けられ、
 前記第 2 のトランジスタのゲート電極と前記第 6 のトランジスタのゲート電極とは、第 2 の導電層に設けられ、
 前記第 2 のトランジスタの第 2 の電極と前記第 4 のトランジスタの第 2 の電極と前記第 6 のトランジスタの第 2 の電極と前記第 8 のトランジスタの第 2 の電極とは、第 3 の導電層に設けられ、
前記第 6 のトランジスタの第 1 の電極は、第 4 の導電層に設けられ、
前記第 7 のトランジスタの第 1 の電極は、第 5 の導電層に設けられ、
前記第 1 のトランジスタのゲート電極は、第 6 の導電層に設けられ、
前記第 4 の導電層は、第 1 の配線を介して前記第 6 の導電層と電氣的に接続され、
前記第 5 の導電層は、第 2 の配線を介して前記第 6 の導電層と電氣的に接続されている
 ことを特徴とする半導体装置。

【請求項 6】

第 1 乃至第 10 のトランジスタを有し、

前記第1のトランジスタの第1の電極と前記第2のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第1のトランジスタのゲート電極と前記第4のトランジスタのゲート電極と前記第5のトランジスタの第1の電極と前記第6のトランジスタの第1の電極と前記第7のトランジスタの第1の電極と前記第9のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタのゲート電極と前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極と前記第6のトランジスタのゲート電極と前記第8のトランジスタの第1の電極と前記第10のトランジスタのゲート電極とは、互いに電氣的に接続され、

10

前記第5のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、互いに電氣的に接続され、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第7のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、互いに電氣的に接続され、

前記第9のトランジスタの第1の電極と前記第10のトランジスタの第1の電極とは、互いに電氣的に接続され、

前記第9のトランジスタの W/L (W はチャンネル幅、 L はチャンネル長)は、前記第1のトランジスタの W/L よりも大きく、

前記第9のトランジスタの W/L は、前記第2のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第3のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第4のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第5のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第6のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第7のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第8のトランジスタの W/L よりも大きく、
前記第9のトランジスタの W/L は、前記第10のトランジスタの W/L よりも大きく

20

前記第4のトランジスタの W/L は、前記第3のトランジスタの W/L よりも大きく、
前記第3のトランジスタの第1の電極と前記第4のトランジスタの第1の電極とは、第1の導電層に設けられ、

30

前記第2のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは、第2の導電層に設けられ、

前記第2のトランジスタの第2の電極と前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極と前記第8のトランジスタの第2の電極とは、第3の導電層に設けられ、

前記第6のトランジスタの第1の電極は、第4の導電層に設けられ、

前記第7のトランジスタの第1の電極は、第5の導電層に設けられ、

前記第1のトランジスタのゲート電極は、第6の導電層に設けられ、

前記第4の導電層は、第1の配線を介して前記第6の導電層と電氣的に接続され、

40

前記第5の導電層は、第2の配線を介して前記第6の導電層と電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタを用いて構成された回路を有する表示装置に関する。特に液晶素子などの電気光学素子、もしくは発光素子などを表示媒体として用いる表示装置、およびその駆動方法に関する。

【背景技術】

【0002】

50

近年、液晶テレビなどの大型表示装置の増加から、表示装置の開発が活発に進められている。特に、絶縁基板上に非結晶半導体（以下、アモルファスシリコンともいう）によって構成されたトランジスタを用いて、画素回路およびシフトレジスタなどを含む駆動回路（以下、内部回路ともいう）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁基板上に形成された内部回路は、FPC（Flexible Printed Circuit）などを介してコントローラICなど（以下、外部回路ともいう）に接続され、その動作が制御される。

【0003】

上記示した内部回路の中でも、非結晶半導体によって構成されたトランジスタ（以下、アモルファスシリコントランジスタともいう）を用いたシフトレジスタが考案されている。従来のシフトレジスタが有するフリップフロップの構成を図100（A）に示す（特許文献1）。図100（A）のフリップフロップは、トランジスタ11（ブートストラップ用トランジスタ）、トランジスタ12、トランジスタ13、トランジスタ14、トランジスタ15、トランジスタ16およびトランジスタ17を有し、信号線21、信号線22、配線23、信号線24、電源線25、電源線26に接続されている。信号線21、信号線22、信号線24、電源線25、電源線26には、それぞれスタート信号、リセット信号、クロック信号、電源電位VDD、電源電位VSSが入力される。図100（A）のフリップフロップの動作期間は、図100（B）のタイミングチャートに示すように、セット期間、選択期間、リセット期間、非選択期間に分割される。

【0004】

セット期間において、信号線21からH信号を入力し、ノード41の電位をVDD-V_{th15}（V_{th15}：トランジスタ15のしきい値電圧）に上昇させることで、トランジスタ11をオンしたままノード41を浮遊状態としている。トランジスタ16は、信号線21からH信号が入力されるときにはオンしているので、ノード41にゲート電極が接続されたトランジスタ14をオンして、ノード42の電位をLレベルとすることで、トランジスタ16をオフしている。つまり、信号線21にH信号が入力されてから、トランジスタ16がオフするまでの期間は、トランジスタ11のゲート電極から電荷が漏れていた。

【0005】

ここで、電位がVDDである信号をH信号、電位がVSSである信号をL信号と呼ぶ。また、Lレベルとは、L信号の電位がVSSであることをいう。

【0006】

非特許文献1および非特許文献2の表示装置は、アモルファスシリコントランジスタで構成されるシフトレジスタを走査線駆動回路として用いて、さらにR、G、Bのサブ画素に1つの信号線からビデオ信号を入力することで、信号線の数を1/3に減らしている。こうして、非特許文献1および非特許文献2の表示装置は、表示パネルとドライバICの接続数を減らしている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-157508号公報

【非特許文献】

【0008】

【非特許文献1】Jin Young Choi, et al., "A Compact and Cost-efficient TFT-LCD through the Triple-Gate Pixel Structure", SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVII, p. 274-276

【非特許文献2】Yong Soon Lee, et al., "Advanced

TFT-LCD Data Line Reduction Method”, SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVII, p. 1083-1086

【発明の概要】

【発明が解決しようとする課題】

【0009】

従来の技術によれば、ブートストラップ用トランジスタをオンしたまま、ブートストラップ用トランジスタのゲート電極を浮遊状態としていた。しかしながら、従来の技術では、ブートストラップ用トランジスタをオンしたまま、ブートストラップ用トランジスタのゲート電極を浮遊状態とするまでに、時間を必要とするため、高速に動作できないという問題があった。さらに、トランジスタの半導体層としてアモルファスシリコンを用いた場合、トランジスタのしきい値電圧シフトを生じるという問題があった。さらに、信号線の数 $1/3$ に減らして、表示パネルとドライバICの接点の数を削減することが提案されているが（非特許文献1および非特許文献2）、実用的にはドライバICの接点の数をさらに削減することが求められている。

10

【0010】

すなわち、従来の技術で解決されないものとして、シフトレジスタが高速に動作できる回路技術、トランジスタのしきい値電圧の変動を抑制する回路技術が課題として残されている。また、表示パネルに実装するドライバICの接点数を削減する技術、表示装置の低消費電力化および表示装置の大型化または高精細化も課題として残されている。

20

【課題を解決するための手段】

【0011】

本明細書の表示装置は、ブートストラップ用トランジスタのゲート電極に接続されるトランジスタのゲート電極に、スタート信号によって制御されるスイッチを設けている。スタート信号が入力されると、スイッチを介して当該トランジスタのゲート電極に電位が供給され、当該トランジスタはオフされる。当該トランジスタがオフされると、ブートストラップ用トランジスタのゲート電極からの電荷の漏れを防止することができる。したがって、ブートストラップ用トランジスタのゲート電極に電荷を充電するための時間を早くすることができるので、高速に動作することができる。

30

【0012】

本書類（明細書、特許請求の範囲または図面など）に示すスイッチは、さまざまな形態のものを用いることができる。例としては、電氣的スイッチや機械的スイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることができる。また、これらを組み合わせた論理回路をスイッチとして用いることができる。

40

【0013】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタなどがある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_{ss}、GND、0Vなど）に近い状態で動作する場合は、Nチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（V_{dd}など）に近い状態で動作する場合は、Pチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタのソース端子が低電位

50

側電源に近い状態で動作するとき、またはPチャネル型トランジスタのソース端子が高電位側電源に近い状態で動作するときは、ゲート・ソース間電圧の絶対値を大きくでき、スイッチのオンまたはオフの切り替えが容易となるからである。また、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

【0014】

Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型スイッチをスイッチとして用いてもよい。CMOS型スイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタの、どちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。さらに、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることもできる。

10

【0015】

スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子およびドレイン端子の一方）と、出力端子（ソース端子およびドレイン端子の他方）と、導通を制御する端子（ゲート端子）と、を有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

20

【0016】

本明細書において、AとBが接続されている、と明示的に記載する場合は、AとBが電氣的に接続されている場合と、AとBが機能的に接続されている場合と、AとBが直接接続されている場合と、を含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、本明細書が開示する構成において、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0017】

例えば、AとBが電氣的に接続されている場合として、AとBの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBの間に1個以上配置されていてもよい。あるいは、AとBが機能的に接続されている場合として、AとBの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBの間に1個以上配置されていてもよい。あるいは、AとBが直接接続されている場合として、AとBの間に他の素子や他の回路を挟まずに、AとBが直接接続されていてもよい。

30

40

【0018】

AとBが直接接続されている、と明示的に記載する場合は、AとBが直接接続されている場合（つまり、AとBの間に他の素子や他の回路を間に介さずに接続されている場合）と、AとBが電氣的に接続されている場合（つまり、AとBの間に別の素子や別の回路を挟んで接続されている場合）と、を含むものとする。

【0019】

AとBが電氣的に接続されている、と明示的に記載する場合は、AとBが電氣的に接続されている場合（つまり、AとBの間に別の素子や別の回路を挟んで接続されている場合）と、AとBが機能的に接続されている場合（つまり、AとBの間に別の回路を挟んで機能的に接続されている場合）と、AとBが直接接続されている場合（つまり、AとBの間

50

に別の素子や別の回路を挟まずに接続されている場合)と、を含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0020】

表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、さまざまな形態に用いることができ、またさまざまな素子を有することができる。例えば、表示素子、表示装置、発光素子または発光装置としては、EL素子（有機EL素子、無機EL素子または有機物および無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックスディスプレイ、カーボンナノチューブなど、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を用いることができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【0021】

本書類（明細書、特許請求の範囲または図面など）に記載されたトランジスタとして、さまざまな形態のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスともいう）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることができる。TFTを用いる場合、さまざまなメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、または製造装置の大型化を図ることができる。製造装置の大型化により、大型基板上にトランジスタを製造できる。その結果、低コストで、同時に多くの個数の表示装置を製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。その結果、透明基板上のトランジスタを用いて、表示素子での光の透過を制御することができる。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることができる。その結果、開口率を向上させることができる。

【0022】

多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することができる。

【0023】

微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザを用いず、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチなど）を基板上に一体形成することができる。さらに、結晶化にレーザを用いない場合は、シリコンの結晶性のムラを抑えることができる。その結果、画質の向上した画像を表示することができる。

【0024】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0025】

半導体基板やSOI基板などを用いてトランジスタを形成することができる。その場合、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを本明細書に記載されたトランジスタとして用いることができる。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、または回路の高集積化を図ることができる。

【0026】

使用できるトランジスタとして、酸化亜鉛（ZnO）、アモルファス酸化物（a-InGaZnO）、シリコンゲルマニウム（SiGe）、ガリウム砒素（GaAs）、インジウム亜鉛酸化物（IZO）、インジウム錫酸化物（ITO）、酸化錫（SnO）などの化合物半導体、または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどがある。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えば、プラスチック基板やフィルム基板に直接トランジスタを形成することができる。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜または形成できるため、コストを低減できる。

【0027】

使用できるトランジスタとして、インクジェットや印刷法を用いて形成したトランジスタなどがある。これらにより、トランジスタを室温で製造、低真空度で製造、または大型基板上に製造することができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0028】

使用できるトランジスタとして、有機半導体やカーボンナノチューブを有するトランジスタなどがある。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。そのため、有機半導体やカーボンナノチューブを有するトランジスタなどを用いた装置は、衝撃に強くできる。

【0029】

その他、さまざまなトランジスタを用いることができる。

【0030】

トランジスタが形成されている基板の種類は、さまざまなものを用いることができ、特定のものに限定されることはない。トランジスタが形成される基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）もしくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）または皮下組織を基板として用いてもよい。または、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを転置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）もしくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる

。あるいは、人などの動物の皮膚（皮表、真皮）または皮下組織をトランジスタが転置される基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、または軽量化を図ることができる。

【0031】

トランジスタの構成は、さまざまな形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路や、非常に高い抵抗値を持つ能動負荷を実現することができる。その結果、特性のよい差動回路やカレントミラー回路を実現することができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加、または空乏層ができやすくなることによるS値の低減を図ることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続された構成となる。

【0032】

その他、チャンネル領域の上にゲート電極が配置されている構造でもよいし、チャンネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、チャンネル領域が並列に接続されていてもよいし、チャンネル領域が直列に接続されていてもよい。また、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャンネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域を設けてもよい。LDD領域を設けることにより、オフ電流の低減、またはトランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットである特性にすることができる。

【0033】

本明細書におけるトランジスタは、さまざまなタイプを用いることができ、さまざまな基板上に形成することができる。したがって、所定の機能を実現するために必要な回路の全てが、同一基板上に形成されていてもよい。例えば、所定の機能を実現するために必要な回路の全てが、ガラス基板上、プラスチック基板上、単結晶基板上、またはSOI基板上に形成されていてもよく、その他さまざまな基板上に形成されていてもよい。所定の機能を実現するために必要な回路の全てが、同じ基板上に形成されていることにより、部品点数を減らしてコストを低減し、回路部品との接続点数を減らして信頼性を向上させることができる。あるいは、所定の機能を実現するために必要な回路の一部が、ある基板上に形成されており、所定の機能を実現させるために必要な回路の別の一部が、別の基板上に形成されていてもよい。つまり、所定の機能を実現するために必要な回路の全てが、同じ基板上に形成されていなくてもよい。例えば、所定の機能を実現するために必要な回路の一部は、ガラス基板上にトランジスタを用いて形成され、所定の機能を実現するために必要な回路の別の一部は、単結晶基板上に形成され、単結晶基板上のトランジスタで構成されたICチップを、COG（Chip On Glass）でガラス基板に接続して、ガラス基板上にそのICチップを配置してもよい。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板上に形成されていることにより、部品

点数を減らしてコストを低減し、回路部品との接続点数を減らして信頼性を向上させることができる。また、駆動電圧が高い部分や駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板上に形成せず、そのかわりに、単結晶基板上にその部分の回路を形成して、その回路で構成された I C チップを用いるようにすれば、消費電力の増加を防ぐことができる。

【0034】

本明細書においては、一画素とは、明るさを制御できる要素 1 つ分を示すものとする。一例としては、一画素とは、1 つの色要素を示すものとし、その色要素 1 つで明るさを表現する。したがって、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、R の画素と G の画素と B の画素との三画素から構成されるものとする。なお、色要素は、3 色に限定されず、3 色以上を用いてもよいし、R G B 以外の色を用いてもよい。例えば、W (白) を加えて、R G B W としてもよい。また、R G B に、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを 1 色以上追加してもよい。また、例えば、R G B の中の少なくとも 1 色に類似した色を、R G B に追加してもよい。例えば、R、G、B 1、B 2 としてもよい。B 1 と B 2 とは、どちらも青色であるが、少し周波数が異なっている。同様に、R 1、R 2、G、B としてもよい。このような色要素を用いることにより、より実物に近く表示することができ、また消費電力を低減することができる。別の例としては、1 つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域 1 つ分を一画素としてもよい。一例として、面積階調を行う場合、または副画素 (サブ画素) を有している場合、1 つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、その明るさを制御する領域の 1 つ分を一画素としてもよい。その場合、1 つの色要素は、複数の画素で構成される。あるいは、明るさを制御する領域が 1 つの色要素の中に複数あっても、それらをまとめて、1 つの色要素を一画素としてもよい。その場合、1 つの色要素は、1 つの画素で構成されることとなる。また、1 つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。その場合、1 つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げてよい。つまり、1 つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なってもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることができる。

【0035】

なお、一画素 (3 色分) と明示的に記載する場合は、R と G と B の三画素分を一画素と考える場合である。一画素 (1 色分) と明示的に記載する場合は、1 つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合である。

【0036】

本書類において、画素は、マトリクス状に配置 (配列) されている場合がある。ここで、画素がマトリクスに配置 (配列) されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。例えば、3 色の色要素 (例えば R G B) でフルカラー表示する場合に、ストライプ配置されている場合や、3 つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素は、3 色に限定されず、それ以上でもよい。例えば、R G B W (W は白) や、R G B に、イエロー、シアン、マゼンタなどを 1 色以上追加したものなどがある。また、色要素のドットごとにその表示領域の大きさが異なってもよい。これにより、低消費電力化、または表示素子の長寿命化を図ることができる。

【0037】

本書類において、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることができる。

【0038】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることができる。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、または歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化を図ることができる。

【0039】

アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、または歩留まりの向上を図ることができる。また、能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化を図ることができる。

【0040】

トランジスタとは、ゲートと、ドレインと、ソースと、を含む少なくとも3つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域と、チャンネル領域と、ソース領域と、を介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件などによって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソースおよびドレインとして機能する領域を、ソースもしくはドレインと称する場合がある。その場合、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

【0041】

トランジスタは、ベースと、エミッタと、コレクタと、を含む少なくとも3つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0042】

ゲートとは、ゲート電極と、ゲート配線（ゲート線、ゲート信号線、走査線、走査信号線などともいう）と、を含んだ全体、もしくは、それらの一部のことをいう。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことをいう。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域、ソース領域またはドレイン領域と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、またはゲート電極と、別の配線と、を接続するための配線のことをいう。

【0043】

ただし、ゲート電極としても機能し、ゲート配線としても機能する部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでもよいし、ゲート配線と呼んでもよい。つまり、ゲート電極とゲート配線とが、明確に区別できない領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線など）はゲート配線として機能しているが、ゲート電極としても機能している。よって、そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでもよいし、ゲート配線と呼んでもよい。

【0044】

ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート電極と呼んでもよい。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート配線と呼んでもよい。このような部分

(領域、導電膜、配線など)は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、または別のゲート電極と接続させる機能を有していない場合がある。しかし、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)もある。よって、そのような部分(領域、導電膜、配線など)もゲート電極またはゲート配線と呼んでもよい。

【0045】

例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分(領域、導電膜、配線など)は、ゲート電極と、ゲート電極と、を接続させるための部分(領域、導電膜、配線など)であるため、ゲート配線と呼んでもよいが、マルチゲートのトランジスタを1つのトランジスタと見なすこともできるため、ゲート電極と呼んでもよい。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)は、ゲート電極やゲート配線と呼んでもよい。さらに、ゲート電極と、ゲート配線と、を接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでもよいし、ゲート配線と呼んでもよい。

【0046】

ゲート端子とは、ゲート電極の部分(領域、導電膜、配線など)、またはゲート電極と電氣的に接続されている部分(領域、導電膜、配線など)について、その一部分のことをいう。

【0047】

配線を、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線、またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0048】

ソースとは、ソース領域と、ソース電極と、ソース配線(ソース線、ソース信号線、データ線、データ信号線などともいう)と、を含んだ全体、もしくは、それらの一部のことをいう。ソース領域とは、P型不純物(ボロンやガリウムなど)やN型不純物(リンやヒ素など)が多く含まれる半導体領域のことをいう。したがって、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD(Lightly Doped Drain)領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことをいう。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、またはソース電極と、別の配線と、を接続するための配線のことをいう。

【0049】

しかしながら、ソース電極としても機能し、ソース配線としても機能する部分(領域、導電膜、配線など)も存在する。そのような部分(領域、導電膜、配線など)は、ソース電極と呼んでもよいし、ソース配線と呼んでもよい。つまり、ソース電極とソース配線が、明確に区別できない領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域がオーバーラップしている場合、その部分(領域、導電膜、配線など)はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分(領域、導電膜、配線など)は、ソース電極と呼んでもよいし、ソース配線と呼んでもよい。

【0050】

ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極を接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでもよい。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでもよい。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでもよい。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでもよい。

10

【0051】

例えば、ソース電極とソース配線とを接続している部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでもよいし、ソース配線と呼んでもよい。

【0052】

ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことをいう。

【0053】

配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線、またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

20

【0054】

なお、ドレインについては、ソースと同様である。

【0055】

半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。

30

【0056】

表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子または有機物および無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、DMD、などのことをいう。ただし、これらに限定されない。

【0057】

表示装置とは、表示素子を有する装置のことをいう。なお、表示装置とは、表示素子を含む複数の画素、またはそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことを指す。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆる、COGで接続されたICチップ、または、TABなどで接続されたICチップを含んでいてもよい。さらに、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたFPCを含んでもよい。さらに、表示装置は、FPCなどを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PWB）を含んでいてもよい。さらに、表示装置は、偏光板または位相差板などの光学シートを含んでいてもよい。さらに、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいてもよい。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを含んでいてもよい。

40

50

【0058】

照明装置とは、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管、熱陰極管など）、冷却装置などを有している装置のことをいう。

【0059】

発光装置とは、発光素子などを有している装置のことをいう。

【0060】

反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【0061】

液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0062】

駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことをいう。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

【0063】

表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複している装置もある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【0064】

本書類において、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接していない場合、つまり、AとBの間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0065】

例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に層Bが形成されている場合と、を含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0066】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に層Bが形成されている場合と、を含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0067】

Aの上にBが直接接して形成されている、と明示的に記載する場合は、Aの上に直接接してBが形成されている場合のみを含み、AとBの間に別の対象物が介在する場合は含まないものとする。

【0068】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【発明の効果】

【0069】

本明細書に記載の構成によって、シフトレジスタを高速に動作できる。特に、トランジスタの半導体層としてアモルファスシリコンを用いた場合でも、シフトレジスタを高速に動作できる。そのため、液晶表示装置をはじめとする当該シフトレジスタを適用した半導体装置を高速に動作でき、大型化または高精細化を容易に図ることができる。

【図面の簡単な説明】

【0070】

- 【図1】実施の形態1に示すフリップフロップの構成を説明する図。 10
- 【図2】図1で示したフリップフロップの動作を説明するタイミングチャート。
- 【図3】図1で示したフリップフロップの動作を説明する図。
- 【図4】実施の形態1に示すフリップフロップの構成を説明する図。
- 【図5】実施の形態1に示すフリップフロップの構成を説明する図。
- 【図6】実施の形態1に示すフリップフロップの動作を説明するタイミングチャート。
- 【図7】実施の形態1に示すシフトレジスタの構成を説明する図。
- 【図8】図7に示したシフトレジスタの動作を説明するタイミングチャート。
- 【図9】図7に示したシフトレジスタの動作を説明するタイミングチャート。
- 【図10】実施の形態1に示すシフトレジスタの構成を説明する図。 20
- 【図11】実施の形態1に示す表示装置の構成を説明する図。 20
- 【図12】図11で示した表示装置の書き込み動作を説明するタイミングチャート。
- 【図13】実施の形態1に示す表示装置の構成を説明する図。
- 【図14】実施の形態1に示す表示装置の構成を説明する図。
- 【図15】図14で示した表示装置の書き込み動作を説明するタイミングチャート。
- 【図16】実施の形態2に示すフリップフロップの動作を説明するタイミングチャート。
- 【図17】実施の形態2に示すフリップフロップの動作を説明するタイミングチャート。
- 【図18】実施の形態2に示すシフトレジスタの構成を説明する図。
- 【図19】図18で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図20】図18で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図21】実施の形態2に示す表示装置の構成を説明する図。 30
- 【図22】実施の形態2に示す表示装置の構成を説明する図。
- 【図23】実施の形態3に示すフリップフロップの構成を説明する図。
- 【図24】図23で示したフリップフロップの動作を説明するタイミングチャート。
- 【図25】実施の形態3に示すシフトレジスタの構成を説明する図。
- 【図26】図25で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図27】実施の形態4に示すフリップフロップの構成を説明する図。
- 【図28】図27で示したフリップフロップの動作を説明するタイミングチャート。
- 【図29】図5（A）に示したフリップフロップの上面図。
- 【図30】図10に示したバッファの構成を説明する図。
- 【図31】実施の形態5に示す信号線駆動回路の構成を説明する図。 40
- 【図32】図31で示した信号線駆動回路の動作を説明するタイミングチャート。
- 【図33】実施の形態5に示す信号線駆動回路の構成を説明する図。
- 【図34】図33で示した信号線駆動回路の動作を説明するタイミングチャート。
- 【図35】実施の形態5に示す信号線駆動回路の構成を説明する図。
- 【図36】実施の形態6に示す保護ダイオードの構成を説明する図。
- 【図37】実施の形態6に示す保護ダイオードの構成を説明する図。
- 【図38】実施の形態6に示す保護ダイオードの構成を説明する図。
- 【図39】実施の形態7に示す表示装置の構成を説明する図。
- 【図40】本発明に係る半導体装置を製造するプロセスを説明する図。
- 【図41】本発明に係る半導体装置の構造を説明する図。 50

【図 4 2】	本発明に係る半導体装置の構造を説明する図。	
【図 4 3】	本発明に係る半導体装置の構造を説明する図。	
【図 4 4】	本発明に係る半導体装置の構造を説明する図。	
【図 4 5】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 4 6】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 4 7】	本発明に係る半導体装置の表示装置の構成を説明する図。	
【図 4 8】	本発明に係る半導体装置の周辺回路構成を説明する図。	
【図 4 9】	本発明に係る半導体装置の周辺構成部材を説明する図。	
【図 5 0】	本発明に係る半導体装置の周辺構成部材を説明する図。	
【図 5 1】	本発明に係る半導体装置の周辺構成部材を説明する図。	10
【図 5 2】	本発明に係る半導体装置の周辺回路構成を説明する図。	
【図 5 3】	本発明に係る半導体装置の周辺構成部材を説明する図。	
【図 5 4】	本発明に係る半導体装置のパネル回路構成を説明する図。	
【図 5 5】	本発明に係る半導体装置のパネル回路構成を説明する図。	
【図 5 6】	本発明に係る半導体装置のパネル回路構成を説明する図。	
【図 5 7】	本発明に係る半導体装置の表示素子の断面図。	
【図 5 8】	本発明に係る半導体装置の表示素子の断面図。	
【図 5 9】	本発明に係る半導体装置の表示素子の断面図。	
【図 6 0】	本発明に係る半導体装置の表示素子の断面図。	
【図 6 1】	本発明に係る半導体装置の画素の上面図。	20
【図 6 2】	本発明に係る半導体装置の画素の上面図。	
【図 6 3】	本発明に係る半導体装置の画素の上面図。	
【図 6 4】	本発明に係る半導体装置の画素レイアウト例。	
【図 6 5】	本発明に係る半導体装置の画素レイアウト例。	
【図 6 6】	本発明に係る半導体装置の画素レイアウト例。	
【図 6 7】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 6 8】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 6 9】	本発明に係る半導体装置の画素の構成を説明する図。	
【図 7 0】	本発明に係る半導体装置の画素の構成を説明する図。	
【図 7 1】	本発明に係る半導体装置の画素の構成を説明する図。	30
【図 7 2】	本発明に係る半導体装置の画素レイアウト例と断面図。	
【図 7 3】	本発明に係る半導体装置の表示素子の断面図。	
【図 7 4】	本発明に係る半導体装置の表示素子の断面図。	
【図 7 5】	本発明に係る半導体装置の表示素子の断面図。	
【図 7 6】	本発明に係る半導体装置の構造を説明する図。	
【図 7 7】	本発明に係る半導体装置の構造を説明する図。	
【図 7 8】	本発明に係る半導体装置の構造を説明する図。	
【図 7 9】	本発明に係る半導体装置の構造を説明する図。	
【図 8 0】	本発明に係る半導体装置の構造を説明する図。	
【図 8 1】	本発明に係る半導体装置の構造を説明する図。	40
【図 8 2】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 8 3】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 8 4】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 8 5】	本発明に係る半導体装置の駆動方法の一を説明する図。	
【図 8 6】	本発明に係る半導体装置の構造を説明する図。	
【図 8 7】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 8 8】	本発明に係る半導体装置の構造を説明する図。	
【図 8 9】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 9 0】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 9 1】	本発明に係る半導体装置を用いた電子機器を説明する図。	50

【図 9 2】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 3】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 4】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 5】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 6】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 7】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 8】本発明に係る半導体装置を用いた電子機器を説明する図。
【図 9 9】図 1 0 に示したバッファの構成を説明する図。
【図 1 0 0】従来技術のフリップフロップの構成とタイミングを説明する図。
【発明を実施するための形態】

10

【0 0 7 1】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなく、その形態および詳細をさまざまに変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0 0 7 2】

(実施の形態 1)

本実施の形態では、フリップフロップ、当該フリップフロップを有する駆動回路、および当該駆動回路を有する表示装置の構成ならびに駆動方法について説明する。

20

【0 0 7 3】

本実施の形態のフリップフロップの基本構成について、図 1 (A) を参照して説明する。図 1 (A) に示すフリップフロップは、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 0 5、第 6 のトランジスタ 1 0 6、第 7 のトランジスタ 1 0 7 および第 8 のトランジスタ 1 0 8 を有する。本実施の形態において、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 0 5、第 6 のトランジスタ 1 0 6、第 7 のトランジスタ 1 0 7 および第 8 のトランジスタ 1 0 8 は、N チャネル型トランジスタとし、ゲート・ソース間電圧 (V_{gs}) がしき

30

【0 0 7 4】

本実施の形態のフリップフロップは、第 1 のトランジスタ 1 0 1 ~ 第 8 のトランジスタ 1 0 8 が、全て N チャネル型トランジスタで構成されていることを特徴とする。また、本実施の形態のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができる。そのため、製造工程の簡略化、製造コストの削減や歩留まりの向上を図ることができる。ただし、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0 0 7 5】

図 1 (A) のフリップフロップの接続関係について説明する。第 1 のトランジスタ 1 0 1 の第 1 の電極 (ソース電極およびドレイン電極の一方) が第 5 の配線 1 2 5 に接続され、第 1 のトランジスタ 1 0 1 の第 2 の電極 (ソース電極およびドレイン電極の他方) が第 3 の配線 1 2 3 に接続される。第 2 のトランジスタ 1 0 2 の第 1 の電極が第 4 の配線 1 2 4 に接続され、第 2 のトランジスタ 1 0 2 の第 2 の電極が第 3 の配線 1 2 3 に接続される。第 3 のトランジスタ 1 0 3 の第 1 の電極が第 6 の配線 1 2 6 に接続され、第 3 のトランジスタ 1 0 3 の第 2 の電極が第 2 のトランジスタ 1 0 2 のゲート電極に接続され、第 3 のトランジスタ 1 0 3 のゲート電極が第 6 の配線 1 2 6 に接続される。第 4 のトランジスタ 1 0 4 の第 1 の電極が第 8 の配線 1 2 8 に接続され、第 4 のトランジスタ 1 0 4 の第 2 の電極が第 2 のトランジスタ 1 0 2 のゲート電極に接続され、第 4 のトランジスタ 1 0 4 のゲート電極が第 1 のトランジスタ 1 0 1 のゲート電極に接続される。第 5 のトランジスタ

40

50

105の第1の電極が第7の配線127に接続され、第5のトランジスタ105の第2の電極が第1のトランジスタ101のゲート電極に接続され、第5のトランジスタ105のゲート電極が第1の配線121に接続される。第6のトランジスタ106の第1の電極が第10の配線130に接続され、第6のトランジスタ106の第2の電極が第1のトランジスタ101のゲート電極に接続され、第6のトランジスタ106のゲート電極が第2のトランジスタ102のゲート電極に接続される。第7のトランジスタ107の第1の電極が第11の配線131に接続され、第7のトランジスタ107の第2の電極が第1のトランジスタ101のゲート電極に接続され、第7のトランジスタ107のゲート電極が第2の配線122に接続される。第8のトランジスタ108の第1の電極が第9の配線129に接続され、第8のトランジスタ108の第2の電極が第2のトランジスタ102のゲート電極に接続され、第8のトランジスタ108のゲート電極が第1の配線121に接続される。

10

【0076】

第1のトランジスタ101のゲート電極、第4のトランジスタ104のゲート電極、第5のトランジスタ105の第2の電極、第6のトランジスタ106の第2の電極および第7のトランジスタ107の第2の電極の接続箇所をノード141とする。第2のトランジスタ102のゲート電極、第3のトランジスタ103の第2の電極、第4のトランジスタ104の第2の電極、第6のトランジスタ106のゲート電極および第8のトランジスタ108の第2の電極の接続箇所をノード142とする。

【0077】

20

第1の配線121、第2の配線122、第3の配線123および第5の配線125を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。また、第4の配線124、第6の配線126、第7の配線127、第8の配線128、第9の配線129、第10の配線130および第11の配線131を、それぞれ第1の電源線、第2の電源線、第3の電源線、第4の電源線、第5の電源線、第6の電源線、第7の電源線と呼んでもよい。

【0078】

次に、図1(A)に示したフリップフロップの動作について、図2のタイミングチャートおよび図3を参照して説明する。さらに、図2のタイミングチャートをセット期間、選択期間、リセット期間、非選択期間に分割して説明する。ただし、セット期間、リセット期間、非選択期間を合わせて非選択期間と呼ぶこともある。

30

【0079】

第6の配線126および第7の配線127には、V1の電位が供給される。第4の配線124、第8の配線128、第9の配線129、第10の配線130および第11の配線131には、V2の電位が供給される。ここで、 $V1 > V2$ である。また、電位がV1である信号をH信号、電位がV2である信号をL信号と呼ぶ。

【0080】

第1の配線121、第5の配線125、第2の配線122には、それぞれ図2に示す信号221、信号225、信号222が入力される。そして、第3の配線123からは、図2に示す信号223が出力される。ここで、信号221、信号225、信号222および信号223は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。さらに、信号221、信号225、信号222および信号223を、それぞれスタート信号、クロック信号、リセット信号、出力信号と呼んでもよい。

40

【0081】

ただし、第1の配線121、第2の配線122、第4の配線124～第11の配線131には、それぞれさまざまな信号、電位および電流が入力されてもよい。

【0082】

図2(A)および図3(A)に示すセット期間において、信号221がHレベルとなり、第5のトランジスタ105および第8のトランジスタ108がオンする。また、信号2

50

22がLレベルなので、第7のトランジスタ107がオフする。このときノード141の電位（電位241）は、第5のトランジスタ105の第2の電極がソース電極となって、第7の配線127の電位から第5のトランジスタ105のしきい値電圧を引いた値となるため、 $V1 - V_{th105}$ （ V_{th105} ：第5のトランジスタ105のしきい値電圧）となる。よって、第1のトランジスタ101および第4のトランジスタ104がオンし、第5のトランジスタ105がオフする。このときノード142の電位（電位242）は、第8の配線128の電位（ $V2$ ）と第6の配線126の電位（ $V1$ ）との電位差（ $V1 - V2$ ）が、第3のトランジスタ103、第4のトランジスタ104および第8のトランジスタ108によって分圧され、 $V2 + \beta$ （ β ：任意の正の数）となる。ただし、 $\beta < V_{th102}$ （ V_{th102} ：第2のトランジスタ102のしきい値電圧）および $\beta < V_{th106}$ （第6のトランジスタ106のしきい値電圧）とする。よって、第2のトランジスタ102および第6のトランジスタ106が、オフする。このように、セット期間では、第3の配線123は、L信号が入力されている第5の配線125と導通するため、第3の配線123の電位が $V2$ となる。したがって、L信号が第3の配線123から出力される。さらに、ノード141は、電位を $V1 - V_{th105}$ に維持したまま浮遊状態となる。

【0083】

第3のトランジスタ103および第4のトランジスタ104は、入力端子をノード141、出力端子をノード142とするインバータを構成している。したがって、本実施の形態のフリップフロップは、ノード141とノード142との間に、インバータとして機能する回路が配置されていればよい。

【0084】

本実施の形態のフリップフロップは、ノード142に第8のトランジスタ108を介して $V2$ を供給し、第6のトランジスタ106がオフするタイミングを早めている。そのため、ノード142の電位が、 $V1 - V_{th105}$ となる時間を短くできる。したがって、本実施の形態のフリップフロップは、高速動作が可能となり、より大型の表示装置またはより高精細な表示装置に適用できる。

【0085】

本実施の形態のフリップフロップは、図4（B）に示すように、第5のトランジスタ105の第1の電極が、第1の配線121に接続されても、上記説明したセット期間と同じ動作ができる。その結果、図4（B）のフリップフロップは、第7の配線127が不要となるため、歩留まりの向上を図ることができる。さらに、図4（B）のフリップフロップは、レイアウト面積の縮小を図ることができる。

【0086】

ノード142の電位を $V2 + \beta$ とするために、第4のトランジスタ104のチャンネル幅 W とチャンネル長 L との比 W/L の値は、第3のトランジスタ103の W/L の値よりも、少なくとも10倍以上にすることが好ましい。したがって、第4のトランジスタ104のトランジスタサイズ（ $W \times L$ ）が大きくなってしまふ。そこで、第3のトランジスタ103のチャンネル長 L の値を、第4のトランジスタ104のチャンネル長 L の値よりも大きく、より好ましくは2倍～3倍とするとよい。その結果、第4のトランジスタ104のトランジスタサイズを小さくできるため、レイアウト面積の縮小を図ることができる。

【0087】

図2（B）および図3（B）に示す選択期間では、信号221がLレベルとなり、第5のトランジスタ105および第8のトランジスタ108がオフする。また、信号222がLレベルのままなので、第7のトランジスタ107はオフのままである。このときノード141は、電位を $V1 - V_{th105}$ に維持している。よって、第1のトランジスタ101および第4のトランジスタ104は、オンのままである。また、このときノード142は電位を $V2 + \beta$ に維持している。よって、第2のトランジスタ102および第6のトランジスタ106は、オフのままである。ここで、第5の配線125にH信号が入力されるので、第3の配線123の電位が上昇し始める。すると、ノード141の電位は、ブートストラップ動作によって $V1 - V_{th105}$ から上昇し、 $V1 + V_{th101} + \alpha$ （ V_{th101} ：第1のトランジスタ101のしきい値電圧、 α ：任意の正の数）となる。

h101：第1のトランジスタ101のしきい値電圧、 α ：任意の正の数）となる。したがって、第3の配線123の電位は、第5の配線125と等しい電位V1となる。このように、選択期間では、第3の配線123はH信号が入力されている第5の配線125と導通するため、第3の配線123の電位がV1となる。したがって、H信号が第3の配線123から出力される。

【0088】

このブートストラップ動作は、第1のトランジスタ101のゲート電極と第2の電極の間の、寄生容量の容量結合によって行われる。図1（B）に示すように、第1のトランジスタ101のゲート電極と第2の電極の間に容量素子151を配置することで、安定してブートストラップ動作ができ、第1のトランジスタ101の寄生容量を小さくできる。容量素子151は、絶縁層としてゲート絶縁膜を用いて、導電層としてゲート電極層および配線層を用いてもよい。また、絶縁層としてゲート絶縁膜を用いて、導電層としてゲート電極層および不純物が添加された半導体層を用いてもよい。あるいは、絶縁層として層間膜（絶縁膜）を用いて、導電層として配線層および透明電極層を用いてもよい。容量素子151は、導電膜としてゲート電極層および配線層を用いる場合、ゲート電極層を第1のトランジスタ101のゲート電極と接続し、配線層を第1のトランジスタ101の第2の電極と接続するとよい。より望ましくは、導電膜としてゲート電極層および配線層を用いる場合、ゲート電極層を第1のトランジスタ101のゲート電極と直接接続し、配線層を第1のトランジスタ101の第2の電極と直接接続するとよい。なぜなら、容量素子151の配置によるフリップフロップのレイアウト面積の増加が、小さくなるからである。

【0089】

図1（C）に示すように、容量素子151としてトランジスタ152を用いてもよい。トランジスタ152は、ゲート電極がノード141に接続され、第1の電極および第2の電極が第3の配線123に接続されることで、大きな容量成分を持つ容量素子として機能することができる。ただし、トランジスタ152は、第1の電極および第2の電極のうち、どちらか一方を浮遊状態としても容量素子として機能できる。

【0090】

第1のトランジスタ101は、第3の配線123にH信号を供給しなければならない。したがって、信号223の立ち下がり時間および立ち上がり時間を短くするために、第1のトランジスタ101のW/Lの値は、第1のトランジスタ101～第8のトランジスタ108のそれぞれのW/Lの値の中で最大とすることが望ましい。

【0091】

第5のトランジスタ105は、セット期間において、ノード141（第1のトランジスタ101のゲート電極）の電位を $V1 - V_{th105}$ としなければならない。そのため、第5のトランジスタ105のW/Lの値は第1のトランジスタ101のW/Lの値よりも1/2倍～1/5倍、より望ましくは1/3倍～1/4倍とするとよい。

【0092】

図2（C）および図3（C）に示すリセット期間では、信号221がLレベルのままなので、第5のトランジスタ105および第8のトランジスタ108はオフのままである。また、信号222がHレベルなので、第7のトランジスタ107がオンする。このときのノード141の電位は、第11の配線131の電位（V2）が、第7のトランジスタ107を介して供給されるためV2となる。よって、第1のトランジスタ101および第4のトランジスタ104が、オフする。このときのノード142の電位は、第3のトランジスタ103の第2の電極がソース電極となって、第6の配線126の電位（V1）から第3のトランジスタ103のしきい値電圧を引いた値となるため、 $V1 - V_{th103}$ （ V_{th103} ：第3のトランジスタ103のしきい値電圧）となる。よって、第2のトランジスタ102および第6のトランジスタ106が、オンする。このように、リセット期間では、第3の配線123と、V2が供給されている第4の配線124が導通するため、第3の配線123の電位がV2となる。したがって、L信号が、第3の配線123から出力される。

【0093】

第7のトランジスタ107がオンするタイミングを遅延させることで、信号223の立ち下がり時間を短くできる。なぜなら、第5の配線125に入力されるL信号が、W/Lの値が大きい第1のトランジスタ101を介して、第3の配線123に供給されるからである。

【0094】

第7のトランジスタ107のW/Lの値を小さくして、ノード141の電位がV2となるまでの立ち下がり時間を長くしても、信号223の立ち下がり時間を短くできる。この場合は、第7のトランジスタ107のW/Lの値を、第1のトランジスタ101のW/Lの値よりも $1/10 \sim 1/40$ 倍、より好ましくは $1/20 \sim 1/30$ 倍とするとよい。

10

【0095】

図4(A)に示すように、第3のトランジスタ103の代わりに抵抗素子401を用いることで、ノード142の電位をV1にできる。そのため、第2のトランジスタ102および第6のトランジスタ106をオンしやすくでき、動作効率の向上を図ることができる。また、図4(C)に示すように、第3のトランジスタ103と並列に、トランジスタ402を接続してもよい。

【0096】

図2(D)および図3(D)に示す非選択期間において、信号221がLレベルのままなので、第5のトランジスタ105および第8のトランジスタ108はオフのままである。また、信号222がLレベルとなるので、第7のトランジスタ107がオフする。このとき、ノード142は、電位を $V1 - V_{th103}$ に維持している。そのため、第2のトランジスタ102および第6のトランジスタ106は、オンのままである。このとき、ノード141の電位は、第6のトランジスタ106を介してV2が供給されるので、V2のままである。よって、第1のトランジスタ101および第4のトランジスタ104は、オフのままである。このように、非選択期間では、第3の配線123と、V2が供給されている第4の配線124が導通するため、第3の配線123の電位は、V2のままである。したがって、L信号が、第3の配線123から出力される。

20

【0097】

第6の配線126に供給される電位をV1よりも小さくすることで、ノード142の電位を小さくできる。そのため、第2のトランジスタ102および第6のトランジスタ106のしきい値電圧シフトを抑制できる。したがって、本実施の形態のフリップフロップは、トランジスタの半導体層として特性劣化(しきい値電圧のシフト)が顕著に表れるアモルファスシリコンを用いても、トランジスタの特性劣化を抑制できる。

30

【0098】

以上のことから、本実施の形態のフリップフロップは、セット期間においてノード141の電位の立ち上がり時間を短くできるため、高速動作が可能となり、より大型の表示装置またはより高精細な表示装置に適用できる。

【0099】

ここで、第1のトランジスタ101～第8のトランジスタ108が有する機能を説明する。第1のトランジスタ101は、第5の配線125の電位を、第3の配線123に供給するタイミングを選択する機能を有する。また、ノード141の電位をブートストラップ動作によって上昇させる機能を有し、ブートストラップ用トランジスタとして機能する。第2のトランジスタ102は、第4の配線124の電位を、第3の配線123に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第3のトランジスタ103は、第6の配線126の電位と、第8の配線128の電位と、を分圧する機能を有し、抵抗成分を有する素子または抵抗素子として機能する。第4のトランジスタ104は、第8の配線128の電位を、ノード142に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第5のトランジスタ105は、第7の配線127の電位を、ノード141に供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第6のトランジスタ106は、第10の配線130

40

50

の電位を、ノード141に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第7のトランジスタ107は、第11の配線131の電位を、ノード141に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第8のトランジスタ108は、第9の配線129の電位を、ノード142に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【0100】

ただし、第1のトランジスタ101～第8のトランジスタ108は、上記説明した機能を有していれば、トランジスタとは限定されない。例えば、スイッチングトランジスタとして機能する第2のトランジスタ102、第4のトランジスタ104、第6のトランジスタ106、第7のトランジスタ107および第8のトランジスタ108は、スイッチング機能を有する素子であれば、ダイオード、CMOSアナログスイッチまたはさまざまな論理回路などを適用してもよい。さらに、入力用トランジスタとして機能する第5のトランジスタ105は、ノード141の電位を上昇させてオフするタイミングを選択する機能を有していれば、PN接合ダイオードまたはダイオード接続したトランジスタなどを適用してもよい。

【0101】

図1と同様に動作するものであれば、各トランジスタの配置および数などは図1に限定されない。図1(A)のフリップフロップの動作を説明した図3から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、非選択期間は、それぞれ図3(A)～図3(D)に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタなどを配置し、動作させる構成であれば、トランジスタ、その他の素子(抵抗素子、容量素子など)、ダイオード、スイッチ、さまざまな論理回路などを新たに配置してもよい。

【0102】

さらに、図1と同様に動作するものであれば、本実施の形態のフリップフロップの駆動タイミングは、図2のタイミングチャートに限定されない。

【0103】

例えば、図6のタイミングチャートに示すように、第1の配線121、第2の配線122、第5の配線125にH信号を入力する期間を短くしてもよい。図6は、図2のタイミングチャートと比較して、信号がLレベルからHレベルに切り替わるタイミングが期間Ta1だけ遅延し、信号がHレベルからLレベルに切り替わるタイミングが期間Ta2だけ早くなっている。したがって、図6のタイミングチャートを適用したフリップフロップは、各配線の瞬間電流が小さくなるため、省電力化、誤動作の抑制、動作効率の向上などを図ることができる。さらに、図6のタイミングチャートを適用したフリップフロップは、リセット期間において、第3の配線123から出力される信号の立ち下がり時間を短くできる。なぜなら、ノード141の電位がLレベルとなるタイミングが、期間Ta1+期間Ta2だけ遅延するので、第5の配線125に入力されているL信号が、電流能力の大きい(チャネル幅が大きい)第1のトランジスタ101を介して第3の配線123に供給されるからである。なお、図2のタイミングチャートと共通するところは、共通の符号を用いてその説明を省略する。

【0104】

期間Ta1、期間Ta2および期間Tbの関係は、 $((Ta1 + Tb) / (Ta1 + Ta2 + Tb)) \times 100 < 10$ [%] とすることが望ましい。より望ましくは、 $((Ta1 + Tb) / (Ta1 + Ta2 + Tb)) \times 100 < 5$ [%] とすることが望ましい。さらに、期間Ta1 期間Ta2とすることが望ましい。

【0105】

図1と同様に動作するものであれば、第1の配線121～第11の配線131は、自由に接続することができる。例えば、図5(A)に示すように、第2のトランジスタ102の第1の電極、第4のトランジスタ104の第1の電極、第6のトランジスタ106の第

10

20

30

40

50

1の電極、第7のトランジスタ107の第1の電極および第8のトランジスタ108の第1の電極が、第6の配線506に接続されてもよい。さらに、第5のトランジスタ105の第1の電極、第3のトランジスタ103の第1の電極および第3のトランジスタ103のゲート電極が、第5の配線505に接続されてもよい。また、図5(B)に示すように、第3のトランジスタ103の第1の電極および第3のトランジスタ103のゲート電極が、第7の配線507に接続されてもよい。ここで、第1の配線501、第2の配線502、第3の配線503および第4の配線504は、図1(A)の第1の配線121、第2の配線122、第3の配線123および第5の配線125に相当する。

【0106】

図5(A)、(B)のフリップフロップは、配線数を削減できるため、歩留まりの向上およびレイアウト面積の縮小を図ることができる。さらに、図5(A)、(B)のフリップフロップは、信頼性の向上および動作効率の向上を図ることができる。さらに、図5(B)のフリップフロップは、第6の配線506に供給する電位を小さくできるため、第2のトランジスタ102および第6のトランジスタ106のしきい値電圧のシフトを抑制できる。

【0107】

図5(A)に示したフリップフロップの上面図の一例を図29に示す。導電層2901は、第1のトランジスタ101の第1の電極として機能する部分を含み、配線2951を介して第4の配線504と接続される。導電層2902は第1のトランジスタ101の第2の電極として機能する部分を含み、配線2952を介して第3の配線503と接続される。導電層2903は、第1のトランジスタ101のゲート電極、および第4のトランジスタ104のゲート電極として機能する部分を含む。導電層2904は、第2のトランジスタ102の第1の電極、第6のトランジスタ106の第1の電極、第4のトランジスタ104の第1の電極、および第8のトランジスタ108の第1の電極として機能する部分を含み、第6の配線506と接続される。導電層2905は、第2のトランジスタ102の第2の電極として機能する部分を含み、配線2954を介して第3の配線503と接続される。導電層2906は第2のトランジスタ102のゲート電極、および第6のトランジスタ106のゲート電極として機能する部分を含む。導電層2907は、第3のトランジスタ103の第1の電極として機能する部分を含み、配線2955を介して第5の配線505と接続される。導電層2908は、第3のトランジスタ103の第2の電極、および第4のトランジスタ104の第2の電極として機能する部分を含み、配線2956を介して導電層2906と接続される。導電層2909は、第3のトランジスタ103のゲート電極として機能する部分を含み、配線2955を介して第5の配線505と接続される。導電層2910は、第5のトランジスタ105の第1の電極として機能する部分を含み、配線2959を介して第5の配線505と接続される。導電層2911は、第5のトランジスタ105の第2の電極、および第7のトランジスタ107の第2の電極として機能する部分を含み、配線2958を介して導電層2903と接続される。導電層2912は、第5のトランジスタ105のゲート電極として機能する部分を含み、配線2960を介して第1の配線501と接続される。導電層2913は、第6のトランジスタ106の第2の電極として機能する部分を含み、配線2957を介して導電層2903と接続される。導電層2914は、第7のトランジスタ107のゲート電極として機能する部分を含み、配線2962を介して第2の配線502と接続される。導電層2915は、第8のトランジスタ108のゲート電極として機能する部分を含み、配線2961を介して導電層2912と接続される。導電層2916は、第8のトランジスタ108の第2の電極として機能する部分を含み、配線2953を介して導電層2906と接続される。

【0108】

ここで、配線2962は、配線2951、配線2952、配線2953、配線2954、配線2955、配線2956、配線2957、配線2958、配線2959、配線2960または配線2961よりも、配線の幅が小さいことを特徴とする。あるいは、配線の長さが大きいことを特徴とする。つまり、配線2962の抵抗値を大きくすることを特徴と

10

20

30

40

50

する。こうすることで、リセット期間において、導電層 2 9 1 4 の電位が、H レベルになるタイミングを遅延させることができる。よって、リセット期間において、第 7 のトランジスタ 1 0 7 がオンするタイミングを遅延させることができるので、第 3 の配線 5 0 3 の信号を早く L レベルにすることができる。なぜなら、ノード 1 4 1 が L レベルになるタイミングが遅延し、その遅延の期間に L 信号が第 1 のトランジスタ 1 0 1 を介して、第 3 の配線 5 0 3 に供給されるからである。

【0 1 0 9】

なお、配線 2 9 5 1、配線 2 9 5 2、配線 2 9 5 3、配線 2 0 5 4、配線 2 9 5 5、配線 2 9 5 6、配線 2 9 5 7、配線 2 9 5 8、配線 2 9 5 9、配線 2 9 6 0、配線 2 9 6 1 および配線 2 9 6 2 は、画素電極（または透明電極、反射電極ともいう）と同様なものであり、同様のプロセスおよび材料によって形成されている。

10

【0 1 1 0】

第 1 のトランジスタ 1 0 1 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 1 とが重なって形成される部分である。第 2 のトランジスタ 1 0 2 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 2 とが重なって形成される部分である。第 3 のトランジスタ 1 0 3 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 3 とが重なって形成される部分である。第 4 のトランジスタ 1 0 4 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 4 とが重なって形成される部分である。第 5 のトランジスタ 1 0 5 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 5 とが重なって形成される部分である。第 6 のトランジスタ 1 0 6 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 6 とが重なって形成される部分である。第 7 のトランジスタ 1 0 7 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 7 とが重なって形成される部分である。第 8 のトランジスタ 1 0 8 のゲート電極、第 1 の電極および第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2 9 8 8 とが重なって形成される部分である。

20

【0 1 1 1】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタの構成および駆動方法について説明する。

30

【0 1 1 2】

本実施の形態のシフトレジスタの構成について図 7 を参照して説明する。図 7 のシフトレジスタは、 n 個のフリップフロップ（フリップフロップ 7 0 1 __ 1 ~ フリップフロップ 7 0 1 __ n ）を有する。

【0 1 1 3】

図 7 のシフトレジスタの接続関係について説明する。図 7 のシフトレジスタにおいて、 i 段目のフリップフロップ 7 0 1 __ i （フリップフロップ 7 0 1 __ 1 ~ フリップフロップ 7 0 1 __ n のうちいずれか）は、図 1（A）に示した第 1 の配線 1 2 1 が、第 7 の配線 7 1 7 __ $i - 1$ に接続される。図 1（A）に示した第 2 の配線 1 2 2 が、第 7 の配線 7 1 7 __ $i + 1$ に接続される。図 1（A）に示した第 3 の配線 1 2 3 が、第 7 の配線 7 1 7 __ i に接続される。図 1（A）に示した第 4 の配線 1 2 4、第 8 の配線 1 2 8、第 9 の配線 1 2 9、第 10 の配線 1 3 0 および第 11 の配線 1 3 1 が、第 5 の配線 7 1 5 に接続される。図 1（A）に示した第 5 の配線 1 2 5 が、奇数段目のフリップフロップでは第 2 の配線 7 1 2 に接続され、偶数段目のフリップフロップでは第 3 の配線 7 1 3 に接続される。図 1（A）に示した第 6 の配線 1 2 6 および第 7 の配線 1 2 7 が、第 4 の配線 7 1 4 に接続される。1 段目のフリップフロップ 7 0 1 __ 1 の図 1（A）に示す第 1 の配線 1 2 1 は、第 1 の配線 7 1 1 に接続される。また、 n 段目のフリップフロップ 7 0 1 __ n の図 1（A）に示す第 2 の配線 1 2 2 は、第 6 の配線 7 1 6 に接続される。

40

【0 1 1 4】

50

第1の配線711、第2の配線712、第3の配線713、第6の配線716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線714、第5の配線715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0115】

次に、図10に示したシフトレジスタの動作について、図8のタイミングチャートおよび図9のタイミングチャートを参照して説明する。図8のタイミングチャートは、走査期間と帰線期間に分割されている。走査期間は、第7の配線717__1からの選択信号の出力が開始されて、第7の配線717__nからの選択信号の出力が終了するまでの期間である。帰線期間は、第7の配線717__nからの選択信号の出力が終了して、第7の配線717__1からの選択信号の出力が開始されるまでの期間である。

10

【0116】

第4の配線714にはV1の電位が供給され、第5の配線715にはV2の電位が供給される。

【0117】

第1の配線711、第2の配線712、第3の配線713および第6の配線716には、それぞれ図8に示す信号811、信号812、信号813および信号816が入力される。ここで、信号811、信号812、信号813および信号816は、H信号の電位がV1、L信号の電位がV2のデジタル信号である。さらに、信号811、信号812、信号813および信号816を、それぞれスタート信号、第1のクロック信号、第2のクロック信号（反転クロック信号）およびリセット信号と呼んでもよい。

20

【0118】

ただし、第1の配線711～第6の配線716には、それぞれさまざまな信号、電位および電流が入力されてもよい。

【0119】

第7の配線717__1～第7の配線717__nからは、それぞれH信号の電位がV1、L信号の電位がV2の、デジタル信号817__1～817__nが出力される。ただし、図10に示すように、第7の配線717__1～第7の配線717__nから、それぞれバッファ1001__1～バッファ1001__nを介して信号が出力されてもよい。図10のシフトレジスタは、シフトレジスタの出力信号と、各フリップフロップの転送信号と、を分割できるので、動作させやすい。

30

【0120】

図10に示すシフトレジスタが有するバッファ1001__1～バッファ1001__nの一例について、図99（A）および図99（B）を参照して説明する。図99（A）に示すバッファ8000は、配線8011と配線8012の間にインバータ8001a、インバータ8001bおよびインバータ8001cが接続されることで、配線8011に入力される信号の反転信号が、配線8012から出力される。ただし、配線8011と配線8012の間に接続されるインバータの数に限定はなく、例えば配線8011と配線8012の間に偶数個のインバータが接続される場合は、配線8011に入力される信号と同じ極性の信号が配線8012から出力される。さらに、図99（B）のバッファ8100に示すように、直列に接続されたインバータ8002a、インバータ8002bおよびインバータ8002cと、直列に配置されたインバータ8003a、インバータ8003bおよびインバータ8003cが、並列に接続されてもよい。図99（B）のバッファ8100は、トランジスタの特性のバラツキを平均化できるため、配線8012から出力される信号の遅延およびなまりを低減できる。さらに、インバータ8002aおよびインバータ8003aの出力、ならびにインバータ8002bおよびインバータ8003bの出力は、接続されてもよい。

40

【0121】

図99（A）において、インバータ8001aが有するトランジスタのW<インバータ8001bが有するトランジスタのW<インバータ8001cが有するトランジスタのW

50

、とすることが好ましい。なぜなら、インバータ8001aが有するトランジスタのWが小さいことで、フリップフロップの駆動能力（具体的には図1（A）のトランジスタ101のW/Lの値）を小さくできるので、本発明のシフトレジスタのレイアウト面積を小さくできるからである。同様に、図99（B）において、インバータ8002aが有するトランジスタのW<インバータ8002bが有するトランジスタのW<インバータ8002cが有するトランジスタのW、とすることが好ましい。同様に、図99（B）において、インバータ8003aが有するトランジスタのW<インバータ8003bが有するトランジスタのW<インバータ8003cが有するトランジスタのW、とすることが好ましい。さらに、インバータ8002aが有するトランジスタのW=インバータ8003aが有するトランジスタのW、インバータ8002bが有するトランジスタのW=インバータ8003bが有するトランジスタのW、インバータ8002cが有するトランジスタのW=インバータ8003cが有するトランジスタのW、とすることが好ましい。

10

【0122】

図99（A）および図99（B）に示すインバータとしては、入力された信号を反転して出力できるものであれば特に限定されない。例えば、図99（C）に示すように、第1のトランジスタ8201および第2のトランジスタ8202によって、インバータを構成してもよい。さらに、第1の配線8211には信号が入力され、第2の配線8212からは信号が出力され、第3の配線8213にはV1が供給され、第4の配線8214にはV2が供給される。図99（C）のインバータは、第1の配線8211にH信号を入力すると、V1-V2を第1のトランジスタ8201と第2のトランジスタ8202で分割した電位（第1のトランジスタ8201のW/L<第2のトランジスタ8202のW/L）を、第2の配線8212から出力する。さらに、図99（C）のインバータは、第1の配線8211にL信号を入力すると、V1-V_{th8201}（V_{th8201}：第1のトランジスタ8201のしきい値電圧）を第2の配線8212から出力する。さらに、第1のトランジスタ8201は抵抗成分を有する素子であれば、PN接合ダイオードでもよいし、単に抵抗素子でもよい。

20

【0123】

図99（D）に示すように、第1のトランジスタ8301、第2のトランジスタ8302、第3のトランジスタ8303および第4のトランジスタ8304によってインバータを構成してもよい。第1の配線8311には信号が入力され、第2の配線8312からは信号が出力され、第3の配線8313および第5の配線8315にはV1が供給され、第4の配線8314および第6の配線8316にはV2が供給される。図99（D）のインバータは、第1の配線8311にH信号を入力すると、V2を第2の配線8312から出力する。このとき、ノード8341は電位をLレベルとするため、第1のトランジスタ8301はオフする。さらに、図99（D）のインバータは、第1の配線8311にL信号を入力すると、V1を第2の配線8312から出力する。このとき、ノード8341の電位が、V1-V_{th8303}（V_{th8303}：第3のトランジスタ8303のしきい値電圧）となると、ノード8341が浮遊状態となる。その結果、ノード8341の電位が、ブートストラップ動作によってV1+V_{th8301}（V_{th8301}：第1のトランジスタ8301のしきい値電圧）よりも高くなるので、第1のトランジスタ8301はオンする。さらに、第1のトランジスタ8301は、ブートストラップ用トランジスタとして機能するため、第2の電極とゲート電極との間に容量素子が配置されてもよい。

30

40

【0124】

図30（A）に示すように、第1のトランジスタ8401、第2のトランジスタ8402、第3のトランジスタ8403および第4のトランジスタ8404によってインバータを構成してもよい。図30（A）のインバータは、2入力型のインバータであり、ブートストラップ動作が可能である。第1の配線8411には信号が入力され、第2の配線8412には反転信号が入力され、第3の配線8413からは信号が出力される。第4の配線8414および第6の配線8416にはV1が供給され、第5の配線8415および第7の配線8417にはV2が供給される。図30（A）のインバータは、第1の配線841

50

1にL信号、第2の配線8412にH信号を入力すると、V2を第3の配線8413から出力する。このとき、ノード8441の電位はV2となるため、第1のトランジスタ8401はオフする。さらに、図30(A)のインバータは、第1の配線8411にH信号、第2の配線8412にL信号を入力すると、V1を第3の配線8413から出力する。このとき、ノード8441の電位が $V1 - V_{th8403}$ (V_{th8403} :第3のトランジスタ8403のしきい値電圧)となると、ノード8441が浮遊状態となる。その結果、ノード8441の電位が、ブートストラップ動作によって $V1 + V_{th8401}$ (V_{th8401} :第1のトランジスタ8401のしきい値電圧)よりも高くなるので、第1のトランジスタ8401はオンする。さらに、第1のトランジスタ8401は、ブートストラップ用トランジスタとして機能するため、第2の電極とゲート電極の間に容量素子が配置されてもよい。さらに、第1の配線8411および第2の配線8412のうち一方には、図1(A)に示す第3の配線123を接続し、他方には図1(A)に示すノード142を接続するとよい。

10

【0125】

図30(B)に示すように、第1のトランジスタ8501、第2のトランジスタ8502および第3のトランジスタ8503によって、インバータを構成してもよい。図30(B)のインバータは、2入力型のインバータであり、ブートストラップ動作が可能である。第1の配線8511には信号が入力され、第2の配線8512には反転信号が入力され、第3の配線8513からは信号が出力される。第4の配線8514および第6の配線8516にはV1が供給され、第5の配線8515にはV2が供給される。図30(B)のインバータは、第1の配線8511にL信号、第2の配線8512にH信号を入力すると、V2を第3の配線8513から出力する。このとき、ノード8541の電位はV2となるため、第1のトランジスタ8501はオフする。さらに、図30(B)のインバータは、第1の配線8511にH信号、第2の配線8512にL信号を入力すると、V1を第3の配線8513から出力する。このとき、ノード8541の電位が $V1 - V_{th8503}$ (V_{th8503} :第3のトランジスタ8503のしきい値電圧)となると、ノード8541が浮遊状態となる。その結果、ノード8541の電位が、ブートストラップ動作によって $V1 + V_{th8501}$ (V_{th8501} :第1のトランジスタ8501のしきい値電圧)よりも高くなるので、第1のトランジスタ8501はオンする。さらに、第1のトランジスタ8501は、ブートストラップ用トランジスタとして機能するため、第2の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第1の配線8511および第2の配線8512のうち一方には、図1(A)に示す第3の配線123を接続し、他方には図1(A)に示すノード142を接続するとよい。

20

30

【0126】

図30(C)に示すように、第1のトランジスタ8601、第2のトランジスタ8602、第3のトランジスタ8603および第4のトランジスタ8604によって、インバータを構成してもよい。図30(C)のインバータは、2入力型のインバータであり、ブートストラップ動作が可能である。さらに、第1の配線8611には信号が入力され、第2の配線8612には反転信号が入力され、第3の配線8613からは信号が出力される。第4の配線8614にはV1が供給され、第5の配線8615および第6の配線8616にはV2が供給される。図30(C)のインバータは、第1の配線8611にL信号、第2の配線8612にH信号を入力すると、V2を第3の配線8613から出力する。このとき、ノード8641の電位はV2となるため、第1のトランジスタ8601はオフする。さらに、図30(C)のインバータは、第1の配線8611にH信号、第2の配線8612にL信号を入力すると、V1を第3の配線8613から出力する。このとき、ノード8641の電位が $V1 - V_{th8603}$ (V_{th8603} :第3のトランジスタ8603のしきい値電圧)となると、ノード8641が浮遊状態となる。その結果、ノード8641の電位が、ブートストラップ動作によって $V1 + V_{th8601}$ (V_{th8601} :第1のトランジスタ8601のしきい値電圧)よりも高くなるので、第1のトランジスタ8601はオンする。第1のトランジスタ8601は、ブートストラップ用トランジスタと

40

50

して機能するため、第2の電極とゲート電極の間に容量素子が配置されてもよい。さらに、第1の配線8611および第2の配線8612のうち一方には、図1(A)に示す第3の配線123を接続し、他方には図1(A)に示すノード142を接続するとよい。

【0127】

図7において、フリップフロップ701__iのスタート信号として、第7の配線717__i-1から出力される信号を用い、リセット信号として、第7の配線717__i+1から出力される信号を用いる。フリップフロップ701__1のスタート信号は、第1の配線711から入力される。また、フリップフロップ701__nのリセット信号は、第6の配線716から入力される。ただし、フリップフロップ701__nのリセット信号として、第7の配線717__1から出力される信号を用いてもよいし、第7の配線717__2から出力される信号を用いてもよい。あるいは、ダミーのフリップフロップを新たに配置して、ダミーのフリップフロップの出力信号を用いてもよい。こうすることで、配線数および信号数を減らすことができる。

10

【0128】

図9に示すように、例えば、フリップフロップ701__iが選択期間となると、第7の配線717__iからH信号（選択信号）が出力される。このとき、フリップフロップ701__i+1は、セット期間となる。その後、フリップフロップ701__iがリセット期間となって、第7の配線717__iからL信号が出力される。このとき、フリップフロップ701__i+1は、選択期間となる。その後、フリップフロップ701__iが非選択期間となって、第7の配線717__iからL信号が出力されたままとなる。このとき、フリップフロップ701__i+1は、リセット期間となる。

20

【0129】

こうして、図7のシフトレジスタは、選択信号を第7の配線717__1から順に第7の配線717__nまで出力できる。つまり、図7のシフトレジスタは、第7の配線717__1～第7の配線717__nを走査できる。

【0130】

本実施の形態のフリップフロップを適用したシフトレジスタは、高速動作が可能なので、より高精細な表示装置、またはより大型の表示装置に適用できる。さらに、本実施の形態のフリップフロップを適用したシフトレジスタは、工程の簡略化、製造コストの削減および歩留まりの向上を図ることができる。

30

【0131】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置の構造、および駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【0132】

本実施の形態の表示装置の構成について、図11を参照して説明する。図11の表示装置は、信号線駆動回路1101、走査線駆動回路1102および画素部1104を有する。画素部1104は、信号線駆動回路1101から列方向に伸張して配置された複数の信号線S1～Sm、走査線駆動回路1102から行方向に伸張して配置された複数の走査線G1～Gn、および信号線S1～Smならびに走査線G1～Gnに対応してマトリクス状に配置された複数の画素1103を有する。そして、各画素1103は、信号線Sj（信号線S1～Smのうちいずれか一）、走査線Gi（走査線G1～Gnのうちいずれか一）と接続される。

40

【0133】

走査線駆動回路1102として、本実施の形態のシフトレジスタを適用することができる。もちろん、信号線駆動回路1101にも本実施の形態のシフトレジスタを用いてもよい。

【0134】

走査線G1～Gnは、図7および図10に示した第7の配線717__1～第7の配線717__nに接続される。

50

【0135】

信号線および走査線は、単に配線と呼んでもよい。さらに、信号線駆動回路1101および走査線駆動回路1102を、それぞれを駆動回路と呼んでもよい。

【0136】

画素1103は、少なくとも1つのスイッチング素子、1つの容量素子および画素電極を有している。ただし、画素1103は、複数のスイッチング素子または複数の容量素子を有していてもよい。さらに、容量素子は、必ずしも必要ではない。画素1103は、飽和領域で動作するトランジスタを有していてもよい。画素1103は、液晶素子またはEL素子などの表示素子を有していてもよい。スイッチング素子としては、トランジスタおよびPN接合ダイオードを用いることができる。ただし、スイッチング素子としてトランジスタを用いる場合は、トランジスタが線形領域で動作することが望ましい。さらに、走査線駆動回路1102が、Nチャネル型のトランジスタのみで構成される場合は、スイッチング素子としてNチャネル型トランジスタを用いることが望ましい。さらに、走査線駆動回路1102が、Pチャネル型のトランジスタのみで構成される場合は、スイッチング素子としてPチャネル型トランジスタを用いることが望ましい。

10

【0137】

走査線駆動回路1102および画素部1104は、絶縁基板1105上に形成され、信号線駆動回路1101は、絶縁基板1105上に形成されない。信号線駆動回路1101は、単結晶基板上、SOI基板上または絶縁基板1105とは別の絶縁基板上に形成されている。そして、信号線駆動回路1101は、FPCなどのプリント基板を介して、信号線S1～Smと接続される。ただし、信号線駆動回路1101は絶縁基板1105上に形成されていてもよいし、信号線駆動回路1101の一部を構成する回路が絶縁基板1105上に形成されてもよい。

20

【0138】

信号線駆動回路1101は、信号線S1～Smにビデオ信号として電圧または電流を入力する。ただし、ビデオ信号はデジタル信号でもよいし、アナログ信号でもよい。さらに、ビデオ信号は、1フレームごとに正極と負極が反転してもよいし（フレーム反転駆動）、1行ごとに正極と負極が反転してもよい（ゲートライン反転駆動）。あるいは、ビデオ信号は、1列ごとに正極と負極が反転してもよいし（ソースライン反転駆動）、1行および1列ごとに正極と負極が反転してもよい（ドット反転駆動）。さらに、ビデオ信号は、信号線S1～Smに点順次駆動で入力されてもよいし、線順次駆動で入力されてもよい。さらに、信号線駆動回路1101は、ビデオ信号だけでなく、プリチャージ電圧などの一定電圧を信号線S1～Smに入力してもよい。プリチャージ電圧などの一定電圧は、1ゲート選択期間ごと、1フレームごとに入力することが望ましい。

30

【0139】

走査線駆動回路1102は、走査線G1～Gnに信号を入力し、走査線G1～Gnを1行目から順に選択（以下、走査するともいう）する。そして、走査線駆動回路1102は、選択された走査線に接続される複数の画素1103を選択する。ここで、1つの走査線が選択されている期間を1ゲート選択期間と呼び、当該走査線が選択されていない期間を非選択期間と呼ぶ。さらに、走査線駆動回路1102が走査線に出力する信号を、走査信号と呼ぶ。さらに、走査信号の最大値は、ビデオ信号の最大値または信号線の最大電圧よりも大きく、走査信号の最小値は、ビデオ信号の最小値または信号線の最小電圧よりも小さいことを特徴とする。

40

【0140】

画素1103が選択されている場合には、信号線駆動回路1101から信号線を介して、画素1103にビデオ信号が入力される。さらに、画素1103が選択されていない場合には、画素1103は、選択期間に入力されたビデオ信号（ビデオ信号に対応した電位）を保持している。

【0141】

図示はしないが、信号線駆動回路1101および走査線駆動回路1102には、複数の

50

電位および複数の信号が供給されている。

【0142】

次に、図11に示した表示装置の動作について、図12のタイミングチャートを参照して説明する。図12において、1画面分の画像を表示する期間に相当する1フレーム期間を示す。1フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカ）を感じないように、1/60秒以下とすることが好ましい。

【0143】

図12のタイミングチャートでは、1行目の走査線G1、i行目の走査線Gi、i+1行目の走査線Gi+1およびn行目の走査線Gnがそれぞれ選択されるタイミングを示している。

10

【0144】

図12において、例えばi行目の走査線Giが選択され、走査線Giに接続される複数の画素1103が選択される。そして、走査線Giに接続される複数の画素1103は、それぞれビデオ信号を入力され、ビデオ信号に応じた電位を保持する。その後、i行目の走査線Giが非選択になって、i+1行目の走査線Gi+1が選択され、走査線Gi+1に接続される複数の画素1103が選択される。そして、走査線Gi+1に接続される複数の画素1103は、それぞれビデオ信号を入力され、ビデオ信号に応じた電位を保持する。このように、1フレーム期間において、走査線G1から走査線Gnまで順に選択され、各々の走査線に接続される画素1103も順に選択される。そして、各々の走査線に接続される複数の画素1103は、それぞれビデオ信号を入力され、ビデオ信号に応じた電位を保持する。

20

【0145】

本実施の形態のシフトレジスタを、走査線駆動回路1102として用いた表示装置は、高速動作が可能となるので、より高精細、またはより大型化を図ることができる。さらに、本実施の形態の表示装置は、工程の簡略化、製造コストの削減および歩留まりの向上を図ることができる。

【0146】

図11の表示装置は、高速動作が必要な信号線駆動回路1101と、走査線駆動回路1102および画素部1104と、を別々の基板上に形成する。そのため、走査線駆動回路1102が有するトランジスタの半導体層、および画素1103が有するトランジスタの半導体層として、アモルファスシリコンを用いることができる。その結果、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、本実施の形態の表示装置は、大型化を図ることができる。あるいは、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても、製造工程の簡略化を図ることができる。

30

【0147】

信号線駆動回路1101と、走査線駆動回路1102および画素部1104と、を同一基板上に形成する場合は、走査線駆動回路1102が有するトランジスタの半導体層、および画素1103が有するトランジスタの半導体層として、ポリシリコンまたは単結晶シリコンを用いるとよい。

40

【0148】

図11のように、画素を選択し、画素に独立してビデオ信号を書き込むことができれば、各駆動回路の数や配置などは図11に限定されない。

【0149】

例えば、図13に示すように、走査線G1～走査線Gnが第1の走査線駆動回路1302aおよび第2の走査線駆動回路1302bによって走査されてもよい。第1の走査線駆動回路1302aおよび第2の駆動回路1302bは、図11に示した走査線駆動回路1102と同様の構成であり、同じタイミングで走査線G1～走査線Gnを走査する。さらに、第1の走査線駆動回路1302aおよび第2の駆動回路1302bを、それぞれ第1の駆動回路、第2の駆動回路と呼んでもよい。

50

【0150】

図13の表示装置は、第1の走査線駆動回路1302aおよび第2の走査線駆動回路1302bのうち一方に不良が生じて、走査線駆動回路1302aおよび第2の走査線駆動回路1302bのうち他方が走査線G1～走査線Gnを走査できるため、冗長性を持つことができる。さらに、図13の表示装置は、第1の走査線駆動回路1302aの負荷（走査線の配線抵抗および走査線の寄生容量）および第2の走査線駆動回路1302bの負荷を図11に比べ半分程度にできる。そのため、走査線G1～走査線Gnに入力される信号（第1の走査線駆動回路1302aおよび第2の駆動回路1302bの出力信号）の遅延およびなまりを低減できる。さらに、図13の表示装置は、第1の走査線駆動回路1302aの負荷および第2の走査線駆動回路1302bの負荷が低減されるので、走査線G1～走査線Gnを高速に走査することができる。さらに、走査線G1～走査線Gnを高速に走査することができるので、パネルの大型化またはパネルの高精細化を可能にできる。なお、図11の構成と共通するところは共通の符号を用いてその説明を省略する。

10

【0151】

別の例として、図14は、画素にビデオ信号を高速に書き込むことができる表示装置である。図14の表示装置は、奇数行目の画素1103には奇数列目の信号線からビデオ信号を入力し、偶数行目の画素1103には偶数列目の信号線からビデオ信号を入力する。さらに、図14の表示装置は、走査線G1～走査線Gnのうち奇数段目の走査線が、第1の走査線駆動回路1402aによって走査され、走査線G1～走査線Gnのうち偶数段目の走査線が、第2の走査線駆動回路1402bによって走査される。さらに、第1の走査線駆動回路1402aに入力されるスタート信号は、第2の走査線駆動回路1402bに入力されるスタート信号よりも、クロック信号の1/4周期分遅延して入力される。

20

【0152】

図14の表示装置は、1フレーム期間において各信号線、1列ごとに正極のビデオ信号と、負極のビデオ信号と、を入力するだけで、ドット反転駆動をすることができる。さらに、図14の表示装置は、1フレーム期間ごとに、各信号線に入力するビデオ信号の極性を反転することで、フレーム反転駆動をすることができる。

【0153】

図14の表示装置の動作について、図15のタイミングチャートを参照して説明する。図15のタイミングチャートでは、1行目の走査線G1、i-1行目の走査線Gi-1、i行目の走査線Gi、i+1行目の走査線Gi+1およびn行目の走査線Gnが、それぞれ選択されるタイミングを示している。さらに、図15のタイミングチャートでは、1つの選択期間を選択期間aと選択期間bに分割している。さらに、図15のタイミングチャートでは、図14の表示装置が、ドット反転駆動およびフレーム反転駆動する場合について説明する。

30

【0154】

図15において、例えばi行目の走査線Giの選択期間aは、i-1行目の走査線Gi-1の選択期間bと重なっている。また、i行目の走査線Giの選択期間bは、i+1行目の走査線Gi+1の選択期間aと重なっている。したがって、選択期間aにおいて、i-1行j+1列目の画素1103に入力されるビデオ信号と同様のものが、i行j列目の画素1103に入力される。さらに、選択期間bにおいて、i行j列目の画素1103に入力されるビデオ信号と同様のものが、i+1行j+1列目の画素1103に入力される。なお、選択期間bにおいて画素1103に入力されるビデオ信号が、本来のビデオ信号であり、選択期間aにおいて画素1103に入力されるビデオ信号が、画素1103のプリチャージ用のビデオ信号である。したがって、画素1103それぞれは、選択期間aにおいてi-1行j+1列目の画素1103に入力されるビデオ信号によってプリチャージしたあとに、選択期間bにおいて本来（i行j列目）のビデオ信号を入力する。

40

【0155】

以上のことから、図14の表示装置は、画素1103に高速にビデオ信号を書き込むことができるため、大型化、高精細化を容易に実現することができる。さらに、図14の表

50

示装置は、1フレーム期間において信号線各々は同じ極性のビデオ信号が入力されるため、各信号線の充放電が少なく、低消費電力化を実現できる。さらに、図14の表示装置は、ビデオ信号を入力するためのICの負荷が大幅に低減されるため、ICの発熱およびICの消費電力などを低減することができる。さらに、図14の表示装置は、第1の走査線駆動回路1402aおよび第2の走査線駆動回路1402bの駆動周波数を約半分にできるため、省電力化を図ることができる。

【0156】

本実施の形態の表示装置は、画素1103の構成および駆動方法によって、さまざまな駆動方法を行うことができる。例えば、1フレーム期間において、走査線駆動回路は、走査線を複数回走査してもよい。

10

【0157】

図11、図13および図14の表示装置は、画素1103の構成によって別の配線などを追加してもよい。例えば、一定の電位に保たれている電源線、容量線および新たな走査線などを追加してもよい。新たに走査線を追加する場合には、本実施の形態のシフトレジスタを適用した走査線駆動回路を、新たに追加してもよい。別の例として、ダミーの走査線、信号線、電源線または容量線が画素部に配置されていてもよい。

【0158】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

20

【0159】

本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用、あるいは組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0160】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることができる。

30

【0161】

(実施の形態2)

本実施の形態では、実施の形態1とは別のフリップフロップ、当該フリップフロップを有する駆動回路、および当該駆動回路を有する表示装置の構成ならびに駆動方法について説明する。なお、実施の形態1と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0162】

本実施の形態のフリップフロップの構成は、実施の形態1と同様のフリップフロップの構成を用いることができる。よって、本実施の形態では、フリップフロップの構成の説明を省略する。ただし、フリップフロップを駆動するタイミングが実施の形態1とは異なる。

40

【0163】

本実施の形態の駆動タイミングを、図1(A)に適用した場合について説明するが、本実施の形態の駆動タイミングを図1(B)、図1(C)、図4(A)、図4(B)、図4(C)、図5(A)および図5(B)のフリップフロップと自由に組み合わせて実施することもできる。さらに、本実施の形態の駆動タイミングは、実施の形態1に記載の駆動タイミングと、自由に組み合わせて実施することもできる。

【0164】

50

本実施の形態のフリップフロップの動作について、図1(A)のフリップフロップおよび図16のタイミングチャートを参照して説明する。さらに、図16のタイミングチャートを、セット期間、選択期間、リセット期間、非選択期間に分割して説明する。ただし、セット期間は、第1のセット期間および第2のセット期間に分割され、選択期間は第1の選択期間および第2の選択期間に分割される。

【0165】

第1の配線121、第5の配線125および第2の配線122には、それぞれ図16に示す信号1621、信号1625および信号1622が入力される。そして、第3の配線123からは、図16に示す信号1623が出力される。ここで、信号1621、信号1625、信号1622および信号1623は、それぞれ図2に示した信号221、信号225、信号222および信号223に相当する。さらに、信号1621、信号1625、信号1622および信号1623を、それぞれスタート信号、クロック信号、リセット信号および出力信号と呼んでもよい。

10

【0166】

本実施の形態のフリップフロップは、基本的には実施の形態1で説明したフリップフロップと同様に動作する。ただし、本実施の形態のフリップフロップは、第1の配線121にH信号が入力されるタイミングが、クロック信号の1/4周期分遅延しているところが、実施の形態1のフリップフロップと異なる。

【0167】

本実施の形態のフリップフロップは、図16に示す第1のセット期間(A1)、第2のセット期間(A2)、リセット期間(C)および非選択期間(D)において、それぞれ図2に示した非選択期間(D)、セット期間(A)、リセット期間(C)および非選択期間(D)と同様の動作をするので説明を省略する。

20

【0168】

図17に示すように、本実施の形態のフリップフロップは、第2の配線122にH信号を入力するタイミングを、クロック信号の1/4周期分遅延させることで、出力信号の立ち下がり時間を大幅に短くすることができる。つまり、図17を適用した本実施の形態のフリップフロップは、図17に示す第1のリセット期間において、第5の配線125にL信号が入力され、ノード141の電位がおおむね V_{th101} まで下がる。したがって、第1のトランジスタ101はオンのままであり、L信号が第3の配線123から出力される。第3の配線123には、 W/L の値が大きい第1のトランジスタ101を介して、L信号が入力される。そのため、第3の配線123の電位が、HレベルからLレベルになるまでの時間を大幅に短くできる。その後、図17を適用した本実施の形態のフリップフロップは、図17(C2)に示す第2のリセット期間において、第7のトランジスタ107がオンして、ノード141の電位が V_2 となる。このときのノード142の電位(電位1642)は、 $V_1 - V_{th103}$ となって、第3のトランジスタ103がオンするため、L信号が第3の配線123から出力される。

30

【0169】

本実施の形態のフリップフロップは、実施の形態1に示したフリップフロップと同様の効果を得ることができる。

40

【0170】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタの構成および駆動方法について説明する。

【0171】

本実施の形態のシフトレジスタの構成について、図18を参照して説明する。図18のシフトレジスタは、 n 個のフリップフロップ(フリップフロップ1801__1~フリップフロップ1801__ n)を有する。

【0172】

図18のシフトレジスタの接続関係について説明する。図18のシフトレジスタにおいて、 i 段目のフリップフロップ1801__ i (フリップフロップ1801__1~フリップ

50

フリップ 1801__n のうちいずれか一)では、図 1 (A) に示した第 1 の配線 121 が、第 10 の配線 1820__i-1 に接続される。図 1 (A) に示した第 2 の配線 122 が、第 10 の配線 1820__i+2 に接続される。図 1 (A) に示した第 3 の配線 123 が、第 10 の配線 1820__i に接続される。図 1 (A) に示した第 4 の配線 124、第 8 の配線 128、第 9 の配線 129、第 10 の配線 130 および第 11 の配線 131 が、第 7 の配線 1817 に接続される。図 1 (A) に示した第 5 の配線 125 が、4N-3 (N は 1 以上の自然数) 段目のフリップフロップでは第 2 の配線 1812 に接続され、4N-2 段目のフリップフロップでは第 3 の配線 1813 に接続され、4N-1 段目のフリップフロップでは第 4 の配線 1814 に接続され、4N 段目のフリップフロップでは第 5 の配線 1815 に接続される。図 1 (A) に示す第 6 の配線 126 および第 7 の配線 127 が、第 6 の配線 1816 に接続される。ただし、1 段目のフリップフロップ 1801__1 において、図 1 (A) に示す第 1 の配線 121 が、第 1 の配線 1811 に接続される。n-1 段目のフリップフロップ 1801__n-1 において、図 1 (A) に示す第 2 の配線 122 が、第 9 の配線 1819 に接続される。n 段目のフリップフロップ 1801__n において、図 1 (A) に示す第 2 の配線 122 が、第 8 の配線 1818 に接続される。

10

【0173】

本実施の形態のフリップフロップに、図 17 のタイミングチャートを適用した場合は、i 段目のフリップフロップ 1801__i において、図 1 に示す第 2 の配線 122 は、第 10 の配線 1820__i+3 と接続される。したがって、n-3 段目のフリップフロップ 1801__n-3 において、図 1 (A) に示す第 2 の配線 122 には、新たに追加した配線が接続される。

20

【0174】

第 1 の配線 1811、第 2 の配線 1812、第 3 の配線 1813、第 4 の配線 1814、第 5 の配線 1815、第 8 の配線 1818 および第 9 の配線 1819 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線、第 5 の信号線、第 6 の信号線および第 7 の配線と呼んでもよい。さらに、第 6 の配線 1816 および第 7 の配線 1817 を、それぞれ第 1 の電源線および第 2 の電源線と呼んでもよい。

【0175】

次に、図 18 に示したシフトレジスタの動作について、図 19 のタイミングチャートおよび図 20 のタイミングチャートを参照して説明する。ここで、図 19 のタイミングチャートは、走査期間と帰線期間とに分割されている。

30

【0176】

第 6 の配線 1816 には、V1 の電位が供給される。また、第 7 の配線 1817 には、V2 の電位が供給される。

【0177】

第 1 の配線 1811、第 2 の配線 1812、第 3 の配線 1813、第 4 の配線 1814、第 5 の配線 1815、第 8 の配線 1818 および第 9 の配線 1819 には、それぞれ図 19 に示す信号 1911、信号 1912、信号 1913、信号 1914、信号 1915、信号 1918 および信号 1919 が入力される。ここで、信号 1911、信号 1912、信号 1913、信号 1914、信号 1915、信号 1918 および信号 1919 は、H 信号の電位が V1、L 信号の電位が V2 のデジタル信号である。さらに、信号 1911、信号 1912、信号 1913、信号 1914、信号 1915、信号 1918 および信号 1919 を、それぞれスタート信号、第 1 のクロック信号、第 2 のクロック信号、第 3 のクロック信号、第 4 のクロック信号、第 1 のリセット信号および第 2 のリセット信号と呼んでもよい。

40

【0178】

ただし、第 1 の配線 1811～第 9 の配線 1819 には、それぞれさまざまな信号、電位および電流が入力されてもよい。

【0179】

第 10 の配線 1820__1～1820__n からは、それぞれ H 信号の電位が V1、L 信

50

号の電位がV2のデジタル信号1920₁～1920_nが出力される。さらに、実施の形態1と同様に、第10の配線1820₁～1820_nにそれぞれバッファ接続することで、動作させやすくなる。

【0180】

フリップフロップ1801_iのスタート信号として、第10の配線1820_{i-1}から出力される信号を用い、リセット信号として、第10の配線1820_{i+2}から出力される信号を用いる。ここで、フリップフロップ1801₁のスタート信号は、第1の配線1811から入力される。フリップフロップ1801_{n-1}の第2のリセット信号は、第9の配線1819から入力される。フリップフロップ1801_nの第1のリセット信号は、第8の配線1818から入力される。ただし、フリップフロップ1801_{n-1}の第2のリセット信号として、第10の配線1820₁から出力される信号を用い、フリップフロップ1801_nの第1のリセット信号として、第10の配線1820₂から出力される信号を用いてもよい。あるいは、フリップフロップ1801_{n-1}の第2のリセット信号として、第10の配線1820₂から出力される信号を用い、フリップフロップ1801_nの第1のリセット信号として、第10の配線1820₃から出力される信号を用いてもよい。あるいは、第1のダミーのフリップフロップおよび第2のダミーのフリップフロップを新たに配置して、第1のダミーのフリップフロップの出力信号および第2のダミーのフリップフロップの出力信号を、それぞれ第1のリセット信号および第2のリセット信号として用いてもよい。こうすることで、配線数および信号数を減らすことができる。

【0181】

図20に示すように、例えば、フリップフロップ1801_iが、第1の選択期間となると、第10の配線1820_iからH信号（選択信号）が出力される。このとき、フリップフロップ1801_{i+1}は、第2のセット期間となる。その後、フリップフロップ1801_iが、第2の選択期間となっても、第10の配線1820_iからは、H信号が出力されたままである。このとき、フリップフロップ1801_{i+1}は、第1の選択期間となる。その後、フリップフロップ1801_iが、リセット期間となると、第10の配線1820_iからL信号が出力される。このとき、フリップフロップ1801_{i+1}は、第2の選択期間となる。その後、フリップフロップ1801_iが、非選択期間となっても、第10の配線1820_iからは、L信号が出力されたままである。このとき、フリップフロップ1801_{i+1}は、リセット期間となる。

【0182】

こうして、図18のシフトレジスタは、選択信号を、第10の配線1820₁から順に第10の配線1820_nまで出力できる。さらに、図18のシフトレジスタは、フリップフロップ1801_iの第2の選択期間と、フリップフロップ1801_{i+1}の第1の選択期間とが同一の期間となるため、同じ期間に第10の配線1820_iと第10の配線1820_{i+1}から選択信号を出力できる。

【0183】

本実施の形態のフリップフロップを適用したシフトレジスタは、高精細な表示装置または大型表示装置に適用できる。さらに、本実施の形態のシフトレジスタは、実施の形態1に示したシフトレジスタと同様の効果を得ることができる。

【0184】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置の構成および駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【0185】

本実施の形態の表示装置の構成について、図21を参照して説明する。図21の表示装置は、走査線G₁～走査線G_nが、走査線駆動回路2102によって走査される。さらに、図21の表示装置は、奇数行目の画素1103には、奇数行目の信号線からビデオ信号を入力し、偶数行目の画素1103には、偶数行目の信号線からビデオ信号を入力する。

なお、図 1 1 の構成と共通するところは、共通の符号を用いてその説明を省略する。

【0186】

図 2 1 の表示装置は、走査線駆動回路 2 1 0 2 に、本実施の形態のシフトレジスタを適用することによって、1つの走査線駆動回路によって、図 1 4 の表示装置と同様の動作ができる。その結果、図 1 4 の表示装置と同様の効果を得ることができる。

【0187】

図 1 3 と同様に、走査線 G 1 ～走査線 G n が、第 1 の走査線駆動回路 2 2 0 2 a および第 2 の走査線駆動回路 2 2 0 2 b によって走査されてもよい。その結果、図 1 3 の表示装置と同様の効果を得ることができる。その場合の構成を図 2 2 に示す。

【0188】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0189】

本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0190】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用、あるいは、組み合わせることができる。

【0191】

(実施の形態 3)

本実施の形態では、実施の形態 1 および実施の形態 2 とは別のフリップフロップ、当該フリップフロップを有する駆動回路、および当該駆動回路を有する表示装置の構成ならびに駆動方法について説明する。本実施の形態のフリップフロップは、フリップフロップの出力信号と、フリップフロップの転送信号と、を別々のトランジスタによって別々の配線から出力することを特徴とする。なお、実施の形態 1 および実施の形態 2 と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0192】

本実施の形態のフリップフロップの基本構成について、図 2 3 を参照して説明する。図 2 3 に示すフリップフロップは、図 1 (A) のフリップフロップに、第 9 のトランジスタ 1 0 9 および第 1 0 のトランジスタ 1 1 0 を追加したものと同様である。

【0193】

図 2 3 のフリップフロップの接続関係について説明する。第 9 のトランジスタ 1 0 9 の第 1 の電極が、第 1 3 の配線 1 3 3 に接続され、第 9 のトランジスタ 1 0 9 の第 2 の電極が、第 1 2 の配線 1 3 2 に接続され、第 9 のトランジスタ 1 0 9 のゲート電極が、ノード 1 4 1 に接続されている。第 1 0 のトランジスタ 1 1 0 の第 1 の電極が、第 1 4 の配線 1 3 4 に接続され、第 1 0 のトランジスタ 1 1 0 の第 2 の電極が、第 1 2 の配線 1 3 2 に接続され、第 1 0 のトランジスタ 1 1 0 のゲート電極がノード 1 4 2 に接続されている。その他の接続関係は、図 1 (A) と同様である。

【0194】

第 1 3 の配線 1 3 3 および第 1 4 の配線 1 3 4 を、それぞれ第 5 の信号線および第 8 の電源線と呼んでもよい。

【0195】

次に、図 2 3 に示したフリップフロップの動作について、図 2 4 のタイミングチャートを参照して説明する。ここで、図 2 4 のタイミングチャートを、セット期間、選択期間、リセット期間および非選択期間に分割して説明する。ただし、セット期間、リセット期間および非選択期間を合わせて非選択期間と呼ぶこともある。

【0196】

第 3 の配線 1 2 3 および第 1 2 の配線 1 3 2 からは、それぞれ信号 2 2 3、信号 2 3 2 が出力される。信号 2 3 2 はフリップフロップの出力信号であり、信号 2 2 3 はフリップフロップの転送信号である。ただし、信号 2 2 3 をフリップフロップの出力信号、信号 2 3 2 をフリップフロップの転送信号としてもよい。

【0197】

信号 2 3 2 をフリップフロップの出力信号、信号 2 2 3 をフリップフロップの転送信号として用いる場合は、第 9 のトランジスタ 1 0 9 の W/L の値を、第 1 のトランジスタ 1 0 1 ~ 第 1 0 のトランジスタ 1 1 0 の W/L の中で最大とするとよい。また、信号 2 2 3 をフリップフロップの出力信号、信号 2 3 2 をフリップフロップの転送信号として用いる場合は、第 1 のトランジスタ 1 0 1 の W/L の値を、第 1 のトランジスタ 1 0 1 ~ 第 1 0 のトランジスタ 1 1 0 の W/L の中で最大とするとよい。

【0198】

本実施の形態では、すでに述べたように、フリップフロップの出力信号と、フリップフロップの転送信号と、を別々のトランジスタによって別々の配線から出力することの特徴とする。つまり、図 2 3 のフリップフロップは、第 1 のトランジスタ 1 0 1 および第 2 のトランジスタ 1 0 2 によって、第 3 の配線 1 2 3 から信号を出力する。また、第 9 のトランジスタ 1 0 9 および第 1 0 のトランジスタ 1 1 0 によって、第 1 2 の配線 1 3 2 から信号を出力する。さらに、第 9 のトランジスタ 1 0 9 および第 1 0 のトランジスタ 1 1 0 は、第 1 のトランジスタ 1 0 1 および第 2 のトランジスタ 1 0 2 と同じように接続されるため、図 2 4 に示すように、第 1 2 の配線 1 3 2 から出力される信号（信号 2 3 2）は、第 3 の配線 1 2 3 から出力される信号（信号 2 2 3）とおおむね同じ波形である。

【0199】

第 1 のトランジスタ 1 0 1 は、次の段の第 5 のトランジスタ 1 0 5 のゲート電極、および第 8 のトランジスタ 1 0 8 のゲート電極に電荷を供給できればよいので、第 1 のトランジスタ 1 0 1 の W/L の値は、第 5 のトランジスタ 1 0 5 の W/L の値の 2 倍以下とすることが好ましい。より好ましくは第 5 のトランジスタ 1 0 5 の W/L の値以下とするとよい。

【0200】

第 9 のトランジスタ 1 0 9 および第 1 0 のトランジスタ 1 1 0 は、それぞれ第 1 のトランジスタ 1 0 1 および第 2 のトランジスタ 1 0 2 と同様の機能を有する。さらに、第 9 のトランジスタ 1 0 9 および第 1 0 のトランジスタ 1 1 0 をバッファ部と呼んでもよい。

【0201】

以上のことから、図 2 3 のフリップフロップは、第 1 2 の配線 1 3 2 に大きな負荷が接続され、信号 2 3 2 に遅延、なまりなどが生じても、誤動作を防止することができる。なぜなら、図 2 3 のフリップフロップは、フリップフロップの出力信号と、フリップフロップの転送信号と、を別々のトランジスタによって別々の配線から出力することによって、出力信号の遅延、なまりなどの影響を受けないからである。

【0202】

図 2 3 のフリップフロップは、実施の形態 1 および実施の形態 2 で説明したフリップフロップと同様の効果を得ることができる。

【0203】

本実施の形態のフリップフロップは、図 1 (B)、図 1 (C)、図 4 (A)、図 4 (B)、図 4 (C)、図 5 (A) および図 5 (B) と自由に組み合わせて実施することができる。さらに、本実施の形態のフリップフロップは、実施の形態 1 に記載の駆動タイミングおよび実施の形態 2 に記載の駆動タイミングと、自由に組み合わせて実施することができ

10

20

30

40

50

る。

【0204】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタの構成および駆動方法について説明する。

【0205】

本実施の形態のシフトレジスタの構成について、図25を参照して説明する。図25のシフトレジスタは、 n 個のフリップフロップ（フリップフロップ2501__1～フリップフロップ2501__ n ）を有する。

【0206】

フリップフロップ2501__1～フリップフロップ2501__ n 、第1の配線2511、第2の配線2512、第3の配線2513、第4の配線2514、第5の配線2515および第6の配線2516は、図7のフリップフロップ701__1～フリップフロップ701__ n 、第1の配線711、第2の配線712、第3の配線713、第4の配線714、第5の配線715および第6の配線716に相当し、同様の信号または同様の電源電圧が入力される。そして、第7の配線2517__1～第7の配線2517__ n と第8の配線2518__1～第8の配線2518__ n は、図7の第7の配線717__1～第7の配線717__ n に相当する。

【0207】

次に、図25に示したシフトレジスタの動作について、図26のタイミングチャートを参照して説明する。

【0208】

図25に示すシフトレジスタの動作は、図7に示したシフトレジスタの動作と比較して、出力信号と、転送信号とを、別々の配線に出力するところが異なる。具体的には、出力信号は、第8の配線2518__1～第8の配線2518__ n それぞれに出力され、転送信号は、第7の配線2517__1～第7の配線2517__ n それぞれに出力される。

【0209】

図25のシフトレジスタは、第8の配線2518__1～第8の配線2518__ n に大きな負荷（抵抗および容量など）が接続されても、負荷の影響を受けずに動作することができる。さらに、図25のシフトレジスタは、第8の配線2518__1～第8の配線2518__ n のいずれかが、電源線または信号線とショートしても、正常動作を続けることができる。したがって、図25のシフトレジスタは、動作効率の向上、信頼性の向上および歩留まりの向上を図ることができる。なぜなら、図25のシフトレジスタは、各フリップフロップの転送信号と、各フリップフロップの出力信号と、を分割しているからである。

【0210】

本実施の形態のフリップフロップを適用したシフトレジスタは、実施の形態1および実施の形態2で説明したシフトレジスタと同様の効果を得ることができる。

【0211】

本実施の形態のシフトレジスタは、図7および図10のシフトレジスタと自由に組み合わせる実施することができる。さらに、本実施の形態のシフトレジスタは、実施の形態1および実施の形態2の記載と自由に組み合わせる実施することができる。

【0212】

本実施の形態の表示装置として、図11、図13、図14、図21および図22の表示装置を用いることができる。したがって、本実施の形態の表示装置は、実施の形態1および実施の形態2で説明した表示装置と同様の効果を得ることができる。

【0213】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0214】

本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成できる。

【0215】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一列などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用、あるいは、組み合わせることができる。

10

【0216】

(実施の形態4)

本実施の形態では、本明細書のフリップフロップが有するトランジスタに、Pチャンネル型トランジスタを適用した場合について説明する。さらに、当該フリップフロップを有する駆動回路、および当該駆動回路を有する表示装置の構成ならびに駆動方法について説明する。

【0217】

本実施の形態のフリップフロップは、図1(A)のフリップフロップが有するトランジスタの極性を、Pチャンネル型とした場合について説明する。したがって、図27のフリップフロップは、図1のフリップフロップと同様の効果を得ることができる。なお、図1(B)、図1(C)、図4(A)、図4(B)、図4(C)、図5(A)、図5(B)および図23に示したフリップフロップが有するトランジスタの極性を、Pチャンネル型とすることもできる。なお、本実施の形態のフリップフロップは、実施の形態1乃至実施の形態3の記載と自由に組み合わせて実施することもできる。

20

【0218】

本実施の形態のフリップフロップの基本構成について、図27を参照して説明する。図27に示すフリップフロップは、第1のトランジスタ2701～第8のトランジスタ2708を有する。そして、第1のトランジスタ2701～第8のトランジスタ2708は、図1(A)の第1のトランジスタ101～第8のトランジスタ108にそれぞれ対応する。ただし、第1のトランジスタ2701～第8のトランジスタ2708は、Pチャンネル型トランジスタとし、ゲート・ソース間電圧の絶対値($|V_{gs}|$)が、しきい値電圧の絶対値($|V_{th}|$)を上回ったとき(V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。

30

【0219】

本実施の形態のフリップフロップは、第1のトランジスタ2701～第8のトランジスタ2708が、全てPチャンネル型トランジスタで構成されていることを特徴とする。したがって、本実施の形態のフリップフロップは、製造工程の簡略化、製造コストの削減および歩留まりの向上を図ることができる。

【0220】

図27のフリップフロップの接続関係は、図1(A)と同様なので省略する。

40

【0221】

図27の第1の配線2721～第11の配線2731は、図1の第1の配線121～第11の配線131にそれぞれ相当する。

【0222】

次に、図27に示したフリップフロップの動作について、図28のタイミングチャートを参照して説明する。ここで、図28のタイミングチャートをセット期間、選択期間、リセット期間および非選択期間に分割して説明する。ただし、セット期間、リセット期間および非選択期間を合わせて非選択期間と呼ぶこともある。

【0223】

図28のタイミングチャートは、図2のタイミングチャートのHレベルとLレベルを反

50

転したものと、同様である。つまり、図27のフリップフロップは、図1(A)のフリップフロップと比較して、入力信号および出力信号のHレベルとLレベルとが反転しただけである。なお、信号2821、信号2825、信号2841、信号2842、信号2822および信号2823は、図2の信号221、信号225、信号241、信号242、信号222および信号223にそれぞれ相当する。

【0224】

なお、図27のフリップフロップに供給されている電源電圧は、図1(A)のフリップフロップと比較して、V1とV2とが反転している。

【0225】

まず、図28の(A)に示すセット期間における、フリップフロップの動作を説明する。ノード2741の電位2841が $V2 + |V_{th2705}|$ となる。そして、ノード2741は、電位を $V2 + |V_{th2705}|$ に維持したまま浮遊状態となる。このとき、ノード2742では、電位2842が $V1 - \theta$ (θ : 任意の正の数)となる。なお、第1のトランジスタ2701および第2のトランジスタ2702がオンしているため、H信号が第3の配線2723から出力される。

10

【0226】

図28の(B)に示す選択期間における、フリップフロップの動作を説明する。ノード2741の電位2841がブートストラップ動作によって、 $V2 - |V_{th2701}| - \gamma$ (V_{th2701} : 第1のトランジスタ2701のしきい値電圧、 γ : 任意の正の数)となる。よって、第1のトランジスタ2701がオンするので、L信号が第3の配線2723から出力される。

20

【0227】

図28の(C)に示すリセット期間における、フリップフロップの動作を説明する。第7のトランジスタ2707がオンするため、ノード2741の電位2841は、V1となる。よって、第1のトランジスタ2701がオフする。このとき、ノード2742の電位2842は、 $V2 + |V_{th2703}|$ となり、第2のトランジスタ2702がオンする。よって、H信号が、第3の配線2723から出力される。

【0228】

図28の(D)に示す非選択期間における、フリップフロップの動作を説明する。ノード2741の電位2841はV1のままである。そして、ノード2742の電位2842も $V2 + |V_{th2703}|$ のままなので、第2のトランジスタ2702はオンのままである。よって、H信号が、第3の配線2723から出力される。

30

【0229】

本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを、実施の形態1乃至実施の形態3に記載のシフトレジスタと、自由に組み合わせて実施することができる。例えば、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを図7、図10および図25のシフトレジスタと、自由に組み合わせて実施することができる。ただし、本実施の形態のシフトレジスタは、実施の形態1乃至実施の形態3に記載のシフトレジスタと比較して、HレベルとLレベルが反転している。

【0230】

本実施の形態の表示装置は、本実施の形態のシフトレジスタを、実施の形態1乃至実施の形態3に記載の表示装置と、自由に組み合わせて実施することができる。例えば、本実施の形態の表示装置は、図11、図13、図14、図21および図22の表示装置と、自由に組み合わせて実施することができる。ただし、本実施の形態の表示装置は、実施の形態1乃至実施の形態3に記載の表示装置と比較して、HレベルとLレベルが反転している。

40

【0231】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部

50

分を組み合わせることにより、さらに多くの図を構成できる。

【0232】

本実施の形態の各々の図で述べた内容、または内容の一部を、別の実施の形態の図で述べた内容、または内容の一部にも適用、あるいは、組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成できる。

【0233】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用、あるいは、組み合わせることができる。

【0234】

(実施の形態5)

本実施の形態では、実施の形態1乃至実施の形態4に示した表示装置が有する信号線駆動回路について説明する。

【0235】

図31の信号線駆動回路について説明する。図31に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602__1～5602__M、第1の配線5611、第2の配線5612、第3の配線5613および配線5621__1～5621__Mを有する。スイッチ群5602__1～5602__Mそれぞれは、第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cを有する。

【0236】

ドライバIC5601は、第1の配線5611、第2の配線5612、第3の配線5613および配線5621__1～5621__Mに接続される。そして、スイッチ群5602__1～5602__Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613およびスイッチ群5602__1～5602__Mそれぞれに対応した配線5621__1～5621__Mのうちいずれかに接続される。そして、配線5621__1～5621__Mそれぞれは、第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621__J（配線5621__1～配線5621__Mのうちいずれか一）は、スイッチ群5602__Jが有する第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cを介して、信号線S_j-1、信号線S_jおよび信号線S_j+1に接続される。

【0237】

第1の配線5611、第2の配線5612および第3の配線5613には、それぞれ信号が入力される。

【0238】

ドライバIC5601は、単結晶基板もしくは多結晶半導体を用いたガラス基板上に形成されていることが望ましい。さらに、スイッチ群5602__1～5602__Mは、実施の形態1および実施の形態2に示した画素部と、同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602__1～5602__MとはFPCなどを介して接続するとよい。

【0239】

次に、図31に示した信号線駆動回路の動作について、図32のタイミングチャートを参照して説明する。なお、図32のタイミングチャートは、i行目の走査線G_iが選択されている場合のタイミングチャートを示している。さらに、i行目の走査線G_iの選択期間は、第1のサブ選択期間T₁、第2のサブ選択期間T₂および第3のサブ選択期間T₃に分割されている。さらに、図31の信号線駆動回路は、他の行の走査線が選択されている場合でも、図32と同様の動作をする。

【0240】

図32のタイミングチャートは、J列目の配線5621__Jが、第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cを介して、信号線S_{j-1}、信号線S_jおよび信号線S_{j+1}に接続される場合について示している。

【0241】

図32のタイミングチャートは、i行目の走査線G_iが選択されるタイミング、第1のスイッチ5603aのオン・オフのタイミング5703a、第2のスイッチ5603bのオン・オフのタイミング5703b、第3のスイッチ5603cのオン・オフのタイミング5703cおよびJ列目の配線5621__Jに輸入される信号5721__Jを示している。

10

【0242】

配線5621__1～配線5621__Mには、第1のサブ選択期間T₁、第2のサブ選択期間T₂および第3のサブ選択期間T₃において、それぞれ別のビデオ信号が輸入される。例えば、第1のサブ選択期間T₁において、配線5621__Jに輸入されるビデオ信号は、信号線S_{j-1}に輸入される。第2のサブ選択期間T₂において、配線5621__Jに輸入されるビデオ信号は、信号線S_jに輸入される。第3のサブ選択期間T₃において、配線5621__Jに輸入されるビデオ信号は、信号線S_{j+1}に輸入される。さらに、第1のサブ選択期間T₁、第2のサブ選択期間T₂および第3のサブ選択期間T₃において、配線5621__Jに輸入されるビデオ信号を、それぞれData_{j-1}、Data_jおよびData_{j+1}とする。

20

【0243】

図32に示すように、第1のサブ選択期間T₁において、第1のスイッチ5603aがオンし、第2のスイッチ5603bおよび第3のスイッチ5603cがオフする。このとき、配線5621__Jに輸入されるData_{j-1}が、第1のスイッチ5603aを介して信号線S_{j-1}に輸入される。第2のサブ選択期間T₂では、第2のスイッチ5603bがオンし、第1のスイッチ5603aおよび第3のスイッチ5603cがオフする。このとき、配線5621__Jに輸入されるData_jが、第2のスイッチ5603bを介して信号線S_jに輸入される。第3のサブ選択期間T₃では、第3のスイッチ5603cがオンし、第1のスイッチ5603aおよび第2のスイッチ5603bがオフする。このとき、配線5621__Jに輸入されるData_{j+1}が、第3のスイッチ5603cを介して信号線S_{j+1}に輸入される。

30

【0244】

以上のことから、図31の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に、1つの配線5621から、3つの信号線にビデオ信号を入力することができる。したがって、図31の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を、信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図31の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0245】

本実施の形態の信号線駆動回路を、実施の形態1乃至実施の形態4に示した表示装置に適用することによって、さらに画素部が形成されている基板と、外部基板との接続数を減らすことができる。したがって、本発明の表示装置は、信頼性の向上および歩留まりの向上を図ることができる。

40

【0246】

次に、第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cに、Nチャネル型のトランジスタを適用した場合について、図33を参照して説明する。なお、図31と同様なものに関しては、共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0247】

図33における第1のトランジスタ5903aは、図31における第1のスイッチ56

50

03aに相当する。図33における第2のトランジスタ5903bは、図31における第2のスイッチ5603bに相当する。図33における第3のトランジスタ5903cは、図31における第3のスイッチ5603cに相当する。

【0248】

例えば、スイッチ群5602—Mの場合、第1のトランジスタ5903aは、第1の電極が配線5621—Jに接続され、第2の電極が信号線S_j−1に接続され、ゲート電極が第1の配線5611に接続される。第2のトランジスタ5903bは、第1の電極が配線5621—Jに接続され、第2の電極が信号線S_jに接続され、ゲート電極が第2の配線5612に接続される。第3のトランジスタ5903cは、第1の電極が配線5621—Jに接続され、第2の電極が信号線S_j+1に接続され、ゲート電極が第3の配線5613に接続される。

10

【0249】

第1のトランジスタ5903a、第2のトランジスタ5903bおよび第3のトランジスタ5903cは、それぞれスイッチングトランジスタとして機能する。さらに、第1のトランジスタ5903a、第2のトランジスタ5903bおよび第3のトランジスタ5903cはそれぞれ、ゲート電極に入力される信号がHレベルのときにオンとなり、ゲート電極に入力される信号がLレベルのときにオフとなる。

【0250】

第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cとして、Nチャネル型のトランジスタを用いることによって、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を、作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても、製造工程の簡略化を図ることができる。

20

【0251】

図33の信号線駆動回路では、第1のトランジスタ5903a、第2のトランジスタ5903bおよび第3のトランジスタ5903cとして、Nチャネル型のトランジスタを用いた場合について説明したが、第1のトランジスタ5903a、第2のトランジスタ5903bおよび第3のトランジスタ5903cとして、Pチャネル型のトランジスタを用いてもよい。このときトランジスタは、ゲート電極に入力される信号がLレベルのときにオンとなり、ゲート電極に入力される信号がHレベルのときにオフとなる。

30

【0252】

図31のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある1つの配線から、複数の信号線それぞれにビデオ信号を入力することができれば、スイッチの配置や数、駆動方法などは限定されない。

【0253】

例えば、3つ以上のサブ選択期間それぞれにおいて、1つの配線から3つ以上の信号線それぞれに、ビデオ信号を入力する場合は、スイッチおよびスイッチを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなりすぎる。したがって、1ゲート選択期間は、2つまたは3つのサブ選択期間に分割されることが望ましい。

40

【0254】

別の例として、図34のタイミングチャートに示すように、1つの選択期間をプリチャージ期間T_p、第1のサブ選択期間T₁、第2のサブ選択期間T₂および第3の選択期間T₃に分割してもよい。さらに、図34のタイミングチャートは、i行目の走査線G_iが選択されるタイミング、第1のスイッチ5603aのオン・オフのタイミング5803a、第2のスイッチ5603bのオン・オフのタイミング5803b、第3のスイッチ5603cのオン・オフのタイミング5803cおよびJ列目の配線5621—Jに入力される信号5821—Jを示している。図34に示すように、プリチャージ期間T_pにおいて、第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603

50

cがオンする。このとき、配線5621__Jに入力されるプリチャージ電圧V_pが、第1のスイッチ5603a、第2のスイッチ5603bおよび第3のスイッチ5603cを介して、それぞれ信号線S_{j-1}、信号線S_j、信号線S_{j+1}に入力される。第1のサブ選択期間T₁において、第1のスイッチ5603aがオンし、第2のスイッチ5603bおよび第3のスイッチ5603cがオフする。このとき、配線5621__Jに入力されるData_{j-1}が、第1のスイッチ5603aを介して、信号線S_{j-1}に入力される。第2のサブ選択期間T₂では、第2のスイッチ5603bがオンし、第1のスイッチ5603aおよび第3のスイッチ5603cがオフする。このとき、配線5621__Jに入力されるData_jが、第2のスイッチ5603bを介して、信号線S_jに入力される。第3のサブ選択期間T₃では、第3のスイッチ5603cがオンし、第1のスイッチ5603aおよび第2のスイッチ5603bがオフする。このとき、配線5621__Jに入力されるData_{j+1}が、第3のスイッチ5603cを介して、信号線S_{j+1}に入力される。

10

【0255】

以上のことから、図34のタイミングチャートを適用した図31の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできる。そのため、画素ヘビデオ信号を高速に書き込みできる。なお、図32と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

20

【0256】

図35においても、図31のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある1つの配線から、複数の信号線それぞれにビデオ信号を入力することができる。なお、図35は、信号線駆動回路のうち、J列目のスイッチ群6022__Jのみを示している。スイッチ群6022__Jは、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005および第6のトランジスタ6006を有している。第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005および第6のトランジスタ6006は、Nチャンネル型のトランジスタである。スイッチ群6022__Jは、第1の配線6011、第2の配線6012、第3の配線6013、第4の配線6014、第5の配線6015、第6の配線6016、配線5621__J、信号線S_{j-1}、信号線S_jおよび信号線S_{j+1}に接続される。

30

【0257】

第1のトランジスタ6001の第1の電極は、配線5621__Jに接続され、第2の電極は、信号線S_{j-1}に接続され、ゲート電極は、第1の配線6011に接続される。第2のトランジスタ6002の第1の電極は、配線5621__Jに接続され、第2の電極は、信号線S_{j-1}に接続され、ゲート電極は、第2の配線6012に接続される。第3のトランジスタ6003の第1の電極は、配線5621__Jに接続され、第2の電極は、信号線S_jに接続され、ゲート電極は、第3の配線6013に接続される。第4のトランジスタ6004の第1の電極は、配線5621__Jに接続され、第2の電極は、信号線S_jに接続され、ゲート電極は、第4の配線6014に接続される。第5のトランジスタ6005の第1の電極は、配線5621__Jに接続され、第2の電極は、信号線S_{j+1}に接続され、ゲート電極は、第5の配線6015に接続される。第6のトランジスタ6006の第1の電極は、配線5621__Jに接続され、第2の電極は、信号線S_{j+1}に接続され、ゲート電極は、第6の配線6016に接続される。

40

【0258】

第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005および第6のトランジスタ6006は、それぞれスイッチングトランジスタとして機能する。さらに、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4

50

のトランジスタ6004、第5のトランジスタ6005および第6のトランジスタ6006はそれぞれ、ゲート電極に入力される信号がHレベルのときにオンとなり、ゲート電極に入力される信号がLレベルのときにオフとなる。

【0259】

図35の第1の配線6011および第2の配線6012は、図33の第1の配線5611に相当する。図35の第3の配線6013および第4の配線6014は、図33の第2の配線5612に相当する。図35の第5の配線6015および第6の配線6016は、図33の第3の配線5613に相当する。なお、図35の第1のトランジスタ6001および第2のトランジスタ6002は、図33の第1のトランジスタ5903aに相当する。図35の第3のトランジスタ6003および第4のトランジスタ6004は、図33の第2のトランジスタ5903bに相当する。図35の第5のトランジスタ6005および第6のトランジスタ6006は、図33の第3のトランジスタ5903cに相当する。

10

【0260】

図35では、図32に示した第1のサブ選択期間T1において、第1のトランジスタ6001または第2のトランジスタ6002のどちらかがオンする。第2のサブ選択期間T2において、第3のトランジスタ6003または第4のトランジスタ6004のどちらかがオンする。第3のサブ選択期間T3において、第5のトランジスタ6005または第6のトランジスタ6006のどちらかがオンする。さらに、図34に示したプリチャージ期間Tpにおいて、第1のトランジスタ6001、第3のトランジスタ6003および第5のトランジスタ6005か、第2のトランジスタ6002、第4のトランジスタ6004および第6のトランジスタ6006のどちらかがオンする。

20

【0261】

したがって、図35では、各トランジスタのオン時間を短くすることができるため、各トランジスタの特性劣化を抑制することができる。なぜなら、例えば、図32に示した第1のサブ選択期間T1においては、第1のトランジスタ6001または第2のトランジスタ6002のどちらかがオンしていれば、ビデオ信号を信号線Sj-1に入力することができるからである。ここで、図32に示した第1のサブ選択期間T1において、第1のトランジスタ6001および第2のトランジスタ6002を同時にオンすることによって、高速にビデオ信号を信号線Sj-1に入力することもできる。

30

【0262】

図35では、2つのトランジスタを、配線5621と、信号線の間に並列に接続する場合について説明した。しかし、これに限定されず、3つ以上のトランジスタを、配線5621と、信号線の間に並列に接続してもよい。こうすることで、さらに各トランジスタの特性劣化を抑制することができる。

【0263】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0264】

本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

40

【0265】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用、あるいは、組み合わせることができる。

50

【0266】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態4に示した表示装置の、静電破壊による不良を防止するための構成について説明する。

【0267】

静電破壊とは、人体または物体に蓄積された、正または負の電荷が、半導体デバイスに触れた時にデバイスの入出力端子を介して瞬時に放電されることで、デバイス内部に大電流が流れて発生する破壊のことである。

【0268】

図36(A)は、保護ダイオードによって、走査線に発生する静電破壊を防止するための構成を示す。図36(A)は、保護ダイオードを、配線6111と走査線の間に配置した構成である。なお、図示はしないが、 i 行目の走査線 G_i には複数の画素が接続される。保護ダイオードとしては、トランジスタ6101を用いる。なお、トランジスタ6101は、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよく、トランジスタ6101の極性は、走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

10

【0269】

保護ダイオードは1つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

【0270】

20

トランジスタ6101は、第1の電極が、 i 行目の走査線 G_i に接続され、第2の電極が、配線6111に接続され、ゲート電極が、 i 行目の走査線 G_i に接続される。

【0271】

図36(A)の動作について説明する。配線6111にはある電位が入力されており、その電位は、 i 行目の走査線 G_i に入力される信号のLレベルよりも低い電位である。正または負の電荷が i 行目の走査線 G_i に放電されていない場合、 i 行目の走査線 G_i の電位は、HレベルもしくはLレベルであるため、トランジスタ6101はオフしている。一方、負の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に下がる。このとき、 i 行目の走査線 G_i の電位が、配線6111の電位から、トランジスタ6101のしきい値電圧を引いた値よりも低くなると、トランジスタ6101がオンする。その結果、トランジスタ6101を介して、電流が配線6111に流れる。したがって、図36(A)に示した構成によって、大電流が画素に流れ込むことを防ぐことができる。そのため、画素の静電破壊を防止することができる。

30

【0272】

図36(B)は、正の電荷が、 i 行目の走査線 G_i に放電された場合に、静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ6102が、走査線と配線6112の間に配置されている。なお、保護ダイオードは1つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ6102は、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよい。トランジスタ6102の極性は、走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ6102は、第1の電極が i 行目の走査線 G_i に接続され、第2の電極が、配線6112に接続され、ゲート電極が、配線6112に接続される。なお、配線6112には、 i 行目の走査線 G_i に入力される信号のHレベルよりも高い電位が入力されている。したがって、トランジスタ6102は、電荷が i 行目の走査線 G_i に放電されていない場合には、オフしている。一方、正の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に上昇する。このとき、 i 行目の走査線 G_i の電位が、配線6112の電位とトランジスタ6102のしきい値電圧との和よりも高くなると、トランジスタ6102がオンする。その結果、トランジスタ6102を介して、電流が配線6112に流れる。したがって、図36(B)に示した構成によって

40

50

、大電流が画素に流れ込むことを防ぐことができる。そのため、画素の静電破壊を防止することができる。

【0273】

図36(C)に示すように、図36(A)と、図36(B)と、を組み合わせた構成にすることで、正の電荷が*i*行目の走査線*G_i*に放電された場合でも、負の電荷が*i*行目の走査線*G_i*に放電された場合でも、画素の静電破壊を防止することができる。なお、図36(A)、(B)と同様なものに関しては、共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0274】

図37(A)は、保護ダイオードとして機能するトランジスタ6201を、走査線と保持容量線の間に接続した場合の構成を示す。なお、保護ダイオードは1つだけ配置されているが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ6201は、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよい。トランジスタ6201の極性は、走査線駆動回路や画素が有するトランジスタの極性と同等なものを用いればよい。なお、配線6211は、保持容量線として機能する。トランジスタ6201の第1の電極は、*i*行目の走査線*G_i*に接続され、第2の電極は、配線6211に接続され、ゲート電極は、*i*行目の走査線*G_i*に接続される。なお、配線6211には、*i*行目の走査線*G_i*に入力される信号の、Lレベルよりも低い電位が入力されている。したがって、トランジスタ6201は、電荷が*i*行目の走査線*G_i*に放電されていない場合には、オフしている。一方、負の電荷が*i*行目の走査線*G_i*に放電された場合、*i*行目の走査線*G_i*の電位は瞬間的に下がる。このとき、*i*行目の走査線*G_i*の電位が、配線6211の電位からトランジスタ6201のしきい値電圧を引いた値よりも低くなると、トランジスタ6201がオンする。その結果、トランジスタ6201を介して、電流が配線6211に流れる。したがって、図37(A)に示した構成によって、大電流が画素に流れ込むことを防ぐことができる。そのため、画素の静電破壊を防止することができる。さらに、図37(A)に示した構成では、保持容量線を、電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。

【0275】

図37(B)は、正の電荷が*i*行目の走査線*G_i*に放電された場合に、静電破壊を防止するための構成である。ここでは、配線6211には、*i*行目の走査線*G_i*に入力される信号のHレベルよりも高い電位が入力されている。したがって、トランジスタ6202は、電荷が*i*行目の走査線*G_i*に放電されていない場合には、オフしている。一方、正の電荷が*i*行目の走査線*G_i*に放電された場合、*i*行目の走査線*G_i*の電位は瞬間的に上昇する。このとき、*i*行目の走査線*G_i*の電位が、配線6211の電位と、トランジスタ6202のしきい値電圧との和よりも高くなると、トランジスタ6202がオンする。その結果、トランジスタ6202を介して、電流が配線6211に流れる。したがって、図37(B)に示した構成によって、大電流が画素に流れ込むことを防ぐことができる。そのため、画素の静電破壊を防止することができる。さらに、図37(B)に示した構成では、保持容量線を、電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。なお、図37(A)と同様なものに関しては、共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0276】

次に、保護ダイオードによって信号線に発生する静電破壊を、防止するための構成を図38(A)に示す。図38(A)は、保護ダイオードを、配線6411と信号線の間に配置した場合の構成である。なお、図示はしないが、*j*列目の信号線*S_j*には複数の画素が接続される。保護ダイオードとしては、トランジスタ6401を用いる。トランジスタ6401は、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよい。トランジスタ6401の極性は、信号線駆動回路や画素が有するトランジスタの極性と同等なものを用いればよい。

【0277】

保護ダイオードは1つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

【0278】

トランジスタ6401は、第1の電極が、j列目の信号線S_jに接続され、第2の電極が、配線6411に接続され、ゲート電極が、配線6411に接続される。

【0279】

図38(A)の動作について説明する。配線6411には、ある電位が入力されており、その電位は、j列目の信号線S_jに入力されるビデオ信号の最小値よりも低い電位である。正または負の電荷がj列目の信号線S_jに放電されていない場合、j列目の信号線S_jの電位は、ビデオ信号と同電位であるため、トランジスタ6401はオフしている。一方、負の電荷がj行目の信号線S_jに放電された場合、j列目の信号線S_jの電位は、瞬時的に下がる。このとき、j列目の信号線S_jの電位が、配線6411の電位からトランジスタ6401のしきい値電圧を引いた値よりも低くなると、トランジスタ6401がオンする。その結果、トランジスタ6401を介して、電流が配線6411に流れる。したがって、図38(A)に示した構成によって、大電流が画素に流れ込むことを防ぐことができる。そのため、画素の静電破壊を防止することができる。

【0280】

図38(B)は、正の電荷が、j列目の信号線S_jに放電された場合に、静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ6402が、信号線と配線6412の間に配置されている。なお、保護ダイオードは1つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。トランジスタ6402は、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよい。トランジスタ6402の極性は、信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ6402は、第1の電極が、j列目の信号線S_jに接続され、第2の電極が、配線6412に接続され、ゲート電極が、j列目の信号線S_jに接続される。なお、配線6412には、j列目の信号線S_jに入力されるビデオ信号の最大値よりも、高い電位が入力されている。したがって、トランジスタ6402は、電荷がj列目の信号線S_jに放電されていない場合には、オフしている。一方、正の電荷がj列目の信号線S_jに放電された場合、j列目の信号線S_jの電位は瞬時的に上昇する。このとき、j列目の信号線S_jの電位が配線6412の電位と、トランジスタ6402のしきい値電圧との和よりも高くなると、トランジスタ6402がオンする。その結果、トランジスタ6402を介して、電流が配線6412に流れる。したがって、図38(B)に示した構成によって、大電流が画素に流れ込むことを防ぐことができる。そのため、画素の静電破壊を防止することができる。

【0281】

図38(C)に示すように、図38(A)と、図38(B)と、を組み合わせた構成にすることで、正の電荷が、j列目の信号線S_jに放電された場合でも、負の電荷が、j列目の信号線S_jに放電された場合でも、画素の静電破壊を防止することができる。なお、図38(A)、(B)と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0282】

本実施の形態では、走査線および信号線に接続された画素の静電破壊を防止するための構成を説明した。しかし、本実施の形態の構成は、走査線および信号線に接続された画素の静電破壊の防止だけに適用されるものではない。例えば、実施の形態1乃至実施の形態4に示した走査線駆動回路および信号線駆動回路に接続される信号または電位が入力された配線に、本実施の形態を適用する場合は、走査線駆動回路および信号線駆動回路の静電破壊を防止することができる。

【0283】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0284】

本実施の形態の各々の図で述べた内容、または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0285】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用、あるいは、組み合わせることができる。

【0286】

(実施の形態7)

本実施の形態では、実施の形態1乃至実施の形態4に示した表示装置に適用できる表示装置の新たな構成について説明する。

【0287】

図39(A)は、ダイオード接続されたトランジスタを、ある走査線と別の走査線の間に配置した場合の構成である。図39(A)では、 $i-1$ 行目の走査線 G_{i-1} と、 i 行目の走査線 G_i の間に、ダイオード接続されたトランジスタ6301aを配置し、 i 行目の走査線 G_i と $i+1$ 行目の走査線 G_{i+1} との間にダイオード接続されたトランジスタ6301bを配置した場合の構成を示している。なお、トランジスタ6301aおよびトランジスタ6301bは、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよい。トランジスタ6301aおよびトランジスタ6301bの極性は、走査線駆動回路や画素が有するトランジスタの極性と同等なものを用いればよい。

【0288】

図39(A)では、代表して $i-1$ 行目の走査線 G_{i-1} 、 i 行目の走査線 G_i および $i+1$ 行目の走査線 G_{i+1} を示しているが、他の走査線も同様にダイオード接続されたトランジスタが配置されている。

【0289】

トランジスタ6301aの第1の電極は、 i 行目の走査線 G_i に接続され、第2の電極は、 $i-1$ 行目の走査線 G_{i-1} に接続され、ゲート電極は、 G_{i-1} 行目の走査線 G_{i-1} に接続される。トランジスタ6301bの第1の電極は、 $i+1$ 行目の走査線 G_{i+1} に接続され、第2の電極は、 i 行目の走査線 G_i に接続され、ゲート電極は、 i 行目の走査線 G_i に接続される。

【0290】

図39(A)の動作について説明する。実施の形態1乃至実施の形態4に示した走査線駆動回路では、非選択期間において、 $i-1$ 行目の走査線 G_{i-1} 、 i 行目の走査線 G_i および $i+1$ 行目の走査線 G_{i+1} はLレベルを維持している。したがって、トランジスタ6301aおよびトランジスタ6301bは、オフしている。しかしながら、例えばノイズなどによって、 i 行目の走査線 G_i の電位が上昇した場合、 i 行目の走査線 G_i が画素を選択してしまい、画素に不正なビデオ信号が書き込まれてしまう。そこで、図39(A)のように、ダイオード接続したトランジスタを走査線間に配置しておくことで、画素に不正なビデオ信号が書き込まれることを防止することができる。なぜなら、 i 行目の走査線 G_i の電位が $i-1$ 行目の走査線 G_{i-1} の電位と、トランジスタ6301aのしきい値電圧との和以上に上昇すると、トランジスタ6301aがオンして、 i 行目の走査線

10

20

30

40

50

G_i の電位が下がる。したがって、 i 行目の走査線 G_i によって画素が選択されることはないからである。

【0291】

図39(A)の構成は、特に走査線駆動回路と、画素部と、を同一基板上に一体形成した場合に有利である。なぜなら、Nチャネル型のトランジスタ、またはPチャネル型のトランジスタだけで構成されている走査線駆動回路では、走査線が浮遊状態になることがあり、走査線にノイズが発生しやすいからである。

【0292】

図39(B)は、走査線間に配置するダイオード接続されたトランジスタの向きを、逆にした場合の構成である。なお、トランジスタ6302aおよびトランジスタ6302bは、Nチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよい。トランジスタ6302aおよびトランジスタ6302bの極性は、走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。図39(B)では、トランジスタ6302aの第1の電極が、 i 行目の走査線 G_i に接続され、第2の電極が、 $i-1$ 行目の走査線 G_{i-1} に接続され、ゲート電極が、 i 行目の走査線 G_i に接続される。トランジスタ6302bの第1の電極が、 $i+1$ 行目の走査線 G_{i+1} に接続され、第2の電極が、 i 行目の走査線 G_i に接続され、ゲート電極が、 $i+1$ 行目の走査線 G_{i+1} に接続される。図39(B)は、図38(A)と同様に、 i 行目の走査線 G_i の電位が、 $i-1$ 行目の走査線 G_{i+1} の電位と、トランジスタ6302bのしきい値電圧との和以上に上昇すると、トランジスタ6302bがオンして、 i 行目の走査線 G_i の電位が下がる。したがって、 i 行目の走査線 G_i によって画素が選択されることはなく、画素に不正なビデオ信号が書き込まれることを防止することができる。

【0293】

図39(C)に示すように、図39(A)と、図39(B)と、を組み合わせた構成にすることで、 i 行目の走査線 G_i の電位が上昇しても、トランジスタ6301aおよびトランジスタ6302bがオンするので、 i 行目の走査線 G_i の電位が下がる。なお、図39(C)では、2つのトランジスタを介して、電流が流れるので、より大きいノイズを除去することが可能である。なお、図39(A)、(B)と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0294】

図37(A)および(B)に示すように、走査線と保持容量線の間に、ダイオード接続したトランジスタを配置しても図39(A)、(B)および(C)と同様の効果を得ることができる。

【0295】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0296】

本実施の形態の各々の図で述べた内容、または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用、あるいは、組み合わせることができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0297】

本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用、あるいは、組み合わせることができる。

【0298】

(実施の形態 8)

本実施の形態においては、トランジスタの構造および作製方法について説明する。

【0299】

図40(A)は、トランジスタの構造の例を示す図である。図40(B)～図40(G)は、トランジスタの作製方法の例を示す図である。

【0300】

なお、トランジスタの構造および作製方法は、図40(A)～図40(G)に示すものに限定されず、さまざまな構造および作製方法を用いることができる。

【0301】

まず、図40(A)を参照し、トランジスタの構造の例について説明する。図40(A)は、複数の異なる構造を有するトランジスタの断面図である。ここで、図40(A)においては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、トランジスタの構造を説明するための表現である。よって、トランジスタが、実際に図40(A)のように並置されている必要はなく、必要に応じてつくり分けることができる。

【0302】

次に、トランジスタを構成する各層の特徴について説明する。

【0303】

基板110111には、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板などを用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表されるプラスチック、またはアクリルなどの可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。可撓性を有する基板であれば、基板の面積および基板の形状に大きな制限はないため、基板110111として、例えば、1辺が1メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【0304】

絶縁膜110112は、下地膜として機能する。基板110111から、Naなどのアルカリ金属またはアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜110112は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)などの酸素または窒素を有する絶縁膜の単層構造、もしくはこれらの積層構造で設けることができる。例えば、絶縁膜110112を2層構造で設ける場合、1層目の絶縁膜として窒化酸化珪素膜を設け、2層目の絶縁膜として酸化窒化珪素膜を設けるとよい。別の例として、絶縁膜110112を3層構造で設ける場合、1層目の絶縁膜として酸化窒化珪素膜を設け、2層目の絶縁膜として窒化酸化珪素膜を設け、3層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

【0305】

半導体層110113、半導体層110114および半導体層110115は、非晶質(アモルファス)半導体、微結晶(マイクロクリスタル)半導体、またはセミアモルファス半導体(SAS)で形成することができる。あるいは、多結晶半導体層を用いてもよい。SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち、格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5～20nmの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では、珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)を補償するものとして、水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、材料ガスをグロー放電分解(プラズマCVD)して形成する。材

10

20

30

40

50

料ガスとしては、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。あるいは、 GeF_4 を混合させてもよい。この材料ガスを H_2 、あるいは H_2 と He 、 Ar 、 Kr および Ne から選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は2～1000倍の範囲とする。圧力は概略0.1Pa～133Paの範囲、電源周波数は1MHz～120MHz、好ましくは13MHz～60MHzとする。基板加熱温度は、300℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましい。特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。ここでは、スパッタ法、LPCVD法、プラズマCVD法などを用いてシリコン(Si)を主成分とする材料(例えば $\text{Si}(x)\text{Ge}(1-x)$ ($0 < x < 1$)

10

【0306】

絶縁膜110116は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)などの酸素または窒素を有する絶縁膜の単層構造、もしくはこれらの積層構造で設けることができる。

【0307】

ゲート電極110117は、単層の導電膜、または二層、三層の導電膜の積層構造とすることができる。ゲート電極110117の材料としては、例えば、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)などの元素の単体膜、あるいは前記元素の窒化膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、あるいは前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、あるいは前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

20

【0308】

絶縁膜110118は、スパッタ法またはプラズマCVD法などによって、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)などの酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)などの炭素を含む膜の単層構造、もしくはこれらの積層構造で設けることができる。

30

【0309】

絶縁膜110119は、シロキサン樹脂、あるいは酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)などの、酸素または窒素を有する絶縁膜や、DLC(ダイヤモンドライクカーボン)などの炭素を含む膜、あるいはエポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリルなどの有機材料からなる単層、もしくは積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、絶縁膜110118を設けずに、ゲート電極110117を覆うように直接、絶縁膜110119を設けることも可能である。

40

【0310】

導電膜110123は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、前記元素の窒化膜、前記元素を組み合わせた合金膜、あるいは前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金と

50

して、CおよびTiを含有したAl合金、Niを含有したAl合金、CおよびNiを含有したAl合金、CおよびMnを含有したAl合金などを用いることができる。例えば、積層構造で導電膜を設ける場合、AlをMoまたはTiなどで挟み込んだ構造とすることができる。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

【0311】

次に、図40(A)に示した、複数の異なる構造を有するトランジスタの断面図を参照して、各々の構造の特徴について説明する。

【0312】

トランジスタ110101は、シングルドレイントランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層110113、半導体層110115は、それぞれ不純物の濃度が異なり、半導体層110113はチャンネル領域、半導体層110115はソース領域およびドレイン領域として用いる。このように、不純物の濃度を制御することで、半導体層の抵抗率を制御できる。そのため、半導体層と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の濃度の異なる半導体層を作り分ける方法としては、ゲート電極110117をマスクとして半導体層に不純物をドーピングする方法を用いることができる。

10

【0313】

トランジスタ110102は、ゲート電極110117にテーパ角を有する。ここで、テーパ角は、45°以上95°未満、より好ましくは60°以上95°未満となるような形状である。ただし、テーパ角を45°未満の形状とすることも可能である。ここで、半導体層110113、半導体層110114および半導体層110115は、それぞれ不純物濃度が異なっている。半導体層110113はチャンネル領域、半導体層110114は低濃度不純物領域(Lightly Doped Drain: LDD)、半導体層110115はソース領域およびドレイン領域として用いる。このように、不純物の濃度を制御することで、半導体層の抵抗率を制御できる。そのため、半導体層と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。LDD領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の濃度の異なる半導体層を作り分ける方法としては、ゲート電極110117をマスクとして半導体層に不純物をドーピングする方法を用いることができる。トランジスタ110102においては、ゲート電極110117がテーパ角を有しているため、ゲート電極110117を通過して半導体層にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。これにより、製造コストが低く、歩留まりを高く製造できる利点がある。

20

30

【0314】

トランジスタ110103は、ゲート電極110117が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有する。本明細書中においては、このような上層のゲート電極および下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極110117の形状が帽子型であることによって、フォトマスクを追加することなく、LDD領域を形成することができる。なお、トランジスタ110103のように、LDD領域がゲート電極110117と重なっている構造を、特にGOLD構造(Gate Overlapped LDD)と呼ぶ。なお、ゲート電極110117の形状を帽子型とする方法としては、次のような方法を用いてもよい。

40

【0315】

まず、ゲート電極110117をパターンニングする際に、ドライエッチングにより、下層のゲート電極および上層のゲート電極をエッチングして側面に傾斜(テーパ)のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2回、不純物元素をドーピングすることによって、チャンネル領域として用いる半導体層110113、LDD領域として用いる半導体層110114、ソース電極およびドレイン電極

50

として用いる半導体層 110115 が形成される。

【0316】

なお、ゲート電極 110117 と重なっている LDD 領域を Lov 領域、ゲート電極 110117 と重なっていない LDD 領域を Loff 領域と呼ぶことにする。Loff 領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和して、ホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov 領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路ごとに、求められる特性に応じた構造のトランジスタを作製することが好ましい。例えば、半導体装置を表示装置として用いる場合、画素トランジスタは、オフ電流値を抑えるために、Loff 領域を有するトランジスタを用いることが好適である。一方、周辺回路におけるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Lov 領域を有するトランジスタを用いることが好適である。

10

【0317】

トランジスタ 110104 は、ゲート電極 110117 の側面に接して、サイドウォール 110121 を有する。サイドウォール 110121 を有することによって、サイドウォール 110121 と重なる領域を LDD 領域とすることができる。

【0318】

トランジスタ 110105 は、半導体層にマスクを用いてドーピングすることにより、LDD (Loff) 領域が形成されている。こうすることにより、確実に LDD 領域を形成することができ、トランジスタのオフ電流値を低減することができる。

20

【0319】

トランジスタ 110106 は、半導体層にマスクを用いてドーピングすることにより、LDD (Lov) 領域が形成されている。こうすることにより、確実に LDD 領域を形成することができ、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0320】

次に、トランジスタの作製方法の例を、図 40 (B) ~ 図 40 (G) に示す。

【0321】

本実施の形態においては、基板 110111 の表面、絶縁膜 110112 の表面、半導体層 110113 の表面、110114 の表面、110115 の表面、絶縁膜 110116 の表面、絶縁膜 110118 の表面または絶縁膜 110119 の表面に、プラズマ処理を用いて酸化または窒化を行うことにより、半導体層または絶縁膜を、酸化または窒化することができる。このように、プラズマ処理を用いて、半導体層または絶縁膜を、酸化または窒化することによって、当該半導体層または当該絶縁膜の表面を改質し、CVD 法やスパッタ法により形成した絶縁膜と比較して、より緻密な絶縁膜を形成することができる。そのため、ピンホールなどの欠陥を抑制し半導体装置の特性などを向上させることが可能となる。

30

【0322】

サイドウォール 110121 は、酸化珪素 (SiOx) または窒化珪素 (SiNx) を用いることができる。サイドウォール 110121 を、ゲート電極 110117 の側面に形成する方法としては、例えば、ゲート電極 110117 を形成した後、酸化珪素 (SiOx) または窒化珪素 (SiNx) を成膜した後に、異方性エッチングによって酸化珪素 (SiOx) 膜または窒化珪素 (SiNx) 膜をエッチングする方法を用いることができる。こうすることで、ゲート電極 110117 の側面にのみ、酸化珪素 (SiOx) 膜または窒化珪素 (SiNx) 膜を残すことができるので、ゲート電極 110117 の側面にサイドウォール 110121 を形成することができる。

40

【0323】

図 44 は、ボトムゲート型のトランジスタの断面構造および容量素子の断面構造を示す図である。

【0324】

50

基板 110501 上に、第 1 の絶縁膜（絶縁膜 110502）が全面に形成されている。ただし、これに限定されず、第 1 の絶縁膜（絶縁膜 110502）を形成しないことも可能である。第 1 の絶縁膜は、基板側からの不純物が、半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第 1 の絶縁膜は、下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ SiO_xN_y ）などの単層、またはこれらの積層を用いることができる。

【0325】

第 1 の絶縁膜上に、第 1 の導電層（導電層 110503 および導電層 110504）が形成されている。導電層 110503 は、トランジスタ 110520 のゲート電極として機能する部分を含む。導電層 110504 は、容量素子 110521 の第 1 の電極として機能する部分を含む。なお、第 1 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge などの元素、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

10

【0326】

少なくとも第 1 の導電層を覆うように、第 2 の絶縁膜（絶縁膜 110514）が形成されている。第 2 の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第 2 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ SiO_xN_y ）などの単層、またはこれらの積層を用いることができる。

20

【0327】

半導体層に接する部分の第 2 の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と、第 2 の絶縁膜が接する界面におけるトラップ準位が少なくなるからである。

【0328】

第 2 の絶縁膜が Mo と接する場合、Mo と接する部分の第 2 の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜は Mo を酸化させないからである。

【0329】

第 2 の絶縁膜上の、第 1 の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法または印刷法などによって、半導体層が形成されている。そして、半導体層の一部は、第 2 の絶縁膜上の、第 1 の導電層と重なって形成されていない部分まで延長している。半導体層は、チャンネル形成領域（チャンネル形成領域 110510）、LDD 領域（LDD 領域 110508、LDD 領域 110509）、不純物領域（不純物領域 110505、不純物領域 110506、不純物領域 110507）を有している。チャンネル形成領域 110510 は、トランジスタ 110520 のチャンネル形成領域として機能する。LDD 領域 110508 および LDD 領域 110509 は、トランジスタ 110520 の LDD 領域として機能する。なお、LDD 領域 110508 および LDD 領域 110509 は、必ずしも必要ではない。不純物領域 110505 は、トランジスタ 110520 のソース電極およびドレイン電極の一方として機能する部分を含む。不純物領域 110506 は、トランジスタ 110520 のソース電極およびドレイン電極の他方として機能する部分を含む。不純物領域 110507 は、容量素子 110521 の第 2 の電極として機能する部分を含む。

30

40

【0330】

不純物領域 110505、LDD 領域 110508、チャンネル形成領域 110510、LDD 領域 110509、不純物領域 110506、第 2 の絶縁膜 110514 および不純物領域 110507 上の全面に、第 3 の絶縁膜（絶縁膜 110511）が形成されている。第 3 の絶縁膜の一部には、選択的にコンタクトホールが形成されている。絶縁膜 110511 は、層間膜としての機能を有する。第 3 の絶縁膜としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感

50

光性または非感光性の有機樹脂材料)などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0331】

第3の絶縁膜上に、第2の導電層(導電層110512および導電層110513)が形成されている。導電層110512は、第3の絶縁膜に形成されたコンタクトホールを介して、トランジスタ110520のソース電極およびドレイン電極の他方と接続されている。したがって、導電層110512は、トランジスタ110520のソース電極およびドレイン電極の他方として機能する部分を含む。導電層110513が、導電層110504と電氣的に接続されている場合は、導電層110513は、容量素子110521の第1の電極として機能する部分を含む。あるいは、導電層110513が、導電層110507と電氣的に接続されている場合は、導電層110513は、容量素子110521の第2の電極として機能する部分を含む。あるいは、導電層110513が、導電層110504および導電層110507と接続されていない場合は、容量素子110521とは別の容量素子が形成される。この容量素子は、導電層110513、導電層110507および絶縁膜110511が、それぞれ容量素子の第1の電極、第2の電極、絶縁膜として用いられる構成である。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、またはこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

【0332】

第2の導電層が形成された後の工程として、さまざまな絶縁膜、またはさまざまな導電膜が形成されていてもよい。

【0333】

次に、トランジスタの半導体層に、アモルファスシリコン(a-Si:H)膜またはマイクロクリスタルシリコン膜などを用いた場合の、トランジスタおよび容量素子の構造について説明する。

【0334】

図41は、トップゲート型のトランジスタの断面構造および容量素子の断面構造を示す図である。

【0335】

基板110201上に、第1の絶縁膜(絶縁膜110202)が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は、下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO_xN_y)などの単層、またはこれらの積層を用いることができる。

【0336】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減および製造コストの削減を図ることができる。また、構造を簡単にできるので、歩留まりの向上を図ることができる。

【0337】

第1の絶縁膜上に、第1の導電層(導電層110203、導電層110204および導電層110205)が形成されている。導電層110203は、トランジスタ110220のソース電極およびドレイン電極の一方の電極として機能する部分を含む。導電層110204は、トランジスタ110220のソース電極およびドレイン電極の他方の電極として機能する部分を含む。導電層110205は、容量素子110221の第1の電極と

して機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどの元素、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0338】

導電層110203および導電層110204の上部に、第1の半導体層（半導体層110206および半導体層110207）が形成されている。半導体層110206は、ソース電極およびドレイン電極の一方の電極として機能する部分を含む。半導体層110207は、ソース電極およびドレイン電極の他方の電極として機能する部分を含む。なお、第1の半導体層としては、リンなどを含んだシリコンなどを用いることができる。

10

【0339】

導電層110203と導電層110204との間であって、かつ第1の絶縁膜上に、第2の半導体層（半導体層110208）が形成されている。そして、半導体層110208の一部は、導電層110203上および導電層110204上まで延長されている。半導体層110208は、トランジスタ110220のチャネル領域として機能する部分を含む。なお、第2の半導体層としては、アモルファスシリコン（a-Si:H）などの非結晶性を有する半導体層、または微結晶半導体（ μ -Si:H）などの半導体層などを用いることができる。

【0340】

少なくとも半導体層110208および導電層110205を覆うように、第2の絶縁膜（絶縁膜110209および絶縁膜110210）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（SiO_xN_y）などの単層、またはこれらの積層を用いることができる。

20

【0341】

第2の半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第2の半導体層と第2の絶縁膜とが接する界面における、トラップ準位が少なくなるからである。

【0342】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

30

【0343】

第2の絶縁膜上に、第2の導電層（導電層110211および導電層110212）が形成されている。導電層110211は、トランジスタ110220のゲート電極として機能する部分を含む。導電層110212は、容量素子110221の第2の電極、または配線としての機能を有する。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどの元素、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

40

【0344】

第2の導電層が形成された後の工程として、さまざまな絶縁膜、またはさまざまな導電膜が形成されていてもよい。

【0345】

図42は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造および容量素子の断面構造を示す図である。特に、図42に示すトランジスタは、チャネルエッチ型と呼ばれる構造である。

【0346】

基板110301上に、第1の絶縁膜（絶縁膜110302）が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質

50

が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ SiO_xN_y ）などの単層、またはこれらの積層を用いることができる。

【0347】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減および製造コストの削減を図ることができる。また、構造を簡単にできるので、歩留まりの向上を図ることができる。

【0348】

第1の絶縁膜上に、第1の導電層（導電層110303および導電層110304）が形成されている。導電層110303は、トランジスタ110320のゲート電極として機能する部分を含む。導電層110304は、容量素子110321の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどの元素、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

10

【0349】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜110305）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ SiO_xN_y ）などの単層、またはこれらの積層を用いることができる。

20

【0350】

半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜が接する界面における、トラップ準位が少なくなるからである。

【0351】

第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜は、Moを酸化させないからである。

【0352】

第2の絶縁膜上のうち、第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法または印刷法などによって、第1の半導体層（半導体層110306）が形成されている。そして、半導体層110306の一部は、第2の絶縁膜上のうち、第1の導電層と重なって形成されていない部分まで延長されている。半導体層110306は、トランジスタ110320のチャネル領域として機能する部分を含む。なお、半導体層110306としては、アモルファスシリコン（ a-Si:H ）などの非結晶性を有する半導体層、または微結晶半導体（ $\mu\text{-Si:H}$ ）などの半導体層などを用いることができる。

30

【0353】

第1の半導体層上の一部に、第2の半導体層（半導体層110307および半導体層110308）が形成されている。半導体層110307は、ソース電極およびドレイン電極の一方の電極として機能する部分を含む。半導体層110308は、ソース電極およびドレイン電極の他方の電極として機能する部分を含む。なお、第2の導体層としては、リンなどを含んだシリコンなどを用いることができる。

40

【0354】

第2の半導体層上および第2の絶縁膜上に、第2の導電層（導電層110309、導電層110310および導電層110311）が形成されている。導電層110309は、トランジスタ110320のソース電極およびドレイン電極の一方として機能する部分を含む。導電層110310は、トランジスタ110320のソース電極およびドレイン電極の他方として機能する部分を含む。導電層110311は、容量素子110321の第

50

2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0355】

なお、第2の導電層が形成された後の工程として、さまざまな絶縁膜、またはさまざまな導電膜が形成されていてもよい。

【0356】

ここで、チャネルエッチ型のトランジスタが特徴とする、工程の一例を説明する。同じマスクを用いて、第1の半導体層および第2の半導体層を形成できる。具体的には、第1の半導体層と第2の半導体層が、連続して成膜される。その際、第1の半導体層および第2の半導体層は、同じマスクを用いて形成される。

10

【0357】

チャネルエッチ型のトランジスタが特徴とする、工程の別の一例を説明する。新たなマスクを用いることなく、トランジスタのチャネル領域を形成することができる。具体的には、第2の導電層が形成された後で、第2の導電層をマスクとして用いて、第2の半導体層の一部を除去する。あるいは、第2の導電層と同じマスクを用いて、第2の半導体層の一部を除去する。そして、除去された第2の半導体層の下部に形成されている第1の半導体層が、トランジスタのチャネル領域となる。

【0358】

20

図43は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造および容量素子の断面構造を示す図である。特に、図43に示すトランジスタは、チャネル保護型（チャネルストップ型）と呼ばれる構造である。

【0359】

基板110401上に、第1の絶縁膜（絶縁膜110402）が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は、下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（SiO_xN_y）などの単層、またはこれらの積層を用いることができる。

30

【0360】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減および製造コストの削減を図ることができる。また、構造を簡単にできるので、歩留まりの向上を図ることができる。

【0361】

第1の絶縁膜上に、第1の導電層（導電層110403および導電層110404）が形成されている。導電層110403は、トランジスタ110420のゲート電極として機能する部分を含む。導電層110404は、容量素子110421の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどの元素、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

40

【0362】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜110405）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（SiO_xN_y）などの単層、またはこれらの積層を用いることができる。

【0363】

半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜が接する界面における、トラップ準位が少なくな

50

るからである。

【0364】

第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0365】

第2の絶縁膜上のうち、第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法または印刷法などによって、第1の半導体層（半導体層110406）が形成されている。そして、半導体層110406の一部は、第2の絶縁膜上のうち、第1の導電層と重なって形成されていない部分まで延長されている。半導体層110406は、トランジスタ110420のチャンネル領域として機能する部分を含む。なお、半導体層110406としては、アモルファスシリコン（C-Si:H）などの非結晶性を有する半導体層、または微結晶半導体（μ-Si:H）などの半導体層などを用いることができる。

10

【0366】

第1の半導体層上の一部に、第3の絶縁膜（絶縁膜110412）が形成されている。絶縁膜110412は、トランジスタ110420のチャンネル領域がエッチングによって除去されることを防止する機能を有する。つまり、絶縁膜110412は、チャンネル保護膜（チャンネルストップ膜）として機能する。なお、第3の絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（SiO_xN_y）などの単層、またはこれらの積層を用いることができる。

20

【0367】

第1の半導体層上の一部および第3の絶縁膜上の一部に、第2の半導体層（半導体層110407および半導体層110408）が形成されている。半導体層110407は、ソース電極およびドレイン電極の一方の電極として機能する部分を含む。半導体層110408は、ソース電極およびドレイン電極の他方の電極として機能する部分を含む。なお、第2の導体層としては、リンなどを含んだシリコンなどを用いることができる。

【0368】

第2の半導体層上に、第2の導電層（導電層110409、導電層110410および導電層110411）が形成されている。導電層110409は、トランジスタ110420のソース電極およびドレイン電極の一方として機能する部分を含む。導電層110410は、トランジスタ110420のソース電極およびドレイン電極の他方として機能する部分を含む。導電層110411は、容量素子110421の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、またはこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

30

【0369】

第2の導電層が形成された後の工程として、さまざまな絶縁膜、またはさまざまな導電膜が形成されていてもよい。

40

【0370】

ここまで、トランジスタの構造およびトランジスタの作製方法について説明した。ここで、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジム（Nd）、クロム（Cr）、ニッケル（Ni）、白金（Pt）、金（Au）、銀（Ag）、銅（Cu）、マグネシウム（Mg）、スカンジウム（Sc）、コバルト（Co）、亜鉛（Zn）、ニオブ（Nb）、シリコン（Si）、リン（P）、ボロン（B）、ヒ素（As）、ガリウム（Ga）、インジウム（In）、錫（Sn）、酸素（O）で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料（例えば、インジウム錫酸化物（ITO）、インジウム

50

亜鉛酸化物（IZO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化錫（SnO）、酸化錫カドミウム（CTO）、アルミネオジム（Al-Nd）、マグネシウム銀（Mg-Ag）、モリブデンニオブ（Mo-Nb）などで形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素と、シリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）、前記群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデンなど）を有して形成されることが望ましい。

【0371】

10

シリコン（Si）には、n型不純物（リンなど）またはp型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上し、通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などとして利用しやすくなる。

【0372】

シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、さまざまな結晶性を有するシリコンを用いることができる。あるいは、非晶質（アモルファスシリコン）などの、結晶性を有さないシリコンを用いることができる。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることができる。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することができる。

20

【0373】

アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターンニングしやすく、微細加工することができる。

【0374】

銅は、導電率が高いため、信号遅延を低減することができる。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【0375】

モリブデンまたはチタンは、酸化物半導体（ITO、IZOなど）またはシリコンと接触しても、不良を起こさず、エッチングしやすく、耐熱性が高いなどの利点を有するため、望ましい。

30

【0376】

タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

【0377】

ネオジムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジムとアルミニウムの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0378】

シリコンは、トランジスタが有する半導体層と同時に形成できる。耐熱性が高いなどの利点を有するため、望ましい。

40

【0379】

ITO、IZO、ITSO、酸化亜鉛（ZnO）、シリコン（Si）、酸化錫（SnO）、酸化錫カドミウム（CTO）は、透光性を有しているため、光を透過させる部分に用いることができる。例えば、画素電極や共通電極として用いることができる。

【0380】

IZOは、エッチングしやすく、加工しやすいため、望ましい。また、IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合（ショート、配向乱れなど）をもたらすことを低減できる。

【0381】

50

配線、電極、導電層、導電膜、端子、ビアおよびプラグなどは、単層構造でもよいし、多層構造でもよい。単層構造にすることにより、配線、電極、導電層、導電膜および端子などの製造工程を簡略化し、工程数を少なくし、さらにコストを低減することができる。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線および電極などを形成することができる。例えば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。別の例として、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線および電極などの耐熱性を高くすることができる。例えば、アルミニウムを含む層を、モリブデン、チタンまたはネオジムなどを含む層で挟む積層構造にすると望ましい。

10

【0382】

配線、電極など同士が、直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが、他方の配線、電極などの材料の中に入りその性質を変えてしまい、本来の目的を果たせなくなることがある。別の例として、高抵抗な部分を形成または製造するときに、問題が生じて、正常に製造できなくなることがある。そのような場合、積層構造により、反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムを接続させる場合は、ITOとアルミニウムの間に、チタン、モリブデンまたはネオジム合金を挟むことが望ましい。別の例として、シリコンとアルミニウムを接続させる場合は、シリコンとアルミニウムの間に、チタン、モリブデンまたはネオジム合金を挟むことが望ましい。

20

【0383】

配線とは、導電体が配置されているものをいう。線状に伸びていてもよいし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

【0384】

配線、電極、導電層、導電膜、端子、ビアおよびプラグなどとして、カーボンナノチューブを用いてもよい。さらに、カーボンナノチューブは、透光性を有しているため、光を透過させる部分に用いることができる。例えば、画素電極や共通電極として用いることができる。

【0385】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

30

【0386】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0387】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

40

【0388】

（実施の形態9）

本実施の形態においては、表示装置の構成について説明する。

【0389】

図47（A）を参照して、表示装置の構成について説明する。図47（A）は、表示装置の上面図である。

50

【0390】

画素部170101、走査線側入力端子170103および信号線側入力端子170104が基板170100上に形成されている。また、走査線が、走査線側入力端子170103から行方向に延在して基板170100上に形成され、信号線が、信号線側入力端子170104から列方向に延在して基板170100上に形成されている。そして、画素170102が、画素部170101に、走査線と信号線が交差する領域に、マトリクス状に配置されている。

【0391】

ここまで、外付けの駆動回路によって信号を入力する場合について説明してきた。ただし、これに限定されず、ICチップを表示装置に実装することができる。

10

【0392】

例えば、図48(A)に示すように、COG(Chip On Glass)方式によって、ICチップ170201を、基板170100に実装することができる。この場合、ICチップ170201を、基板170100に実装する前に検査できるので、表示装置の歩留まりの向上を図り、信頼性を高めることができる。なお、図47(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0393】

別の例として、図48(B)に示すように、TAB(Tape Automated Bonding)方式によって、ICチップ170201を、FPC(Flexible Printed Circuit)170200に実装することができる。この場合、ICチップ170201を、FPC170200に実装する前に検査できるので、表示装置の歩留まりの向上を図り、信頼性を高めることができる。なお、図47(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

20

【0394】

ICチップを基板170100に実装するだけでなく、駆動回路を基板170100上に形成することができる。

【0395】

例えば、図47(B)に示すように、走査線駆動回路170105を、基板170100上に形成することができる。この場合、部品点数の削減による、コストの低減を図ることができる。また、回路部品との接続点数の低減による、信頼性の向上を図ることができる。また、走査線駆動回路170105は、駆動周波数が低い。そのため、トランジスタの半導体層として、非結晶シリコンまたは微結晶シリコンを用いて、走査線駆動回路170105を容易に形成することができる。なお、信号線に信号を出力するためのICチップを、基板170100にCOG方式で実装してもよい。あるいは、信号線に信号を出力するためのICチップが、TAB方式で実装されたFPCを、基板170100に配置してもよい。また、走査線駆動回路170105を制御するためのICチップを、基板170100にCOG方式で実装してもよい。あるいは、走査線駆動回路170105を制御するためのICチップが、TAB方式で実装されたFPCを、基板170100に配置してもよい。なお、図47(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

30

40

【0396】

別の例として、図47(C)に示すように、走査線駆動回路170105および信号線駆動回路170106を、基板170100上に形成することができる。その結果、部品点数の削減による、コストの低減を図ることができる。また、回路部品との接続点数の低減による、信頼性の向上を図ることができる。なお、走査線駆動回路170105を制御するためのICチップを、基板170100にCOG方式で実装してもよい。あるいは、走査線駆動回路170105を制御するためのICチップが、TAB方式で実装されたFPCを、基板170100に配置してもよい。また、信号線駆動回路170106を制御するためのICチップを、基板170100にCOG方式で実装してもよい。あるいは、信号線駆動回路170106を制御するためのICチップが、TAB方式で実装されたF

50

PCを、基板170100に配置してもよい。なお、図47(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0397】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0398】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0399】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

【0400】

（実施の形態10）

本実施の形態においては、表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。

【0401】

本実施の形態において説明する液晶表示装置に用いることのできる液晶パネルは、液晶材料を2枚の基板によって挟んだ構造であるとする。2枚の基板は、それぞれ、液晶材料に印加する電界を制御するための電極を備えている。液晶材料は、外部から印加される電界によって、光学および電氣的な性質が、変化する材料である。したがって、液晶パネルは、基板が有する電極を用いて、液晶材料に印加する電圧を制御することによって、所望の光学および電氣的な性質を得ることができるデバイスである。そして、多数の電極を平面的に並置することで、それぞれを画素とし、画素に印加する電圧を個別に制御することにより、精細な画像を液晶パネルに表示できる。

【0402】

ここで、電界の変化に対する液晶材料の応答時間は、2枚の基板の間隔（セルギャップ）および液晶材料の種類等に依存するが、一般的に数ミリ秒から数十ミリ秒である。さらに、電界の変化量が小さい場合は、液晶材料の応答時間はさらに長くなる。この性質は、液晶パネルによって動きのある画像を表示する場合に、残像、尾引きおよびコントラストの低下といった画像表示上の障害を引き起こし、特に中間調から別の中間調へ変化する場合（電界の変化が小さい）場合に、前述の障害の程度が著しくなる。

【0403】

一方、アクティブマトリクスを用いた液晶パネルに特有の問題として、定電荷駆動による書き込み電圧の変化がある。以下に、本実施の形態における、定電荷駆動について説明する。

【0404】

アクティブマトリクスにおける画素回路は、書き込みを制御するスイッチと、電荷を保持する容量素子を含む。アクティブマトリクスにおける画素回路の駆動方法は、スイッチをオン状態として所定の電圧を画素回路に書き込んだ後、直ちにスイッチをオフ状態として画素回路内の電荷を保持する（ホールド状態）というものである。ホールド状態時、画素回路の内部と外部では、電荷のやり取りが行なわれない（定電荷）。通常、スイッチがオン状態となっている期間に比べて、オフ状態となっている期間は数百（走査線本数）倍程度長い。そのため、画素回路のスイッチは、ほとんどオフ状態となっていると考えてよ

10

20

30

40

50

い。以上より、本実施の形態における定電荷駆動とは、液晶パネルの駆動時、画素回路はほとんどの期間においてホールド状態である駆動方法であるとする。

【0405】

次に、液晶材料の電気的特性について説明する。液晶材料は、外部から印加される電界が変化すると、光学的性質が変化すると同時に、誘電率も変化する。すなわち、液晶パネルの各画素を2枚の電極に挟まれた容量素子（液晶素子）として考えたとき、当該容量素子は、印加される電圧によって静電容量が変化する容量素子である。この現象を、ダイナミックキャパシタンスと呼ぶこととする。

【0406】

このように、印加される電圧によって静電容量が変化する容量素子を、上述した定電荷駆動によって駆動する場合、次のような問題が生じる。電荷の移動が行なわれないホールド状態において、液晶素子の静電容量が変化すると、印加される電圧も変化してしまうという問題である。これは、 $(\text{電荷量}) = (\text{静電容量}) \times (\text{印加電圧})$ という関係式において、電荷量が一定であるということから理解できる。

【0407】

以上の理由により、アクティブマトリクスを用いた液晶パネルでは、定電荷駆動であることによって、ホールド状態時における電圧が、書き込み時における電圧から変化してしまう。その結果、液晶素子の透過率の変化は、ホールド状態を取らない駆動法における変化とは異なったものとなる。この様子を示したのが、図45である。図45(A)は、横軸に時間、縦軸に電圧の絶対値をとり、画素回路に書き込む電圧の制御例を表したものである。図45(B)は、横軸に時間、縦軸に電圧をとった場合の、画素回路に書き込む電圧の制御例を表したものである。図45(C)は、横軸に時間、縦軸に液晶素子の透過率をとり、図45(A)または図45(B)によって表した電圧を画素回路に書き込んだ場合の、液晶素子の透過率の時間変化を表したものである。図45(A)～図45(C)において、期間Fは電圧の書き換え周期を表し、電圧を書き換える時刻を t_1 、 t_2 、 t_3 、 t_4 として説明する。

【0408】

ここで、液晶表示装置に入力される画像データに対応する書き込み電圧は、時刻0における書き換えでは $|V_1|$ 、時刻 t_1 、 t_2 、 t_3 、 t_4 における書き換えでは $|V_2|$ であるとする(図45(A)参照)。

【0409】

液晶表示装置に入力される画像データに対応する書き込み電圧は、その極性を周期的に入れ替えてもよい(反転駆動：図45(B)参照)。この方法によって、液晶に直流電圧をできるだけ印加しないようにすることができるので、液晶素子の劣化による焼きつきなどを防ぐことができる。なお、極性を入れ替える周期(反転周期)は、電圧の書き換え周期と同じでもよい。この場合は、反転周期が短いので、反転駆動によるフリッカの発生を低減することができる。さらに、反転周期は、電圧の書き換え周期の整数倍の周期であってもよい。この場合は、反転周期が長く、極性を変えて電圧を書き込む頻度を減少させることができるため、消費電力を低減することができる。

【0410】

そして、図45(A)または図45(B)に示したような電圧を液晶素子に印加したときの液晶素子の透過率の時間変化を、図45(C)に示す。ここで、液晶素子に電圧 $|V_1|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_1 とする。同様に、液晶素子に電圧 $|V_2|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_2 とする。時刻 t_1 において、液晶素子に印加される電圧が $|V_1|$ から $|V_2|$ に変化すると、液晶素子の透過率は、破線30401に示したように、すぐに TR_2 とはならず、ゆっくりと変化する。たとえば、電圧の書き換え周期が、60Hzの画像信号のフレーム周期(16.7ミリ秒)と同じであるとき、透過率が TR_2 に変化するまでは、数フレーム程度の時間が必要となる。

【0411】

ただし、破線 30401 に示したような、滑らかな透過率の時間変化は、液晶素子に正確に電圧 $|V_2|$ が印加されたときのものである。実際の液晶パネル、たとえば、アクティブマトリクスを用いた液晶パネルでは、定電荷駆動であることによって、ホールド状態時における電圧が、書き込み時における電圧から変化してしまうため、液晶素子の透過率は破線 30401 に示したような時間変化とはならず、かわりに、実線 30402 に示したような、段階的な時間変化となる。これは、定電荷駆動であることによって電圧が変化してしまうため、1 回の書き込みでは目的の電圧に到達することができないためである。その結果、液晶素子の透過率の応答時間は、本来の応答時間（破線 30401）よりも、見かけ上、さらに長くなってしまい、残像、尾引きおよびコントラストの低下といった画像表示上の障害を顕著に引き起こしてしまうということになる。

10

【0412】

オーバードライブ駆動を用いることによって、液晶素子の本来の応答時間の長さ、ダイナミックキャパシタンスおよび定電荷駆動による書き込み不足に起因する、見かけ上の応答時間がさらに長くなる現象を、同時に解決することができる。この様子を示したのが、図 46 である。図 46 (A) は、横軸に時間、縦軸に電圧の絶対値を取り、画素回路に書き込む電圧の制御例を表したものである。図 46 (B) は、横軸に時間、縦軸に電圧をとった場合の、画素回路に書き込む電圧の制御例を表したものである。図 46 (C) は、横軸に時間、縦軸に液晶素子の透過率を取り、図 46 (A) または図 46 (B) によって表した電圧を画素回路に書き込んだ場合の、液晶素子の透過率の時間変化を表したものである。図 46 (A) ~ 図 46 (C) において、期間 F は電圧の書き換え周期を表し、電圧を書き換える時刻を t_1 、 t_2 、 t_3 、 t_4 として説明する。

20

【0413】

ここで、液晶表示装置に入力される画像データに対応する書き込み電圧は、時刻 0 における書き換えでは $|V_1|$ 、時刻 t_1 における書き換えでは $|V_3|$ 、時刻 t_2 、 t_3 、 t_4 における書き換えでは $|V_2|$ であるとする（図 46 (A) 参照）。

【0414】

液晶表示装置に入力される画像データに対応する書き込み電圧は、その極性を周期的に入れ替えてもよい（反転駆動：図 46 (B) 参照）。この方法によって、液晶に直流電圧をできるだけ印加しないようにすることができるので、液晶素子の劣化による焼きつきなどを防ぐことができる。なお、極性を入れ替える周期（反転周期）は、電圧の書き換え周期と同じでもよい。この場合は、反転周期が短いので、反転駆動によるフリッカの発生を低減することができる。さらに、反転周期は、電圧の書き換え周期の整数倍の周期であってもよい。この場合は、反転周期が長く、極性を変えて電圧を書き込む頻度を減少させることができるため、消費電力を低減することができる。

30

【0415】

そして、図 46 (A) または図 46 (B) に示したような電圧を液晶素子に印加したときの液晶素子の透過率の時間変化を、図 46 (C) に示す。ここで、液晶素子に電圧 $|V_1|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_1 とする。同様に、液晶素子に電圧 $|V_2|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_2 とする。同様に、液晶素子に電圧 $|V_3|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_3 とする。時刻 t_1 において、液晶素子に印加される電圧が $|V_1|$ から $|V_3|$ に変化すると、液晶素子の透過率は、破線 30501 に示したように、数フレームをかけて透過率を TR_3 まで変化しようとする。しかし、電圧 $|V_3|$ の印加は時刻 t_2 で終わり、時刻 t_2 より後は、電圧 $|V_2|$ が印加される。そのため、液晶素子の透過率は破線 30501 に示したようにはならず、実線 30502 に示したようになる。ここで、時刻 t_2 の時点において、透過率が概ね TR_2 となっているように、電圧 $|V_3|$ の値を設定するのが好ましい。ここで、電圧 $|V_3|$ を、オーバードライブ電圧とも呼ぶこととする。

40

【0416】

オーバードライブ電圧である $|V_3|$ を変化させれば、液晶素子の応答時間をある程度

50

制御することができる。なぜならば、液晶素子の応答時間は、電界の強さによって変化するからである。具体的には、電界が強いほど、液晶素子の応答時間は短くなり、電界が弱いほど、液晶素子の応答時間は長くなる。

【0417】

オーバードライブ電圧である $|V_3|$ は、電圧の変化量、すなわち、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ 、にしたがって変化させるのが好ましい。なぜならば、液晶素子の応答時間が電圧の変化量によって変わってしまっても、オーバードライブ電圧である $|V_3|$ をそれに合わせて変化させれば、常に最適な応答時間を得ることができるからである。

【0418】

オーバードライブ電圧である $|V_3|$ は、TN、VA、IPS、OCB等の液晶素子のモードによって変化させるのが好ましい。なぜならば、液晶素子の応答速度が液晶のモードによって異なってしまっても、オーバードライブ電圧である $|V_3|$ をそれに合わせて変化させれば、常に最適な応答時間を得ることができるからである。

【0419】

電圧書き換え周期 F は、入力信号のフレーム周期と同じでもよい。この場合は、液晶表示装置の周辺駆動回路を簡単にできるため、製造コストの低い液晶表示装置を得ることができる。

【0420】

電圧書き換え周期 F は、入力信号のフレーム周期よりも短くてもよい。例えば、電圧書き換え周期 F は入力信号のフレーム周期の $1/2$ 倍でもよいし、 $1/3$ 倍でもよいし、それ以下でもよい。この方法は、黒挿入駆動、バックライト点滅、バックライトスキャン、動き補償による中間画像挿入駆動など、液晶表示装置のホールド駆動に起因する動画品質の低下の対策法と合わせて用いるのが効果的である。すなわち、液晶表示装置のホールド駆動に起因する動画品質の低下の対策法は、要求される液晶素子の応答時間が短いため、本実施の形態で説明したオーバードライブ駆動法を用いることで、比較的容易に液晶素子の応答時間を短くすることができる。液晶素子の応答時間は、セルギャップ、液晶材料および液晶素子のモードなどによって本質的に短くすることは可能ではあるが、技術的に困難である。そのため、オーバードライブのような駆動方法で液晶素子の応答時間を短くする方法を用いることは、非常に重要である。

【0421】

電圧書き換え周期 F は、入力信号のフレーム周期よりも長くてもよい。たとえば、電圧書き換え周期 F は入力信号のフレーム周期の2倍でもよいし、3倍でもよいし、それ以上でもよい。この方法は、長期間電圧の書き換えが行なわれないか否かを判断する手段（回路）と合わせて用いるのが効果的である。すなわち、長期間電圧の書き換えが行なわれない場合は、電圧の書き換え動作自体を行わないことによって、回路の動作をその期間中は停止させることができるので、消費電力の低い液晶表示装置を得ることができる。

【0422】

次に、オーバードライブ電圧 $|V_3|$ を、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ にしたがって変化させるための具体的な方法について説明する。

【0423】

オーバードライブ回路は、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ にしたがって、オーバードライブ電圧 $|V_3|$ を適切に制御するための回路であるため、オーバードライブ回路に入力される信号は、透過率 TR_1 を与える電圧 $|V_1|$ に関係する信号と、透過率 TR_2 を与える電圧 $|V_2|$ に関係する信号であり、オーバードライブ回路から出力される信号は、オーバードライブ電圧 $|V_3|$ に関係する信号となる。ここで、これらの信号としては、液晶素子に印加する電圧 ($|V_1|$ 、 $|V_2|$ 、 $|V_3|$) のようなアナログの電圧値であってもよいし、液晶素子に印加する電圧を与えるためのデジタル信号であってもよい。ここでは、オーバードライブ回路に係する

10

20

30

40

50

信号はデジタル信号であるとして説明する。

【0424】

まず、図82(A)を参照して、オーバードライブ回路の全体的な構成について説明する。ここでは、オーバードライブ電圧を制御するための信号として、入力画像信号30101aおよび30101bを用いる。これらの信号を処理した結果、オーバードライブ電圧を与える信号として、出力画像信号30104が出力されるとする。

【0425】

目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ は、互いに隣り合ったフレームにおける画像信号であるため、入力画像信号30101aおよび30101bも、同様に互いに隣り合ったフレームにおける画像信号であることが好ましい。このような信号を得るためには、入力画像信号30101aを、図82(A)における遅延回路30102に投入し、その結果出力される信号を、入力画像信号30101bとすることができる。遅延回路30102としては、たとえば、メモリが挙げられる。すなわち、入力画像信号30101aを1フレーム分遅延させるために、メモリに当該入力画像信号30101aを記憶させておき、同時に、1つ前のフレームにおいて記憶させておいた信号を、入力画像信号30101bとしてメモリから取り出し、入力画像信号30101aと、入力画像信号30101bを、同時に補正回路30103に投入することで、互いに隣り合ったフレームにおける画像信号を扱えるようにすることができる。そして、互いに隣り合ったフレームにおける画像信号を、補正回路30103に投入することで、出力画像信号30104を得ることができる。なお、遅延回路30102としてメモリを用いたときは、1フレーム分遅延させるために、1フレーム分の画像信号を記憶できる容量を持ったメモリ（すなわち、フレームメモリ）とすることができる。こうすることで、メモリ容量の過不足なく、遅延回路としての機能を有することができる。

【0426】

次に、メモリの容量を削減することを主な目的として構成された遅延回路30102について説明する。遅延回路30102としてこのような回路を用いることで、メモリの容量を削減することができるため、製造コストを低減することができる。

【0427】

このような特徴を持つ遅延回路30102として、具体的には、図82(B)に示すようなものを用いることができる。図82(B)に示す遅延回路30102は、エンコーダ30105、メモリ30106およびデコーダ30107を有する。

【0428】

図82(B)に示す遅延回路30102の動作としては、次のようなものとなる。まず、入力画像信号30101aを、メモリ30106に記憶させる前に、エンコーダ30105によって、圧縮処理を行なう。これによって、メモリ30106に記憶させるべきデータのサイズを減らすことができる。その結果、メモリの容量を削減することができるため、製造コストを低減することができる。そして、圧縮処理を施された画像信号は、デコーダ30107に送られ、ここで伸張処理を行なう。これによって、エンコーダ30105によって圧縮処理された前の信号を復元することができる。ここで、エンコーダ30105およびデコーダ30107によって行なわれる圧縮伸張処理は、可逆的な処理であってもよい。こうすることで、圧縮伸張処理を行なった後でも画像信号の劣化がないため、最終的に装置に表示される画像の品質を落とすことなく、メモリの容量を削減することができる。さらに、エンコーダ30105およびデコーダ30107によって行なわれる圧縮伸張処理は、非可逆的な処理であってもよい。こうすることで、圧縮後の画像信号のデータのサイズを非常に小さくすることができるため、メモリの容量を大幅に削減することができる。

【0429】

メモリの容量を削減するための方法としては、上に挙げたもの以外にも、さまざまな方法を用いることができる。エンコーダによって画像圧縮するのではなく、画像信号が有する色情報を削減する（たとえば、26万色から6万5千色に減色する）、またはデータ量

を削減する（解像度を小さくする）、などの方法を用いることができる。

【0430】

次に、補正回路30103の具体例について、図82（C）～図82（E）を参照して説明する。補正回路30103は、2つの入力画像信号から、ある値の出力画像信号を出力するための回路である。ここで、2つの入力画像信号と、出力画像信号の関係が非線形であり、簡単な演算で求めることが難しい場合には、補正回路30103として、ルックアップテーブル（LUT）を用いてもよい。LUTには、2つの入力画像信号と、出力画像信号の関係が、測定によってあらかじめ求められているため、2つの入力画像信号に対応する出力画像信号を、LUTを参照するだけで求めることができる（図82（C）参照）。補正回路30103として、LUT30108を用いることで、複雑な回路設計等を行なうことなく、補正回路30103を実現することができる。

10

【0431】

LUT30108はメモリの1つであるため、メモリ容量をできるだけ削減することが、製造コストを低減する上で、好ましい。それを実現するための補正回路30103の例として、図82（D）に示す回路が考えられる。図82（D）に示す補正回路30103は、LUT30109および加算器30110を有する。LUT30109には、入力画像信号30101aと、出力すべき出力画像信号30104の差分データが格納されている。つまり、入力画像信号30101aおよび入力画像信号30101bから、対応する差分データをLUT30109から取り出し、取り出した差分データと入力画像信号30101aを、加算器30110によって加算することで、出力画像信号30104を得ることができる。なお、LUT30109に格納するデータを差分データとすることで、LUT30109のメモリ容量の削減が実現できる。なぜならば、そのままの出力画像信号30104よりも、差分データの方がデータサイズは小さいため、LUT30109に必要なメモリ容量を小さくできるからである。

20

【0432】

さらに、出力画像信号が、2つの入力画像信号の四則演算等の簡単な演算によって求められるならば、加算器、減算器、乗算器などの簡単な回路の組み合わせによって実現できる。その結果、LUTを用いる必要が無くなり、製造コストを大幅に低減することができる。このような回路としては、図82（E）に示す回路を挙げることができる。図82（E）に示す補正回路30103は、減算器30111、乗算器30112および加算器30113を有する。まず、入力画像信号30101aと、入力画像信号30101bの差分を、減算器30111によって求める。その後、乗算器30112によって、適切な係数を差分値に乘ずる。そして、入力画像信号30101aに、適切な係数を乗じた差分値を、加算器30113によって加算することで、出力画像信号30104を得ることができる。このような回路を用いることによって、LUTを用いる必要が無くなり、製造コストを大幅に低減することができる。

30

【0433】

ある条件の下で、図82（E）に示す補正回路30103を用いることによって、不適切な出力画像信号30104を出力することを防止することができる。その条件とは、オーバードライブ電圧を与える出力画像信号30104と、入力画像信号30101aおよび入力画像信号30101bの差分値に、線形性があることである。そして、この線形性の傾きを、乗算器30112によって乗ずる係数とする。すなわち、このような性質を持つ液晶素子に、図82（E）に示す補正回路30103を用いることが好ましい。このような性質を持つ液晶素子としては、応答速度の階調依存性の小さい、IPSモードの液晶素子が挙げられる。このように、例えば、IPSモードの液晶素子に図82の（E）に示す補正回路30103を用いることによって、製造コストを大幅に低減でき、かつ、不適切な出力画像信号30104を出力することを防止することができるオーバードライブ回路を得ることができる。

40

【0434】

図82（A）～図82（E）に示した回路と同等の働きを、ソフトウェア処理によって

50

実現してもよい。遅延回路に用いるメモリについては、液晶表示装置が有する他のメモリ、液晶表示装置に表示する画像を送り出す側の装置（たとえば、パーソナルコンピュータやそれに準じた装置が有するビデオカード等）が有するメモリ等を流用することができる。こうすることで、製造コストを低減できるだけでなく、オーバードライブの強さや利用する状況などを、ユーザが好みに応じて選択できるようにすることができる。

【0435】

次に、コモン線の電位を操作する駆動について、図83を参照して説明する。図83（A）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が一本配置されているときの、複数の画素回路を表した図である。図83（A）に示す画素回路は、トランジスタ30201、補助容量30202、表示素子30203、映像信号線30204、走査線30205およびコモン線30206を備えている。

10

【0436】

トランジスタ30201のゲート電極は、走査線30205に電氣的に接続され、トランジスタ30201のソース電極およびドレイン電極の一方は、映像信号線30204に電氣的に接続され、トランジスタ30201のソース電極およびドレイン電極の他方は、補助容量30202の一方の電極、および表示素子30203の一方の電極に電氣的に接続されている。また、補助容量30202の他方の電極は、コモン線30206に電氣的に接続されている。

【0437】

20

まず、走査線30205によって選択された画素は、トランジスタ30201がオンとなるため、それぞれ、映像信号線30204を介して、表示素子30203および補助容量30202に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線30206に接続された全ての画素に対して最低階調を表示させるものだった場合、あるいは、コモン線30206に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線30204を介して、映像信号を書き込む必要はない。映像信号線30204を介して映像信号を書き込む代わりに、コモン線30206の電位を動かすことで、表示素子30203にかかる電圧を変えることができる。

【0438】

次に、図83（B）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が2本配置されているときの、複数の画素回路を表した図である。図83（B）に示す画素回路は、トランジスタ30211、補助容量30212、表示素子30213、映像信号線30214、走査線30215、第1のコモン線30216および第2のコモン線30217を備えている。

30

【0439】

トランジスタ30211のゲート電極は、走査線30215に電氣的に接続され、トランジスタ30211のソース電極およびドレイン電極の一方は、映像信号線30214に電氣的に接続され、トランジスタ30211のソース電極およびドレイン電極の他方は、補助容量30212の一方の電極、および表示素子30213の一方の電極に電氣的に接続されている。また、補助容量30212の他方の電極は、第1のコモン線30216に電氣的に接続されている。また、当該画素と隣接する画素においては、補助容量30212の他方の電極は、第2のコモン線30217に電氣的に接続されている。

40

【0440】

図83（B）に示す画素回路は、コモン線一本に対し電氣的に接続されている画素が少ないため、映像信号線30214を介して映像信号を書き込む代わりに、第1のコモン線30216または第2のコモン線30217の電位を動かすことで、表示素子30213にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動またはドット反転駆動が可能になる。ソース反転駆動またはドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

【0441】

50

次に、走査型バックライトについて、図84を参照して説明する。図84(A)は、冷陰極管を並置した、走査型バックライトを示す図である。図84(A)に示す走査型バックライトは、拡散板30301と、N個の冷陰極管30302-1から30302-Nと、を備える。N個の冷陰極管30302-1から30302-Nを、拡散板30301の後ろに並置することで、N個の冷陰極管30302-1から30302-Nは、その輝度を変化させて走査することができる。

【0442】

走査するときの各冷陰極管の輝度の変化を、図84(C)を用いて説明する。まず、冷陰極管30302-1の輝度を、一定時間変化させる。その後、冷陰極管30302-1の隣に配置された冷陰極管30302-2の輝度を、同じ時間だけ変化させる。このように、冷陰極管30302-1から30302-Nまで、輝度を順に変化させる。なお、図84(C)においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管30302-1から30302-Nまで走査するとしたが、逆方向に冷陰極管30302-Nから30302-1まで走査してもよい。

【0443】

図84(C)のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減することができる。

【0444】

走査型バックライトの光源として、LEDを用いてもよい。その場合の走査型バックライトは、図84(B)のようになる。図84(B)に示す走査型バックライトは、拡散板30311と、LEDを並置した光源30312-1から30312-Nと、を備える。走査型バックライトの光源として、LEDを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、LEDを並置した光源30312-1から30312-Nのそれぞれに並置したLEDも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

【0445】

バックライトの光源としてLEDを用いた場合も、図84(C)に示すように輝度を変化させて駆動することができる。

【0446】

次に、高周波駆動について、図85を参照して説明する。図85(A)は、1フレーム期間30400に1つの画像および1つの中間画像を表示するときの図である。30401は当該フレームの画像、30402は当該フレームの中間画像、30403は次フレームの画像、30404は次フレームの中間画像である。

【0447】

当該フレームの中間画像30402は、当該フレームおよび次フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像30402は、当該フレームの画像30401から作成された画像であってもよい。また、当該フレームの中間画像30402は、黒画像であってもよい。こうすることで、ホールド型表示装置の動画像の画質を向上できる。また、1フレーム期間30400に1つの画像および1つの中間画像を表示する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。

【0448】

図85(B)は、1フレーム期間30400が2つ連続する期間(2フレーム期間)に1つの画像および2つの中間画像を表示するときの図である。30411は当該フレームの画像、30412は当該フレームの中間画像、30413は次フレームの中間画像、30414は次々フレームの画像である。

【0449】

当該フレームの中間画像 3 0 4 1 2 および次フレームの中間画像 3 0 4 1 3 は、当該フレーム、次フレーム、次々フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像 3 0 4 1 2 および次フレームの中間画像 3 0 4 1 3 は、黒画像であってもよい。2 フレーム期間に 1 つの画像および 2 つの中間画像を表示する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効果的に動画像の画質を向上できるという利点がある。

【0 4 5 0】

本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

10

【0 4 5 1】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分と組み合わせることにより、さらに多くの図を構成できる。

【0 4 5 2】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

20

【0 4 5 3】

（実施の形態 1 1）

本実施の形態においては、液晶パネルの周辺部について説明する。

【0 4 5 4】

図 4 9 は、エッジライト式と呼ばれるバックライトユニット 2 0 1 0 1 と、液晶パネル 2 0 1 0 7 と、を有している液晶表示装置の一例を示す図である。エッジライト式とは、バックライトユニットの端部に光源を配置し、その光源の蛍光を発光面全体から放射する方式である。エッジライト式のバックライトユニット 2 0 1 0 1 は、薄型で省電力化を図ることができる。

30

【0 4 5 5】

バックライトユニット 2 0 1 0 1 は、拡散板 2 0 1 0 2、導光板 2 0 1 0 3、反射板 2 0 1 0 4、ランプリフレクタ 2 0 1 0 5 および光源 2 0 1 0 6 によって構成される。

【0 4 5 6】

光源 2 0 1 0 6 は必要に応じて発光する機能を有している。例えば、光源 2 0 1 0 6 としては冷陰極管、熱陰極管、発光ダイオード、無機 E L 素子または有機 E L 素子などが用いられる。

【0 4 5 7】

図 5 0 (A)、(B)、(C) および (D) は、エッジライト式のバックライトユニットの詳細な構成を示す図である。なお、拡散板、導光板および反射板などはその説明を省略する。

40

【0 4 5 8】

図 5 0 (A) に示すバックライトユニット 2 0 2 0 1 は、光源として冷陰極管 2 0 2 0 3 を用いた構成である。冷陰極管 2 0 2 0 3 からの光を効率よく反射させるため、ランプリフレクタ 2 0 2 0 2 が設けられている。このような構成は、冷陰極管 2 0 2 0 3 からの輝度が高いため、大型表示装置に用いることが多い。

【0 4 5 9】

図 5 0 (B) に示すバックライトユニット 2 0 2 1 1 は、光源として発光ダイオード (LED) 2 0 2 1 3 を用いた構成である。例えば、白色に発する発光ダイオード (LED)

50

） 20213 が、所定の間隔に配置される。そして、発光ダイオード（LED）20213 からの光を効率よく反射させるため、ランプリフレクタ20212 が設けられている。

【0460】

図50（C）に示すバックライトユニット20221は、光源として各色RGBの発光ダイオード（LED）20223、発光ダイオード（LED）20224および発光ダイオード（LED）20225を用いた構成である。各色RGBの発光ダイオード（LED）20223、発光ダイオード（LED）20224および発光ダイオード（LED）20225は、それぞれ所定の間隔に配置される。各色RGBの発光ダイオード（LED）20223、発光ダイオード（LED）20224および発光ダイオード（LED）20225を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ20222が設けられている。

10

【0461】

図50（D）に示すバックライトユニット20231は、光源として各色RGBの発光ダイオード（LED）20233、発光ダイオード（LED）20234および発光ダイオード（LED）20235を用いた構成である。例えば、各色RGBの発光ダイオード（LED）20233、発光ダイオード（LED）20234および発光ダイオード（LED）20235のうち、発光強度の低い色（例えば緑）は他の発光ダイオードよりも多く配置されている。各色RGBの発光ダイオード（LED）20233、発光ダイオード（LED）20234および発光ダイオード（LED）20235を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ20232が設けられている。

20

【0462】

図53は、直下型と呼ばれるバックライトユニットと、液晶パネルと、を有する液晶表示装置の一例を示す図である。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

【0463】

バックライトユニット20500は、拡散板20501、遮光板20502、ランプリフレクタ20503、光源20504および液晶パネル20505によって構成される。

【0464】

光源20504は、必要に応じて発光する機能を有している。例えば、光源20504としては、冷陰極管、熱陰極管、発光ダイオード、無機EL素子または有機EL素子などが用いられる。

30

【0465】

図51は、偏光板（偏光フィルムともいう）の構成の一例を示す図である。

【0466】

偏光フィルム20300は、保護フィルム20301、基板フィルム20302、PVA偏光フィルム20303、基板フィルム20304、粘着剤層20305および離型フィルム20306を有する。

【0467】

PVA偏光フィルム20303は、両側を基材となるフィルム（基板フィルム20302および基板フィルム20304）で挟むことで、信頼性を増すことができる。なお、PVA偏光フィルム20303は、高透明性、高耐久性のトリアセチルセルロース（TAC）フィルムに挟まれていてもよい。なお、基板フィルムおよびTACフィルムは、PVA偏光フィルム20303が有する偏光子の保護層として機能する。

40

【0468】

一方の基板フィルム（基板フィルム20304）には、液晶パネルのガラス基板に貼るための粘着剤層20305が貼られている。なお、粘着剤層20305は、粘着剤を片側の基板フィルム（基板フィルム20304）に塗布することで形成される。粘着剤層20305には、離形フィルム20306（セパレートフィルム）が備えられている。

50

【0469】

他方の基板フィルム（基板フィルム20302）には、保護フィルム20301が備えられている。

【0470】

偏光フィルム20300表面に、ハードコート散乱層（アンチグレア層）が備えられていてもよい。ハードコート散乱層は、AG処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みを防ぐことができる。また、表面反射を防ぐことができる。

【0471】

偏光フィルム20300表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、もしくはAR処理ともいう）してもよい。多層化された複数の屈折率の異なる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。

【0472】

図52は、液晶表示装置のシステムブロックの一例を示す図である。

【0473】

画素部20405には、信号線20412が、信号線駆動回路20403から延伸して配置されている。画素部20405には、走査線20410が、走査線駆動回路20404から延伸して配置されている。そして、信号線20412と走査線20410との交差領域に、複数の画素がマトリクス状に配置されている。なお、複数の画素それぞれは、スイッチング素子を有している。したがって、複数の画素それぞれに、液晶分子の傾きを制御するための電圧を独立して入力することができる。このように各交差領域にスイッチング素子が設けられた構造を、アクティブマトリクス型と呼ぶ。ただし、このようなアクティブマトリクス型に限定されず、パッシブマトリクス型の構成でもよい。パッシブマトリクス型は、各画素にスイッチング素子がないため、工程が簡便である。

【0474】

駆動回路部20408は、制御回路20402、信号線駆動回路20403および走査線駆動回路20404を有する。制御回路20402には、映像信号20401が入力されている。制御回路20402は、この映像信号20401に応じて、信号線駆動回路20403および走査線駆動回路20404を制御する。制御回路20402は、信号線駆動回路20403および走査線駆動回路20404に、それぞれ制御信号を入力する。そして、この制御信号に応じて、信号線駆動回路20403は、ビデオ信号を信号線20412に入力し、走査線駆動回路20404は、走査信号を走査線20410に入力する。そして、画素が有するスイッチング素子が走査信号に応じて選択され、画素の画素電極にビデオ信号が入力される。

【0475】

制御回路20402は、映像信号20401に応じて、電源20407も制御している。電源20407は、照明手段20406へ電力を供給する手段を有している。照明手段20406としては、エッジライト式のバックライトユニット、または直下型のバックライトユニットを用いることができる。ただし、照明手段20406として、フロントライトを用いてもよい。フロントライトとは、画素部の前面側に取り付け、全体を照らす発光体および導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

【0476】

図52（B）に示すように走査線駆動回路20404は、シフトレジスタ20441、レベルシフタ20442およびバッファ20443として機能する回路を有する。シフトレジスタ20441にはゲートスタートパルス（GSP）、ゲートクロック信号（GCK）などの信号が入力される。

【0477】

図52（C）に示すように信号線駆動回路20403は、シフトレジスタ20431、第1のラッチ20432、第2のラッチ20433、レベルシフタ20434およびバッ

10

20

30

40

50

ファ20435として機能する回路を有する。バッファ20435として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプなどを有する。レベルシフタ20434には、スタートパルス（SSP）などの信号が、第1のラッチ20432には、ビデオ信号などのデータ（DATA）が入力される。第2のラッチ20433には、ラッチ（LAT）信号を一時保持することができ、一斉に画素部20405へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第2のラッチは不要とすることができる。

【0478】

本実施の形態において、液晶パネルは、さまざまなものを用いることができる。例えば、液晶パネルとして、2つの基板の間に液晶層が封止された構成を用いることができる。一方の基板上には、トランジスタ、容量素子、画素電極または配向膜などが形成されている。一方の基板の上面と反対側には、偏光板、位相差板またはプリズムシートが配置されていてもよい。他方の基板上には、カラーフィルタ、ブラックマトリクス、対向電極または配向膜などが形成されている。他方の基板の上面と反対側には、偏光板または位相差板が配置されていてもよい。なお、カラーフィルタおよびブラックマトリクスは、一方の基板の上面に形成されてもよい。また、一方の基板の上面側またはその反対側にスリット（格子）を配置することで、3次元表示ができる。

【0479】

偏光板、位相差板およびプリズムシートをそれぞれ、2つの基板の間に配置することが可能である。あるいは、2つの基板のうちのいずれかと一体とすることが可能である。

【0480】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0481】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0482】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

【0483】

（実施の形態12）

本実施の形態においては、液晶表示装置に適用できる画素の構成および画素の動作について説明する。

【0484】

本実施の形態において、液晶素子の動作モードとして、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モードおよびAFLC（Antiferroelectric Liquid Crystal）モードなどを用いることが

できる。

【0485】

図54(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。

【0486】

画素40100は、トランジスタ40101、液晶素子40102および容量素子40103を有している。トランジスタ40101のゲートは、配線40105に接続されている。トランジスタ40101の第1端子は、配線40104に接続されている。トランジスタ40101の第2端子は、液晶素子40102の第1電極および容量素子40103の第1電極に接続される。液晶素子40102の第2電極は、対向電極40107に相当する。容量素子40103の第2の電極は、配線40106に接続される。

10

【0487】

配線40104は、信号線として機能する。配線40105は、走査線として機能する。配線40106は、容量線として機能する。トランジスタ40101は、スイッチとして機能する。容量素子40103は、保持容量として機能する。

【0488】

トランジスタ40101は、スイッチとして機能すればよい。また、トランジスタ40101の極性は、Pチャネル型でもよいし、Nチャネル型でもよい。

【0489】

図54(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図54(B)は、横電界モード(I PSモード、F F Sモードを含む)に適した液晶表示装置に適用できる画素構成の一例を示す図である。

20

【0490】

画素40110は、トランジスタ40111、液晶素子40112および容量素子40113を有している。トランジスタ40111のゲートは、配線40115に接続されている。トランジスタ40111の第1端子は、配線40114に接続されている。トランジスタ40111の第2端子は、液晶素子40112の第1電極および容量素子40113の第1電極に接続される。液晶素子40112の第2電極は、配線40116と接続されている。容量素子40113の第2の電極は、配線40116に接続されている。

【0491】

配線40114は、信号線として機能する。配線40115は、走査線として機能する。配線40116は、容量線として機能する。トランジスタ40111は、スイッチとして機能する。容量素子40113は、保持容量として機能する。

30

【0492】

トランジスタ40111は、スイッチとして機能すればよい。また、トランジスタ40111の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0493】

図55は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図55は、配線数を減らして画素の開口率を大きくできる画素構成の一例である。

【0494】

図55は、同じ列方向に配置された二つの画素(画素40200および画素40210)を示す。例えば、画素40200がN行目に配置されている場合、画素40210はN+1行目に配置されている。

40

【0495】

画素40200は、トランジスタ40201、液晶素子40202および容量素子40203を有している。トランジスタ40201のゲートは、配線40205に接続されている。トランジスタ40201の第1端子は、配線40204に接続されている。トランジスタ40201の第2端子は、液晶素子40202の第1電極および容量素子40203の第1電極に接続される。液晶素子40202の第2電極は、対向電極40207に相当する。容量素子40203の第2電極は、前行のトランジスタのゲートと同じ配線に接続されている。

50

【0496】

画素40210は、トランジスタ40211、液晶素子40212および容量素子40213を有している。トランジスタ40211のゲートは、配線40215に接続されている。トランジスタ40211の第1端子は、配線40204に接続されている。トランジスタ40211の第2端子は、液晶素子40212の第1電極および容量素子40213の第1電極に接続される。液晶素子40212の第2電極は、対向電極40217に相当する。容量素子40213の第2電極は、前行のトランジスタのゲートと同じ配線（配線40205）に接続されている。

【0497】

配線40204は、信号線として機能する。配線40205は、N行目の走査線として機能する。そして、配線40205は、N+1段目の容量線としても機能する。トランジスタ40201は、スイッチとして機能する。容量素子40203は、保持容量として機能する。

10

【0498】

配線40215は、N+1行目の走査線として機能する。そして、配線40215は、N+2段目の容量線としても機能する。トランジスタ40211は、スイッチとして機能する。容量素子40213は、保持容量として機能する。

【0499】

トランジスタ40201およびトランジスタ40211は、スイッチとして機能すればよい。また、トランジスタ40201の極性およびトランジスタ40211の極性は、Pチャンネル型でもよいし、Nチャンネル型でもよい。

20

【0500】

図56は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図56は、サブ画素を用いることで視野角を向上できる画素構成の一例である。

【0501】

画素40320は、サブ画素40300と、サブ画素40310と、を有している。以下、画素40320が、2つのサブ画素を有している場合について説明するが、画素40320は3つ以上のサブ画素を有していてもよい。

【0502】

サブ画素40300は、トランジスタ40301、液晶素子40302および容量素子40303を有している。トランジスタ40301のゲートは、配線40305に接続されている。トランジスタ40301の第1端子は、配線40304に接続されている。トランジスタ40301の第2端子は、液晶素子40302の第1電極および容量素子40303の第1電極に接続されている。液晶素子40302の第2電極は、対向電極40307に相当する。容量素子40303の第2の電極は、配線40306に接続されている。

30

【0503】

サブ画素40310は、トランジスタ40311、液晶素子40312および容量素子40313を有している。トランジスタ40311のゲートは、配線40315に接続されている。トランジスタ40311の第1端子は、配線40304に接続されている。トランジスタ40311の第2端子は、液晶素子40312の第1電極および容量素子40313の第1電極に接続されている。液晶素子40312の第2電極は、対向電極40317に相当する。容量素子40313の第2の電極は、配線40306に接続されている。

40

【0504】

配線40304は、信号線として機能する。配線40305は、走査線として機能する。配線40315は、信号線として機能する。配線40306は、容量線として機能する。トランジスタ40301は、スイッチとして機能する。トランジスタ40311は、スイッチとして機能する。容量素子40303は、保持容量として機能する。容量素子40313は、保持容量として機能する。

50

【0505】

トランジスタ40301は、スイッチとして機能すればよい。また、トランジスタ40301の極性は、Pチャネル型でもよいし、Nチャネル型でもよい。トランジスタ40311は、スイッチとして機能すればよい。また、トランジスタ40311の極性は、Pチャネル型でもよいし、Nチャネル型でもよい。

【0506】

サブ画素40300に入力するビデオ信号は、サブ画素40310に入力するビデオ信号と異なる値としてもよい。この場合、液晶素子40302の液晶分子の配向が、液晶素子40312の液晶分子の配向と異なるため、視野角を広くすることができる。

【0507】

なお、本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

10

【0508】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

20

【0509】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一列などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

【0510】

（実施の形態13）

本実施の形態においては、各種液晶モードについて説明する。

【0511】

まず、断面図を用いて各種液晶モードについて説明する。

30

【0512】

図57（A）、（B）は、TNモードの断面の模式図である。

【0513】

互いに対向するように配置された第1の基板50101および第2の基板50102に、液晶層50100が挟持されている。第1の基板50101の上面には、第1の電極50105が形成されている。第2の基板50102の上面には、第2の電極50106が形成されている。第1の基板50101の液晶層50100と反対側には、第1の偏光板50103が配置されている。第2の基板50102の液晶層50100と反対側には、第2の偏光板50104が配置されている。なお、第1の偏光板50103と第2の偏光板50104とは、クロスニコルになるように配置されている。

40

【0514】

第1の偏光板50103は、第1の基板50101の上面、つまり、第1の基板50101と液晶層50100との間に配置されてもよい。第2の偏光板50104は、第2の基板50102の上面、つまり、第2の基板50102と液晶層50100との間に配置されてもよい。

【0515】

第1の電極50105および第2の電極50106のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

50

【0516】

図57(A)は、第1の電極50105および第2の電極50106に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0517】

図57(B)は、第1の電極50105および第2の電極50106に、電圧が印加されていない場合の断面の模式図である。

【0518】

図58(A)、(B)は、VAモードの断面の模式図である。VAモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。

【0519】

互いに対向するように配置された第1の基板50201および第2の基板50202に、液晶層50200が挟持されている。第1の基板50201の上面には、第1の電極50205が形成されている。第2の基板50202の上面には、第2の電極50206が形成されている。第1の基板50201の液晶層50200と反対側には、第1の偏光板50203が配置されている。第2の基板50202の液晶層50200と反対側には、第2の偏光板50204が配置されている。なお、第1の偏光板50203と第2の偏光板50204とは、クロスニコルになるように配置されている。

【0520】

第1の偏光板50203は、第1の基板50201の上面、つまり、第1の基板50201と液晶層50200との間に配置されてもよい。第2の偏光板50204は、第2の基板50202の上面、つまり、第2の基板50202と液晶層50200との間に配置されてもよい。

【0521】

第1の電極50205および第2の電極50206のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【0522】

図58(A)は、第1の電極50205および第2の電極50206に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0523】

図58(B)は、第1の電極50205および第2の電極50206に、電圧が印加されていない場合の断面の模式図である。

【0524】

図58(C)、(D)は、MVAモードの断面の模式図である。MVAモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

【0525】

互いに対向するように配置された第1の基板50211および第2の基板50212に、液晶層50210が挟持されている。第1の基板50211の上面には、第1の電極50215が形成されている。第2の基板50212の上面には、第2の電極50216が形成されている。第1の電極50215上には、配向制御用に第1の突起物50217が形成されている。第2の電極50216上には、配向制御用に第2の突起物50218が形成されている。第1の基板50211の液晶層50210と反対側には、第1の偏光板50213が配置されている。第2の基板50212の液晶層50210と反対側には、第2の偏光板50214が配置されている。なお、第1の偏光板50213と第2の偏光板50214とは、クロスニコルになるように配置されている。

【0526】

第1の偏光板50213は、第1の基板50211の上面、つまり、第1の基板50211と液晶層50210との間に配置されてもよい。第2の偏光板50214は、第2の基板50212の上面、つまり、第2の基板50212と液晶層50210との間に配置されてもよい。

10

20

30

40

50

【0527】

第1の電極50215および第2の電極50216のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【0528】

図58（C）は、第1の電極50215および第2の電極50216に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0529】

図58（D）は、第1の電極50215および第2の電極50216に、電圧が印加されていない場合の断面の模式図である。

10

【0530】

図59（A）、（B）は、OCBモードの断面の模式図である。OCBモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、視野角依存が少ない。この液晶分子の状態は、ベンド配向と呼ばれる。

【0531】

互いに対向するように配置された第1の基板50301および第2の基板50302に、液晶層50300が挟持されている。第1の基板50301の上面には、第1の電極50305が形成されている。第2の基板50302の上面には、第2の電極50306が形成されている。第1の基板50301の液晶層50300と反対側には、第1の偏光板50303が配置されている。第2の基板50302の液晶層50300と反対側には、第2の偏光板50304が配置されている。なお、第1の偏光板50303と第2の偏光板50304とは、クロスニコルになるように配置されている。

20

【0532】

第1の偏光板50303は、第1の基板50301の上面、つまり、第1の基板50301と液晶層50300との間に配置されてもよい。第2の偏光板50304は、第2の基板50302の上面、つまり、第2の基板50302と液晶層50300との間に配置されてもよい。

【0533】

第1の電極50305および第2の電極50306のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

30

【0534】

図59（A）は、第1の電極50305および第2の電極50306に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0535】

図59（B）は、第1の電極50305および第2の電極50306に、電圧が印加されていない場合の断面の模式図である。

【0536】

図59（C）、（D）は、FLCモードまたはAFLCモードの断面の模式図である。

【0537】

互いに対向するように配置された第1の基板50311および第2の基板50312に、液晶層50310が挟持されている。第1の基板50311の上面には、第1の電極50315が形成されている。第2の基板50312の上面には、第2の電極50316が形成されている。第1の基板50311の液晶層50310と反対側には、第1の偏光板50313が配置されている。第2の基板50312の液晶層50310と反対側には、第2の偏光板50314が配置されている。なお、第1の偏光板50313と第2の偏光板50314とは、クロスニコルになるように配置されている。

40

【0538】

第1の偏光板50313は、第1の基板50311の上面、つまり、第1の基板50311と液晶層50310との間に配置されてもよい。第2の偏光板50314は、第2の

50

基板 5 0 3 1 2 の上面、つまり、第 2 の基板 5 0 3 1 2 と液晶層 5 0 3 1 0 との間に配置されてもよい。

【0 5 3 9】

第 1 の電極 5 0 3 1 5 および第 2 の電極 5 0 3 1 6 のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【0 5 4 0】

図 5 9（C）は、第 1 の電極 5 0 3 1 5 および第 2 の電極 5 0 3 1 6 に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0 5 4 1】

図 5 9（D）は、第 1 の電極 5 0 3 1 5 および第 2 の電極 5 0 3 1 6 に、電圧が印加されていない場合の断面の模式図である。

【0 5 4 2】

図 6 0（A）、（B）は、IPSモードの断面の模式図である。IPSモードは、液晶層内で液晶分子の配列を光学的に補償でき、液晶分子を基板に対して常に平面内で回転させるモードであり、電極を一方の基板側のみに設けた横電界方式をとる。

【0 5 4 3】

互いに対向するように配置された第 1 の基板 5 0 4 0 1 および第 2 の基板 5 0 4 0 2 に、液晶層 5 0 4 0 0 が挟持されている。第 2 の基板 5 0 4 0 2 の上面には、第 1 の電極 5 0 4 0 5 および第 2 の電極 5 0 4 0 6 が形成されている。第 1 の基板 5 0 4 0 1 の液晶層 5 0 4 0 0 と反対側には、第 1 の偏光板 5 0 4 0 3 が配置されている。第 2 の基板 5 0 4 0 2 の液晶層 5 0 4 0 0 と反対側には、第 2 の偏光板 5 0 4 0 4 が配置されている。なお、第 1 の偏光板 5 0 4 0 3 と第 2 の偏光板 5 0 4 0 4 とは、クロスニコルになるように配置されている。

【0 5 4 4】

第 1 の偏光板 5 0 4 0 3 は、第 1 の基板 5 0 4 0 1 の上面、つまり、第 1 の基板 5 0 4 0 1 と液晶層との間に配置されてもよい。第 2 の偏光板 5 0 4 0 4 は、第 2 の基板 5 0 4 0 2 の上面、つまり、第 2 の基板 5 0 4 0 2 と液晶層との間に配置されてもよい。

【0 5 4 5】

第 1 の電極 5 0 4 0 5 および第 2 の電極 5 0 4 0 6 のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【0 5 4 6】

図 6 0（A）は、第 1 の電極 5 0 4 0 5 および第 2 の電極 5 0 4 0 6 に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0 5 4 7】

図 6 0（B）は、第 1 の電極 5 0 4 0 5 および第 2 の電極 5 0 4 0 6 に、電圧が印加されていない場合の断面の模式図である。

【0 5 4 8】

図 6 0（C）、（D）は、FFSモードの断面の模式図である。FFSモードは、液晶層内で液晶分子の配列を光学的に補償でき、液晶分子を基板に対して常に平面内で回転させるモードであり、電極を一方の基板側のみに設けた横電界方式をとる。

【0 5 4 9】

互いに対向するように配置された第 1 の基板 5 0 4 1 1 および第 2 の基板 5 0 4 1 2 に、液晶層 5 0 4 1 0 が挟持されている。第 2 の基板 5 0 4 1 2 の上面には、第 2 の電極 5 0 4 1 6 が形成されている。第 2 の電極 5 0 4 1 6 の上面には、絶縁膜 5 0 4 1 7 が形成されている。絶縁膜 5 0 4 1 7 上には、第 1 の電極 5 0 4 1 5 が形成されている。第 1 の基板 5 0 4 1 1 の液晶層 5 0 4 1 0 と反対側には、第 1 の偏光板 5 0 4 1 3 が配置されている。第 2 の基板 5 0 4 1 2 の液晶層 5 0 4 1 0 と反対側には、第 2 の偏光板 5 0 4 1 4 が配置されている。なお、第 1 の偏光板 5 0 4 1 3 と第 2 の偏光板 5 0 4 1 4 とは、クロ

10

20

30

40

50

スニコルになるように配置されている。

【0550】

第1の偏光板50413は、第1の基板50411の上面、つまり、第1の基板50411と液晶層50410との間に配置されてもよい。第2の偏光板50414は、第2の基板50412の上面、つまり、第2の基板50412と液晶層50410との間に配置されてもよい。

【0551】

第1の電極50415および第2の電極50416のうち、少なくとも一方の電極が透光性を有していればよい（透過型または反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。 10

【0552】

図60(C)は、第1の電極50415および第2の電極50416に、電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。

【0553】

図60(D)は、第1の電極50415および第2の電極50416に、電圧が印加されていない場合の断面の模式図である。

【0554】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。 20

【0555】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0556】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。 30

【0557】

（実施の形態14）

本実施の形態においては、表示装置の画素構造について説明する。特に、液晶表示装置の画素構造について説明する。

【0558】

各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の断面図を参照して説明する。

【0559】

トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される、非単結晶半導体層を有する薄膜トランジスタ（TFT）などを用いることができる。 40

【0560】

トランジスタの構造としては、トップゲート型またはボトムゲート型などを用いることができる。ボトムゲート型のトランジスタとしては、チャネルエッチ型またはチャネル保護型などを用いることができる。

【0561】

図61は、TN方式とトランジスタとを組み合わせた場合の、画素の断面図の一例である。第1の基板10101と、第2の基板10116とが、液晶分子10118を有する 50

液晶10111を挟持している。第1の基板10101には、トランジスタ、画素電極および配向膜などが配置され、第2の基板10116には、遮光膜10114、カラーフィルタ10115、対向電極および配向膜などが配置されている。そして、第1の基板10101と、第2の基板10116との間には、スペーサ10117が配置されている。図61に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

【0562】

図62(A)は、MVA(Multi-domain Vertical Alignment)方式と、トランジスタとを組み合わせた場合の、画素の断面図の一例である。第1の基板10201と、第2の基板10216とが、液晶分子10218を有する液晶10211を挟持している。第1の基板10201には、トランジスタ、画素電極および配向膜などが配置され、第2の基板10216には、遮光膜10214、カラーフィルタ10215、対向電極、配向制御用突起10219および配向膜などが配置されている。そして、第1の基板10201と、第2の基板10216との間には、スペーサ10217が配置されている。図62(A)に示す画素構造を、液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0563】

図62(B)は、PVA(Patterned Vertical Alignment)方式と、トランジスタとを組み合わせた場合の、画素の断面図の一例である。第1の基板10231と、第2の基板10246とが、液晶分子10248を有する液晶10241を挟持している。第1の基板10231には、トランジスタ、画素電極および配向膜などが配置され、第2の基板10231には、遮光膜10244、カラーフィルタ10245、対向電極および配向膜などが配置されている。なお、画素電極は、電極切り欠け部10249を有している。そして、第1の基板10231と、第2の基板10246との間には、スペーサ10247が配置されている。図62(B)に示す画素構造を、液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0564】

図63(A)は、IPS(In-Plane-Switching)方式と、トランジスタとを組み合わせた場合の、画素の断面図の一例である。第1の基板10301と、第2の基板10316とが、液晶分子10318を有する液晶10311を挟持している。第1の基板10301には、トランジスタ、画素電極、共通電極および配向膜などが形成され、第2の基板10316には、遮光膜10314、カラーフィルタ10315および配向膜などが形成されている。そして、第1の基板10301と、第2の基板10316との間には、スペーサ10317が形成されている。図63(A)に示す画素構造を、液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0565】

図63(B)は、FFS(Fringe Field Switching)方式と、トランジスタとを組み合わせた場合の、画素の断面図の一例である。第1の基板10331と、第2の基板10346とが、液晶分子10348を有する液晶10341を挟持している。第1の基板10331には、トランジスタ、画素電極、共通電極および配向膜などが配置され、第2の基板10346には、遮光膜10344、カラーフィルタ10345および配向膜などが配置されている。そして、第1の基板10331と、第2の基板10346との間には、スペーサ10347が配置されている。図63(B)に示す画素構造を、液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0566】

ここで、各導電層または各絶縁膜に用いることができる材料について説明する。

10

20

30

40

50

【0567】

図61の第1の絶縁膜10102、図62(A)の第1の絶縁膜10202、図62(B)の第1の絶縁膜10232、図63(A)の第1の絶縁膜10302および図63(B)の第1の絶縁膜10332としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン(SiO_xN_y)膜などの絶縁膜を用いることができる。あるいは、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン(SiO_xN_y)膜などのうち、2つ以上の膜を組み合わせた積層構造の絶縁膜を用いることができる。

【0568】

図61の第1の導電層10103、図62(A)の第1の導電層10203、図62(B)の第1の導電層10233、図63(A)の第1の導電層10303および図63(B)の第1の導電層10333としては、Mo、Ti、Al、Nd、Crなどを用いることができる。あるいは、Mo、Ti、Al、Nd、Crなどのうち、2つ以上を組み合わせた積層構造を用いることもできる。

10

【0569】

図61の第2の絶縁膜10104、図62(A)の第2の絶縁膜10204、図62(B)の第2の絶縁膜10234、図63(A)の第2の絶縁膜10304および図63(B)の第2の絶縁膜10334としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などを用いることができる。あるいは、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などのうち、2つ以上を組み合わせた積層構造などを用いることができる。なお、半導体層と接する部分は、酸化シリコン膜であることが好ましい。なぜなら、酸化シリコン膜にすると、半導体層との界面におけるトラップ準位が少なくなるからである。なお、Moと接する部分は、窒化シリコン膜であることが好ましい。なぜなら、窒化シリコン膜は、Moを酸化させないからである。

20

【0570】

図61の第1の半導体層10105、図62(A)の第1の半導体層10205、図62(B)の第1の半導体層10235、図63(A)の第1の半導体層10305および図63(B)の第1の半導体層10335としては、シリコンまたはシリコンゲルマニウム(SiGe)などを用いることができる。

【0571】

図61の第2の半導体層10106、図62(A)の第2の半導体層10206、図62(B)の第2の半導体層10236、図63(A)の第2の半導体層10306および図63(B)の第2の半導体層10336としては、リンなどを含んだシリコンなどを用いることができる。

30

【0572】

図61の第2の導電層10107、第3の導電層10109および第4の導電層10113、図62(A)の第2の導電層10207、第3の導電層10209および第4の導電層10213、図62(B)の第2の導電層10237、第3の導電層10239および第4の導電層10243、図63(A)の第2の導電層10307および第3の導電層10309、もしくは図63(B)の第2の導電層10337、第3の導電層10339および第4の導電層10343の透明性を有する材料としては、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜または酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2~20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。

40

【0573】

図61の第2の導電層10107および第3の導電層10109、図62(A)の第2の導電層10207および第3の導電層10209、図62(B)の第2の導電層10237および第3の導電層10239、図63(A)の第2の導電層10307および第3の導電層10309、もしくは図63(B)の第2の導電層10337、第3の導電層1

50

0339および第4の導電層10343の反射性を有する材料としては、Ti、Mo、Ta、Cr、W、Alなどを用いることができる。あるいは、Ti、Mo、Ta、CrおよびWと、Alを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としてもよい。

【0574】

図61の第3の絶縁膜10108、図62(A)の第3の絶縁膜10208、図62(B)の第3の絶縁膜10238、図62(B)の第3の導電層10239、図63(A)の第3の絶縁膜10308、図63(B)の第3の絶縁膜10338および第4の絶縁膜10349としては、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)あるいは、低誘電率の有機化合物材料(感光性または非感光性の有機樹脂材料)などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0575】

図61の第1の配向膜10110および第2の配向膜10112、図62(A)の第1の配向膜10210および第2の配向膜10212、図62(B)の第1の配向膜10240および第2の配向膜10242、図63(A)の第1の配向膜10310および第2の配向膜10312、図63(B)の第1の配向膜10340および第2の配向膜10342としては、ポリイミドなどの高分子膜を用いることができる。

20

【0576】

次に、各液晶モードと、トランジスタとを、組み合わせた場合の画素構造について、画素の上面図(レイアウト図)を参照して説明する。

【0577】

なお、液晶モードとしては、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(Anti Ferroelectric Liquid Crystal)モードなどを用いることができる。

30

【0578】

図64は、TN方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図64に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

【0579】

図64に示す画素は、走査線10401、映像信号線10402、容量線10403、トランジスタ10404、画素電極10405および画素容量10406を有している。

40

【0580】

図65(A)は、MVA方式とトランジスタとを組み合わせた場合の、画素の上面図の一例である。図65(A)に示す画素構造を、液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0581】

図65(A)に示す画素は、走査線10501、映像信号線10502、容量線10503、トランジスタ10504、画素電極10505、画素容量10506および配向制御用突起10507を有する。

50

【0582】

図65(B)は、PVA方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図65(B)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0583】

図65(B)に示す画素は、走査線10511、映像信号線10512、容量線10513、トランジスタ10514、画素電極10515、画素容量10516および電極切り欠き部10517を有する。

【0584】

図66(A)は、IPS方式とトランジスタとを組み合わせた場合の、画素の上面図の一例である。図66(A)に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0585】

図66(A)に示す画素は、走査線10601、映像信号線10602、共通電極10603、トランジスタ10604および画素電極10605を有する。

【0586】

図66(B)は、FFS方式とトランジスタとを組み合わせた場合の、画素の上面図である。図66(B)に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0587】

図66(B)に示す画素は、走査線10611、映像信号線10612、共通電極10613、トランジスタ10614および画素電極10615を有する。

【0588】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

【0589】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0590】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

【0591】

(実施の形態15)

本実施の形態においては、表示装置の画素の構成および画素の動作について説明する。

【0592】

図67(A)、(B)は、デジタル時間階調駆動の一例を示すタイミングチャートである。図67(A)のタイミングチャートは、画素への信号書き込み期間（アドレス期間）と、発光期間（サステイン期間）とが、分離されている場合の駆動方法を示す。

【0593】

1表示領域分の画像を、完全に表示するための期間を1フレーム期間という。1フレーム期間は、複数のサブフレーム期間を有し、1サブフレーム期間は、アドレス期間とサステイン期間とを有する。アドレス期間Ta1～Ta4は、全行分の画素への信号書き込みにかかる時間を示し、期間Tb1～Tb4は一行分の画素（または一画素分）への信号書

10

20

30

40

50

き込みにかかる時間を示している。サステイン期間 $T_{s1} \sim T_{s4}$ は、画素へ書き込まれたビデオ信号にしたがって点灯または非点灯状態を維持する時間を示し、その長さの比を $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ としている。また、どのサステイン期間で発光するかによって、階調を表現している。

【0594】

ここで、図67(B)を参照して、 i 行目の画素行に着目して説明する。まず、アドレス期間 T_{a1} において、1行目から順に、走査線に画素選択信号が入力され、アドレス期間 T_{a1} のうち期間 $T_{b1}(i)$ において、 i 行目の画素が選択される。そして、 i 行目の画素が選択されているときに、信号線から i 行目の画素へ、ビデオ信号が入力される。そして、 i 行目の画素にビデオ信号が書き込まれると、 i 行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サステイン期間 T_{s1} における i 行目の画素の点灯、非点灯が制御される。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における i 行目の画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

10

【0595】

ここでは4ビット階調を表現する場合について説明したが、ビット数および階調数はこれに限定されない。なお、点灯の順番は T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} である必要はなく、ランダムでもよいし、複数に分割して発光をさせてもよい。なお、 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗から少しだけずらしてもよい。

20

【0596】

続いて、画素への信号書き込み期間（アドレス期間）と、発光期間（サステイン期間）とが、分離されていない場合の駆動方法について説明する。ビデオ信号の書き込み動作が完了した行の画素は、次に画素へ信号が書き込まれるまで（または消去されるまで）、信号を保持する。書き込み動作から、次にこの画素へ信号が書き込まれるまでの期間を、データ保持時間という。そして、このデータ保持時間中は、画素に書き込まれたビデオ信号に従って、画素が点灯または非点灯となる。同じ動作が、最終行まで行われ、アドレス期間が終了する。そして、データ保持時間が終了した行から順に、次のサブフレーム期間の信号書き込み動作へ移る。

30

【0597】

このように、信号書き込み動作が完了し、データ保持時間となると、画素へ書き込まれたビデオ信号に従って、直ちに画素が点灯または非点灯となる駆動方法の場合には、同時に2行に信号を入力できない。そのため、アドレス期間を重ならないようにしなければならないので、データ保持時間を、アドレス期間より短くすることができない。その結果、高階調表示が困難になる。

【0598】

よって、消去期間を設けることにより、アドレス期間より短い、データ保持時間を設定する。消去期間を設け、アドレス期間より短いデータ保持時間を設定する場合の駆動方法について、図68(A)に示す。

40

【0599】

ここで、図68(B)を参照して、 i 行目の画素行に着目して説明する。アドレス期間 T_{a1} において、1行目から順に、走査線に画素走査信号が入力され、画素が選択される。そして、期間 $T_{b1}(i)$ において i 行目の画素が選択されているときに、 i 行目の画素にビデオ信号が入力される。そして、 i 行目の画素にビデオ信号が書き込まれると、 i 行目の画素は、再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サステイン期間 $T_{s1}(i)$ における i 行目の画素の点灯、非点灯が制御される。つまり、 i 行目にビデオ信号の書き込み動作が完了したら、直ちに書き込まれた

50

ビデオ信号にしたがって、 i 行目の画素が点灯または非点灯の状態となる。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における i 行目の画素の点灯、非点灯が制御される。そして、サステイン期間 $T_{s4}(i)$ は、その終期を消去動作の開始によって設定される。なぜなら、 i 行目の消去時間 $T_e(i)$ において、 i 行目の画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 $T_e(i)$ が始まると i 行目の画素のデータ保持時間が終了する。

【0600】

よって、アドレス期間とサステイン期間とを分離せずに、アドレス期間より短いデータ保持時間を持つ、高階調かつデューティ比（1 フレーム期間中の点灯期間の割合）の高い表示装置を提供することができる。瞬間輝度を低くすることが可能であるため、表示素子の信頼性の向上を図ることが可能である。

10

【0601】

ここでは4ビット階調を表現する場合について説明したが、ビット数および階調数はこれに限定されない。また、点灯の順番は T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} の点灯時間は、2 のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2 のべき乗からずらしてもよい。

【0602】

デジタル時間階調駆動を適用可能な画素の構成および画素の動作について説明する。

20

【0603】

図69は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0604】

画素80300は、スイッチング用トランジスタ80301、駆動用トランジスタ80302、発光素子80304および容量素子80303を有している。スイッチング用トランジスタ80301は、ゲートが、走査線80306に接続され、第1電極（ソース電極およびドレイン電極の一方）が、信号線80305に接続され、第2電極（ソース電極およびドレイン電極の他方）が、駆動用トランジスタ80302のゲートに接続されている。駆動用トランジスタ80302は、ゲートが、容量素子80303を介して電源線80307に接続され、第1電極が、電源線80307に接続され、第2電極が、発光素子80304の第1電極（画素電極）に接続されている。発光素子80304の第2電極は、共通電極80308に相当する。

30

【0605】

発光素子80304の第2電極（共通電極80308）には、低電源電位が設定されている。低電源電位とは、電源線80307に設定される高電源電位を基準にして、低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていてもよい。この高電源電位と、低電源電位との電位差を、発光素子80304に印加して、発光素子80304に電流を流す。ここで、発光素子80304を発光させるため、高電源電位と、低電源電位との電位差が、発光素子80304の順方向しきい値電圧以上となるように、それぞれの電位を設定する。

40

【0606】

容量素子80303は、駆動用トランジスタ80302のゲート容量を代用して省略することも可能である。駆動用トランジスタ80302のゲート容量については、ソース領域、ドレイン領域またはLDD領域などと、ゲート電極とが重なって、オーバーラップしている領域で容量が形成されていてもよい。あるいは、チャンネル領域と、ゲート電極との間で、容量が形成されていてもよい。

【0607】

電圧入力電圧駆動方式の場合には、駆動用トランジスタ80302のゲートには、駆動用トランジスタ80302が十分にオンするか、オフするか、2つの状態となるビデオ信号を入力する。つまり、駆動用トランジスタ80302は、線形領域で動作する。

50

【0608】

駆動用トランジスタ80302が、飽和領域で動作するようなビデオ信号を入力することで、発光素子80304に電流を流すことができる。発光素子80304が、電流に応じて輝度を決定するような素子であれば、発光素子80304の劣化による輝度の低下を抑制することができる。さらに、ビデオ信号をアナログとすることで、発光素子80304にビデオ信号に応じた電流を流すことができる。この場合、アナログ階調駆動ができる。

【0609】

しきい値電圧補正型と呼ばれる、画素の構成および動作について説明する。しきい値電圧補正型の画素は、デジタル時間階調駆動およびアナログ階調駆動に適用することができる。

10

【0610】

図70は、しきい値電圧補正型と呼ばれる画素の構成の一例を示す図である。

【0611】

図70に示す画素は、駆動用トランジスタ80600、第1のスイッチ80601、第2のスイッチ80602、第3のスイッチ80603、第1の容量素子80604、第2の容量素子80605および発光素子80620を有している。駆動用トランジスタ80600のゲートは、第1の容量素子80604と、第1のスイッチ80601とを、順に介して信号線80611と接続されている。また、駆動用トランジスタ80600のゲートは、第2の容量素子80605を介して、電源線80612と接続されている。駆動用トランジスタ80600の第1電極は、電源線80612と接続されている。駆動用トランジスタ80600の第2電極は、第3のスイッチ80603を介して、発光素子80620の第1の電極と接続されている。また、駆動用トランジスタ80600の第2電極は、第2のスイッチ80602を介して、駆動用トランジスタ80600のゲートと接続されている。発光素子80620の第2の電極は、共通電極80621に相当する。なお、第1のスイッチ80601、第2のスイッチ80602および第3のスイッチ80603は、それぞれ第1の走査線80613に入力される信号、第2の走査線80615に入力される信号および第3の走査線80614に入力される信号によって、オンとオフが制御されている。

20

【0612】

図70に示す画素構成は、これに限定されない。例えば、図70に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタまたは論理回路などを追加してもよい。例えば、第2のスイッチ80602を、Pチャネル型トランジスタまたはNチャネル型のトランジスタで構成し、第3のスイッチ80603を、第2のスイッチ80602とは別の極性のトランジスタで構成し、第2のスイッチ80602および第3のスイッチ80603を、同じ走査線で制御してもよい。

30

【0613】

電流入力型と呼ばれる画素の構成および動作について説明する。電流入力型の画素は、デジタル階調駆動およびアナログ階調駆動に適用することができる。

【0614】

図71は、電流入力型と呼ばれる画素の構成の一例を示す図である。

40

【0615】

図71に示す画素は、駆動用トランジスタ80700、第1のスイッチ80701、第2のスイッチ80702、第3のスイッチ80703、容量素子80704および発光素子80730を有している。駆動用トランジスタ80700のゲートは、第2のスイッチ80702と、第1のスイッチ80701とを順に介して、信号線80711に接続されている。駆動用トランジスタ80700のゲートは、容量素子80704を介して、電源線80712に接続されている。駆動用トランジスタ80700の第1電極は、電源線80712に接続されている。駆動用トランジスタ80700の第2電極は、第1のスイッチ80701を介して、信号線80711に接続されている。駆動用トランジスタ807

50

00の第2電極は、第3のスイッチ80703を介して発光素子80730の第1の電極に接続されている。発光素子80730の第2の電極は、共通電極80731に相当する。なお、第1のスイッチ80701、第2のスイッチ80702および第3のスイッチ80703は、それぞれ第1の走査線80713に入力される信号、第2の走査線80714に入力される信号および第3の走査線80715に入力される信号によって、オンとオフが制御されている。

【0616】

図71に示す画素構成は、これに限定されない。例えば、図71に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタまたは論理回路などを追加してもよい。例えば、第1のスイッチ80701を、Pチャネル型トランジスタまたはNチャネル型トランジスタで構成し、第2のスイッチ80702を、第1のスイッチ80701と同じ極性のトランジスタで構成し、第1のスイッチ80701および第2のスイッチ80702を、同じ走査線で制御してもよい。第2のスイッチ80702は、駆動用トランジスタ80700のゲートと信号線80711との間に配置されていてもよい。

10

【0617】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

20

【0618】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0619】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

30

【0620】

（実施の形態16）

本実施の形態においては、表示装置の画素構造について説明する。特に、有機EL素子を用いた表示装置の画素構造について説明する。

【0621】

図72（A）は、1つの画素に、2つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図72（B）は、図72（A）に示すX-X'の部分の断面図の一例である。

【0622】

図72（A）は、第1のトランジスタ60105、第1の配線60106、第2の配線60107、第2のトランジスタ60108、第3の配線60111、対向電極60112、コンデンサ60113、画素電極60115、隔壁60116、有機導電体膜60117、有機薄膜60118および基板60119を示している。なお、第1のトランジスタ60105は、スイッチング用トランジスタとして、第2のトランジスタ60108は駆動用トランジスタとして、それぞれ用いられるのが好適である。また、第1の配線60106はゲート信号線として、第2の配線60107はソース信号線として、第3の配線60111は電流供給線として、それぞれ用いられるのが好適である。

40

【0623】

第1のトランジスタ60105のゲート電極は、第1の配線60106と電氣的に接続され、第1のトランジスタ60105のソース電極およびドレイン電極の一方は、第2の

50

配線 60107 と電氣的に接続され、第 1 のトランジスタ 60105 のソース電極およびドレイン電極の他方は、第 2 のトランジスタ 60108 のゲート電極およびコンデンサ 60113 の一方の電極と電氣的に接続されている。なお、第 1 のトランジスタ 60105 のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第 1 のトランジスタ 60105 の、オフ状態におけるリーク電流を低減することができる。

【0624】

第 2 のトランジスタ 60108 のソース電極およびドレイン電極の一方は、第 3 の配線 60111 と電氣的に接続され、第 2 のトランジスタ 60108 のソース電極およびドレイン電極の他方は、画素電極 60115 と電氣的に接続されている。こうすることで、画素電極 60115 に流れる電流を、第 2 のトランジスタ 60108 によって制御することが

10

【0625】

画素電極 60115 上には、有機導電体膜 60117 が設けられ、さらに有機薄膜 60118（有機化合物層）が設けられている。有機薄膜 60118（有機化合物層）上には、対向電極 60112 が設けられている。なお、対向電極 60112 は、全ての画素で共通に接続されるように形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0626】

有機薄膜 60118（有機化合物層）から発せられた光は、画素電極 60115 または対向電極 60112 のうちいずれかを透過して発せられる。

20

【0627】

図 72（B）において、画素電極側、すなわちトランジスタなどが形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【0628】

下面放射の場合、画素電極 60115 は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極 60112 は透明導電膜によって形成されるのが好適である。

【0629】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つ EL 素子を作り分けてもよいし、単色の EL 素子を全体一様に作り、カラーフィルタによって R、G、B の発光を得るようにしてもよい。

30

【0630】

図 72 に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL 素子の電極の積層順などに関して、図 72 に示した構成以外にも、さまざまな構成をとることができる。また、発光素子は、図示した有機薄膜で構成される素子の他に、LED のような結晶性の素子、無機薄膜で構成される素子など、さまざまな素子を用いることができる。

【0631】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

40

【0632】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0633】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示

50

している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

【0634】

(実施の形態17)

本実施の形態においては、EL素子の構造について説明する。特に、有機EL素子の構造について説明する。

【0635】

混合接合型のEL素子の構成について説明する。その一例として、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層などが、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料などの材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のEL素子と表記する）について説明する。

10

【0636】

図73(A)、(B)、(C)、(D)および(E)は、混合接合型のEL素子の構造を示す模式図である。なお、陽極190101と陰極190102の間に挟まれた層が、EL層に相当する。

【0637】

図73(A)に示される構成は、EL層が正孔輸送材料からなる正孔輸送領域190103と、電子輸送材料からなる電子輸送領域190104とを含んでいる。正孔輸送領域190103は、電子輸送領域190104よりも陽極側に位置している。また、正孔輸送領域190103と、電子輸送領域190104の間に、正孔輸送材料および電子輸送材料の両方を含む混合領域190105が設けられている。

20

【0638】

陽極190101から陰極190102の方向に、混合領域190105内の正孔輸送材料の濃度が減少し、混合領域190105内の電子輸送材料の濃度が増加することを特徴とする。

【0639】

濃度勾配の設定の仕方は、自由に設定することが可能である。例えば、正孔輸送材料のみからなる正孔輸送領域190103が存在せず、正孔輸送材料および電子輸送材料の両方を含む混合領域190105内部で、各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、正孔輸送材料のみからなる正孔輸送領域190103および電子輸送材料のみからなる電子輸送領域190104が存在せず、正孔輸送材料および電子輸送材料の両方を含む混合領域190105内部で、各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、濃度の割合は、陽極または陰極からの距離に依存して変化する構成であってもよい。なお、濃度の割合の変化は連続的であってもよい。

30

【0640】

混合領域190105内に、発光材料が添加された領域190106を有する。発光材料によって、EL素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体などの他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、EL素子の発光色を制御することができる。

40

【0641】

陽極190101としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、ZnO、SnO₂またはIn₂O₃などの透明電極を用いることができる。あるいは、透光性を有する必要が無いならば、陽極190101は、不透明の金属材料でもよい。

50

【0642】

正孔輸送材料としては、芳香族アミン系の化合物などを用いることができる。

【0643】

電子輸送材料としては、キノリン誘導体、8-キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（8-キノリノラト）アルミニウム（ Alq_3 ））などを用いることができる。

【0644】

陰極190102としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。例えば、アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウムなどの金属を単体で用いることができる。あるいは、これらの金属の合金であってもよいし、これらの金属と他の金属との合金であってもよい。

10

【0645】

図73（A）とは異なる構成のEL素子の模式図を、図73（B）に示す。なお、図73（A）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0646】

図73（B）では、発光材料が添加された領域を有さない。しかし、電子輸送領域190104に添加する材料として、電子輸送性および発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（8-キノリノラト）アルミニウム（ Alq_3 ）を用いる構成とすることによって、発光させることができる。

20

【0647】

あるいは、正孔輸送領域190103に添加する材料として、正孔輸送性および発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

【0648】

図73（A）および図73（B）とは異なる構成のEL素子の模式図を図73（C）に示す。なお、図73（A）および図73（B）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0649】

図73（C）において、正孔輸送材料に比べて、最高被占分子軌道と最低空分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域190105内に添加された領域190107を有する。正孔ブロッキング性材料が添加された領域190107を、混合領域190105内の発光材料が添加された領域190106より、陰極190102側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域190107を設ける構成は、特に、三重項励起子による発光（燐光）を利用するEL素子において有効である。

30

【0650】

図73（A）、図73（B）および図73（C）とは異なる構成のEL素子の模式図を図73（D）に示す。なお、図73（A）、図73（B）および図73（C）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0651】

図73（D）において、電子輸送材料に比べて、最高被占分子軌道と最低空分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域190105内に添加された領域190108を有する。電子ブロッキング性材料が添加された領域190108を、混合領域190105内の発光材料が添加された領域190106より、陽極190101側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域190108を設ける構成は、特に、三重項励起子による発光（燐光）を利用するEL素子において有効である。

40

【0652】

図73（E）は、図73（A）、図73（B）、図73（C）および図73（D）とは異なる混合接合型のEL素子の構成を示す模式図である。図73（E）では、EL素子の電極に接するEL層の部分に、金属材料を添加した領域190109を有する構成の例を

50

示す。図 7 3 (E) において、図 7 3 (A) ~ 図 7 3 (D) と同じ部分は同じ符号を用いて示し説明は省略する。図 7 3 (E) に示す構成は、例えば、陰極 1 9 0 1 0 2 として Mg Ag (Mg - Ag 合金) を用い、電子輸送材料が添加された電子輸送領域 1 9 0 1 0 4 の、陰極 1 9 0 1 0 2 に接する領域に Al (アルミニウム) 合金を添加した領域 1 9 0 1 0 9 を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、かつ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型の EL 素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0 6 5 3】

上記混合接合型の EL 素子を作製する手法としては、共蒸着法などを用いることができる。

10

【0 6 5 4】

図 7 3 (A) ~ 図 7 3 (E) に示したような混合接合型の EL 素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0 6 5 5】

図 7 3 (A) ~ 図 7 3 (E) に示した構成は、自由に組み合わせて実施することが可能である。

【0 6 5 6】

混合接合型の EL 素子の構成は、これに限定されず、さまざまな構成を自由に用いることができる。

20

【0 6 5 7】

EL 素子の EL 層を構成する有機材料としては、低分子材料でも高分子材料でもよい。あるいは、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、EL 層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピン塗布法またはインクジェット方式で成膜することができる。

【0 6 5 8】

EL 層は、中分子材料によって構成されていてもよい。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が 2 0 程度以下の有機発光材料を示すものとする。EL 層として中分子材料を用いる場合は、インクジェット方式などで成膜することができる。

30

【0 6 5 9】

低分子材料と、高分子材料と、中分子材料とを組み合わせて用いてもよい。

【0 6 6 0】

EL 素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでもよい。

【0 6 6 1】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

40

【0 6 6 2】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0 6 6 3】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示

50

している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

【0664】

(実施の形態18)

本実施の形態においては、EL素子の構造について説明する。特に、無機EL素子の構造について説明する。

【0665】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛(ZnS)、硫化カドミウム(CdS)、硫化カルシウム(CaS)、硫化イットリウム(Y_2S_3)、硫化ガリウム(Ga_2S_3)、硫化ストロンチウム(SrS)、硫化バリウム(BaS)などを用いることができる。酸化物としては、例えば、酸化亜鉛(ZnO)、酸化イットリウム(Y_2O_3)などを用いることができる。窒化物としては、例えば、窒化アルミニウム(AlN)、窒化ガリウム(GaN)、窒化インジウム(InN)などを用いることができる。さらに、セレン化亜鉛($ZnSe$)、テルル化亜鉛($ZnTe$)なども用いることができる。また、硫化カルシウム-ガリウム($CaGa_2S_4$)、硫化ストロンチウム-ガリウム($SrGa_2S_4$)、硫化バリウム-ガリウム($BaGa_2S_4$)、などの3元系の混晶であってもよい。

10

【0666】

局在型発光の発光中心として、マンガン(Mn)、銅(Cu)、サマリウム(Sm)、テルビウム(Tb)、エルビウム(Er)、ツリウム(Tm)、ユーロピウム(Eu)、セリウム(Ce)、プラセオジウム(Pr)などを用いることができる。なお、電荷補償として、フッ素(F)、塩素(Cl)などのハロゲン元素が添加されていてもよい。

20

【0667】

一方、ドナー-アクセプター再結合型発光の発光中心として、ドナー準位を形成する第1の不純物元素およびアクセプター準位を形成する第2の不純物元素を含む、発光材料を用いることができる。第1の不純物元素は、例えば、フッ素(F)、塩素(Cl)、アルミニウム(Al)などを用いることができる。第2の不純物元素としては、例えば、銅(Cu)、銀(Ag)などを用いることができる。

【0668】

図74(A)～図74(C)に発光素子として用いることのできる、薄膜型無機EL素子の一例を示す。図74(A)～図74(C)において、発光素子は、第1の電極層120100、電界発光層120102および第2の電極層120103を含む。

30

【0669】

図74(B)および図74(C)に示す発光素子は、図74(A)の発光素子において、電極層と、電界発光層との間に、絶縁膜を設ける構造である。図74(B)に示す発光素子は、第1の電極層120100と、電界発光層120102との間に、絶縁膜120104を有している。図74(C)に示す発光素子は、第1の電極層120100と、電界発光層120102との間に、絶縁膜120105を有し、第2の電極層120103と、電界発光層120102との間に、絶縁膜120106を有している。このように、絶縁膜は、電界発光層を挟持する一対の電極層のうち、一方の間にのみ設けてもよいし、両方の間に設けてもよい。また、絶縁膜は単層でもよいし、複数層を有する積層でもよい。

40

【0670】

図75(A)～図75(C)に、発光素子として用いることのできる分散型無機EL素子の一例を示す。図75(A)における発光素子は、第1の電極層120200、電界発光層120202および第2の電極層120203の積層構造を有し、電界発光層120202中に、バインダによって保持された発光材料120201を含む。

【0671】

図75(B)および図75(C)に示す発光素子は、図75(A)の発光素子において、電極層と、電界発光層との間に、絶縁膜を設ける構造である。図75(B)に示す発光素

50

子は、第1の電極層120200と、電界発光層120202との間に、絶縁膜120204を有している。図75(C)に示す発光素子は、第1の電極層120200と、電界発光層120202との間に、絶縁膜120205を有し、第2の電極層120203と、電界発光層120202との間に、絶縁膜120206を有している。このように、絶縁膜は、電界発光層を挟持する一对の電極層のうち、一方の間にのみ設けてもよいし、両方の間に設けてもよい。また、絶縁膜は、単層でもよいし、複数層を有する積層でもよい。

【0672】

図75(B)では、第1の電極層120200に接するように、絶縁膜120204が設けられているが、絶縁膜と電界発光層の順番を逆にして、第2の電極層120203に接するように絶縁膜120204を設けてもよい。

10

【0673】

図74(B)における絶縁膜120104、図75(B)における絶縁膜120204のような、絶縁膜に用いることのできる材料は、絶縁耐圧が高く、緻密な膜質であることが好ましい。さらには、誘電率が高いことが好ましい。例えば、酸化シリコン(SiO_2)、酸化イットリウム(Y_2O_3)、酸化チタン(TiO_2)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO_2)、酸化タンタル(Ta_2O_5)、チタン酸バリウム(BaTiO_3)、チタン酸ストロンチウム(SrTiO_3)、チタン酸鉛(PbTiO_3)、窒化シリコン(Si_3N_4)または酸化ジルコニウム(ZrO_2)など、もしくはこれらの混合膜または2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVDなどにより成膜することができる。絶縁膜は、これら絶縁材料の粒子を、バインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10~1000nmの範囲である。

20

【0674】

発光素子は、電界発光層を挟持する、一对の電極層間に電圧を印加することで発光が得られるが、直流駆動または交流駆動のいずれにおいても動作することができる。

【0675】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

30

【0676】

本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図の各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成できる。

【0677】

本実施の形態は、他の実施の形態で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

40

【0678】

(実施の形態19)

本実施の形態においては、表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。

【0679】

図76(A)および(B)に示す背面投影型表示装置130100は、プロジェクタユニット130111、ミラー130112およびスクリーンパネル130101を備えて

50

いる。その他に、スピーカ130102および操作スイッチ類130104を備えていてもよい。このプロジェクタユニット130111は、背面投影型表示装置130100の筐体130110の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー130112に向けて投射する。背面投影型表示装置130100は、スクリーンパネル130101の背面から投影される映像を表示する構成となっている。

【0680】

一方、図77は、前面投影型表示装置130200を示している。前面投影型表示装置130200は、プロジェクタユニット130111および投射光学系130201を備えている。この投射光学系130201は、前面に配設するスクリーンなどに映像を投影する構成となっている。

10

【0681】

図76に示す背面投影型表示装置130100、図77に示す前面投影型表示装置130200に適用される、プロジェクタユニット130111の構成を以下に説明する。

【0682】

図78は、プロジェクタユニット130111の一構成例を示している。このプロジェクタユニット130111は、光源ユニット130301および変調ユニット130304を備えている。光源ユニット130301は、レンズ類を含んで構成される光源光学系130303と、光源ランプ130302を備えている。光源ランプ130302は、迷光が拡散しないように筐体内に収納されている。光源ランプ130302としては、大光量の光を放射可能な、例えば、高圧水銀ランプまたはキセノンランプなどが用いられる。光源光学系130303は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルム、IRフィルムなどを適宜設けて構成される。そして、光源ユニット130301は、放射光が変調ユニット130304に入射するように配設されている。変調ユニット130304は、複数の表示パネル130308、カラーフィルタ、ダイクロイックミラー130305、全反射ミラー130306、位相差板130307、プリズム130309および投射光学系130310を備えている。光源ユニット130301から放射された光は、ダイクロイックミラー130305で複数の光路に分離される。

20

【0683】

各光路には、所定の波長もしくは波長帯の光を透過するカラーフィルタと、表示パネル130308が備えられている。透過型である表示パネル130308は、映像信号に基づいて透過光を変調する。表示パネル130308を透過した各色の光は、プリズム130309に入射し投射光学系130310を通して、スクリーン上に映像を表示する。なお、フレネルレンズがミラーおよびスクリーンの間に配設されていてもよい。そして、プロジェクタユニット130111によって投射されミラーで反射される投影光は、フレネルレンズによって概略平行光に変換され、スクリーンに投影される。平行光は、主光線と光軸のずれが $\pm 10^\circ$ 以下であることが好ましい。より好ましくは、光線と光軸のずれが $\pm 5^\circ$ 以下であることが好ましい。

30

【0684】

図79で示すプロジェクタユニット130111は、反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409を備えた構成を示している。

40

【0685】

図79で示すプロジェクタユニット130111は、光源ユニット130301と、変調ユニット130400を備えている。光源ユニット130301は、図78と同様の構成であってもよい。光源ユニット130301からの光は、ダイクロイックミラー130401、ダイクロイックミラー130402および全反射ミラー130403により、複数の光路に分けられて、偏光ビームスプリッタ130404、偏光ビームスプリッタ130405および偏光ビームスプリッタ130406に入射する。偏光ビームスプリッタ130404、偏光ビームスプリッタ130405および偏光ビームスプリッタ130406は、各色に対応する反射型表示パネル130407、反射型表示パネル130408お

50

よび反射型表示パネル130409に対応して設けられている。反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409は、映像信号に基づいて反射光を変調する。反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409で反射された各色の光は、プリズム130410に入射することで合成されて、投射光学系130411を通して投射される。

【0686】

光源ユニット130301から放射された光は、ダイクロイックミラー130401で赤の波長領域の光のみを透過し、緑および青の波長領域の光を反射する。さらに、ダイクロイックミラー130402では、緑の波長領域の光のみが反射される。ダイクロイックミラー130401を透過した赤の波長領域の光は、全反射ミラー130403で反射され、偏光ビームスプリッタ130404へ入射する。また、青の波長領域の光は、偏光ビームスプリッタ130405へ入射し、緑の波長領域の光は偏光ビームスプリッタ130406に入射する。偏光ビームスプリッタ130404、偏光ビームスプリッタ130405および偏光ビームスプリッタ130406は、入射光をP偏光と、S偏光とに分離する機能を有し、かつP偏光のみを透過させる機能を有している。反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409は、映像信号に基づいて、入射した光を偏光する。

【0687】

各色に対応する反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409には、各色に対応するS偏光のみが入射する。なお、反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409は、液晶パネルであってもよい。このとき、液晶パネルは、電界制御複屈折モード（ECB）で動作する。そして、液晶分子は、基板に対してある角度をもって垂直配向している。よって、反射型表示パネル130407、反射型表示パネル130408および反射型表示パネル130409は、画素がオフ状態にある時は、入射光の偏光状態を変化させないで反射させるように、表示分子が配向している。そして、画素がオン状態にある時は、表示分子の配向状態が変化し、入射光の偏光状態が変化する。

【0688】

図79に示すプロジェクタユニット130111は、図76に示す背面投影型表示装置130100、および図77に示す前面投影型表示装置130200に適用することができる。

【0689】

図80で示すプロジェクタユニットは、単板式の構成を示している。図80(A)に示したプロジェクタユニット130111は、光源ユニット130301、表示パネル130507、投射光学系130511および位相差板130504を備えている。投射光学系130511は、1つまたは複数のレンズにより構成されている。表示パネル130507には、カラーフィルタが備えられていてもよい。

【0690】

図80(B)は、フィールドシーケンシャル方式で動作する、プロジェクタユニット130111の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらして順次表示パネルに入射させて、カラーフィルタ無しでカラー表示する方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図80(B)では、光源ユニット130301と、表示パネル130508の間に、赤、緑、青などの複数のカラーフィルタが備えられた回動式のカラーフィルタ板130505を備えている。

【0691】

図80(C)で示すプロジェクタユニット130111は、カラー表示の方式として、マイクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ130506を、表示パネル130509の光入射側に備え、各色の光をそれぞれの方向から照明することで、カラー表示を実現する方式である。この方式を採用するプロジ

10

20

30

40

50

ェクタユニット１３０１１１は、カラーフィルタによる光の損失が少ないので、光源ユニット１３０３０１からの光を有効に利用することができるという特徴を有している。図８０（Ｃ）に示すプロジェクタユニット１３０１１１は、表示パネル１３０５０９に対して各色の光をそれぞれの方向から照明するように、ダイクロイックミラー１３０５０１、ダイクロイックミラー１３０５０２およびダイクロイックミラー１３０５０３を備えている。

【０６９２】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

10

【０６９３】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成できる。

【０６９４】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

20

【０６９５】

（実施の形態２０）

本実施の形態においては、電子機器の例について説明する。

【０６９６】

図８１は表示パネル９００１０１と、回路基板９００１１１を組み合わせた表示パネルモジュールを示している。表示パネル９００１０１は、画素部９００１０２、走査線駆動回路９００１０３および信号線駆動回路９００１０４を有している。回路基板９００１１１には、例えば、コントロール回路９００１１２および信号分割回路９００１１３などが形成されている。表示パネル９００１０１と、回路基板９００１１１とは、接続配線９００１１４によって接続されている。接続配線には、ＦＰＣなどを用いることができる。

30

【０６９７】

図８６は、テレビ受像機の主要な構成を示すブロック図である。チューナ９００２０１は、映像信号と音声信号を受信する。映像信号は、映像信号増幅回路９００２０２と、映像信号増幅回路９００２０２から出力される信号を、赤、緑、青の各色に対応した色信号に変換する、映像信号処理回路９００２０３と、その映像信号を、駆動回路の入力仕様に変換するためのコントロール回路９００２１２により処理される。コントロール回路９００２１２は、走査線駆動回路９００２１４と、信号線駆動回路９００２０４に、それぞれ信号を出力する。そして、走査線駆動回路９００２１４と、信号線駆動回路９００２０４が、表示パネル９００２１１を駆動する。デジタル駆動する場合には、信号線側に、信号分割回路９００２１３を設け、入力デジタル信号をｍ個（ｍは正の整数）に分割して供給する構成としてもよい。

40

【０６９８】

チューナ９００２０１で受信した信号のうち、音声信号は、音声信号増幅回路９００２０５に送られ、その出力は音声信号処理回路９００２０６を経て、スピーカ９００２０７に供給される。制御回路９００２０８は、受信局（受信周波数）および音量の制御情報を入力部９００２０９から受け、チューナ９００２０１または音声信号処理回路９００２０６に信号を送出する。

【０６９９】

50

図 8 6 とは別の形態の、表示パネルモジュールを組み込んだテレビ受像器について、図 8 7 (A) に示す。図 8 7 (A) において、筐体 9 0 0 3 0 1 内に収められた表示画面 9 0 0 3 0 2 は、表示パネルモジュールで形成される。なお、スピーカ 9 0 0 3 0 3、入力手段（操作キー 9 0 0 3 0 4、接続端子 9 0 0 3 0 5、センサ 9 0 0 3 0 6（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン 9 0 0 3 0 7）などが適宜備えられていてもよい。

【0700】

図 8 7 (B) に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。このテレビ受像器には、表示部 9 0 0 3 1 3、スピーカ部 9 0 0 3 1 7、入力手段（操作キー 9 0 0 3 1 6、接続端子 9 0 0 3 1 8、センサ 9 0 0 3 1 9（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン 9 0 0 3 2 0）などが適宜備えられている。筐体 9 0 0 3 1 2 には、バッテリーおよび信号受信器が収められており、そのバッテリーで表示部 9 0 0 3 1 3、スピーカ部 9 0 0 3 1 7、センサ 9 0 0 3 1 9 およびマイクロフォン 9 0 0 3 2 0 を駆動させる。バッテリーは、充電器 9 0 0 3 1 0 で繰り返し充電が可能となっている。充電器 9 0 0 3 1 0 は、映像信号を送受信することが可能で、その映像信号を、ディスプレイの信号受信器に送信することができる。図 8 7 (B) に示す装置は、操作キー 9 0 0 3 1 6 によって制御される。あるいは、図 8 7 (B) に示す装置は、操作キー 9 0 0 3 1 6 を操作することによって、充電器 9 0 0 3 1 0 に信号を送ることが可能である。つまり、映像音声双方向通信装置であってもよい。あるいは、図 8 7 (B) に示す装置は、操作キー 9 0 0 3 1 6 を操作することによって、充電器 9 0 0 3 1 0 に信号を送り、さらに充電器 9 0 0 3 1 0 が送信できる信号を、他の電子機器に受信させることによって、他の電子機器の通信制御も可能である。つまり、汎用遠隔制御装置であってもよい。なお、本実施の形態の各々の図で述べた内容（一部でもよい）を、表示部 9 0 0 3 1 3 に適用することができる。

【0701】

次に、図 8 8 を参照して、携帯電話の構成例について説明する。

【0702】

表示パネル 9 0 0 5 0 1 は、ハウジング 9 0 0 5 3 0 に脱着自在に組み込まれる。ハウジング 9 0 0 5 3 0 は、表示パネル 9 0 0 5 0 1 のサイズに合わせて、形状または寸法を適宜変更することができる。表示パネル 9 0 0 5 0 1 を固定したハウジング 9 0 0 5 3 0 は、プリント基板 9 0 0 5 3 1 に嵌入され、モジュールとして組み立てられる。

【0703】

表示パネル 9 0 0 5 0 1 は、FPC 9 0 0 5 1 3 を介して、プリント基板 9 0 0 5 3 1 に接続される。プリント基板 9 0 0 5 3 1 には、スピーカ 9 0 0 5 3 2、マイクロフォン 9 0 0 5 3 3、送受信回路 9 0 0 5 3 4、CPU、コントローラなどを含む信号処理回路 9 0 0 5 3 5 およびセンサ 9 0 0 5 4 1（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）が形成されている。このようなモジュールと、操作キー 9 0 0 5 3 6、バッテリー 9 0 0 5 3 7、アンテナ 9 0 0 5 4 0 を組み合わせ、筐体 9 0 0 5 3 9 に収納する。表示パネル 9 0 0 5 0 1 の画素部は、筐体 9 0 0 5 3 9 に形成された開口窓から視認できよう配置する。

【0704】

表示パネル 9 0 0 5 0 1 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その I

10

20

30

40

50

CチップをCOG (Chip On Glass) で表示パネル900501に実装してもよい。あるいは、そのICチップを、TAB (Tape Automated Bonding) またはプリント基板を用いて、ガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【0705】

図88に示した携帯電話は、さまざまな情報(静止画、動画、テキスト画像など)を表示する機能を有する。カレンダー、日付または時刻などを、表示部に表示する機能を有する。表示部に表示した情報を、操作または編集する機能を有する。さまざまなソフトウェア(プログラム)によって、処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて、他の携帯電話、固定電話または音声通信機器と通話する機能を有する。無線通信機能を用いて、さまざまなコンピュータネットワークに接続する機能を有する。無線通信機能を用いて、さまざまなデータを送信または受信する機能を有する。着信、データの受信またはアラームに応じて、バイブレータが動作する機能を有する。着信、データの受信またはアラームに応じて、音が発生する機能を有する。なお、図88に示した携帯電話が有する機能はこれらに限定されず、さまざまな機能を有することができる。

10

【0706】

図89(A)はディスプレイであり、筐体900711、支持台900712、表示部900713、スピーカ900717、LEDランプ900719、入力手段(接続端子900714、センサ900715(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの)、マイクロフォン900716、操作キー900718)などを含む。図89(A)に示すディスプレイは、さまざまな情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図89(A)に示すディスプレイが有する機能はこれに限定されず、さまざまな機能を有することができる。

20

【0707】

図89(B)はカメラであり、本体900731、表示部900732、シャッターボタン900736、スピーカ900740、LEDランプ900741、入力手段(受像部900733、操作キー900734、外部接続ポート900735、接続端子900737、センサ900738(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの)、マイクロフォン900739)などを含む。図89(B)に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像(静止画、動画)を自動で補正する機能を有する。撮影した画像を、記録媒体(外部またはカメラに内蔵)に保存する機能を有する。撮影した画像を、表示部に表示する機能を有する。なお、図89(B)に示すカメラが有する機能はこれに限定されず、さまざまな機能を有することができる。

30

【0708】

図89(C)はコンピュータであり、本体900751、筐体900752、表示部900753、スピーカ900760、LEDランプ900761、リーダ/ライタ900762、入力手段(キーボード900754、外部接続ポート900755、ポインティングデバイス900756、接続端子900757、センサ900758(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの)、マイクロフォン900759)などを含む。図89(C)に示すコンピュータは、さまざまな情報(静止画、動画、テキスト画像など)を、表示部に表示する機能を有する。さまざまなソフトウェア(プログラム)によって、処理を制御する機能を有する。無線通信または有線通信などの通信機能を有する。通信機能を用いて、さまざまなコンピュータネットワークに接続する機能を有する。通信機能を用いて、

40

50

さまざまなデータを送信または受信する機能を有する。なお、図 89 (C) に示すコンピュータが有する機能はこれに限定されず、さまざまな機能を有することができる。

【0709】

図 96 (A) はモバイルコンピュータであり、本体 901411、表示部 901412、スイッチ 901413、スピーカ 901419、LED ランプ 901420、入力手段（操作キー 901414、赤外線ポート 901415、接続端子 901416、センサ 901417（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン 901418）などを含む。図 96 (A) に示すモバイルコンピュータは、さまざまな情報（静止画、動画、テキスト画像など）を、表示部に表示する機能を有する。表示部にタッチパネルの機能を有する。カレンダー、日付または時刻などを、表示する機能を表示部に有する。さまざまなソフトウェア（プログラム）によって、処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて、さまざまなコンピュータネットワークに接続する機能を有する。無線通信機能を用いて、さまざまなデータを送信または受信する機能を有する。なお、図 96 (A) に示すモバイルコンピュータが有する機能はこれに限定されず、さまざまな機能を有することができる。

10

【0710】

図 96 (B) は記録媒体を備えた携帯型の画像再生装置（例えば、DVD 再生装置）であり、本体 901431、筐体 901432、表示部 A 901433、表示部 B 901434、スピーカ部 901437、LED ランプ 901441、入力手段（記録媒体（DVD など）読み込み部 901435、操作キー 901436、接続端子 901438、センサ 901439（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン 901440）などを含む。表示部 A 901433 は、主として画像情報を表示し、表示部 B 901434 は、主として文字情報を表示する。

20

【0711】

図 96 (C) はゴーグル型ディスプレイであり、本体 901451、表示部 901452、イヤホン 901453、支持部 901454、LED ランプ 901459、スピーカ 901458、入力手段（接続端子 901455、センサ 901456（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン 901457）などを含む。図 96 (C) に示すゴーグル型ディスプレイは、外部から取得した画像（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図 96 (C) に示すゴーグル型ディスプレイが有する機能はこれに限定されず、さまざまな機能を有することができる。

30

【0712】

図 97 (A) は携帯型遊技機であり、筐体 901511、表示部 901512、スピーカ部 901513、記録媒体挿入部 901515、LED ランプ 901519、入力手段（操作キー 901514、接続端子 901516、センサ 901517（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン 901518）などを含む。図 97 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して、表示部に表示する機能を有する。他の携帯型遊技機と無線通信して、情報を共有する機能を有する。なお、図 97 (A) に示す携帯型遊技機が有する機能はこれに限定されず、さまざまな機能を有することができる。

40

【0713】

図 97 (B) はテレビ受像機能付きデジタルカメラであり、本体 901531、表示部

50

901532、スピーカ901534、シャッターボタン901535、LEDランプ901541、入力手段（操作キー901533、受像部901536、アンテナ901537、接続端子901538、センサ901539（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におひまたは赤外線を測定する機能を含むもの）、マイクロフォン901540）などを含む。図97（B）に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像を、自動で補正する機能を有する。アンテナから、さまざまな情報を取得する機能を有する。撮影した画像、またはアンテナから取得した情報を、保存する機能を有する。撮影した画像、またはアンテナから取得した情報を、表示部に表示する機能を有する。なお、図97（B）に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、さまざまな機能を有することができる。

10

【0714】

図98は携帯型遊技機であり、筐体901611、第1表示部901612、第2表示部901613、スピーカ部901614、記録媒体挿入部901616、LEDランプ901620、入力手段（操作キー901615、接続端子901617、センサ901618（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におひまたは赤外線を測定する機能を含むもの）、マイクロフォン901619）などを含む。図98に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して、表示部に表示する機能を有する。他の携帯型遊技機と無線通信して、情報を共有する機能を有する。なお、図98に示す携帯型遊技機が有する機能はこれに限定されず、さまざまな機能を有することができる。

20

【0715】

図89（A）～図89（C）、図96（A）～図96（C）、図97（A）～図97（B）、および図98に示したように、電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【0716】

次に、半導体装置の応用例を説明する。

【0717】

図90に、半導体装置を、建造物と一体にして設けた例について示す。図90は、筐体900810、表示部900811、操作部であるリモコン装置900812、スピーカ部900813などを含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

30

【0718】

図91に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル900901は、ユニットバス900902と一体に取り付けられており、入浴者は表示パネル900901の視聴が可能になる。表示パネル900901は、入浴者が操作することで情報を表示する機能を有する。広告または娯楽手段として利用できる機能を有する。

40

【0719】

半導体装置は、図91で示したユニットバス900902の側壁だけではなく、さまざまな場所に設置することができる。例えば、鏡面の一部または浴槽自体と一体にするなどとしてもよい。このとき、表示パネル900901の形状は、鏡面または浴槽の形状に合わせたものとなってもよい。

【0720】

図92に、半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル901002は、柱状体901001の曲面に合わせて湾曲させて取り付けられている。ここでは、柱状体901001を電柱として説明する。

【0721】

50

図92に示す表示パネル901002は、人間の視点より高い位置に設けられている。電柱のように、屋外で林立している建造物に表示パネル901002を設置することで、不特定多数の視認者に広告を行なうことができる。表示パネル901002は、外部からの制御により、同じ画像を表示させること、および瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、および広告効果が期待できる。表示パネル901002に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。電柱に設置することで、表示パネル901002の電力供給手段の確保が容易である。災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

【0722】

10

表示パネル901002としては、例えば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて、表示素子を駆動することにより、画像を表示する表示パネルを用いることができる。

【0723】

本実施の形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施の形態はこれに限定されず、さまざまな建造物に半導体装置を設置することができる。

【0724】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【0725】

図93は、半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル901102は、自動車の車体901101と一体に取り付けられており、車体の動作または車体内外から入力される情報を、オンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

20

【0726】

半導体装置は、図93で示した車体901101だけではなく、さまざまな場所に設置することができる。例えば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラーなどと一体にしてもよい。このとき、表示パネル901102の形状は、設置するものの形状に合わせたものとなってもよい。

【0727】

図94は、半導体装置を、列車車両と一体にして設けた例について示した図である。

30

【0728】

図94(A)は、列車車両のドア901201のガラスに、表示パネル901202を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。表示パネル901202は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、例えば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。

【0729】

図94(B)は、列車車両のドア901201のガラスの他に、ガラス窓901203、および天井901204に、表示パネル901202を設けた例について示した図である。このように、半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコストおよび時間が削減でき、より柔軟な広告の運用および情報伝達が可能となる。

40

【0730】

半導体装置は、図94で示したドア901201、ガラス窓901203、および天井901204だけではなく、さまざまな場所に設置することができる。例えば、つり革、座席シート、てすり、床などと一体にしてもよい。このとき、表示パネル901202の形状は、設置するものの形状に合わせたものとなってもよい。

50

【0731】

図95は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。

【0732】

図95(A)は、旅客用飛行機の座席上部の天井901301に、表示パネル901302を設けたときの、使用時の形状について示した図である。表示パネル901302は、天井901301とヒンジ部901303を介して一体に取り付けられており、ヒンジ部901303の伸縮により乗客は表示パネル901302の視聴が可能になる。表示パネル901302は、乗客が操作することで情報を表示する機能を有する。また、広告または娯楽手段として、利用できる機能を有する。図95(B)に示すように、ヒンジ部を折り曲げて天井901301に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段および誘導灯としても利用可能である。

10

【0733】

半導体装置は、図95で示した天井901301だけではなく、さまざまな場所に設置することができる。例えば、座席シート、座席テーブル、肘掛、窓などと一体にしてもよい。多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル901302の形状は、設置するものの形状に合わせたものとなっていてよい。

20

【0734】

本実施の形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バスなどを含む）、電車（モノレール、鉄道などを含む）、船舶など、さまざまなものに設置することができる。半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、などの用途に用いることが可能となる。

【0735】

本実施の形態において、さまざまな図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成できる。

30

【0736】

本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせまたは置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成できる。

【0737】

本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例および関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせまたは置き換えを自由に行うことができる。

40

【0738】

（実施の形態21）

以上に説明したように、本明細書には少なくとも以下の発明が含まれている。

【0739】

本発明の一は、液晶素子を有する画素と、駆動回路と、を有する液晶表示装置である。駆動回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、

50

たと、第8のトランジスタと、を有している。なお、この駆動回路は、少なくとも一部に以下の接続関係を含んでいる。第1のトランジスタの第1の電極が、第4の配線に電氣的に接続され、第1のトランジスタの第2の電極が、第3の配線に電氣的に接続されている。第2のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第2のトランジスタの第2の電極が、第3の配線に電氣的に接続されている。第3のトランジスタの第1の電極が、第5の配線に電氣的に接続され、第3のトランジスタの第2の電極が、第2のトランジスタのゲート電極に電氣的に接続され、第3のトランジスタのゲート電極が、第5の配線に電氣的に接続されている。第4のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第4のトランジスタの第2の電極が、第2のトランジスタのゲート電極に電氣的に接続され、第4のトランジスタのゲート電極が、第1のトランジスタのゲート電極に電氣的に接続されている。第5のトランジスタの第1の電極が、第5の配線に電氣的に接続され、第5のトランジスタの第2の電極が、第1のトランジスタのゲート電極に電氣的に接続され、第5のトランジスタのゲート電極が、第1の配線に電氣的に接続されている。第6のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第6のトランジスタの第2の電極が、第1のトランジスタのゲート電極に電氣的に接続され、第6のトランジスタのゲート電極が、第2のトランジスタのゲート電極に電氣的に接続されている。第7のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第7のトランジスタの第2の電極が、第1のトランジスタのゲート電極に電氣的に接続され、第7のトランジスタのゲート電極が、第2の配線に電氣的に接続されている。第8のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第8のトランジスタの第2の電極が、第2のトランジスタのゲート電極に電氣的に接続され、第8のトランジスタのゲート電極が、第1の配線に電氣的に接続されている。

10

20

【0740】

上記液晶素子を有する画素と、駆動回路と、を有する液晶表示装置は、第1のトランジスタ乃至第8のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第1のトランジスタの W/L の値が最大となる駆動回路を含む構成であってもよい。

【0741】

上記液晶素子を有する画素と、駆動回路と、を有する液晶表示装置は、第1のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値は、第5のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の2倍以上5倍以下となる駆動回路を含む構成であってもよい。

30

【0742】

上記液晶素子を有する画素と、駆動回路と、を有する液晶表示装置は、第3のトランジスタのチャンネル長 L は、第4のトランジスタのチャンネル長 L よりも大きい場合を含む構成であってもよい。

【0743】

上記液晶素子を有する画素と、駆動回路と、を有する液晶表示装置は、第1のトランジスタの第2の電極と、第1のトランジスタのゲート電極との間に、容量素子が配置されているものを含む構成であってもよい。

【0744】

上記液晶素子を有する画素と、駆動回路と、を有する液晶表示装置は、第1のトランジスタ乃至第8のトランジスタは、 N チャンネル型トランジスタであるものを含む構成であってもよい。

40

【0745】

上記液晶素子を有する画素と、駆動回路と、を有する液晶表示装置は、第1のトランジスタ乃至第8のトランジスタは、半導体層としてアモルファスシリコンを用いるものを含む構成であってもよい。

【0746】

本発明の一は、液晶素子を有する画素と、第1の駆動回路と、第2の駆動回路と、を有する液晶表示装置である。第1の駆動回路と第2の駆動回路は少なくとも一部に以下の接

50

続関係を含んでいる。第1の駆動回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、を有している。第1のトランジスタの第1の電極が、第4の配線に電氣的に接続され、第1のトランジスタの第2の電極が、第3の配線に電氣的に接続されている。第2のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第2のトランジスタの第2の電極が、第3の配線に電氣的に接続されている。第3のトランジスタの第1の電極が、第5の配線に電氣的に接続され、第3のトランジスタの第2の電極が、第2のトランジスタのゲート電極に電氣的に接続され、第3のトランジスタのゲート電極が、第5の配線に電氣的に接続されている。第4のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第4のトランジスタの第2の電極が、第2のトランジスタのゲート電極に電氣的に接続され、第4のトランジスタのゲート電極が、第1のトランジスタのゲート電極に電氣的に接続されている。第5のトランジスタの第1の電極が、第5の配線に電氣的に接続され、第5のトランジスタの第2の電極が、第1のトランジスタのゲート電極に電氣的に接続され、第5のトランジスタのゲート電極が、第1の配線に電氣的に接続されている。第6のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第6のトランジスタの第2の電極が、第1のトランジスタのゲート電極に電氣的に接続され、第6のトランジスタのゲート電極が、第2のトランジスタのゲート電極に電氣的に接続されている。第7のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第7のトランジスタの第2の電極が、第1のトランジスタのゲート電極に電氣的に接続され、第7のトランジスタのゲート電極が、第2の配線に電氣的に接続されている。第8のトランジスタの第1の電極が、第6の配線に電氣的に接続され、第8のトランジスタの第2の電極が、第2のトランジスタのゲート電極に電氣的に接続され、第8のトランジスタのゲート電極が、第1の配線に電氣的に接続されている。また、第2の駆動回路は、第9のトランジスタと、第10のトランジスタと、第11のトランジスタと、第12のトランジスタと、第13のトランジスタと、第14のトランジスタと、第15のトランジスタと、第16のトランジスタと、を有している。第9のトランジスタの第1の電極が、第10の配線に電氣的に接続され、第9のトランジスタの第2の電極が第9の配線に電氣的に接続されている。第10のトランジスタの第1の電極が、第12の配線に電氣的に接続され、第10のトランジスタの第2の電極が、第9の配線に電氣的に接続されている。第11のトランジスタの第1の電極が、第11の配線に電氣的に接続され、第11のトランジスタの第2の電極が、第10のトランジスタのゲート電極に電氣的に接続され、第11のトランジスタのゲート電極が、第11の配線に電氣的に接続されている。第12のトランジスタの第1の電極が、第12の配線に電氣的に接続され、第12のトランジスタの第2の電極が、第10のトランジスタのゲート電極に電氣的に接続され、第12のトランジスタのゲート電極が、第9のトランジスタのゲート電極に電氣的に接続されている。第13のトランジスタの第1の電極が、第11の配線に電氣的に接続され、第13のトランジスタの第2の電極が、第9のトランジスタのゲート電極に電氣的に接続され、第13のトランジスタのゲート電極が、第7の配線に電氣的に接続されている。第14のトランジスタの第1の電極が、第12の配線に電氣的に接続され、第14のトランジスタの第2の電極が、第9のトランジスタのゲート電極に電氣的に接続され、第14のトランジスタのゲート電極が、第10のトランジスタのゲート電極に電氣的に接続されている。第15のトランジスタの第1の電極が、第12の配線に電氣的に接続され、第15のトランジスタの第2の電極が、第9のトランジスタのゲート電極に電氣的に接続され、第15のトランジスタのゲート電極が、第8の配線に電氣的に接続されている。第16のトランジスタの第1の電極が、第12の配線に電氣的に接続され、第16のトランジスタの第2の電極が、第10のトランジスタのゲート電極に電氣的に接続され、第16のトランジスタのゲート電極が、第7の配線に電氣的に接続されている。

【0747】

液晶素子を有する画素と、第1の駆動回路と、第2の駆動回路と、を有する液晶表示装置は、第4の配線と第10の配線とが電氣的に接続され、第5の配線と第11の配線とが

10

20

30

40

50

電氣的に接続され、第 6 の配線と第 1 2 の配線とが電氣的に接続されているものを含む構成であってもよい。

【0748】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 4 の配線と第 1 0 の配線とは同一の配線であり、第 5 の配線と第 1 1 の配線とは同一の配線であり、第 6 の配線と第 1 2 の配線とは同一の配線であるものを含む構成であってもよい。

【0749】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 3 の配線と第 9 の配線とが、電氣的に接続されているものを含む構成であってもよい。

10

【0750】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 3 の配線と第 9 の配線とは同一の配線であるものを含む構成であってもよい。

【0751】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 1 のトランジスタ乃至第 8 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第 1 のトランジスタの W/L の値が最大となり、第 9 のトランジスタ乃至第 1 6 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第 9 のトランジスタの W/L の値が最大となるものを含む構成であってもよい。

20

【0752】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 1 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値は、第 5 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の 2 倍以上 5 倍以下となり、第 9 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値は、第 1 3 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の 2 倍以上 5 倍以下となるものを含む構成であってもよい。

【0753】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 3 のトランジスタのチャンネル長 L は、第 4 のトランジスタのチャンネル長 L よりも大きく、第 1 1 のトランジスタのチャンネル長 L は、第 1 2 のトランジスタのチャンネル長 L よりも大きいものを含む構成であってもよい。

30

【0754】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 1 のトランジスタの第 2 の電極と、第 1 のトランジスタのゲート電極との間に容量素子が配置され、第 9 のトランジスタの第 2 の電極と、第 9 のトランジスタのゲート電極との間に容量素子が配置されているものを含む構成であってもよい。

【0755】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 1 のトランジスタ乃至第 1 6 のトランジスタは、Nチャネル型トランジスタであるものを含む構成であってもよい。

40

【0756】

液晶素子を有する画素と、第 1 の駆動回路と、第 2 の駆動回路と、を有する液晶表示装置は、第 1 のトランジスタ乃至第 1 6 のトランジスタは、半導体層としてアモルファスシリコンを用いるものを含む構成であってもよい。

【0757】

上述した液晶表示装置は、さまざまな電子機器に具備することができる。

【0758】

本実施の形態に示す液晶表示装置は、本明細書に記載されているものであり、したがって他の実施の形態と同様の作用効果を有する。

50

【符号の説明】

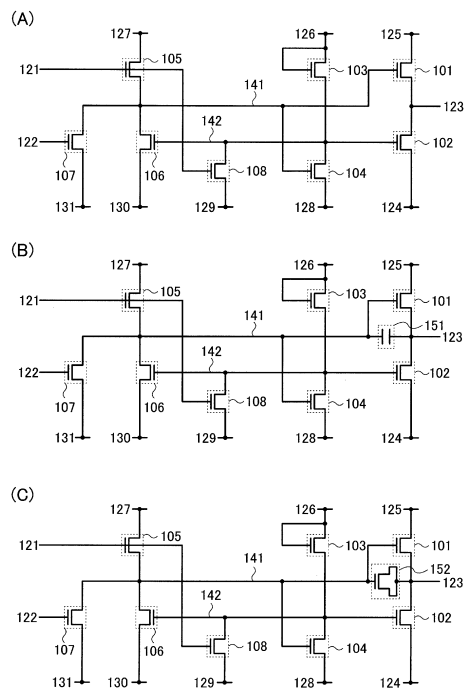
【0759】

- 101 トランジスタ
 102 トランジスタ
 103 トランジスタ
 104 トランジスタ
 105 トランジスタ
 106 トランジスタ
 107 トランジスタ
 108 トランジスタ
 109 トランジスタ
 110 トランジスタ
 141 ノード
 142 ノード
 501 配線
 502 配線
 503 配線
 504 配線
 505 配線
 506 配線
 507 配線

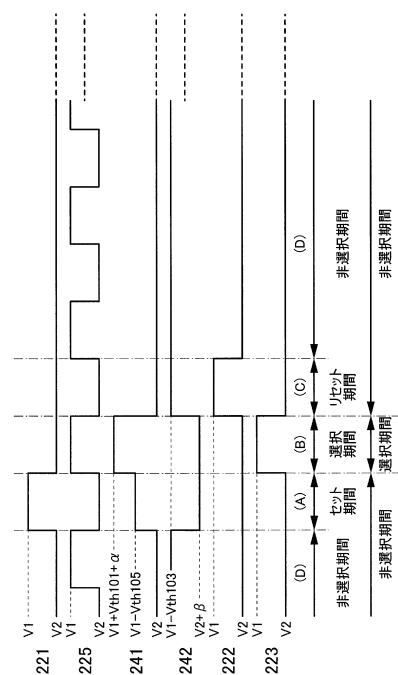
10

20

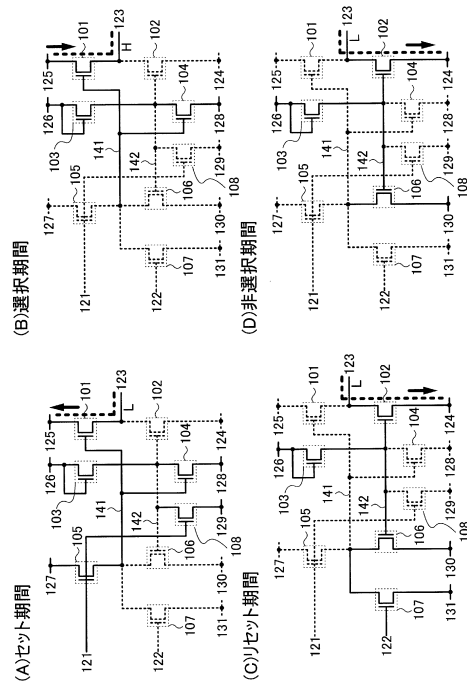
【図1】



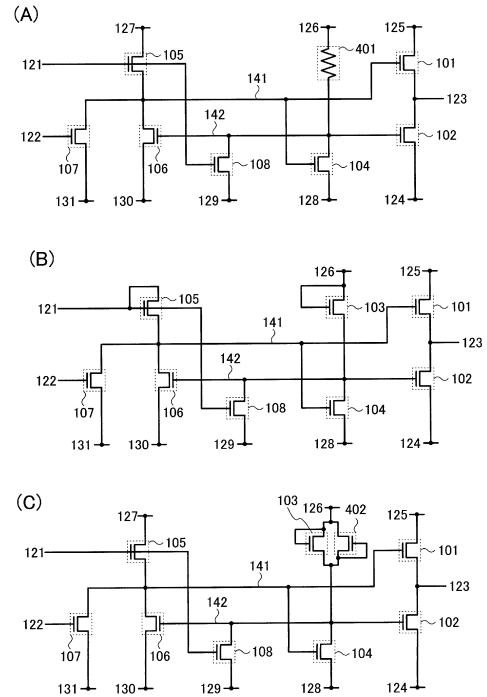
【図2】



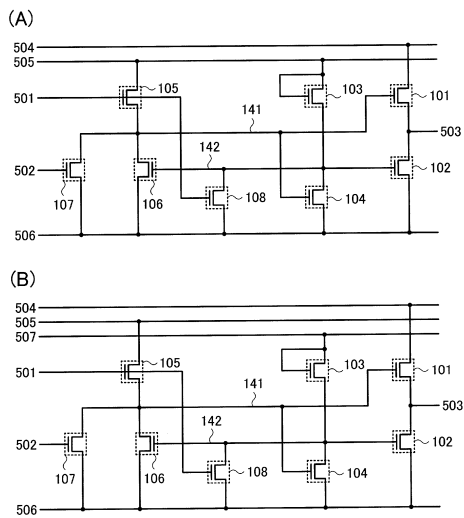
【図 3】



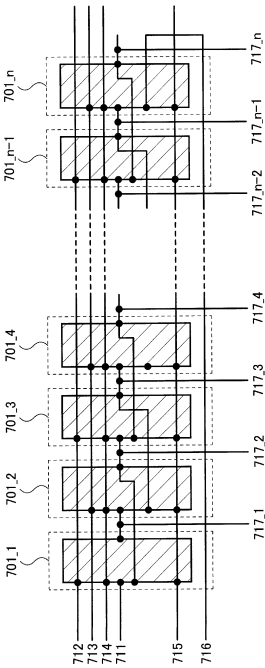
【図 4】



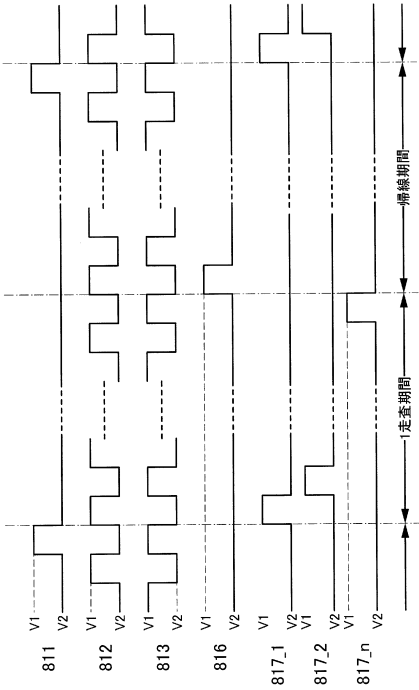
【図 5】



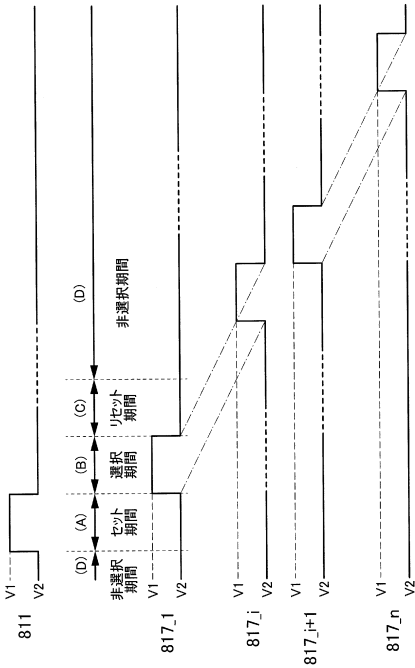
【図 7】



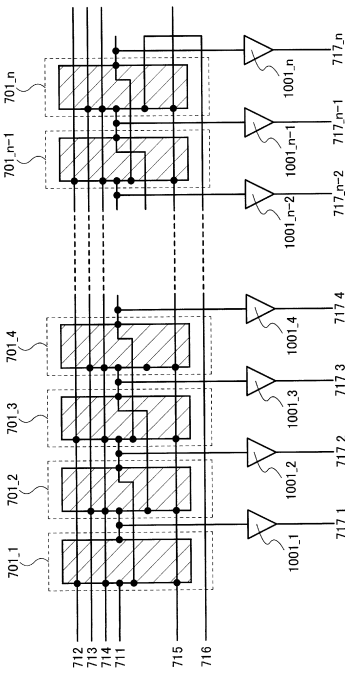
【図 8】



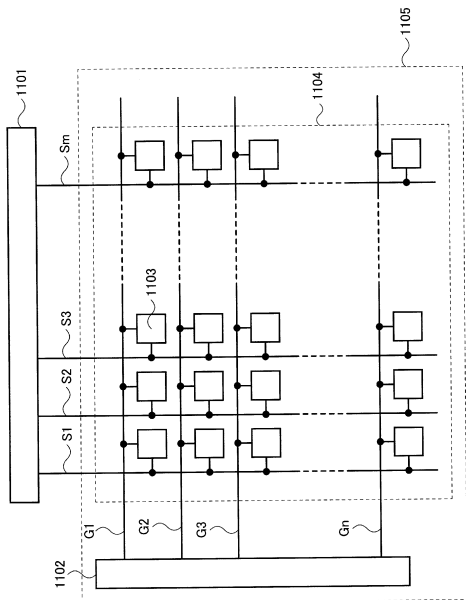
【図 9】



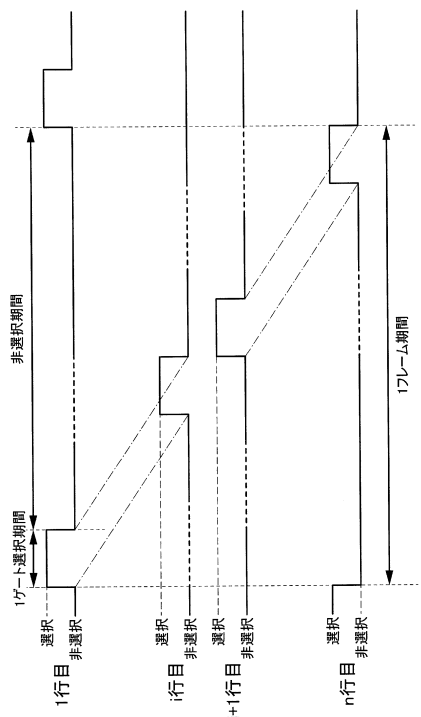
【図 10】



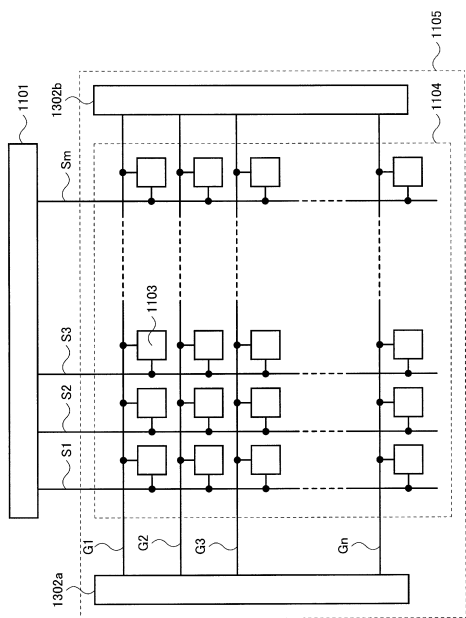
【図 1 1】



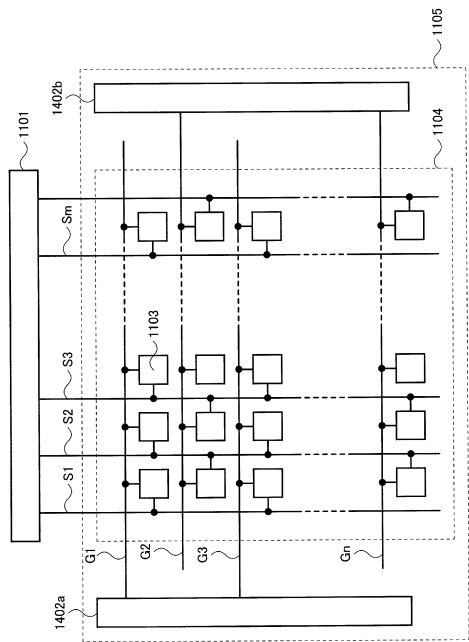
【図 1 2】



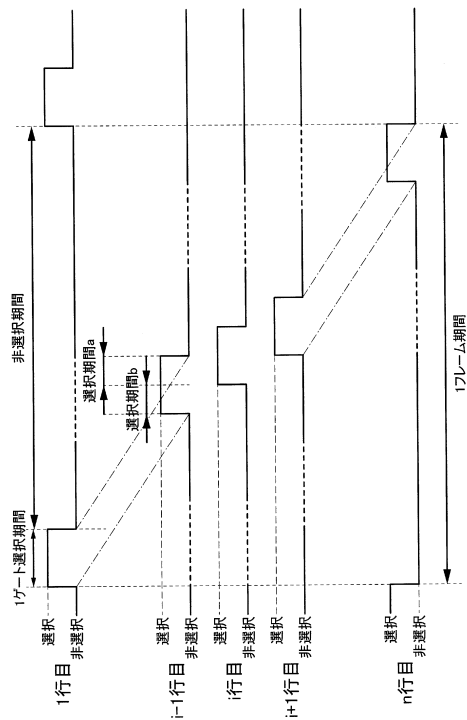
【図 1 3】



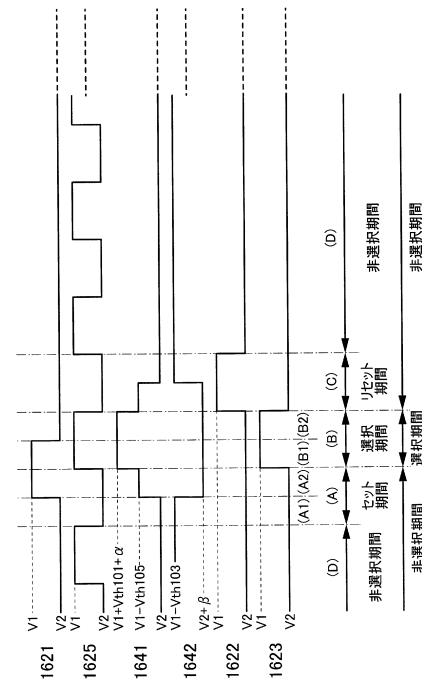
【図 1 4】



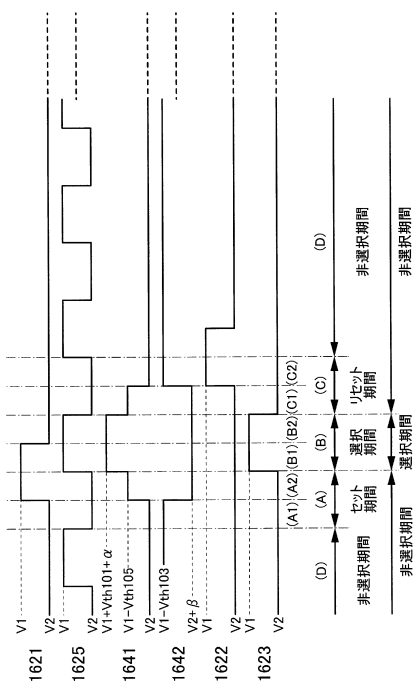
【図 15】



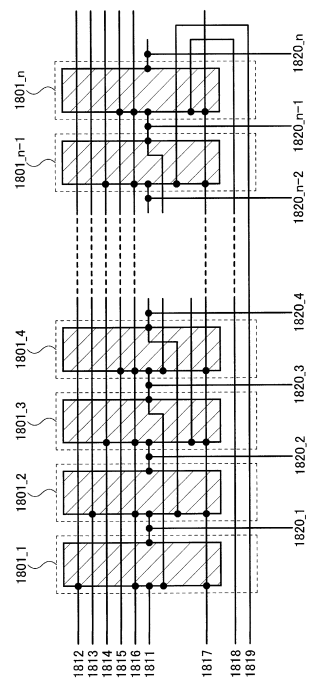
【図 16】



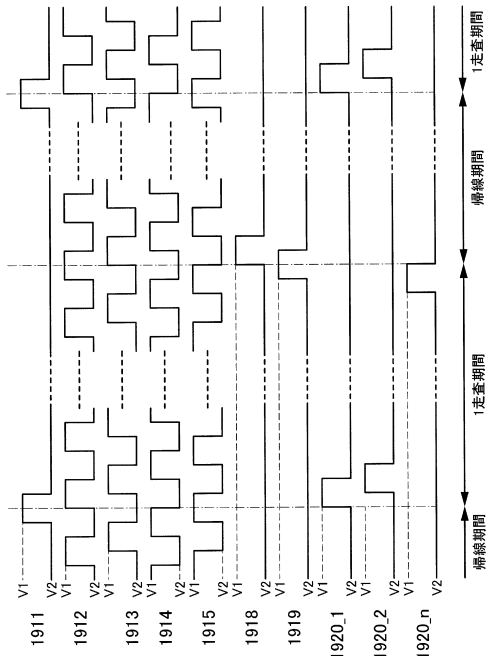
【図 17】



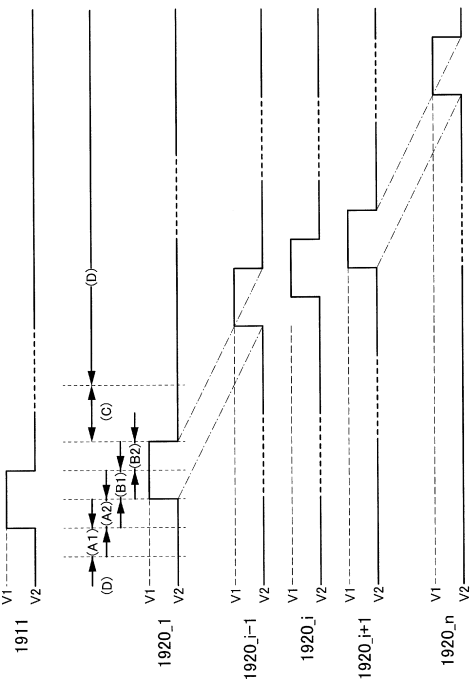
【図 18】



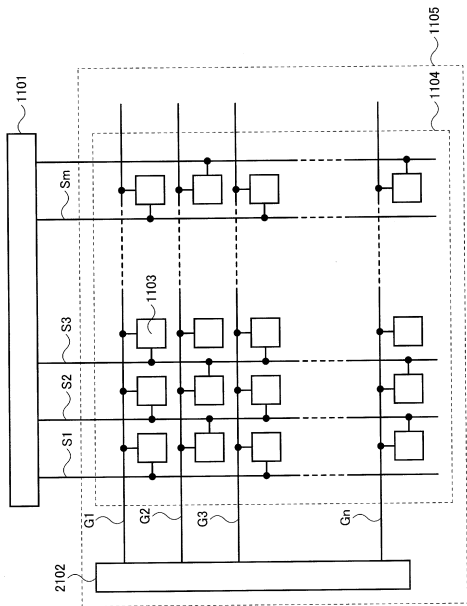
【図 19】



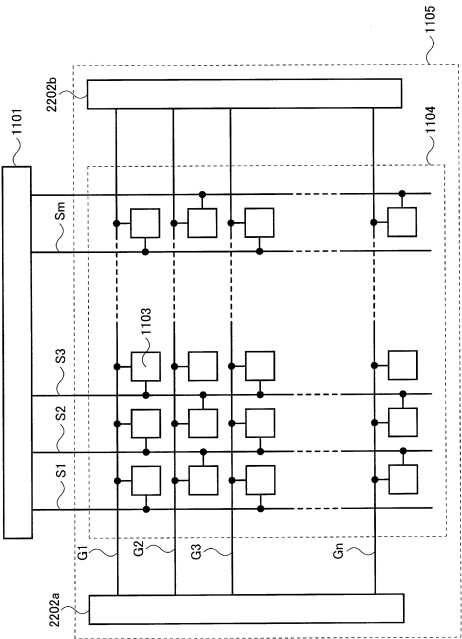
【図 20】



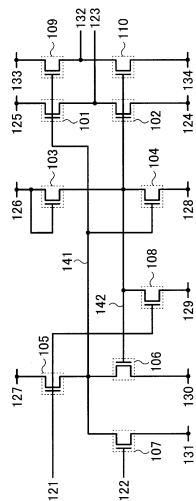
【図 21】



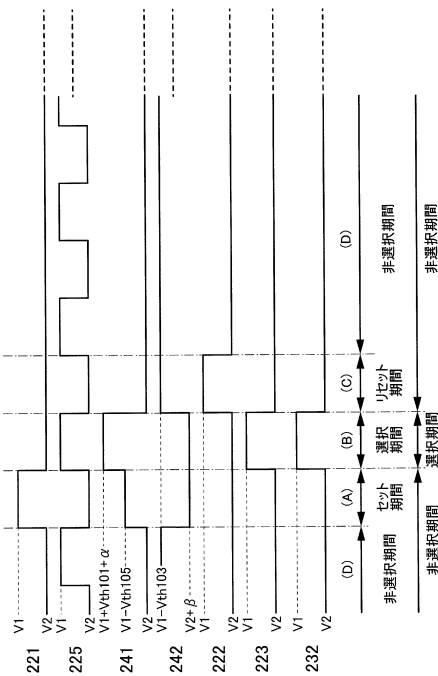
【図 22】



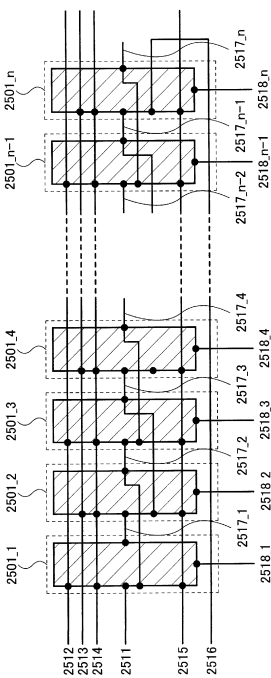
【図 2 3】



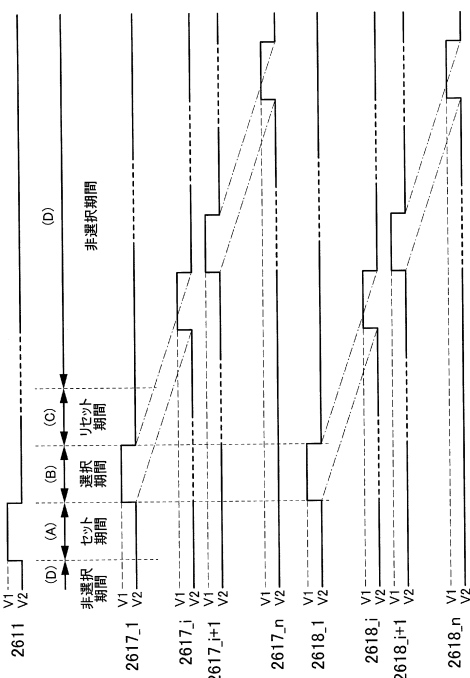
【図 2 4】



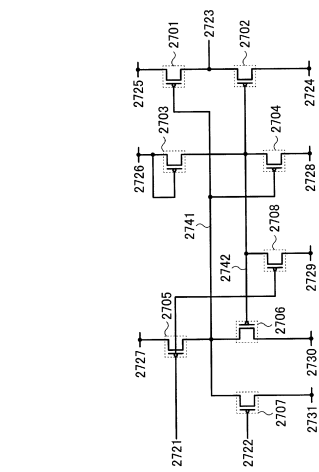
【図 2 5】



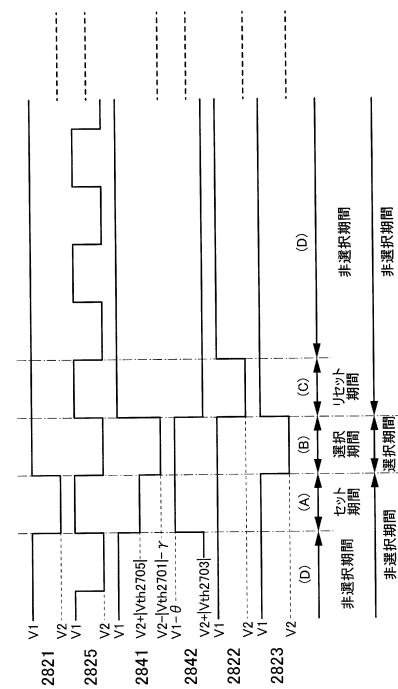
【図 2 6】



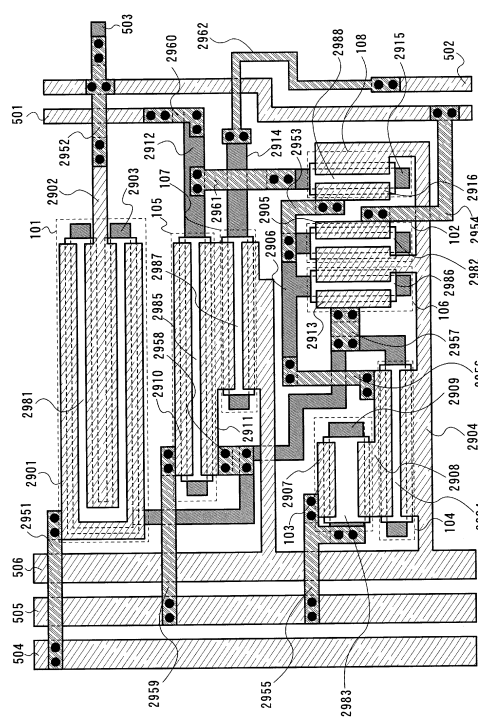
【図 27】



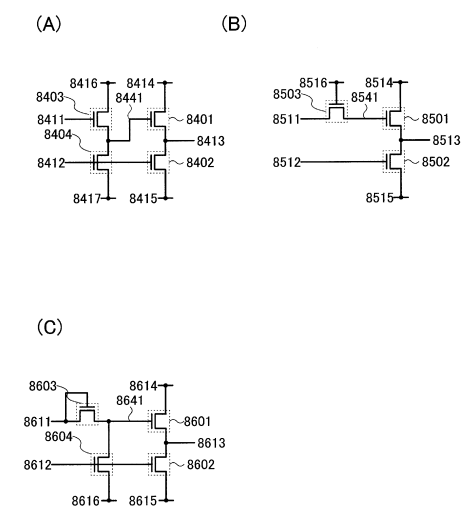
【図 28】



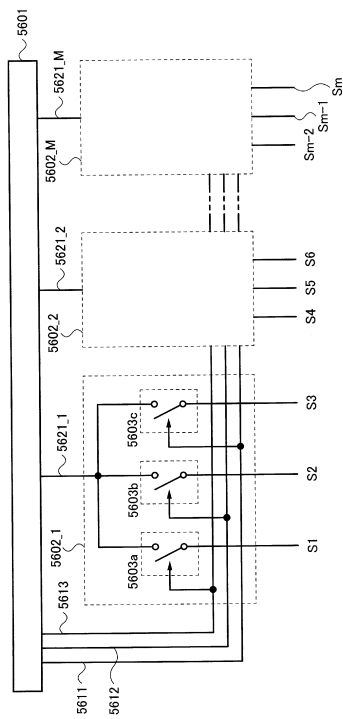
【図 29】



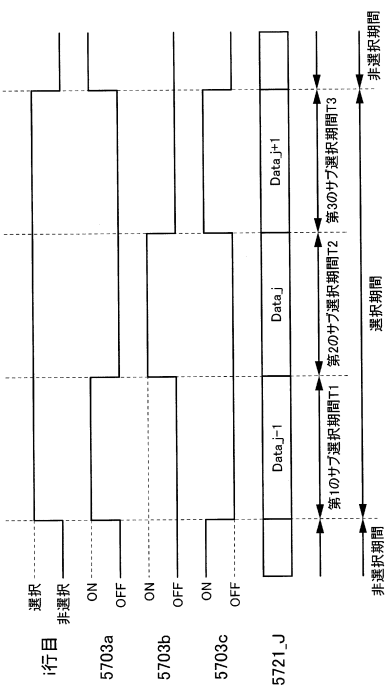
【図 30】



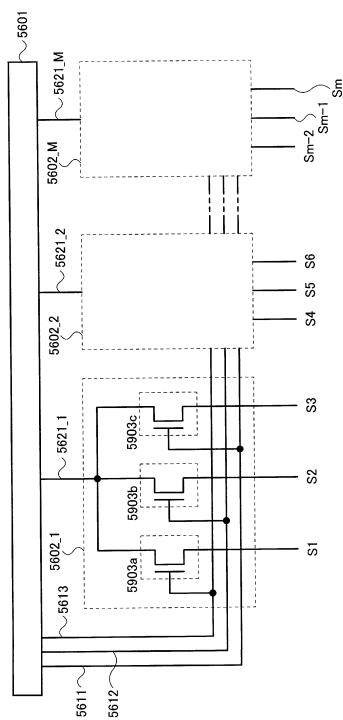
【図 3 1】



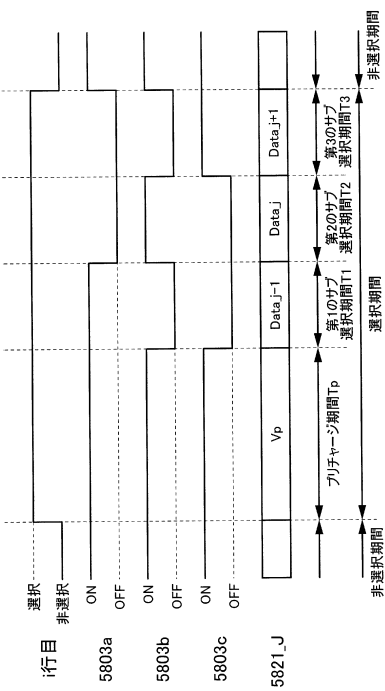
【図 3 2】



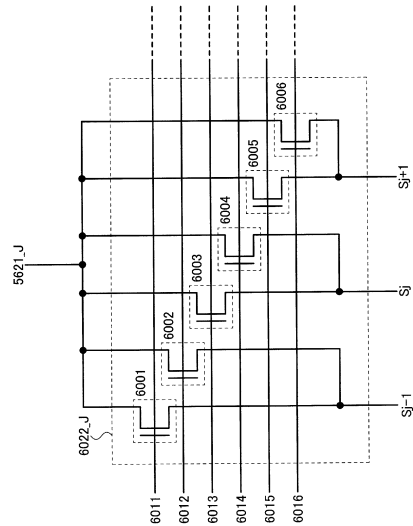
【図 3 3】



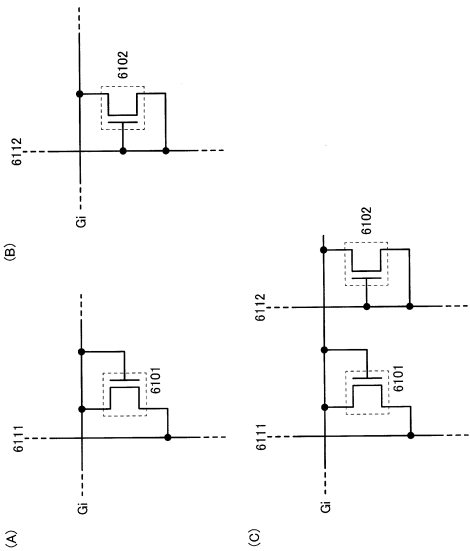
【図 3 4】



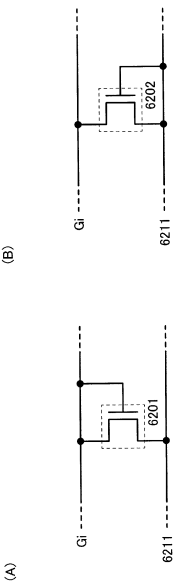
【図 3 5】



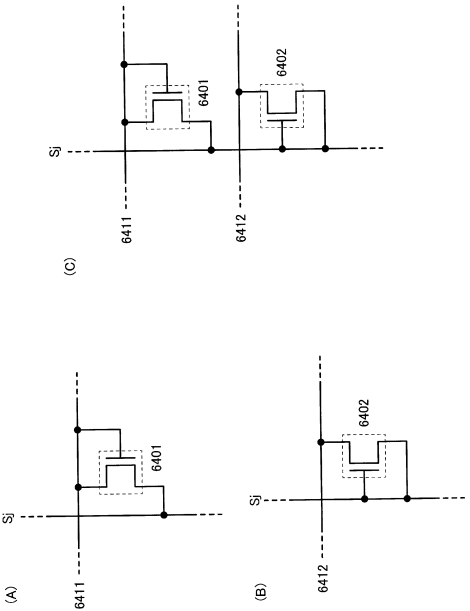
【図 3 6】



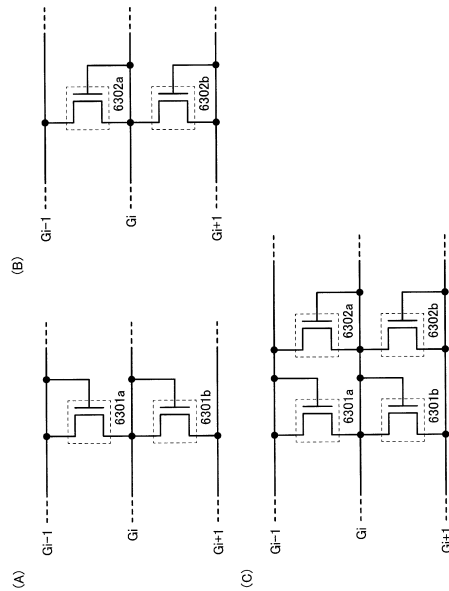
【図 3 7】



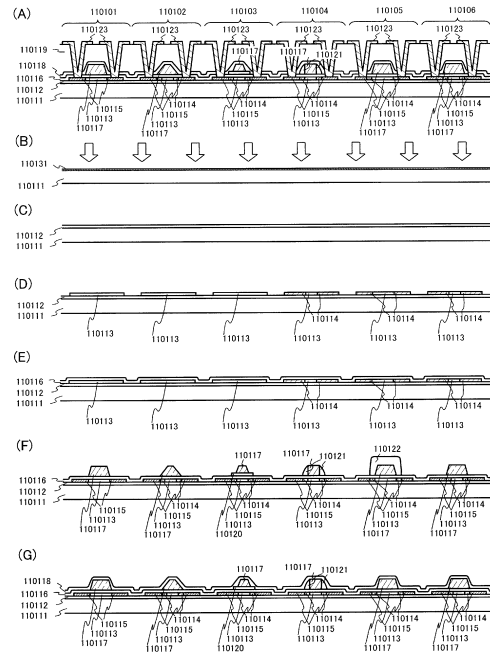
【図 3 8】



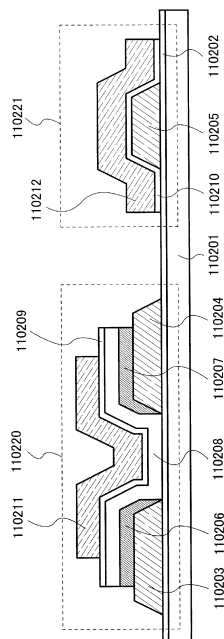
【图 3 9】



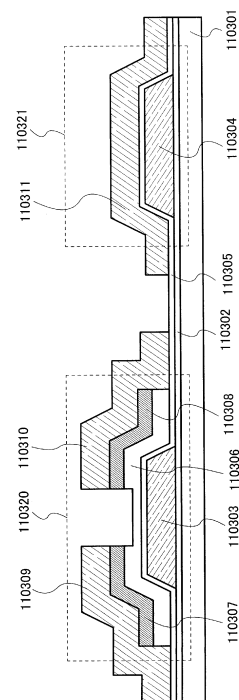
【図 40】



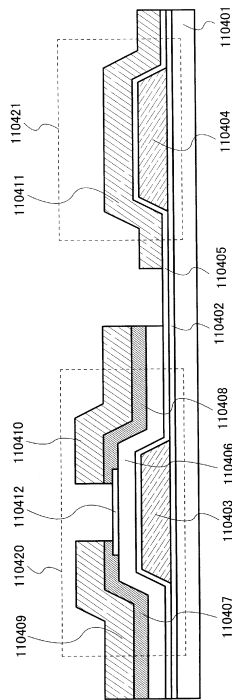
【図 4 1】



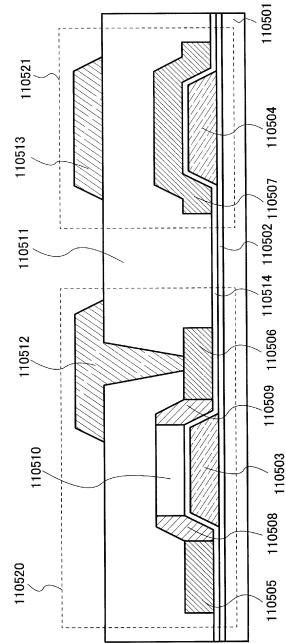
【図 4 2】



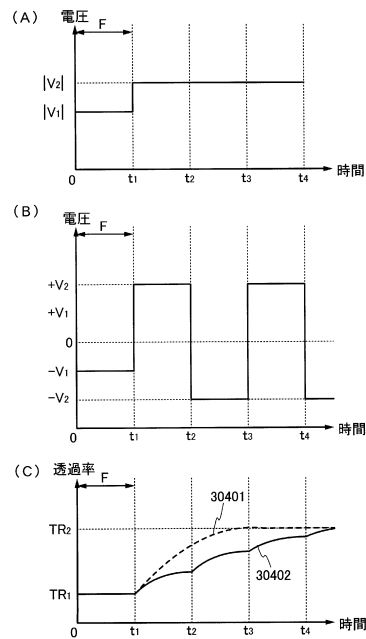
【図 4 3】



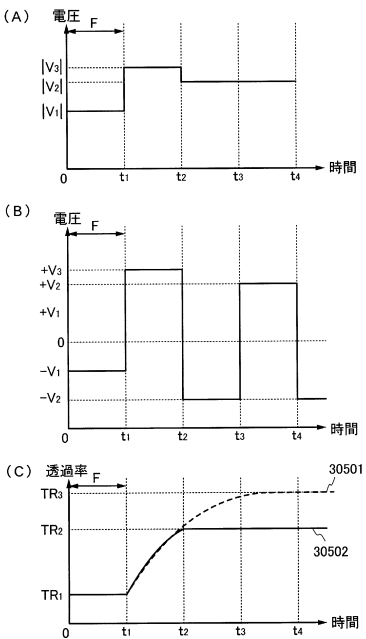
【図 4 4】



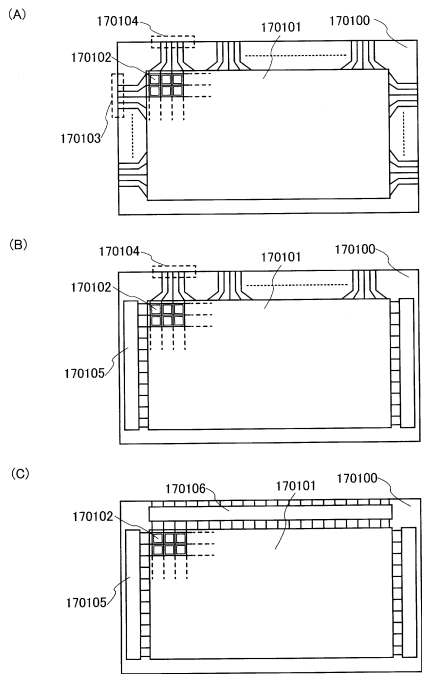
【図 4 5】



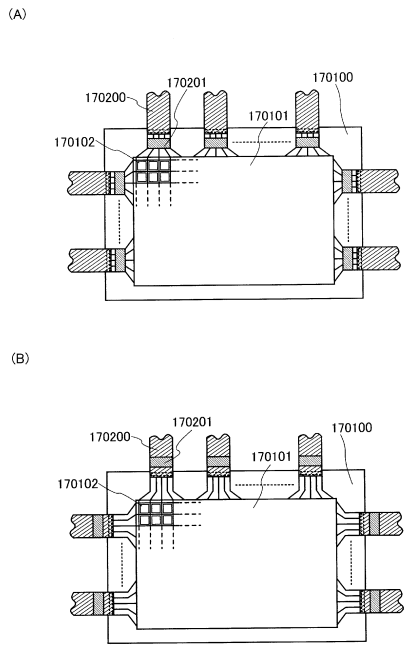
【図 4 6】



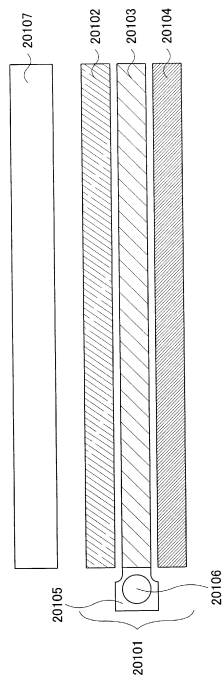
【図 4 7】



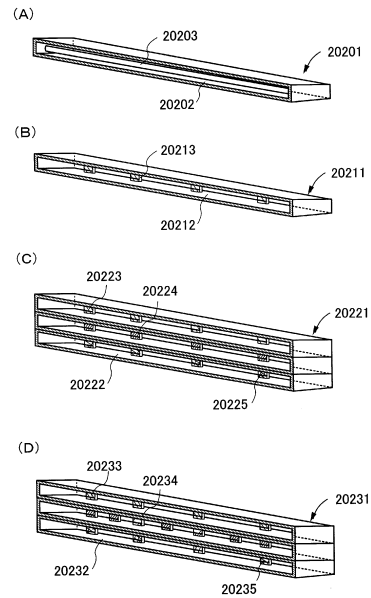
【図 4 8】



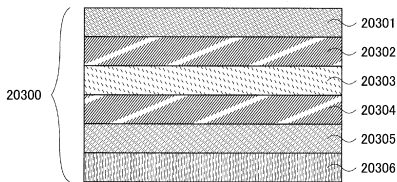
【図 4 9】



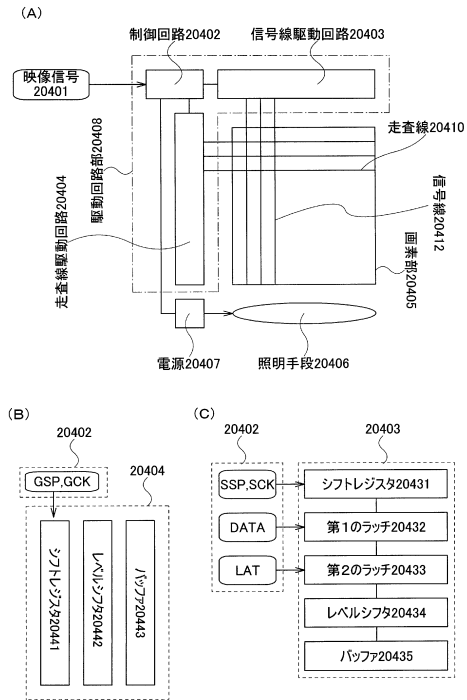
【図 5 0】



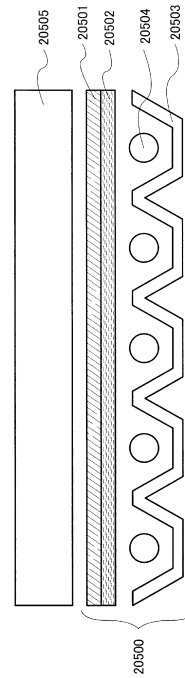
【図 5 1】



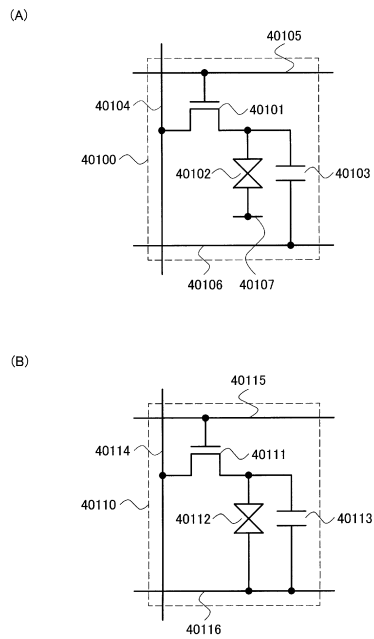
【図 5 2】



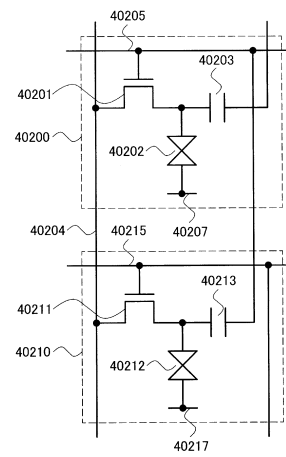
【図 5 3】



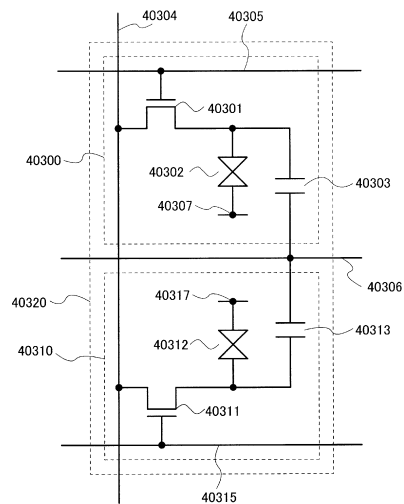
【図 5 4】



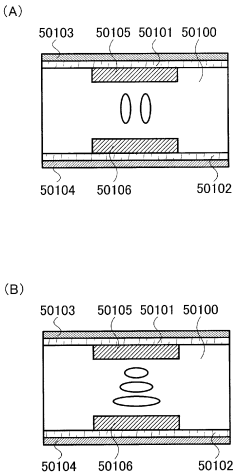
【図 5 5】



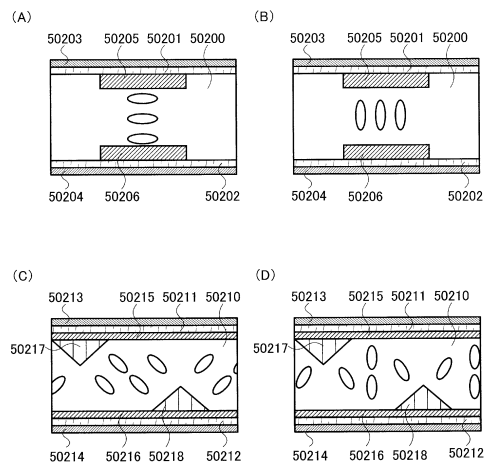
【図 5 6】



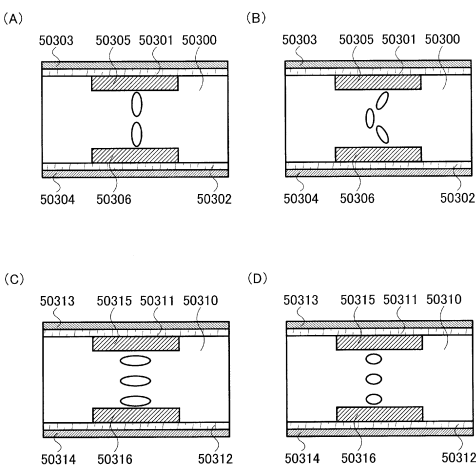
【図 5 7】



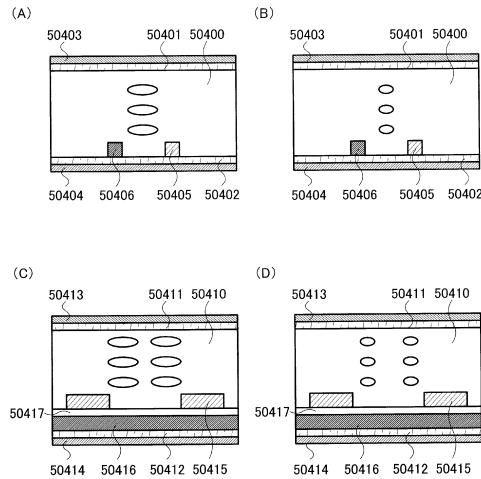
【図 5 8】



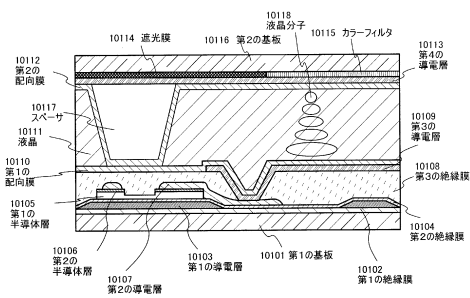
【図 5 9】



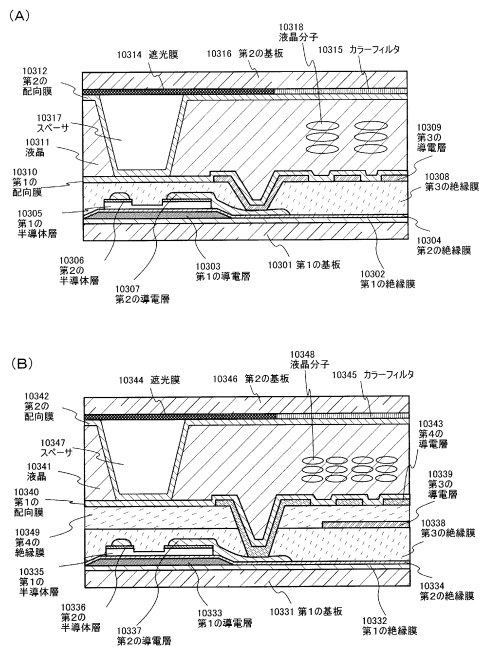
【図 6 0】



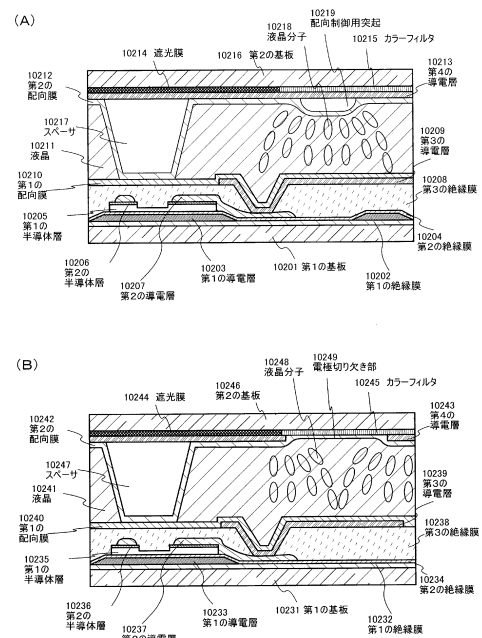
【図 6 1】



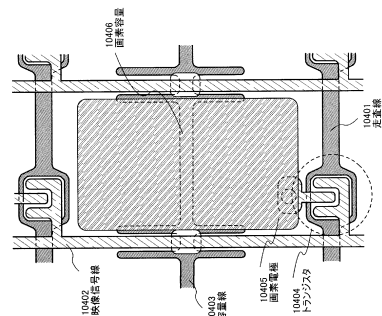
【図 6 3】



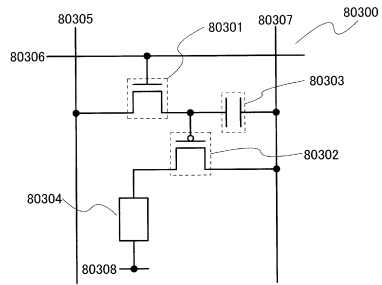
【図 6 2】



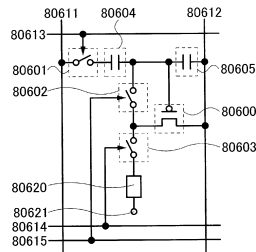
【図 6 4】



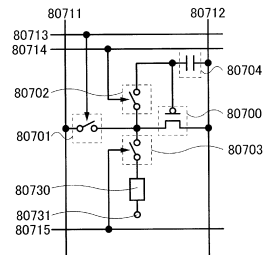
【図 69】



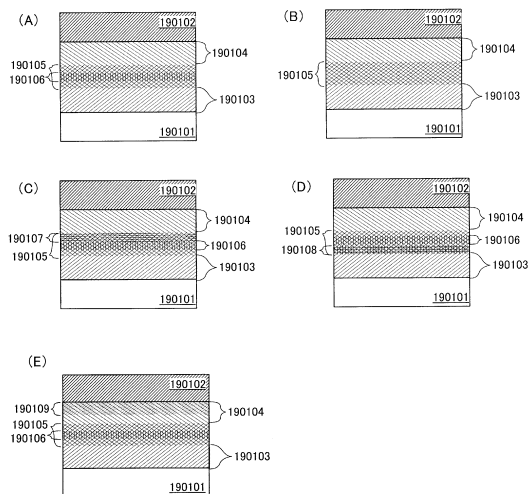
【図 70】



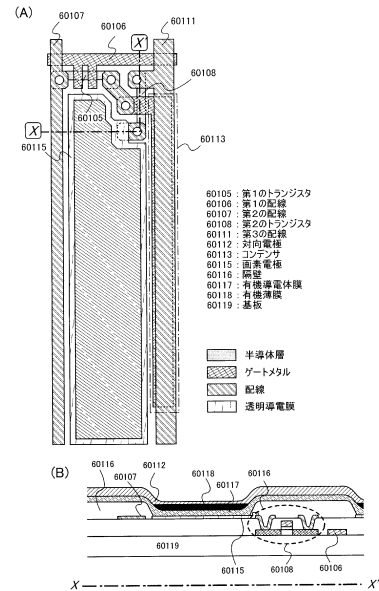
【図 71】



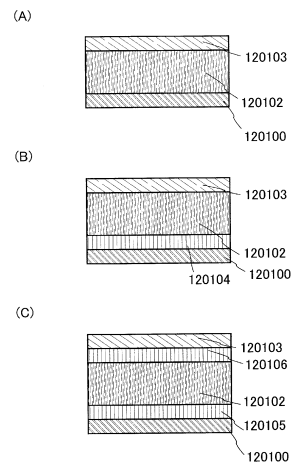
【図 73】



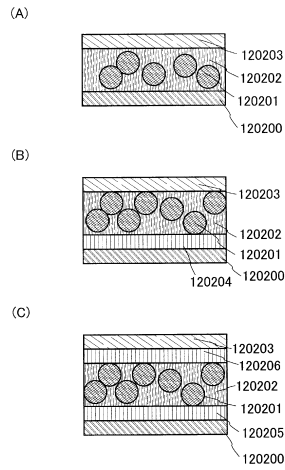
【図 72】



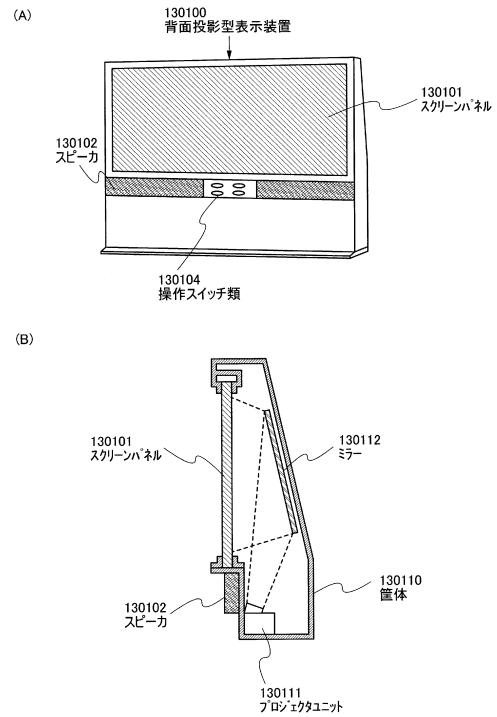
【図 74】



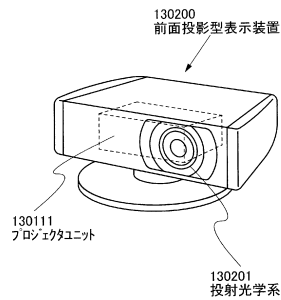
【図 75】



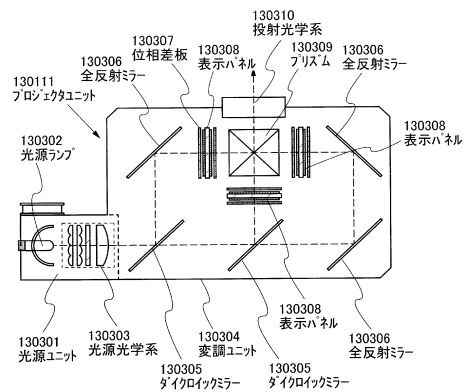
【図 76】



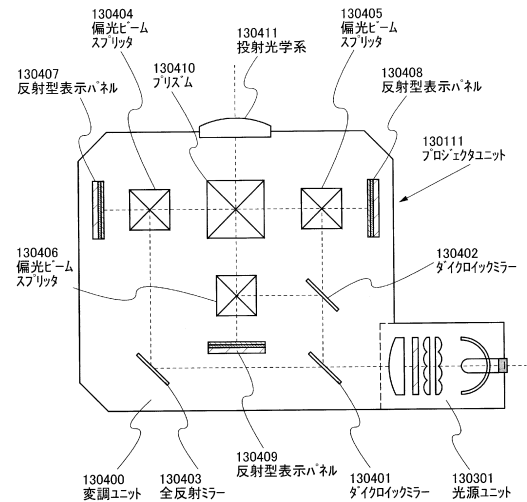
【図 77】



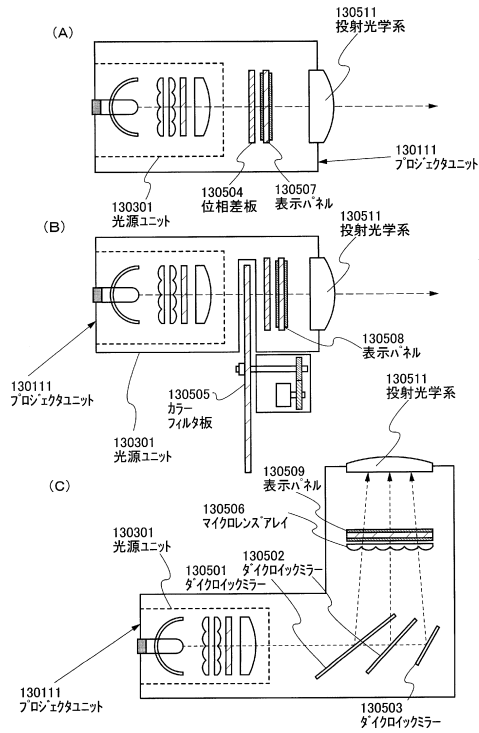
【図 78】



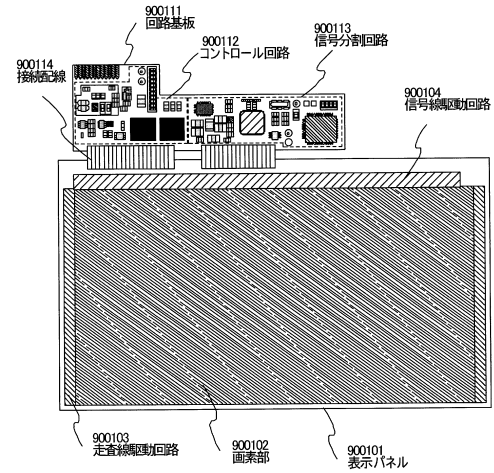
【図 79】



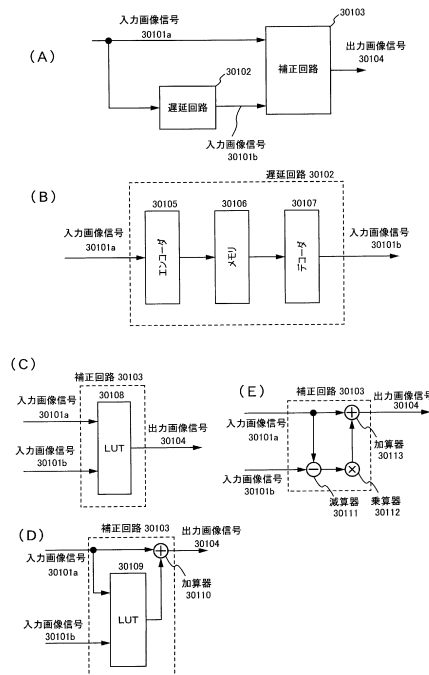
【図 80】



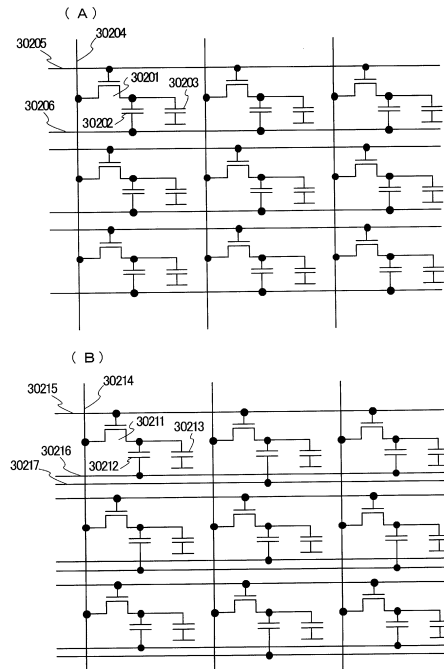
【図 81】



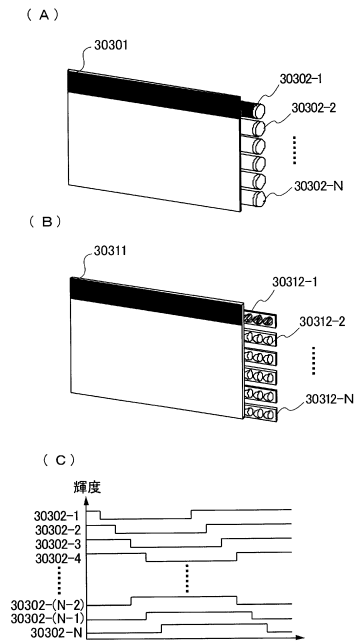
【図 82】



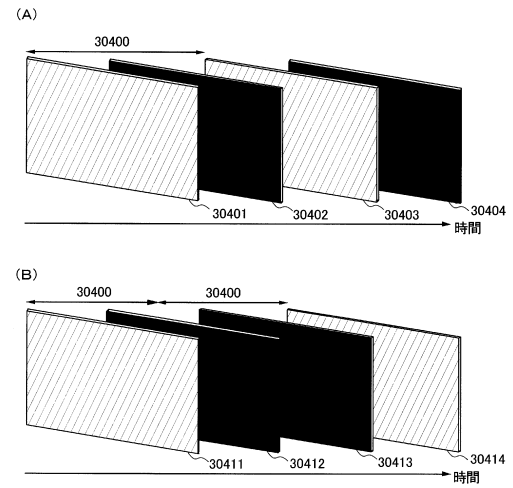
【図 83】



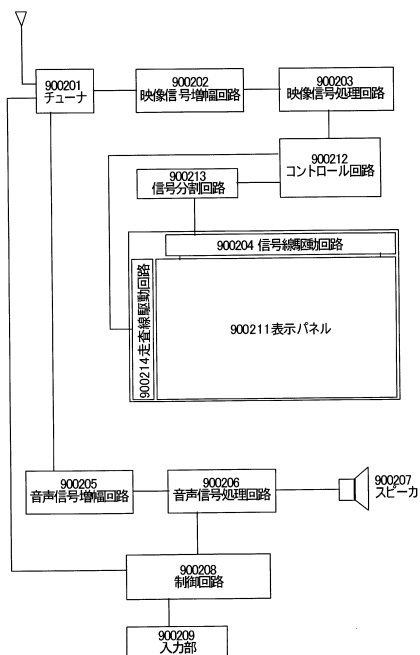
【図 8 4】



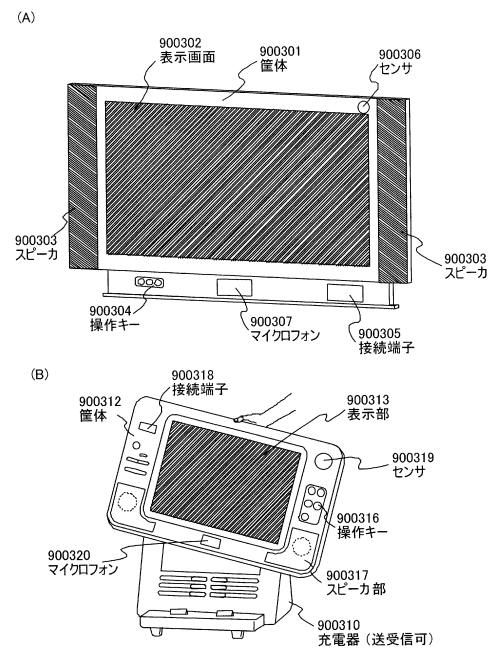
【図 8 5】



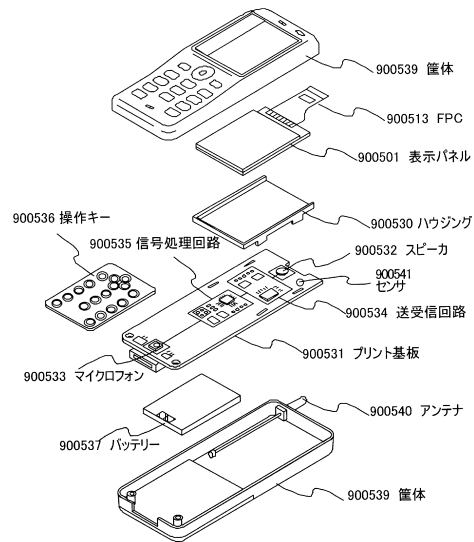
【図 8 6】



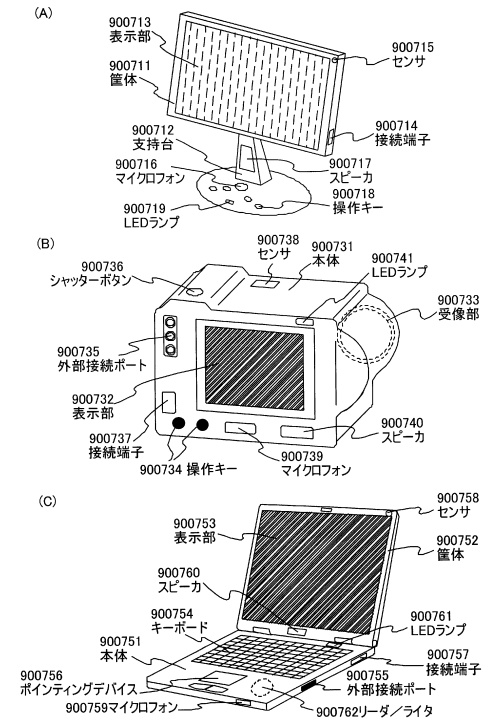
【図 8 7】



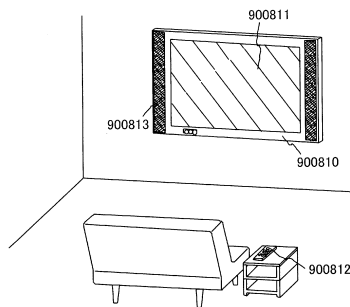
【図 88】



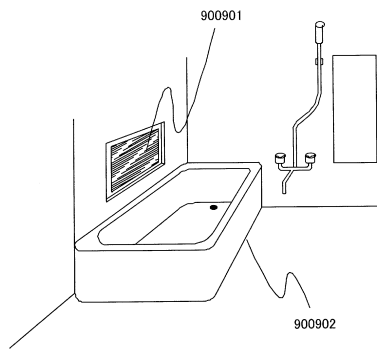
【図 89】



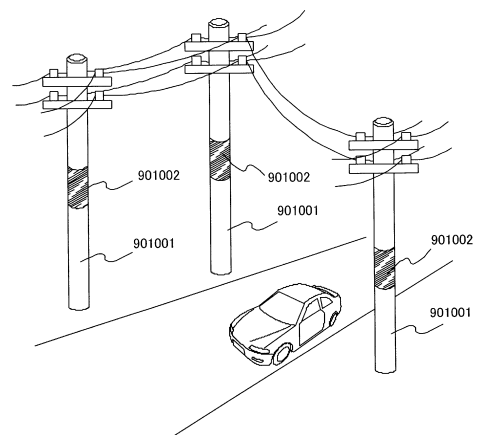
【図 90】



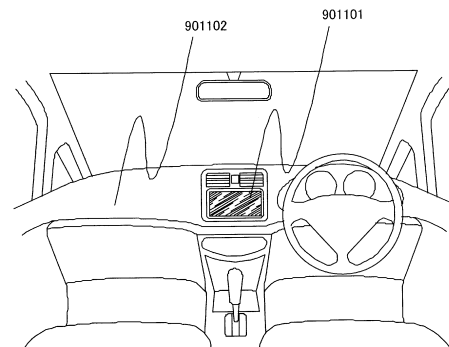
【図 91】



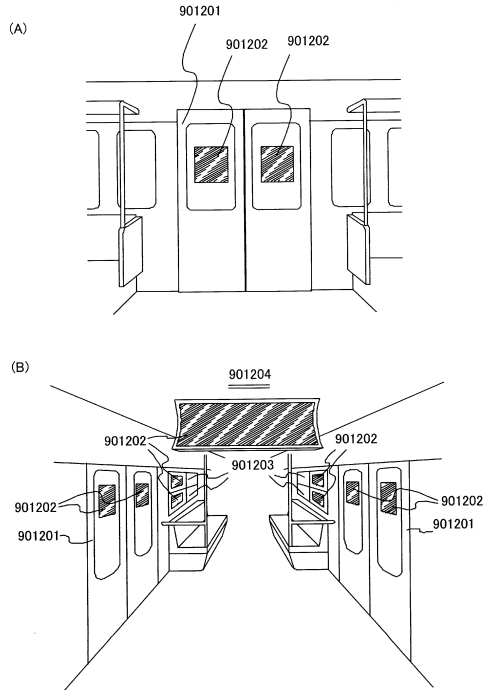
【図 92】



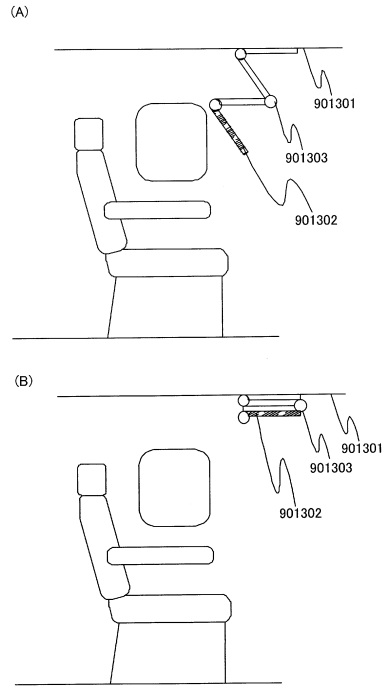
【図 93】



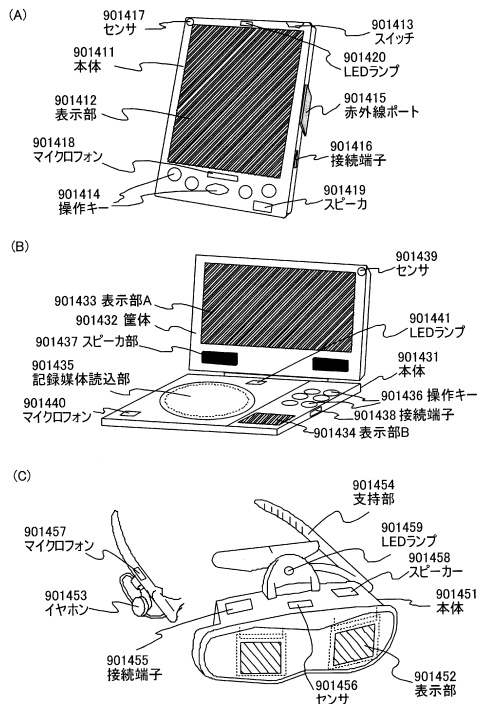
【図 9 4】



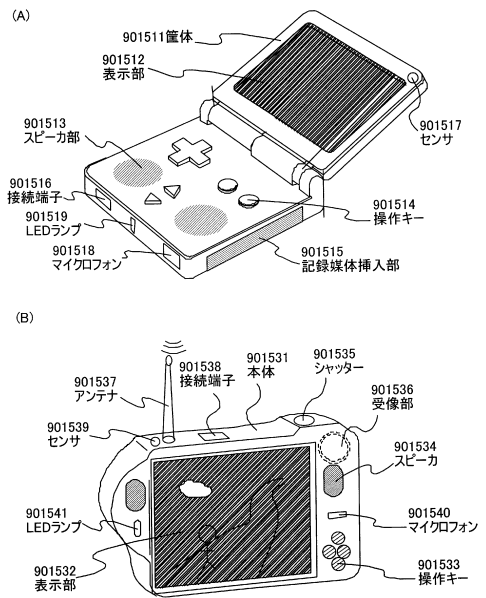
【図 9 5】



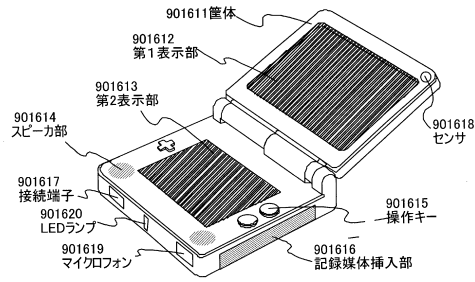
【図 9 6】



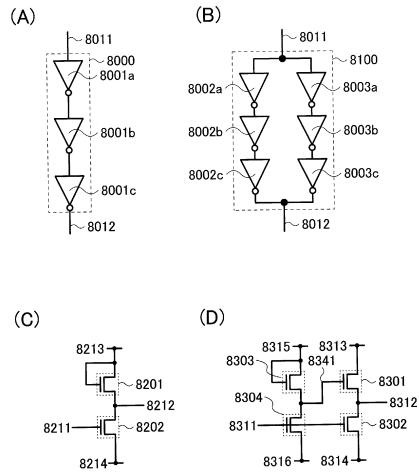
【图 9 7】



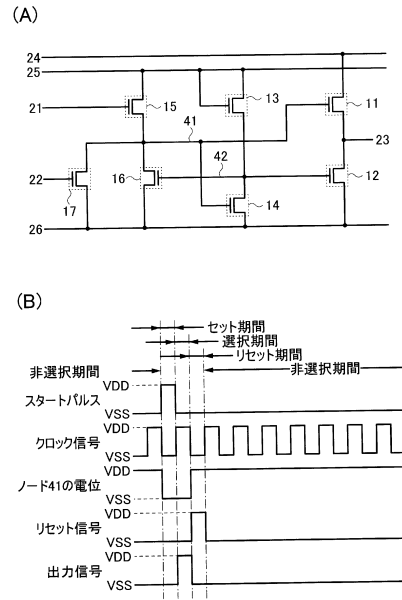
【図 98】



【図 99】



【図 100】



フロントページの続き

- (56)参考文献 米国特許出願公開第2006/0146979 (US, A1)
特開平5-267636 (JP, A)
特開平11-103066 (JP, A)
特開平11-103067 (JP, A)
特開平11-103068 (JP, A)
特開2005-294815 (JP, A)
米国特許出願公開第2005/0199878 (US, A1)
特開2004-201297 (JP, A)
米国特許出願公開第2004/0178849 (US, A1)
特開2008-89874 (JP, A)
米国特許出願公開第2009/0224245 (US, A1)
特開2008-89915 (JP, A)
米国特許出願公開第2008/0079685 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
G11C 19/28
G09G 3/20
G09G 3/36