

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-123243

(P2005-123243A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int.Cl.⁷

H01L 21/8242
H01L 21/28
H01L 21/768
H01L 27/108

F 1

H01L 27/10 621B
H01L 21/28 L
H01L 21/90 C
H01L 27/10 681F

テーマコード(参考)

4M104
5FO33
5FO83

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号
(22) 出願日

特願2003-353599 (P2003-353599)
平成15年10月14日 (2003.10.14)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(74) 代理人 100064746
弁理士 深見 久郎
(74) 代理人 100085132
弁理士 森田 俊雄
(74) 代理人 100083703
弁理士 仲村 義平
(74) 代理人 100096781
弁理士 堀井 豊
(74) 代理人 100098316
弁理士 野田 久登
(74) 代理人 100109162
弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】半導体装置およびその製造方法

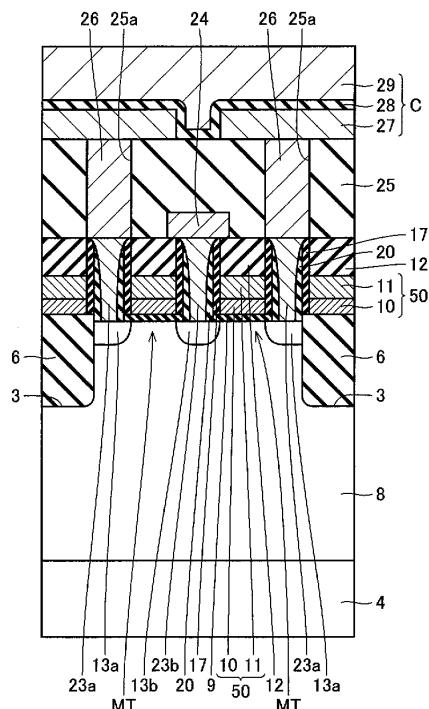
(57) 【要約】

【課題】 写真製版プロセスのマージンを大幅に拡大でき、かつマイクロローディング効果を低減することによって「開口不良」を抑制できるとともに「ショート」のプロセス裕度を確保しやすくし、かつコンタクト抵抗を低減できる半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、活性領域を有するシリコン基板4と、1対のソース／ドレイン領域13a、13bおよびゲート電極層50を有するメモリトランジスタMTと、ゲート電極層50上にてゲート電極層50と同一の平面パターン形状を有するハードマスク層12と、それぞれが1対のソース／ドレイン領域13a、13bの各々に電気的に接続されたプラグ導電層23a、23bとを備えている。活性領域の延びる方向はゲート電極層50の延びる方向に対して直交せずに傾斜しており。ハードマスク層12の上面とプラグ導電層23a、23bの各上面とは実質的に同一の平面を構成している。

【選択図】

図2



【特許請求の範囲】**【請求項 1】**

主表面を有し、かつ前記主表面において素子分離構造によって囲まれた活性領域を有する半導体基板と、

前記活性領域の表面に形成された1対のソース／ドレイン領域と、前記1対のソース／ドレイン領域に挟まれる領域上に位置しあつ前記活性領域を横切って延びるゲート電極層とを有するトランジスタと、

前記ゲート電極層上に形成され、かつ前記ゲート電極層と同一の平面パターン形状を有するハードマスク層と、

それぞれが前記1対のソース／ドレイン領域の各々に電気的に接続された第1および第2のプラグ導電層とを備え、

前記活性領域の延びる方向は前記ゲート電極層の延びる方向に対して直交せずに傾斜しており、

前記ハードマスク層の上面と前記第1および第2のプラグ導電層の各上面とは実質的に同一の平面を構成している、半導体装置。

【請求項 2】

素子分離構造によって囲まれた活性領域上を横切って延びるように、かつ前記活性領域の延びる方向に対して直交せずに傾斜して延びるように、ゲート電極層とハードマスク層とが順に積層された積層パターンを形成する工程と、

前記活性領域の表面において前記ゲート電極層を挟むように1対のソース／ドレイン領域を形成する工程と、

前記ゲート電極層と前記1対のソース／ドレイン領域とを有するトランジスタ上を覆うように絶縁膜を形成する工程と、

前記活性領域全体の上方領域において帯状の開口パターンを前記絶縁膜に形成し、前記開口パターンから前記1対のソース／ドレイン領域の各々を露出させる工程と、

前記開口パターンをプラグ用導電層で埋め込む工程と、

前記ハードマスク層の上面が露出するまで前記プラグ用導電層と前記絶縁膜とを除去することにより、前記プラグ用導電層から前記1対のソース／ドレイン領域の各々に電気的に接続された第1および第2のプラグ導電層を形成するとともに、前記第1および第2のプラグ導電層の各上面と前記ハードマスク層の上面とを実質的に同一平面とする工程とを備えた、半導体装置の製造方法。

【請求項 3】

前記帯状の開口パターンは、直線状の平面パターンを有することを特徴とする、請求項2に記載の半導体装置の製造方法。

【請求項 4】

前記帯状の開口パターンは、非直線状の平面パターンを有することを特徴とする、請求項2に記載の半導体装置の製造方法。

【請求項 5】

前記開口パターンから前記1対のソース／ドレイン領域の各々を露出させた後に、前記絶縁膜の幅が細くなるように前記絶縁膜を除去する工程をさらに備えたことを特徴とする、請求項2～4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置およびその製造方法に関し、特に自己整合コンタクト構造を有する半導体装置およびその製造方法に関するものである。

【背景技術】**【0002】**

半導体装置の集積度の増加に伴い、配線幅は細くなり、配線間のスペースも次第に狭くなってきた。したがって、上下配線間を接続するコンタクトホールを形成するためには、

10

20

30

40

50

隣合う配線間のスペース幅よりも微細なホール径でコンタクトホールを形成することが必要となっている。すなわち、隣合う配線間のスペースが $0.25\mu m$ のデザインルールで要求されるコンタクトホールのホール径Cは、写真製版処理工程の重ね合わせ精度(=)と寸法精度(=)を考慮すれば、 $C = 0.25 - f(\text{ }, \text{ })\mu m$ が必要とされ、露光装置の光源の波長で決まる微細化の限界を超えるようになっている。

【0003】

このような問題を解決するために、 $0.25\mu m$ ルールの半導体装置が製造される頃から自己整合コンタクト技術が利用されるようになった。

【0004】

D R A M (Dynamic Random Access Memory)では、メモリセルアレイ内のワード線間に形成されるビット線コンタクトとストレージノードコンタクトとに自己整合コンタクト技術が用いられる場合が最も多い。この場合に重要なことは、ワード線に電気的に短絡させることなく、メモリセルトランジスタのソース／ドレイン領域にビット線またはストレージノードを如何に低抵抗で接続するかということである。

【0005】

以下、背景技術の自己整合コンタクトを用いた製造方法について説明する。

【0006】

素子分離領域に堆積されたシリコン酸化膜によって電気的に分離された活性領域が形成される。この活性領域に形成されたゲート絶縁膜上にD R A Mのワード線となるゲート電極が形成される。このゲート電極とその上の窒化膜ハードマスクとが、ハードマスクと同じ窒化膜で形成されるエッチング阻止膜で被覆される。次に、ボロンおよびリンの不純物を含むシリコン酸化膜でゲート電極が覆われた後、そのシリコン酸化膜の表面が平坦化される。

【0007】

次いで、ボロンおよびリンの不純物を含むシリコン酸化膜が選択的にエッチングされてエッチング阻止膜が露出される。この露出したエッチング阻止膜をエッチングすることにより、1対のソース／ドレイン領域を露出するコンタクトホールが形成される。この露出した1対のソース／ドレイン領域の各々に接するように、n型不純物をドープした多結晶シリコン膜が形成される。これにより、ビット線とソース／ドレイン領域の一方とを電気的に接続するビット線コンタクトと、ストレージノードとソース／ドレイン領域の他方とを電気的に接続するストレージノードコンタクトとが形成される。このとき、ソース／ドレイン領域とゲート電極とを電気的に絶縁したまま、ビット線またはストレージノードをソース／ドレイン領域に接続することが可能となる。

【0008】

自己整合コンタクトを用いた製造方法は、たとえば特開2000-353793号公報に開示されている。

【特許文献1】特開2000-353793号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述した背景技術では、ゲート電極間のスペースが著しく狭くなる $0.13\mu m$ のデザインルール以下において、ビット線コンタクトとストレージノードコンタクトとのホール径の違いから生じるマイクロローディング効果によって、「開口不良」の問題、もしくはゲート電極と多結晶シリコン膜との電気的な「ショート」のプロセス裕度を確保することが困難となる問題が生じている。以下、そのことを説明する。

【0010】

マイクロローディング効果によって、ホール径の小さい側のコンタクトホールのエッチングが進行し難くなる。このため、ホール径の大きい側のコンタクトホールに適した条件でエッチングを行なうと、ホール径の小さい側のコンタクトホールにおいて十分にエッチングが進行せずに「開口不良」が生じる。

【 0 0 1 1 】

一方、ホール径の小さい側のコンタクトホールに適した条件でエッティングを行なうと、ホール径の大きい側のコンタクトホールにおいて過度にエッティングが進行する。これにより、シリコン酸化膜だけでなくシリコン窒化膜よりもエッティング阻止膜が大幅に除去されてゲート電極が露出する。この状態で、コンタクトホール内に多結晶シリコン膜を形成すると、ゲート電極と多結晶シリコン膜との電気的な「ショート」が生じる。このような「ショート」を防止するためには、エッティング阻止膜の膜厚を厚くする必要があり、エッティング阻止膜の膜厚を薄膜化させることが困難になる。

【 0 0 1 2 】

また、ストレージノードコンタクトとピット線コンタクトとのパターンピッチがスケーリングされフォトレジストパターンを形成する難易度も高い。この場合、ホール径が小さいと、コンタクト抵抗が増大し、大きくすると孔繋がり（電気的ショート）が発生するという問題が生じている。

【 0 0 1 3 】

ましてや、DRAMではメモリセルトランジスタのチャネル幅が縮小されて、電流駆動能力も低下するために、安定にセル動作させるためには、微細化されるにも拘らずコンタクト抵抗は前世代と同等もしくはそれ以下に低抵抗化させることが必要となっており従来技術のブレーカスルーが必要である。

【 0 0 1 4 】

本発明は、上記のような問題点を解決するためになされたもので、その目的は写真製版プロセスのマージンを大幅に拡大でき、かつマイクロローディング効果を低減することによって「開口不良」を抑制できるとともに「ショート」のプロセス裕度を確保しやすくし、かつコンタクト抵抗を低減できる半導体装置およびその製造方法を提供することである。

【 課題を解決するための手段】**【 0 0 1 5 】**

本発明の半導体装置は、半導体基板と、トランジスタと、ハードマスク層と、第1および第2のプラグ導電層とを備えている。半導体基板は、主表面を有し、かつ主表面において素子分離構造によって囲まれた活性領域を有している。トランジスタは、活性領域の表面に形成された1対のソース／ドレイン領域と、その1対のソース／ドレイン領域に挟まれる領域上に位置しあつ活性領域を横切って延びるゲート電極層とを有している。ハードマスク層は、ゲート電極層上に形成され、かつゲート電極層と同一の平面パターン形状を有している。第1および第2のプラグ導電層は、それぞれが1対のソース／ドレイン領域の各々に電気的に接続されている。活性領域の延びる方向はゲート電極層の延びる方向に対して直交せずに傾斜している。ハードマスク層の上面と第1および第2のプラグ導電層の各上面とは実質的に同一の平面を構成している。

【 発明の効果】**【 0 0 1 6 】**

本発明の半導体装置によれば、活性領域はゲート電極層の延びる方向に対して直交せずに傾いて延びているため、ゲート電極層に対して直交する場合と比較して、活性領域同士のピッチを大きく確保することが可能となる。このため、写真製版プロセスのマージンが大幅に拡大し、長波長の露光光による写真製版が可能となったり、あるいは低NA（開口率）の露光装置が使用可能となるため、コスト削減が容易となる。

【 0 0 1 7 】

また、ハードマスク層の上面と第1および第2のプラグ導電層の各上面とが実質的に同一の平面を構成しているため、各上面間に段差は生じない。このため、ハードマスク層と第1および第2のプラグ導電層との上方に形成した層の上面も平坦にすることが容易となり、その層の写真製版などによるパターニングなどが容易になる。このように次工程でのプロセスマージンが確保できる。

【 発明を実施するための最良の形態】

10

20

30

40

50

【 0 0 1 8 】

以下、本発明の実施の形態について図に基づいて説明する。

【 0 0 1 9 】**(実施の形態 1)**

図 1 は本発明の実施の形態 1 における半導体装置の構成を示す概略平面図であり、 D R A M のメモリセルアレイ内的一部を示している。また、図 2 は図 1 の I I - I I 線に沿う概略断面図である。

【 0 0 2 0 】

主に図 1 を参照して、たとえば D R A M のメモリセルアレイ内においては、複数のワード線（ゲート電極層）50 の各々と複数のビット線 24 の各々とが互いに直交するように配置されている。各ワード線 50 と各ビット線 24 との交差部付近にはメモリセルが配置されている。メモリセルトランジスタは活性領域（フィールド）に形成されており、この活性領域は複数個配置されている。10

【 0 0 2 1 】

主に図 2 を参照して、複数の活性領域の各々は、たとえばシリコン基板よりなる半導体基板 4 の表面において素子分離構造によって周囲を囲まれている。この素子分離構造は、たとえば S T I (Shallow Trench Isolation) 構造よりなっている。この S T I 構造は、半導体基板 4 表面に形成されたシャロウトレーナー（溝）3 と、そのシャロウトレーナー 3 を埋め込む埋込み絶縁層（たとえばシリコン酸化膜）6 を有している。20

【 0 0 2 2 】

メモリセルは、 M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) よりなるメモリトランジスタ M T と、キャパシタ C を有している。

【 0 0 2 3 】

メモリトランジスタ M T は、 1 対のソース / ドレイン領域 13a, 13b と、ゲート絶縁膜 9 と、ゲート電極層 50 とを有している。1 対のソース / ドレイン領域 13a, 13b は、たとえば n 型の導電型を有し、かつ p 型ウエル 8 の表面に互いに距離を隔てて形成されている。ゲート電極層 50 は、 1 対のソース / ドレイン領域 13a, 13b に挟まれる領域上にゲート絶縁膜 9 を介在して形成されている。ゲート絶縁膜 9 はたとえばシリコン酸化膜よりなり、ゲート電極層 50 はたとえば不純物の導入された多結晶シリコン膜（以下、ドープトポリシリコン膜と称する）10 と、金属膜（たとえばタンクスチタン）11 との積層構造よりなっている。30

【 0 0 2 4 】

このゲート電極層 50 上には、ゲート電極層 50 と同一の平面パターン形状を有するハードマスク層 12 が形成されている。また、ゲート電極層 50 とハードマスク層 12 との側壁には、サイドウォール形状の側壁絶縁膜 17, 20 が形成されている。

【 0 0 2 5 】

1 対のソース / ドレイン領域 13a, 13b の各々には、たとえば n 型のドープトポリシリコンよりなるプラグ導電層 23a, 23b の各々が電気的に接続されている。プラグ導電層 23b には、ビット線 24 が電気的に接続されている。メモリトランジスタ M T 、ビット線 24 などを覆うように層間絶縁膜 25 が形成されている。この層間絶縁膜 25 には、孔 25a が形成されており、この孔 25a 内は埋め込み導電層 26 によって埋め込まれている。40

【 0 0 2 6 】

キャパシタ C は、ストレージノード（下部電極）27 と、キャパシタ誘電体膜 28 と、セルプレート（上部電極）29 とを有している。ストレージノード 27 は、層間絶縁膜 25 上に形成されており、埋め込み導電層 26 とプラグ導電層 23a とを介してソース / ドレイン領域 13a に電気的に接続されている。セルプレート 29 は、キャパシタ誘電体膜 28 を介してストレージノード 27 と対向するように形成されている。

【 0 0 2 7 】

上記の構成において、活性領域は、図 1 に示すようにワード線（ゲート電極層）50 の50

延びる方向に対して直交せずに傾くように延びている。つまり、活性領域は、1対のソース／ドレイン領域の一方側から他方側へ向かう方向に長く延びた形状を有しており、その活性領域の延びる方向はワード線（ゲート電極層）50の延びる方向に直交する方向に対して角度だけ傾いている。なお、ワード線（ゲート電極層）50は、活性領域を横切って延びている。

【0028】

また、図2に示すように、プラグ導電層23a、23bの各上面と、ハードマスク層12の上面と、後述するBPTEOS（boro phospho tetra etyle ortho silicate）酸化膜21の上面とは実質的に同一の平面を構成している。つまり、プラグ導電層23a、23bの各上面と、ハードマスク層12の上面と、BPTEOS酸化膜21の上面とは、同一の平面内に位置している。10

【0029】

次に、本実施の形態の製造方法について説明する。

【0030】

図3～図21は、本発明の実施の形態1における半導体装置の製造方法を工程順に示す概略断面図である。

【0031】

図3を参照して、シリコン基板（半導体基板）4の上に、膜厚15nmのバッファ絶縁膜1が形成される。係るバッファ絶縁膜1は、シリコン基板4の表面をたとえばウェット酸化することにより形成され得る。このバッファ絶縁膜1が形成されたシリコン基板4の上に、たとえばCVD（Chemical Vapor Deposition）法により膜厚100nmのシリコン窒化膜2が形成される。20

【0032】

このシリコン窒化膜2上に、写真製版処理によってフォトレジストパターン（図示せず）が形成される。このフォトレジストパターンをマスクとしてシリコン窒化膜2とバッファ絶縁膜1との積層膜にドライエッチング法による異方性エッチングが施される。フォトレジストが除去された後、シリコン窒化膜2とバッファ絶縁膜1との積層膜をマスクとしてシリコン基板4がドライエッチング法により異方性エッチングされて250nmの深さのシャロウトレンチ3が形成される。次いで、シャロウトレンチ3の側壁および底壁が熱酸化され、シャロウトレンチ3を形成したときのダメージが除去される。30

【0033】

図4を参照して、シャロウトレンチ3を埋込むように、かつシリコン基板4の表面を覆うようにシリコン酸化膜5が堆積される。このシリコン酸化膜5の堆積方法は、段差被覆性に優れた方法であることが好ましい。このような方法としてHDP（高密度プラズマ）を用いたCVD法がよい。

【0034】

図5を参照して、シリコン窒化膜2をCMPのストップとして用いて、CMP（Chemical Mechanical Polishing）によりシリコン酸化膜5がシリコン窒化膜2の上面が露出するまで研磨除去され、シャロウトレンチ3の中にシリコン酸化膜5が残存される。これにより、STI構造が完成するとともに、加工面は平坦化される。CMPの後、たとえばAr（アルゴン）雰囲気中で熱処理が施され、STI構造を構成するシリコン酸化膜5が焼き締められる。この後、シリコン酸化膜5がバッファ絶縁膜1の高さまで一部除去され、続いて、シリコン窒化膜2が除去される。40

【0035】

図6を参照して、上記のシリコン窒化膜2の除去により、バッファ絶縁膜1が露出する。

【0036】

図7を参照して、シリコン基板4の上方に形成されたフォトレジストパターン（図示せず）をマスクとしてシリコン基板4にイオン注入することにより、シリコン基板4の表面にn型ウェル7が形成される。このイオン注入工程も必要に応じて適宜行なわれ、設計さ

10

20

30

40

50

れた回路通りにトランジスタのしきい値電圧が調整される。この後、フォトレジストパターンは除去される。

【0037】

図8を参照して、シリコン基板4の上方に形成されたフォトレジストパターン(図示せず)をマスクとしてシリコン基板4にイオン注入することにより、シリコン基板4の表面にp型ウェル8が形成される。このイオン注入工程も必要に応じて適宜行なわれ、設計された回路通りにトランジスタのしきい値電圧が調整される。この後、フォトレジストパターンは除去される。

【0038】

この後、シリコン基板4上方のバッファ絶縁膜1が除去されることにより、シリコン基板4の表面が露出する。

【0039】

図9を参照して、露出したシリコン基板4の表面が熱酸化されてゲート酸化膜9が形成される。次いで、シリコン基板4の上方に、たとえばCVD法により、膜厚50nmのn型ドープトポリシリコン膜10が形成される。このn型ドープトポリシリコン膜10上に、たとえばスパッタ法により、膜厚5nmのWSiNからなるバッファ層(図示せず)が形成される。このバッファ層(図示せず)上に、たとえばスパッタ法により、膜厚50nmのW(タンゲステン)よりなる金属膜11が形成される。さらに、この金属膜11上に、たとえばCVD法により、膜厚200nmのシリコン窒化膜よりなるキャップ膜(ハーフマスク層)12が形成される。

【0040】

図10を参照して、写真製版技術により、キャップ膜12、金属膜11、バッファ層(図示せず)、およびn型ドープトポリシリコン膜10がパターニングされる。これにより、上面がキャップ膜12に覆われ、かつn型ドープトポリシリコン膜10、バッファ層(図示せず)および金属膜11からなるポリメタル構造のゲート電極層50が形成される。

【0041】

この状態におけるDRAMのメモリセルアレイ内の概略平面図は、図22に示すようになる。つまり、図22に示すように、シリコン基板4に複数の活性領域(フィールド)が形成され、複数の活性領域の各々はSTI構造により周囲を囲まれている。この活性領域を横切るようにゲート電極層50よりなるワード線が複数本伸びている。活性領域は、ワード線(ゲート電極層)50の伸びる方向に対して直交せずに傾くように伸びている。このようにして活性領域上を横切って伸びるように、かつ活性領域の伸びる方向に対して直交せずに傾斜して伸びるように、ゲート電極層50とキャップ膜12とが順に積層された積層パターンが形成される。

【0042】

この後、金属膜11およびバッファ層(図示せず)を酸化することなくn型ドープトポリシリコン膜10の側壁部分に選択的にシリコン酸化膜(図示せず)が形成される。次に、ゲート電極層50をマスクにして、フォトレジストマスクレスでウェハ全面にイオン注入が行なわれる。これによりゲート電極層50の両側のシリコン基板4に、エクステンションソース/ドレインの浅く低濃度なn型不純物拡散領域13a、13b、およびp型MOSFET領域に形成されるn型不純物拡散領域13cとn型MOSFET領域に形成されるn型不純物拡散領域13dとが形成される。係るn型不純物拡散領域13a~13dは、たとえば加速エネルギーが10keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ で、P(リン)イオンを注入することにより形成される。これにより、メモリセルアレイ内において、活性領域の表面において、ゲート電極層50を挟むように1対のソース/ドレイン領域13a、13bが形成される。

【0043】

図11を参照して、全面に、たとえばCVD法により、膜厚15nmのシリコン窒化膜14が形成される。

【0044】

10

20

30

40

50

図12を参照して、シリコン窒化膜14が異方性エッティングされ、ゲート電極層50およびキャップ膜12の側壁に、シリコン窒化膜よりなる側壁絶縁膜17が形成される。この側壁絶縁膜17を形成する場合には、異方性エッティングでシリコン基板4まで貫通させてもよいが、ゲート酸化膜9に対し選択比の高い異方性エッティング方法を用い、シリコン基板4にエッティングのダメージが残らないようにすることが望ましい。

【0045】

続いて、ゲート電極層50および側壁絶縁膜17をマスクとして、イオン注入が行なわれ、これによりエクステンションソースドレインの深い領域が構成される。n型MOSFETの不純物拡散領域15を形成する場合には、たとえば、加速エネルギー55keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ でAs(砒素)イオンが注入される。また、p型MOSFETの不純物拡散領域16を形成する場合には、たとえば、加速エネルギー40keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ で、BF₂(フッ化ボロン)イオンが注入される。次に、窒素雰囲気中で、たとえば900、10秒の熱処理をランプアニール法で行ない不純物拡散領域15、16にイオン注入された不純物が電気的に活性化され、ソース/ドレイン領域が形成される。

【0046】

図13を参照して、キャップ膜12および側壁絶縁膜17を覆うようにシリコン基板4上に、たとえばCVD法で、膜厚20nmのシリコン窒化膜よりなるエッティング阻止膜20が形成される。続いて、エッティング阻止膜20の上に、たとえばCVD法で、膜厚800nmで、材料ガスとしてTEB、TEPO、およびTEOSを用いた、不純物をドープしたTEOS酸化膜21が堆積される。次に、酸素雰囲気中で、たとえば950、10秒の熱処理がランプアニール法で行なわれ、不純物をドープしたTEOS酸化膜21がリフローされ、ゲート電極層50間のギャップが埋込まれる。次に、たとえばCMPで不純物をドープしたTEOS酸化膜21が、膜厚200nmだけ研磨される。これにより、不純物をドープしたTEOS酸化膜21の上面(加工面)は平坦化される。

【0047】

図14を参照して、写真製版技術を用い、不純物をドープしたTEOS酸化膜21上に、フォトレジストパターン22が形成される。

【0048】

このフォトレジストパターン22のDRAMメモリセルアレイ内における概略平面図は、図23に示すようになる。つまり、図23に示すように、フォトレジストパターン22は、互いに並列に延びる複数の帯状の開口パターン22aを有している。複数の帯状の開口パターン22aの各々は、非直線状に延びており、かつ各活性領域全体の上方領域を開口するように形成されている。

【0049】

図14を再度参照して、このような開口パターン22aを有するフォトレジストパターン22をマスクとして、不純物をドープしたTEOS酸化膜21に、エッティング阻止膜20をエッティングストップとする異方性のドライエッティングが施される。

【0050】

図15を参照して、上記のドライエッティングにより、不純物をドープしたTEOS酸化膜21に、各活性領域全体の上方領域を開口するように非直線状に延びる開口21aが形成され、その開口21aからエッティング阻止膜20の表面が露出する。この後、酸化膜(不純物をドープしたTEOS酸化膜21など)の幅を細くすることでストレージノードコンタクトおよびビット線コンタクト領域を拡大し、コンタクト抵抗を低減するために、その酸化膜がフッ酸でウエットエッティングされる。また、このウエットエッティング量を最適化することで、次のプロセスで形成されるドープトポリシリコンよりなるプラグのトップ径を最大限に拡大し、積層されるビット線コンタクトとストレージノードコンタクトとのアライメント精度を確保すると同時に安定した低抵抗コンタクトを形成することが可能となる。

【0051】

10

20

30

40

50

図16を参照して、開口21aから露出したエッチング阻止膜20に、異方性のドライエッチングが施される。これにより、メモリセルアレイ内において、メモリトランジスタM Tの1対のソース／ドレイン領域13a、13bの各々が開口21aにおいて露出する。この後、フォトレジストパターン22が除去される。

【0052】

図17を参照して、たとえばCVD法によりn型ドープトポリシリコン膜23が開口21aを埋め込むように、かつ不純物をドープしたTEOS酸化膜21を覆うように堆積される。その後に、たとえばCMPにより、不純物をドープしたTEOS酸化膜21をストップとして、n型ドープトポリシリコン膜23が研磨される。

【0053】

図18を参照して、上記のCMPにより、不純物をドープしたTEOS酸化膜21の上面が露出するとともに、n型ドープトポリシリコン膜23は開口21a内にのみ残存する。さらに、この後、たとえばCMPにより、キャップ膜12をストップとして、n型ドープトポリシリコン膜23と不純物をドープしたTEOS酸化膜21とエッチング阻止膜20とが研磨される。

【0054】

図19を参照して、上記のCMPにより、キャップ膜12の上面が露出するとともに、n型ドープトポリシリコン膜23がメモリセルアレイ内におけるゲート電極層50間に残存する。これにより、n型ドープトポリシリコン膜23から、ストレージノードコンタクトを埋め込むプラグ導電層23aと、ビット線コンタクトを埋め込むプラグ導電層23bとが形成される。また、キャップ膜12の上面と不純物をドープしたTEOS酸化膜21の上面とプラグ導電層23a、23bの各上面とは、実質的に同一の平面を構成する。

【0055】

図20を参照して、写真製版技術およびエッチング技術を用いて、プラグ導電層23bに接するようにビット線24が形成される。このビット線などを覆うように、たとえばシリコン酸化膜などよりなる層間絶縁膜25が形成される。

【0056】

図21を参照して、写真製版技術およびエッチング技術を用いて層間絶縁膜25に孔25aが形成され、その孔25a内を埋め込むように埋め込み導電層26が形成される。この埋め込み導電層26とプラグ導電層23aとを介してソース／ドレイン領域に電気的に接続するように、層間絶縁膜25上にストレージノード27が形成される。このストレージノードを覆うようにキャパシタ誘電体膜28が形成され、このキャパシタ誘電体膜28を介してストレージノード27と対向するようにセルプレート29が形成される。これにより、ストレージノード27とキャパシタ誘電体膜28とセルプレート29とからなるキャパシタCが構成される。

【0057】

このようにして、自己整合コンタクト構造体を有するメモリセルおよび周辺回路が形成される。

【0058】

本実施の形態によれば、活性領域（フィールド）がワード線（ゲート電極層）50の延びる方向に対して傾いて交差するように延びている。このため、ワード線（ゲート電極層）50に対して直交する場合と比較して、活性領域同士のピッチを大きく確保することが可能となる。

【0059】

図24と図25とは、活性領域がワード線に対して直交する場合と、傾いて交差する場合における活性領域のピッチを説明するための図である。活性領域がワード線に対して直交する場合、図24に示すようにワード線の間隔を0.10μmとするデザインルールの下では、活性領域のピッチP1は0.2μmとなる。一方、活性領域がワード線に対して傾いて交差する場合、図25に示すようにワード線の間隔を0.10μmとするデザインルールの下では、活性領域のピッチP1は0.28μm程度となる。以上より、活性領

10

20

30

40

50

域がワード線に対して傾いている場合には直行する場合よりも活性領域のピッチを1.4倍にすることができる。

【0060】

このため、図24と図25との双方のパターンにおいて、ストレージノードコンタクトおよびビット線コンタクトを形成するために帯状の開口パターンを用いることを考えた場合、活性領域がワード線に対して傾いている場合には直行する場合よりも帯状の開口パターンのピッチも1.4倍にすることができる。よって、写真製版プロセスのマージンが大幅に拡大し、長波長の露光光による写真製版が可能となるため、コスト削減が容易となる。

【0061】

具体的には、写真製版プロセスのマージンが大幅に拡大するため、90nmのデザインルールではArFでパターニングできなかったものが、KrFでもパターニング可能となる。すなわち、本実施の形態の帯状の開口パターン22aは1世代前のデザインルールと等価であることが特徴である。この効果はプロセスマージンの拡大のみならず、ArFに比べれば低コストのKrFプロセスが使用可能となりコスト低減の効果も有する。

【0062】

また、仮に図24の平面パターンにて帯状の開口パターン22aを用いることを考えた場合、各活性領域上の開口パターンを繋いで連続的な帯状開口パターンにしようとする、活性領域間の領域Sにおいていずれの導電領域にも電気的に接続されない導電層が他のプラグ導電層とともに形成されてしまう。このように領域Sに余分な導電層が形成されてしまうと、この導電層によって他の導電層同士がショートするおそれがある。このため、帯状の開口パターン22aは領域Sにおいて抜き（つまり開口されない領域）を設ける必要がある。

【0063】

これに対して図25の平面パターンにて帯状の開口パターン22aを用いる場合、上記のような抜きは不要であり、各活性領域上の開口パターンを繋いで連続的な帯状開口パターン22aを形成することができる。

【0064】

また、キップ膜（ハードマスク層）12の上面とプラグ導電層23a、23bの各上面とが実質的に同一の平面を構成しているため、これらの上面間に段差は生じない。このため、キップ膜12とプラグ導電層23a、23bとの上方に形成した層の上面も平坦にすることが容易となり、その層の写真製版などによるパターニングなどが容易になる。このように次工程でのプロセスマージンが確保できる。

【0065】

また、帯状の開口パターン22a（図14および図23）を用いてビット線コンタクトとストレージノードコンタクトとの開口が可能となるため、従来のホールパターンを開口する方法に比べ、エッチングのマイクロローディング効果が低減され「開口不良」の少ないプロセスを提供することができる。

【0066】

また、帯状の開口パターン22a（図14および図23）を用いてビット線コンタクトとストレージノードコンタクトとの開口が可能となるため、エッチングのマイクロローディング効果の低減が可能となるばかりか、窒化膜と酸化膜との選択比も大きく改善可能であり、ゲート電極とポリシリコン膜との電気的な「ショート」のプロセス裕度を確保することができる。

【0067】

また、図23に示すように帯状の開口パターン22aが非直線のパターンであるため、フォトレジストパターン22の倒れにも強く安定した転写プロセスを提供することができる。

【0068】

（実施の形態2）

10

20

30

40

50

実施の形態 1 では帯状の開口パターン 22a が非直線状であり、その幅が均一ではないが、均一な幅の開口パターン 22a が形成されてもよい。また、均一な幅の開口パターン 22a として、図 26 の平面図に示すように直線状の帯状の開口パターン 22a が形成されてもよい。これにより形成される D R A M のメモリセルアレイ内の平面レイアウトは図 27 に示すようになる。この図 27 においては、キャパシタの図示は省略されている。

【 0 0 6 9 】

なお、本実施の形態の上記以外の製造方法および構成は、上述した実施の形態 1 の製造方法および構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 7 0 】

(実施の形態 3)

実施の形態 1 では、図 17 ~ 図 19 の工程において C M P でキャップ膜（ハードマスク層）12 がストッパーとして平坦化され、プラグ導電層 23a、23b の各上面とキャップ膜（ハードマスク層）12 の上面とをシリコン基板 4 の表面と平行にしたが、図 17 または図 18 の工程からドライエッチングを施した後に C M P を施して平坦化されてもよい。

【 0 0 7 1 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 図面の簡単な説明 】

【 0 0 7 2 】

【 図 1 】本発明の実施の形態 1 における半導体装置の構成を示す概略平面図であり、D R A M のメモリセルアレイ内的一部分を示している。

【 図 2 】図 1 の I I - I I 線に沿う概略断面図である。

【 図 3 】本発明の実施の形態 1 における半導体装置の製造方法の第 1 工程に示す概略断面図である。

【 図 4 】本発明の実施の形態 1 における半導体装置の製造方法の第 2 工程に示す概略断面図である。

【 図 5 】本発明の実施の形態 1 における半導体装置の製造方法の第 3 工程に示す概略断面図である。

【 図 6 】本発明の実施の形態 1 における半導体装置の製造方法の第 4 工程に示す概略断面図である。

【 図 7 】本発明の実施の形態 1 における半導体装置の製造方法の第 5 工程に示す概略断面図である。

【 図 8 】本発明の実施の形態 1 における半導体装置の製造方法の第 6 工程に示す概略断面図である。

【 図 9 】本発明の実施の形態 1 における半導体装置の製造方法の第 7 工程に示す概略断面図である。

【 図 10 】本発明の実施の形態 1 における半導体装置の製造方法の第 8 工程に示す概略断面図である。

【 図 11 】本発明の実施の形態 1 における半導体装置の製造方法の第 9 工程に示す概略断面図である。

【 図 12 】本発明の実施の形態 1 における半導体装置の製造方法の第 10 工程に示す概略断面図である。

【 図 13 】本発明の実施の形態 1 における半導体装置の製造方法の第 11 工程に示す概略断面図である。

【 図 14 】本発明の実施の形態 1 における半導体装置の製造方法の第 12 工程に示す概略断面図である。

【 図 15 】本発明の実施の形態 1 における半導体装置の製造方法の第 13 工程に示す概略

10

20

30

40

50

断面図である。

【図16】本発明の実施の形態1における半導体装置の製造方法の第14工程に示す概略断面図である。

【図17】本発明の実施の形態1における半導体装置の製造方法の第15工程に示す概略断面図である。

【図18】本発明の実施の形態1における半導体装置の製造方法の第16工程に示す概略断面図である。

【図19】本発明の実施の形態1における半導体装置の製造方法の第17工程に示す概略断面図である。

【図20】本発明の実施の形態1における半導体装置の製造方法の第18工程に示す概略断面図である。 10

【図21】本発明の実施の形態1における半導体装置の製造方法の第19工程に示す概略断面図である。

【図22】図10に示す状態におけるDRAMのメモリセルアレイ内の概略平面図である。

【図23】図14に示す状態におけるDRAMのメモリセルアレイ内の概略平面図である。

【図24】活性領域がワード線に対して直交する場合における活性領域のピッチを説明するための図である。

【図25】活性領域がワード線に対して傾いて交差する場合における活性領域のピッチを説明するための図である。 20

【図26】本発明の実施の形態2における半導体装置の製造方法の工程を示す概略平面図であり、DRAMのメモリセルアレイ内的一部を示している。

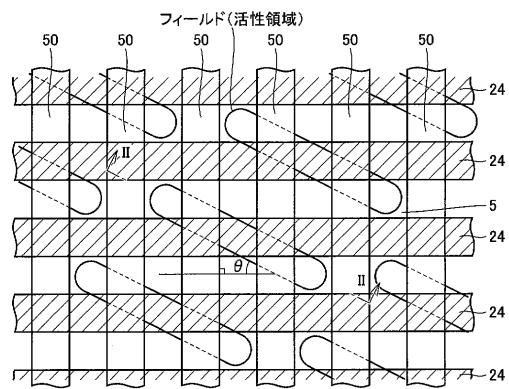
【図27】本発明の実施の形態2における半導体装置の構成を示す概略平面図であり、DRAMのメモリセルアレイ内的一部を示している。

【符号の説明】

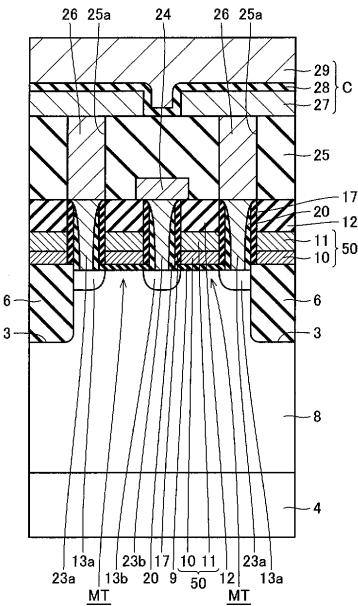
【0073】

1 バッファ絶縁膜、2 シリコン窒化膜、3 シャロウトレーナー、4 シリコン基板
、5 シリコン酸化膜、7 n型ウェル、8 p型ウェル、9 ゲート絶縁膜、10 n
型ドープトポリシリコン膜、11 金属膜、12 キャップ膜(ハードマスク層)、13
a, 13 b ソース/ドレイン領域、13 c, 13 d n型不純物拡散領域、14 シリ
コン窒化膜、15 n型不純物拡散領域、16 p型不純物拡散領域、17 側壁絶縁膜
、20 エッチング阻止膜、21 a 開口、21 B P T E O S酸化膜、22 フォトレ
ジストパターン、22 a 開口パターン、23 a, 23 b プラグ導電層、23 n型ド
ープトポリシリコン膜、24 ビット線、25 a 孔、25 層間絶縁膜、26 埋め込
み導電層、27 ストレージノード、28 キャパシタ誘電体膜、29 セルプレート、
50 ゲート電極層(ワード線)、C キャパシタ、MT メモリトランジスタ。 30

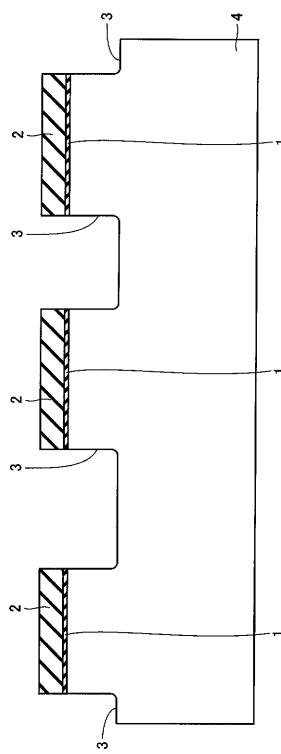
【図1】



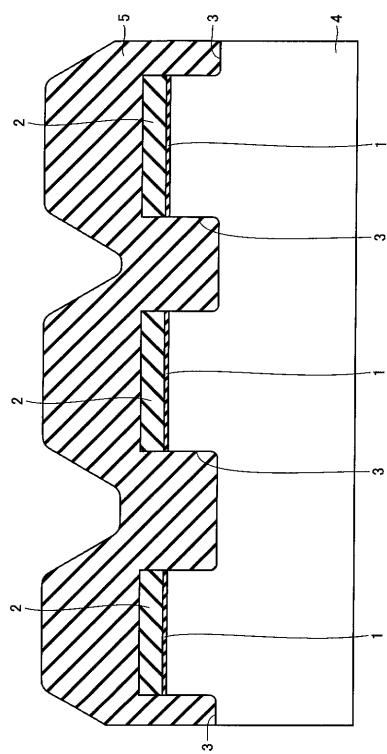
【図2】



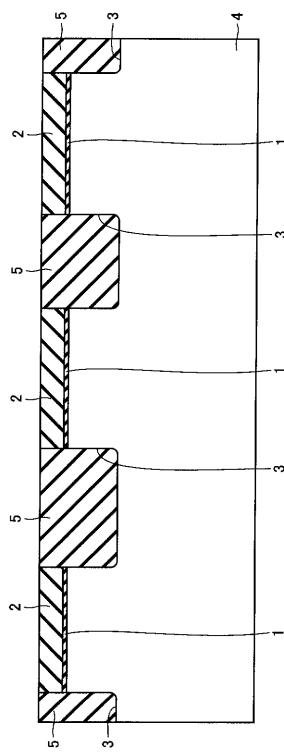
【図3】



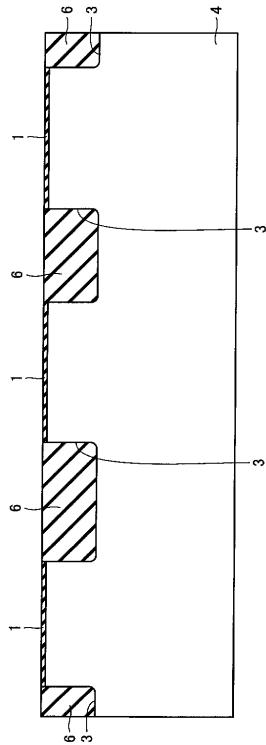
【図4】



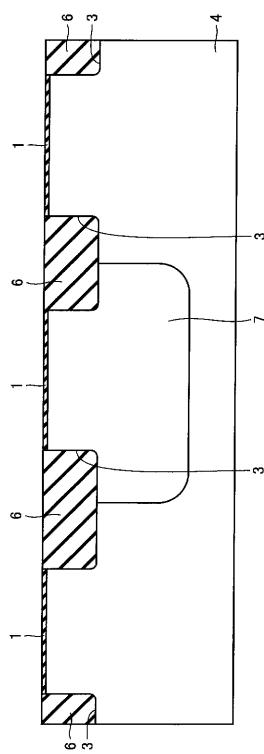
【図5】



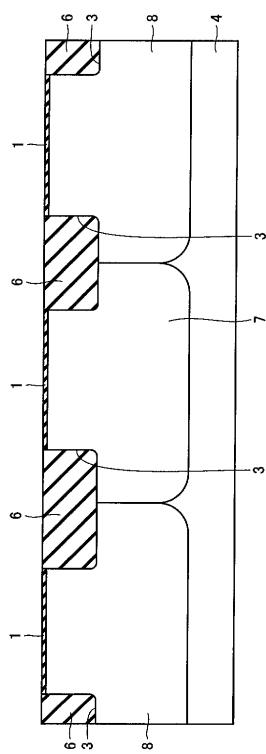
【図6】



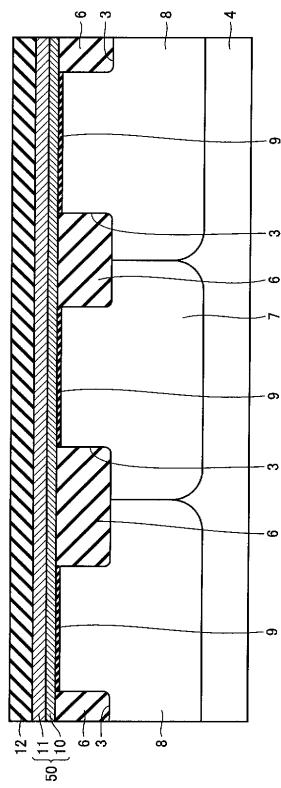
【図7】



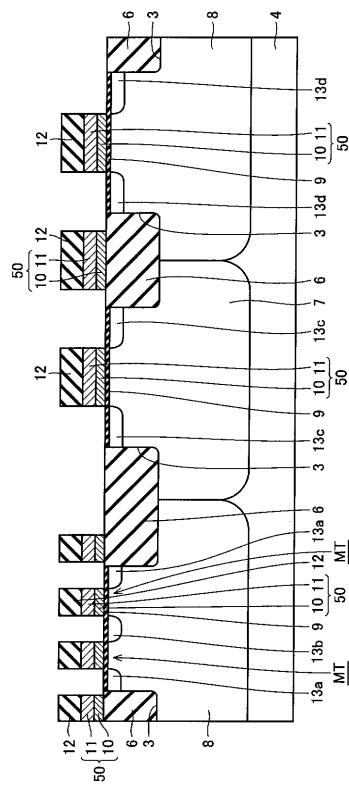
【図8】



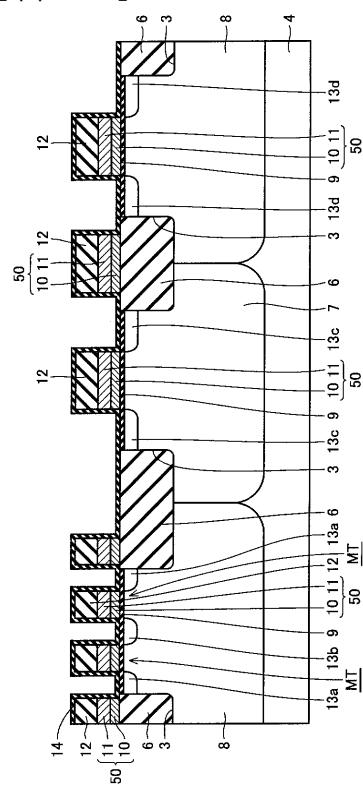
【図9】



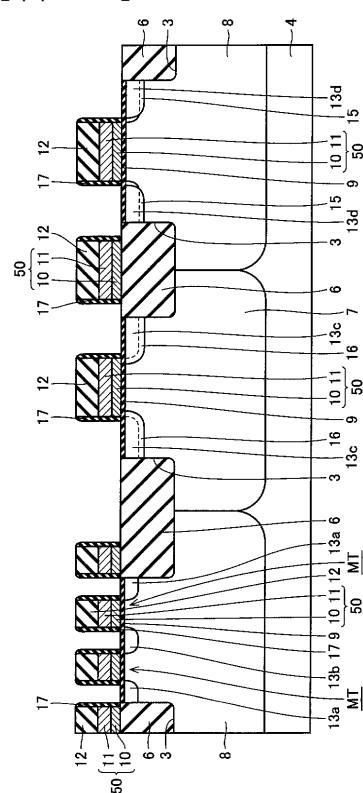
【図10】



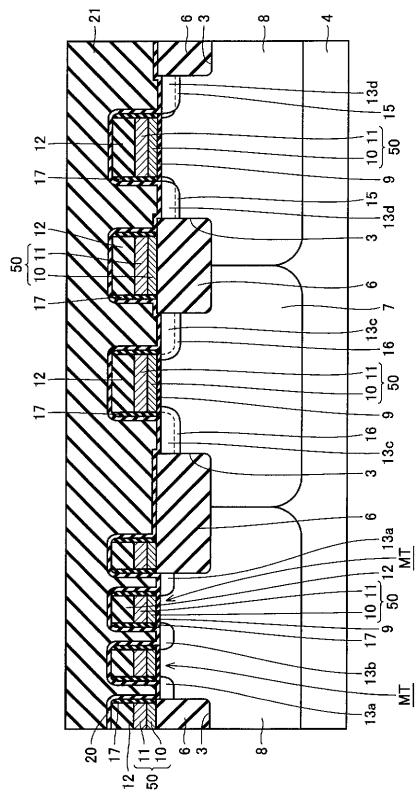
【図11】



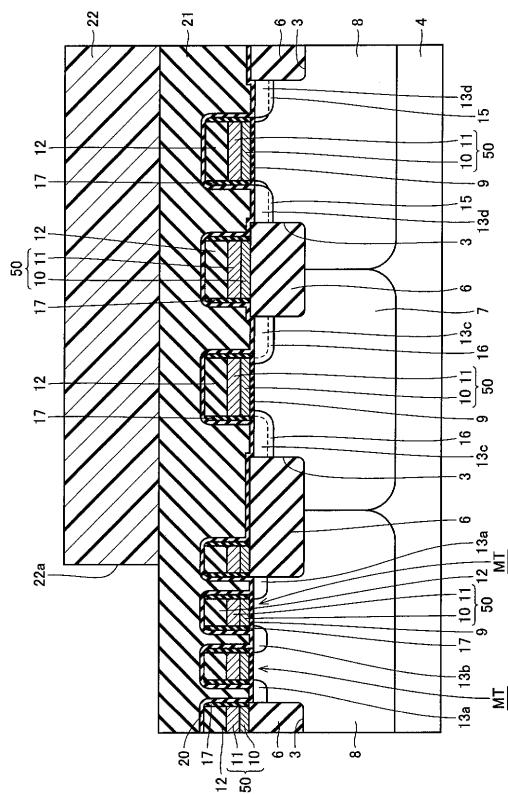
【図12】



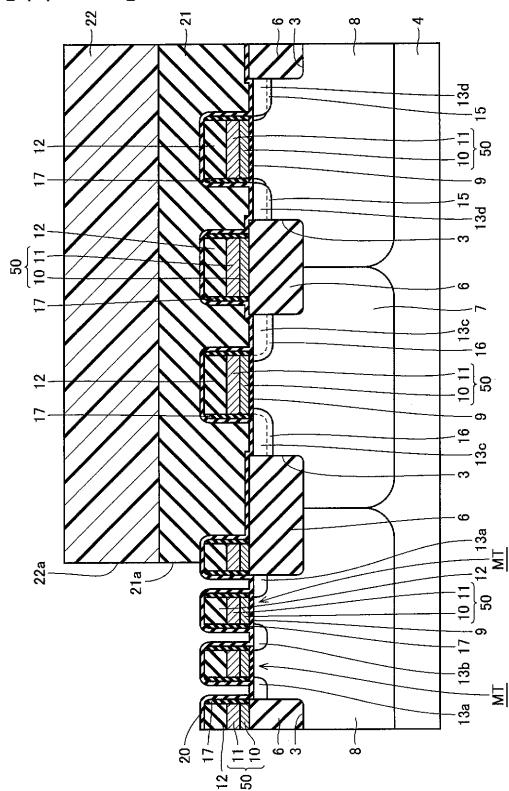
【図13】



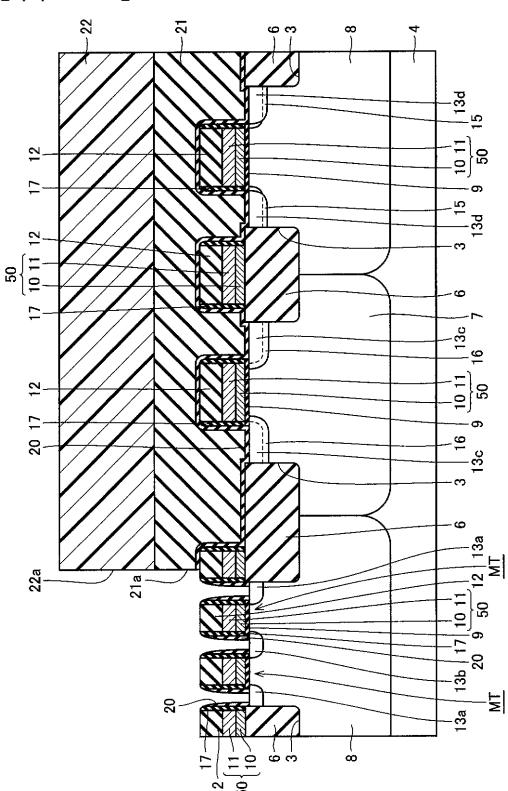
【図14】



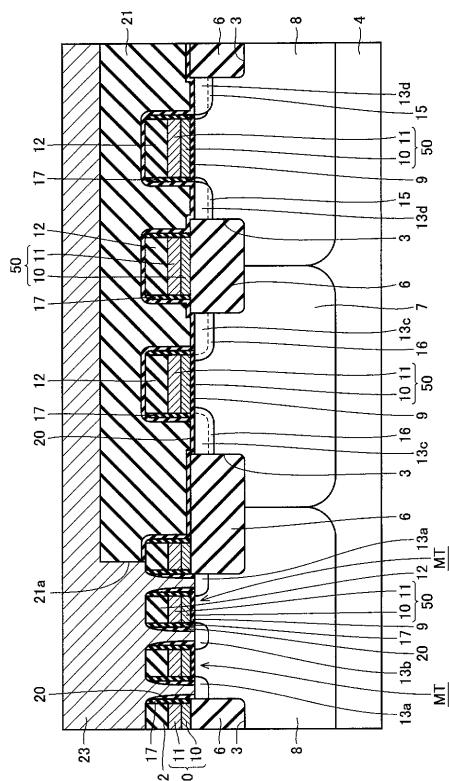
【図15】



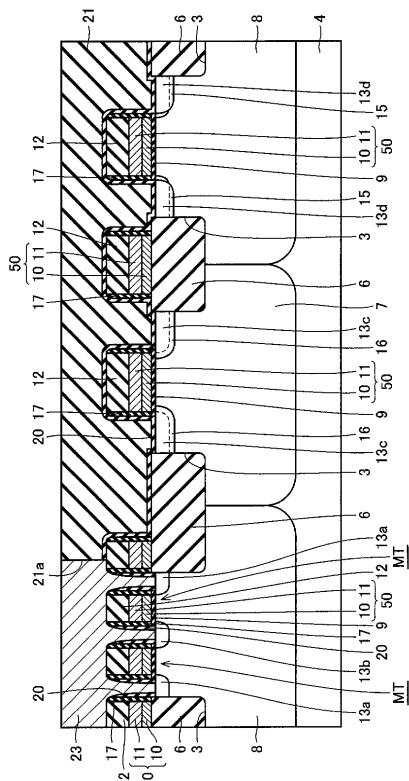
【図16】



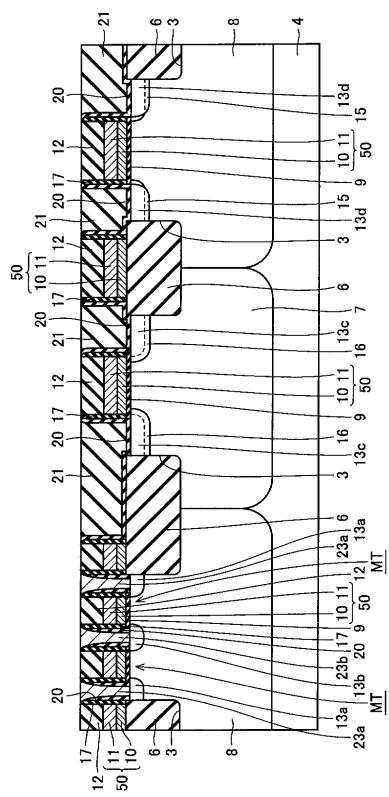
【 図 1 7 】



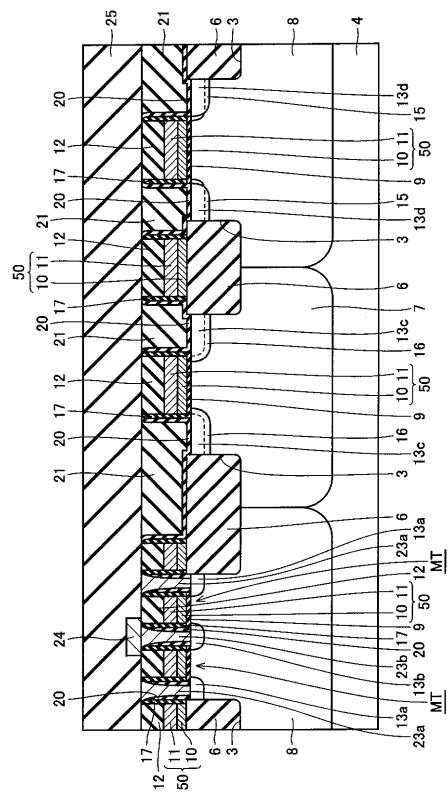
【 図 1 8 】



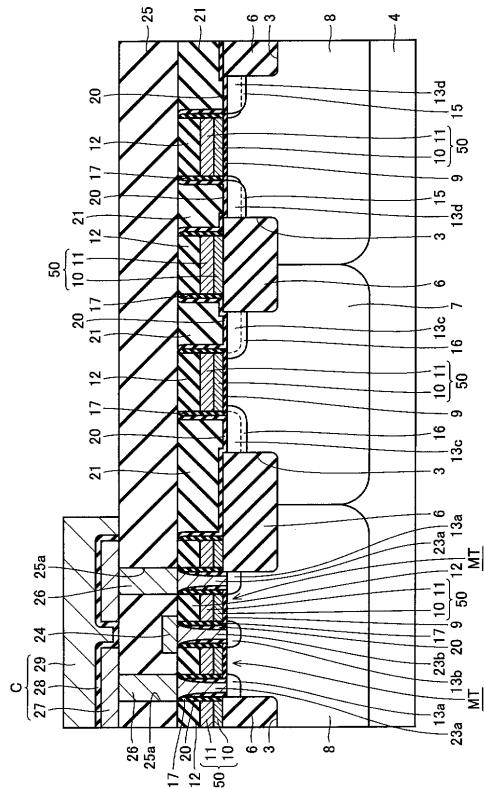
【 図 1 9 】



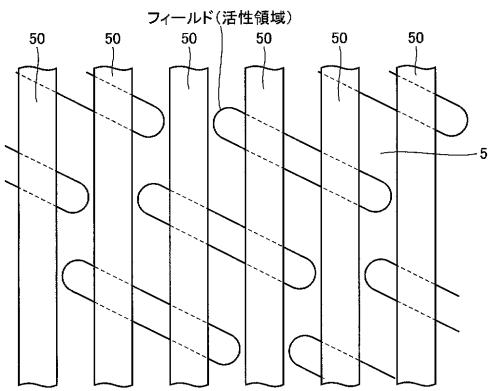
【図20】



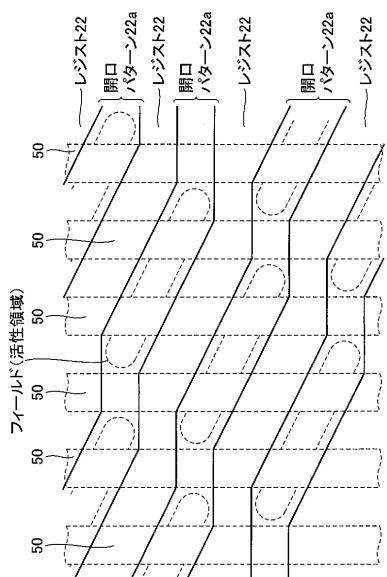
【図21】



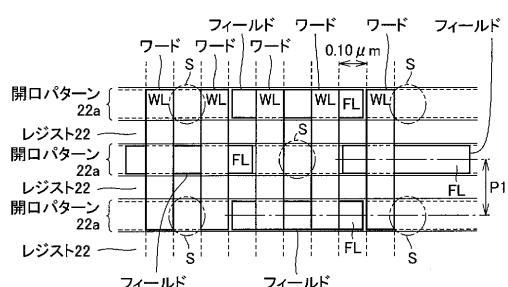
【図22】



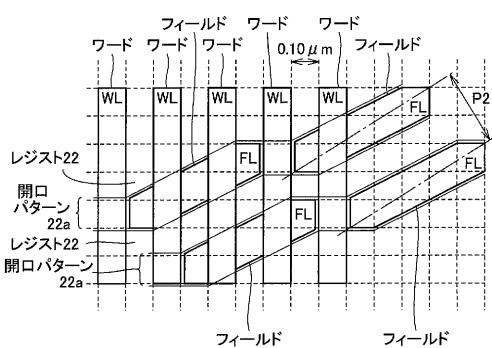
【図23】



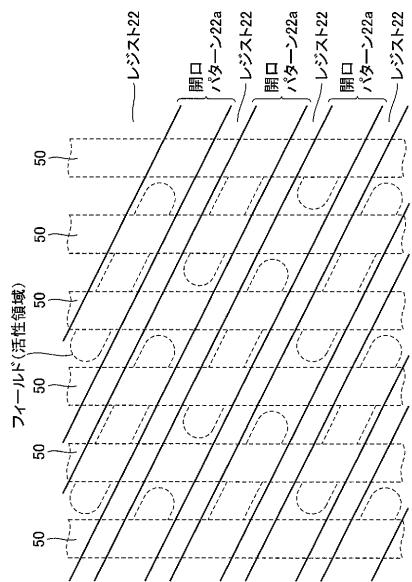
【図24】



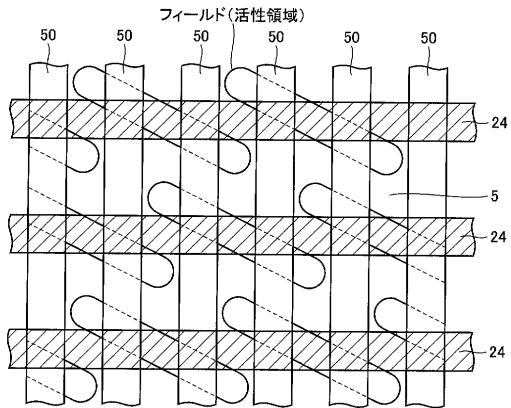
【図25】



【図26】



【図27】



フロントページの続き

(72)発明者 白竹 茂

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

F ターム(参考) 4M104 AA01 BB01 BB28 BB33 BB40 CC01 CC05 DD08 DD16 DD63
DD75 DD91 EE05 EE09 EE17 FF01 FF13 FF18 GG09 GG16
HH20
5F033 HH04 HH19 HH28 HH32 JJ04 KK01 LL01 MM15 NN40 PP06
PP15 QQ08 QQ09 QQ10 QQ16 QQ19 QQ25 QQ35 QQ37 QQ48
QQ49 QQ58 QQ65 QQ73 QQ75 QQ76 QQ82 RR04 RR06 SS03
SS04 SS11 SS25 SS27 TT08 VV06 VV10 VV16 XX00 XX01
5F083 AD10 AD42 AD48 AD49 GA02 GA27 JA35 JA39 JA40 JA56
LA01 MA03 MA06 MA17 MA20 NA01 PR01 PR03 PR05 PR06
PR07 PR09 PR12 PR21 PR29 PR34 PR36 PR38 PR40 PR43
PR44 PR46 PR53 PR54 PR56