(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 22 133 T2** 2004.04.08

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 840 326 B1**
(21) Deutsches Aktenzeichen: **697 22 133.4**
(96) Europäisches Aktenzeichen: **97 111 535.7**
(96) Europäischer Anmeldetag: **08.07.1997**
(97) Erstveröffentlichung durch das EPA: **06.05.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **21.05.2003**
(47) Veröffentlichungstag im Patentblatt: **08.04.2004**

(51) Int Cl.[7]: **G11C 11/56**

(30) Unionspriorität:
29167196 01.11.1996 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:
HOFFMANN · EITLE, 81925 München

(72) Erfinder:
Tanaka, Tomoharu, 1-1 Shibaura 1-chome, Tokyo 105, JP; Miyamoto, Junichi, 1-1 Shibaura 1-chome, Tokyo 105, JP; Sakui, Koji, 1-1 Shibaura 1-chome, Tokyo 105, JP

(54) Bezeichnung: **Nichtflüchtige Halbleiterspeicheranordnung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die Erfindung betrifft einen elektrisch löschbaren, programmierbaren Nurlesespeicher (EEPROM), und genauer gesagt einen EEPROM, bei welchem ein Datenelement, das durch zwei oder mehr Bits dargestellt ist, in jeder Speicherzelle gespeichert wird.

[0002] WO 90/12400 beschreibt eine nichtflüchtige Halbleiterspeichervorrichtung mit einer Speicherzellenmatrix, die eine Vielzahl von nichtflüchtigen Speicherzellen enthält, wobei jede Speicherzelle zum Speichern eines n-wertigen Datenelements dient, wobei $n \geq 3$ gilt; eine Vielzahl von Bitleitungen; eine Vielzahl von Wortleitungen; und eine Vielzahl von Datenspeicherschaltungen, die jeweils mit der Speicherzellenmatrix durch eine Bitleitung verbunden sind, zum Speichern eines Steuerdatenelements, das eine Schreibsteuerspannung bestimmt, die an die Bitleitung anzulegen ist.

[0003] Es wird auch auf US-A-5,218,569 und auf Bauer et al.: "TA 7.7: A Multilevel-Cell 32 MB Flash Memory", veröffentlicht in IEEE International Solid State Circuits Conference, Vol. 38, 1. Februar 1995, Seiten 132 und 133 Bezug genommen.

[0004] Eine Speicherzelle zur Verwendung in einem EEPROM ist bekannt, welche eine MOSFET-Struktur mit Ladespeicherschichten (schwebenden Gates) und Steuergates hat, die übereinander vorgesehen sind. Allgemein speichert eine Speicherzelle Daten mit einem Bit, "0" oder "1", gemäß der in dem schwebenden Gate der Zelle gespeicherten Ladung. Es ist ein Mehrfachwert-Speicherverfahren zum Speichern eines Mehrfachbit-Datenelements in einer Speicherzelle bekannt. Das Mehrfachwert-Speicherverfahren dient zum Bereitstellen eines EEPROM, der Daten in einer höheren Dichte speichern kann. Bei einem Vierwert-Speicherverfahren wird beispielsweise zum Speichern eines Datenelements "0", "1", "2" oder "3" in einer Speicherzelle eine von vier Ladungen entsprechend diesen vier Werten im schwebenden Gate der Speicherzelle gespeichert.

[0005] Wie einer der vier Werte in einer Speicherzelle beim Vierwert-Speicherverfahren gespeichert wird, wird detailliert erklärt werden. Zum Speichern des Werts "0" wird das schwebende Gate der Speicherzelle elektrisch neutral gemacht, und dann elektrisch positiv, wodurch Daten in der Speicherzelle gelöscht werden. Wenn der Zustand mit gelöschten Daten angenommen wird, speichert die Speicherzelle die Daten "0". Die Daten in der Zelle werden in der Zelle durch Anlegen einer hohen Spannung (etwa 20 V) an das Substrat des EEPROM und durch Einstellen des Steuergates der Speicherzelle auf 0 V gelöscht.

[0006] Zum Speichern des Werts "1" in der Speicherzelle wird eine negative Ladung im schwebenden Gate der Speicherzelle akkumuliert. Zum Speichern des Werts "2" wird eine größere negative Ladung im schwebenden Gate akkumuliert. Zum Speichern des Werts "3" wird eine noch größere negative Ladung im schwebenden Gate akkumuliert. Diese Werte können in der Speicherzelle durch Anlegen von 0 V an das Substrat des EEPROM und Halten des Sourceanschlusses und des Drainanschlusses der Speicherzelle auf 0 V und durch Anlegen einer hohen Spannung (etwa 20 V) an das Steuergate der Zelle gespeichert werden.

[0007] Somit kann eine Speicherzelle vier unterschiedliche Werte "0" bis "3" speichern.

[0008] Ein Mehrwert-Speicher-EEPROM ist bekannt, bei welchem zwei oder mehr Bytes von Daten gleichzeitig in die Speicherzellen geschrieben werden, und zwar in der Form von Mehrfachpegel-Datenelementen. Die Bytes von Daten werden gleichzeitig geschrieben, um die zum Schreiben dieser Bytes erforderliche Zeit zu verkürzen. Ein EEPROM von diesem Typ ist beispielsweise in der japanischen Patentanmeldung KOKAI mit der Veröffentlichungsnr. 7-93979 offenbart, welche einer japanischen Patentanmeldung entspricht, die durch den Zessionär der vorliegenden Anmeldung eingereicht ist. Der Mehrfachwert-Speicher-EEPROM, der in dieser Veröffentlichung offenbart ist, hat eine Vielzahl von Datenspeicherschaltungen zum Speichern von Steuerdaten zur Verwendung beim jeweiligen Schreiben der Mehrfachwert-Datenelemente in die Speicherzellen. Zum Bestimmen, ob ein Datenelement richtig in eine jeweilige Speicherzelle geschrieben worden ist oder nicht, wird der Zustand der Speicherzelle erfasst. Wenn eine Speicherzelle das Datenelement noch nicht vollständig gespeichert hat, werden die in den Datenspeicherschaltungen gespeicherten Steuerdaten geändert. Die Datenelemente werden dann gemäß den so geänderten Steuerdaten wieder in die Speicherzellen geschrieben. Die Zustände der Speicherzellen werden wiederholt erfasst und die Datenelemente werden wiederholt in die Speicherzellen geschrieben, bis alle ausgewählten Speicherzellen vollständige Datenelemente speichern.

[0009] Zum Erfassen des Zustands jeder Speicherzelle wird ein Lesesignal zum Drainanschluss der Speicherzelle zugeführt, und ein Signal, wenn es eines gibt, wird auf der Basis des in der Speicherzelle gespeicherten Datenelements geliefert. Genauer gesagt wird erfasst, ob die Speicherzelle das Datenelement vollständig gespeichert hat, das "1", "2" oder "3" ist.

[0010] Ein EEPROM von dem Typ, bei welchem ein mehrwertiges Datenelement in jede Speicherzellen durch wiederholtes Ändern von Steuerdaten geschrieben wird, muss komplexe Datenspeicherschaltungen zum Speichern der Steuerdaten und eine komplizierte Schaltung zum Steuern dieser Datenspeicherschaltungen haben. Weiterhin wird jede Datenspeicherschaltung, die ein Mehrfachpegel-Steuerdatenelement speichern muss, in dem Fall redundant, in welchem der Mehrfachdaten-EEPROM als zwei Werte-EEPROM verwendet wird.

[0011] Wie es oben angegeben ist, ist das mehrwertige Speicherverfahren ein effektives Mittel zum Speichern von Daten in einer höheren Dichte. Jedoch erfordert es eine komplizierte Schaltung zum Steuern von Komponenten, die andere als die Speicherzellen sind. Darüber hinaus werden die Datenspeicherschaltungen redundant, wenn der Mehrfachdaten-EEPROM als Zweiwerte-EEPROM verwendet wird.

[0012] Demgemäß ist es eine Aufgabe der vorliegenden Erfindung, einen Mehrfachwert-Speicher-EEPROM zu schaffen, der eine einfache Schaltung zum Steuern von Komponenten hat, die andere als die Speicherzellen sind.

[0013] Es ist eine weitere Aufgabe der Erfindung, einen Mehrfachwert-Speicher-EEPROM zu schaffen, bei welchem die Datenspeicherschaltungen selbst dann effektiv verwendet werden können, wenn der EEPROM als Zweiwert-Speicher-EEPROM verwendet wird.

[0014] Gemäß einem ersten Aspekt der Erfindung ist eine nichtflüchtige Halbleiterspeichervorrichtung geschaffen, die folgendes aufweist: eine Speicherzellenmatrix, die eine Vielzahl von nichtflüchtigen Speicherzellen enthält, von welchen jede ein n-Wert-Datenelement speichern kann, wobei $n \geq 3$ gilt, eine Vielzahl von Bitleitungen, eine Vielzahl von Wortleitungen und eine Vielzahl von Datenspeicherschaltungen, die jeweils mit einer Bitleitung verbunden sind, zum Speichern eines Steuerdatenelements, das eine an die Bitleitung anzulegende Schreibsteuerspannung zum Schreiben von Datenelementen in die an die Bitleitung angeschlossenen Speicherzellen bestimmt. Die Speichervorrichtung ist dadurch gekennzeichnet, dass jede Datenspeicherschaltung die Schreibsteuerspannung und ein Lesebitleitungssignal zu der Bitleitung gemäß dem Steuerdatenelement zuführt, einen Signalpegel des in Reaktion auf den Datenspeicherzustand der Speicherzelle umgewandelte Lesebitleitungssignal erfasst und das Steuerdatenelement auf der Basis des Datenspeicherzustands der Speicherzelle ändert.

[0015] Bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem ersten Aspekt der vorliegenden Erfindung sind wie folgt:

(1) Jede der Datenspeicherschaltungen weist zwei Unterdatenschaltungen auf, wobei jede zum Speichern eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dient. Jede der Unterdatenschaltungen ändert das Unterdatenelement des ersten Signalpegels, das gespeichert ist, in ein Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals und hält das Unterdatenelement des zweiten Signalpegels.

(2) Jede der Speicherzellen kann ein Vier-Wert-Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen.

(3) Jede der Speicherzellen kann ein Drei-Wert-Datenelement speichern, und jeder der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen.

(4) Jede der Datenspeicherschaltungen ist an eine Bitleitung zum Speichern von einem von n-Steuerdatenelementen von n logischen Pegeln ($n \geq 3$) zum Bestimmen einer an eine Bitleitung anzulegenden Schreibsteuerspannung angeschlossen, um dadurch Datenelemente in die an die Bitleitung angeschlossenen Speicherzellen zu schreiben. Jede Datenspeicherschaltung führt ein Lesebitleitungssignal zu der Bitleitung zu, wenn das Steuerdatenelement auf dem i-ten logischen Pegel oder dem ersten logischen Pegel ist, um dadurch zu erfassen, ob der Datenschreibzustand der Speicherzelle, die an die Datenspeicherschaltung angeschlossen ist, die ein Steuerdatenelement auf dem i-ten logischen Pegel ($i = 2$ bis n) speichert, durch den i-ten Datenspeicherpegel identifiziert wird, der dem i-ten logischen Pegel entspricht.

(5) Jede der Datenspeicherschaltungen weist Unterdatenschaltungen auf, wobei jede zum Speichern eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dient. Jede der Unterdatenschaltungen ändert das Unterdatenelement des ersten Signalpegels, das gespeichert ist, in ein Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals und hält das Unterdatenelement des zweiten Signalpegels.

(6) Jede der Speicherzellen kann ein Vier-Wert-Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen.

(7) Jede der Speicherzellen kann ein Drei-Wert-Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen.

[0016] Gemäß einem zweiten Aspekt der Erfindung ist eine nichtflüchtige Halbleiterspeichervorrichtung geschaffen, die folgendes aufweist: eine Speicherzellenmatrix, die eine Vielzahl von nichtflüchtigen Speicherzellen enthält, wobei jede ein n-Wert-Datenelement speichern kann, wobei $n \geq 3$ gilt, eine Vielzahl von Bitleitungen, eine Vielzahl von Wortleitungen und eine Vielzahl von Datenspeicherschaltungen, von welchen jede an eine Bitleitung angeschlossen ist. Die Speichervorrichtung ist dadurch gekennzeichnet, dass jede Datenspeicherschaltung folgendes aufweist: eine Schaltung zum Speichern eines Datenelements; eine Schaltung zum Zuführen eines Lesebitleitungssignals zu der Bitleitung gemäß dem Datenelement, eine Schaltung zum Erfassen eines Signalpegels des in Reaktion auf das Datenelement, das in der an die Bitleitung angeschlossenen Speicherzelle gespeichert ist, umgewandelten Lesebitleitungssignals, eine Schaltung zum Speichern des Signalpegels des so erfassten Lesebitleitungssignals und eine Schaltung zum Ändern des Steuerdatenelements

auf der Basis des Datenspeicherzustands der Speicherzelle.

[0017] Das Folgende sind bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem zweiten Aspekt der vorliegenden Erfindung.

(1) Jede der Datenspeicherschaltungen weist Unterdatenschaltungen auf, wobei jede zum Speichern eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dient. Jede der Unterdatenschaltungen ändert das Unterdatenelement des ersten Signalpegels, das gespeichert ist, in ein Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals und hält das Unterdatenelement das zweiten Signalpegels.

(2) Jede der Speicherzellen kann ein Vier-Wert-Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen.

(3) Jede der Speicherzellen kann ein Drei-Wert-Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen.

[0018] Diese Erfindung kann vollständiger aus der folgenden detaillierten Beschreibung verstanden werden, wenn sie in Zusammenhang mit den beigefügten Zeichnungen genommen wird, wobei:

[0019] **Fig.** 1 ein Blockdiagramm einer nichtflüchtigen Halbleiterspeichervorrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung ist;

[0020] **Fig.** 2 ein Schaltungsdiagramm ist, das die Speicherzellenmatrix und die Bitleitungssteuerschaltung zeigt, die in der in **Fig.** 1 gezeigten Speichervorrichtung enthalten sind;

[0021] **Fig.** 3A eine Schnittansicht von einer der in **Fig.** 2 gezeigten Speicherzellen ist;

[0022] **Fig.** 3B eine Schnittansicht von einem der in **Fig.** 2 gezeigten Auswahltransistoren ist;

[0023] **Fig.** 4 eine Schnittansicht ist, die eine der in **Fig.** 2 gezeigten NAND-Typ-Zelleneinheiten und zwei Auswahltransistoren darstellt;

[0024] **Fig.** 5 ein Schaltungsdiagramm ist, das detailliert einen Teil der in **Fig.** 1 gezeigten Speicherzellenmatrix und eine der in **Fig.** 1 gezeigten Datenspeicherschaltungen zeigt;

[0025] **Fig.** 6 ein Schaltungsdiagramm der Schaltung ist, die peripher zu der in **Fig.** 5 gezeigten Datenspeicherschaltung ist;

[0026] **Fig.** 7 ein Zeitdiagramm ist, um zu erklären, wie Vier-Wert-Daten aus den Speicherzellen der Vorrichtung gemäß dem ersten Ausführungsbeispiel der Erfindung gelesen werden;

[0027] **Fig.** 8 ein Zeitdiagramm ist, um zu erklären, wie Steuerdaten in einer jeweiligen Datenspeicherschaltung, die beim ersten Ausführungsbeispiel enthalten ist, eingestellt werden, und wie Daten dort hinein geschrieben werden;

[0028] **Fig.** 9 ein Zeitdiagramm ist, um zu erklären, wie eine Schreibverifizierung durchgeführt wird, um zu bestimmen, ob Daten in die Speichervorrichtung gemäß dem ersten Ausführungsbeispiel geschrieben worden sind;

[0029] **Fig.** 10 ein Zeitdiagramm ist, um zu erklären, wie Zwei-Wert-Daten aus den Speicherzellen der Speichervorrichtung gemäß dem ersten Ausführungsbeispiel der Erfindung gelesen werden;

[0030] **Fig.** 11 ein Zeitdiagramm ist, um zu erklären, wie anfängliche Unterdaten in jeder Unterdatenschaltung eingestellt werden und wie Daten in Speicherzellen in der Speichervorrichtung gemäß dem ersten Ausführungsbeispiel geschrieben werden;

[0031] **Fig.** 12 ein Zeitdiagramm ist, um zu erklären, wie die Schreibverifizierung in der Speichervorrichtung gemäß dem ersten Ausführungsbeispiel bewirkt wird;

[0032] **Fig.** 13 ein Schaltungsdiagramm ist, das die Speicherzellenmatrix und eine der identischen Datenspeicherschaltungen zeigt, die bei einer nichtflüchtigen Halbleiterspeichervorrichtung gemäß einem zweiten Ausführungsbeispiel der Erfindung enthalten sind;

[0033] **Fig.** 14A ein Symboldiagramm von einem der identischen getakteten Inverter ist, die bei den in **Fig.** 13 gezeigten Datenspeicherschaltungen verwendet werden;

[0034] **Fig.** 14B ein Schaltungsdiagramm des in **Fig.** 14A dargestellten getakteten Inverters ist;

[0035] **Fig.** 15 ein Schaltungsdiagramm der Schaltung ist, die peripher zu der in **Fig.** 13 gezeigten Datenspeicherschaltung ist;

[0036] **Fig.** 16 ein Zeitdiagramm ist, um ein erstes Verfahren zum Lesen von Vier-Wert-Daten aus den Speicherzellen der Vorrichtung gemäß dem zweiten Ausführungsbeispiel der Erfindung zu erklären;

[0037] **Fig.** 17 ein Zeitdiagramm ist, um ein zweites Verfahren zum Lesen von Vier-Wert-Daten aus den Speicherzellen der Vorrichtung gemäß dem zweiten Ausführungsbeispiel der Erfindung zu erklären;

[0038] **Fig.** 18 ein Zeitdiagramm ist, um zu erklären, wie anfängliche Unterdaten in jeder Unterdatenschaltung eingestellt werden und wie Daten in Speicherzellen in der Speichervorrichtung gemäß dem zweiten Ausführungsbeispiel geschrieben werden;

[0039] **Fig.** 19 ein Zeitdiagramm ist, um zu erklären, wie ein erstes Verfahren zum Durchführen einer Schreibverifizierung in einem Mode in der Speichervorrichtung gemäß dem zweiten Ausführungsbeispiel bewirkt wird;

[0040] **Fig.** 20 ein Zeitdiagramm ist, um zu erklären, wie ein zweites Verfahren zum Durchführen einer

Schreibverifizierung in einem Mode in der Speichervorrichtung gemäß dem zweiten Ausführungsbeispiel bewirkt wird; und

[0041] **Fig.** 21 ein Zeitdiagramm ist, um zu erklären, wie ein drittes Verfahren zum Durchführen einer Schreibverifizierung in einem Mode in der Speichervorrichtung gemäß dem zweiten Ausführungsbeispiel bewirkt wird.

[0042] Die nachfolgenden nichtflüchtigen Halbleiterspeichervorrichtungen können n-Wert-Daten speichern, wobei n ≥ 3 gilt. Bei diesem EEPROM wird ein Lesesignal zu ausgewählten Speicherzellen gemäß dem in einer jeweiligen Datenspeicherschaltung gespeicherten Steuerdatenelement zugeführt. Das in einer Datenspeicherschaltung gespeicherte Steuerdatenelement kann daher auf einfache Weise geändert werden, und die Struktur des EEPROM kann einfacher als sonst sein. Da ein Lesesignal zu den ausgewählten Speicherzellen zugeführt wird, können Daten auf einfache Weise aus den ausgewählten Speicherzellen gelesen werden. Dies hilft auch, die Struktur des EEPROM zu vereinfachen, was es ermöglicht, einen nicht teuren EEPROM zur Verfügung zu stellen.

[0043] Jede der Datenspeicherschaltungen zum Speichern von Steuerdatenelementen kann zum Schreiben von 4-Wert-Datenelementen in die Speicherzellen verwendet werden. Jede Datenspeicherschaltung kann in zwei Einheiten unterteilt werden. Dann kann jede Einheit Steuerdatenelemente speichern, die zum Schreiben von 2-Wert-Datenelementen in die Speicherzelle verwendet werden. Wenn es so ist, werden die im EEPROM enthaltenen Datenspeicherschaltungen nicht redundant. Somit ist der EEPROM weniger teuer als sonst.

[0044] Alternativ dazu kann jede Datenspeicherschaltung dazu verwendet werden, 3-Wert-Datenelemente in die Speicherzellen zu schreiben, und kann in zwei Einheiten aufgeteilt werden. Somit kann jede Einheit Steuerdatenelemente speichern, die zum Schreiben von 2-Wert-Datenelementen in die Speicherzelle verwendet werden. In diesem Fall werden die im EEPROM enthaltenen Datenspeicherschaltungen auch nicht redundant, und der EEPROM ist weniger teuer als sonst.

[0045] Nun werden Ausführungsbeispiele der vorliegenden Erfindung unter Bezugnahme auf die beigefügten Ansichten der Zeichnung beschrieben.

[0046] **Fig.** 1 ist eine schematische Darstellung eines nichtflüchtigen Halbleiterspeichers (EEPROM), der das erste Ausführungsbeispiel der vorliegenden Erfindung ist.

[0047] Der EEPROM hat eine Speicherzellenmatrix **1**, die eine Vielzahl von Speicherzellen aufweist, die angeordnet sind, um eine Matrix zu bilden. Daten können in jeder der Speicherzellen neu geschrieben werden. Eine Vielzahl von Bitleitungen und eine Vielzahl von Wortleitungen erstrecken sich über die Speicherzellenmatrix **1**. Speicherzellen, die eine Zeile bilden, sind an eine Bitleitung angeschlossen, und die Speicherzellen, die eine Spalte bilden, sind an eine Wortleitung angeschlossen. der EEPROM weist eine Bitleitungs-Steuerschaltung **2** und eine Wortleitungs-Steuerschaltung **6** auf.

[0048] Die Bitleitungs-Steuerschaltung **2** liest Daten aus den Speicherzellen der Matrix **1** über die Bitleitungen, erfasst die Zustände der Speicherzellen über die Bitleitungen und legt eine Schreib-Steuerspannung an die Speicherzellen über die Bitleitungen an. Die Schaltung **2** hat eine Vielzahl von Datenspeicherschaltungen, die die aus den Speicherzellen gelesenen Datenelemente speichern. Das Datenelement, das in irgendeiner Datenspeicherschaltung gespeichert ist, die durch einen Spaltendecodierer **3** ausgewählt wird, wird zu einer externen Vorrichtung über einen Daten-Eingabe/Ausgabe-Puffer 4 und einen Daten-Eingabe/Ausgabe-Anschluss 5 ausgegeben. Die in die Speicherzellenmatrix **1** zu schreibenden Daten, die von einer externen Vorrichtung zum Eingabe/Ausgabe-Anschluss 5 eingegeben werden, werden als anfängliche Steuerdaten über den Daten-Eingabe/Ausgabe-Puffer 4 zu irgendeiner Datenspeicherschaltung zugeführt, die durch den Spaltendecodierer **3** ausgewählt wird.

[0049] Die Wortleitungs-Steuerschaltung **6** legt eine Spannung an wenigstens eine der Wortleitungen an, um dadurch die Wortleitung so auszuwählen, dass Daten aus den Speicherzellen, die an die Wortleitung angeschlossen sind, gelesen werden können, in diese geschrieben oder in diesen gelöscht werden können.

[0050] Der EEPROM weist weiterhin eine Steuersignal/Spannungs-Erzeugungsschaltung **7** und einen Steuersignal-Eingabeanschluss **8** auf. Der Abschnitt **7** erzeugt Steuersignale und Steuerspannungen, die die Speicherzellenmatrix **1**, die Bitleitungs-Steuerschaltung **2**, den Spaltendecodierer **3**, den Daten-Eingabe/Ausgabe-Puffer **4** und die Wortleitungs-Steuerschaltung **6** steuern. Der Abschnitt **7** wird durch ein zu dem Steuersignal-Eingabeanschluss **8** von einer externen Vorrichtung aus zugeführtes Steuersignal gesteuert.

[0051] **Fig.** 2 zeigt die Speicherzellenmatrix **1** und die Bitleitungs-Steuerschaltung **2**, die beide in dem in **Fig.** 1 dargestellten EEPROM enthalten sind.

[0052] Vier Speicherzellen M sind in Reihe geschaltet und bilden eine NAND-Typ-Zelleneinheit. Die Zelleneinheit ist an einem Ende an eine Bitleitung BL durch einen Auswahltransistor S1 angeschlossen, und am anderen Ende an eine gemeinsame Sourceleitung SRC durch den Strompfad eines Auswahltransistors S2. Die Steuergateelektrode jeder Speicherzelle M ist an eine Wortleitung WL angeschlossen. Die Auswahltransistoren S1 und 52 sind jeweils an Auswahlgates SG1 und SG2 angeschlossen. Die an eine Wortleitung WL angeschlossenen Speicherzellen bilden eine Einheit, die "Seite" genannt wird. Vier Seiten bilden einen Block. Nur zwei Blöcke sind in **Fig.** 2 dargestellt. Die Speicherzellenmatrix **1** ist beispielsweise aus 1024 Blöcken zusammengesetzt. Der EEPROM hat 4224 Bitleitungen BL0 bis BL4223. Er kann nichtsdestotrotz weniger Bitleitun-

gen haben, wie beispielsweise 2112 Bitleitungen.

[0053] Die Bitleitungs-Steuerschaltung **2** enthält eine Vielzahl von Datenspeicherschaltungen **9**. Eine Datenspeicherschaltung ist für zwei Bitleitungen vorgesehen. Alternativ kann eine Datenspeicherschaltung für eine Bitleitung, für vier Bitleitungen, für sechs Bitleitungen oder für neun Bitleitungen vorgesehen sein. Die aus den Speicherzellen in beispielsweise die Datenspeicherschaltung **9**, die an die Bitleitungen BL0 und BL1 angeschlossen ist, gelesenen Daten werden zu dem Daten-Eingabe/Ausgabe-Puffer 4 zugeführt, wenn die Signale CSL0 und CSL1 von dem Spaltendecodierer **3** zur Schaltung **9** zugeführt werden. Anfängliche Steuerdaten werden von dem Daten-Eingabe/Ausgabe-Puffer 4 zu der Datenspeicherschaltung **9** übertragen bzw. transferiert, die an beispielsweise die Bitleitungen BL2 und BL3 angeschlossen ist, wenn die Signale CSL2 und CSL3 vom Spaltendecodierer **3** zu dieser Datenspeicherschaltung zugeführt werden. Jede Datenspeicherschaltung **9** liest Daten aus den Speicherzellen über eine der zwei Bitleitungen, die an sie angeschlossen sind, und schreibt Daten in diese Speicherzellen durch Anlegen einer Schreib-Steuerspannung an die Speicherzellen. Die Schreib-Steuerspannung basiert auf den in der Datenspeicherschaltung **9** gespeicherten Steuerdaten. Weiterhin erfasst die Datenspeicherschaltung **9** die Zustände der Speicherzellen, die an eine der zwei Bitleitungen angeschlossen sind.

[0054] **Fig.** 3A ist eine Schnittansicht von einer der Speicherzellen M. **Fig.** 3B ist eine Schnittansicht des Auswahltransistors S1. Es sollte beachtet werden, dass der Auswahltransistor S1 bezüglich der Struktur identisch zum Auswahltransistor S2 ist. Wie es in **Fig.** 3A gezeigt ist, ist die Speicherzelle M ein MOSFET mit einem schwebenden Gate **13** und einem Steuergate **15**. Die Zelle M weist ein p-Typ-Halbleitersubstrat 10, zwei mit Störstellen diffundierte n-Typ-Schichten 11, die in der Oberfläche des Substrats **10** vorgesehen sind, und einen Isolierfilm **12**, der auf dem Teil des Substrats **10** vorgesehen ist, der zwischen den n-Typ-Schichten 11 angeordnet ist, auf. Das schwebende Gate **13** ist auf dem Isolierfilm **12** angebracht, und ein Isolierfilm **14** ist auf dem schwebenden Gate **13** vorgesehen. Das Steuergate **15**, das bei einer Wortleitung arbeitet, ist auf dem Isolierfilm **14** angebracht.

[0055] Wie es in **Fig.** 3B gezeigt ist, hat der Auswahltransistor S1 eine normale MOSFET-Struktur. Er weist ein p-Typ-Halbleitersubstrat **10** auf, zwei mit Störstellen diffundierte n-Typ-Schichten 11, die in der Oberfläche des Substrats **10** vorgesehen sind, einen Isolierfilm **16**, der auf dem Teil des Substrats **10** vorgesehen ist, der zwischen den n-Typ-Schichten 11 angeordnet ist, und eine Gateelektrode **17**, die auf dem Isolierfilm **16** angebracht ist. Die Gateelektrode **17** funktioniert als Auswahlgate SG.

[0056] **Fig.** 4 ist eine Schnittansicht, die eine der in **Fig.** 2 gezeigten Zelleneinheiten vom NAND-Typ und zwei Auswahltransistoren S1 und S2 darstellt. Wie es aus **Fig.** 4 zu ersehen ist, ist die Zelleneinheit vom NAND-Typ durch vier Speicherzellen gebildet, deren Strompfade in Reihe geschaltet sind. Die Zelleneinheit ist an einem Ende an eine gemeinsame Sourceleitung SRC durch den Strompfad des Auswahltransistors S2 angeschlossen und am anderen Ende an eine Bitleitung BL durch den Strompfad des Auswahltransistors S1. Es soll angenommen sein, dass die Wortleitung WL2 ausgewählt worden ist. Zwanzig Volt (20 V) werden an die Wortleitung WL2 angelegt, 10 V an die Wortleitungen WL1, WL3 und WL4, die nicht ausgewählt sind, die Leistungsversorgungsspannung VCC wird an das Auswahlgate SG1 angelegt, und 0 V wird an das Auswahlgate SG2 angelegt. Dadurch werden Daten in die Zelleneinheit vom NAND-Typ geschrieben.

[0057] Unter der Annahme, dass der EEPROM ein Speicher zum Speichern von vier Werten ist, wird die Bitleitung auf 0 V eingestellt, um die Daten "1", "2" oder "3" in eine jeweilige Speicherzelle M der Zelleneinheit vom NAND-Typ zu schreiben. Dadurch werden Elektronen in die schwebenden Gates der Speicherzelle M injiziert. Die Schwellenspannung der Speicherzelle M wird positiv. Zum Schreiben von Daten "0" in die Speicherzelle M wird die Bitleitung BL auf die Leistungsversorgungsspannung VCC eingestellt. In diesem Fall werden keine Elektronen in das schwebende Gate der Speicherzelle M injiziert. Spannungen, die andere als 0 V sind, können an die Bitleitung BL angelegt werden, um Daten "1", "2" oder "3" in die Speicherzelle zu schreiben. Beispielsweise können 0,8 V an die Bitleitung BL angelegt werden, um Daten "1" in die Speicherzelle M zu schreiben, und 0 V kann an die Bitleitung BL angelegt werden, um Daten "2" oder "3" dort hinein zu schreiben. Dies ist so, weil es genügt, weniger Elektronen in das schwebende Gate der Speicherzelle M zu injizieren, um Daten "1" zu speichern, anstatt Daten "2" oder "3" zu speichern. Darüber hinaus können unterschiedliche Spannungen an die Bitleitung BL angelegt werden, um jeweils Daten "1", Daten "2" und Daten "3" in die Speicherzelle M zu schreiben. Diese Spannungen können beispielsweise 1,6 V, 0,8 V und 0 V sein.

[0058] Zum Löschen der Daten in den Speicherzellen M der Zelleneinheit vom NAND-Typ wird die Substratspannung Vsub auf 20 V eingestellt und werden die Auswahlgates SG1 und SG2, die Sourceleitung SRC und die Bitleitung BL auf 20 V eingestellt. Wenn die Wortleitungen WL1 bis WL4 eines Blocks auf 0 V eingestellt werden, um Daten in diesem Block zu löschen, werden Elektronen von den schwebenden Gates der Speicherzellen M freigegeben, die diesen Block bilden. Als Ergebnis werden die Schwellenspannungen der Speicherzellen M negativ (und speichern somit die Daten "0"). Keine Elektronen werden von den schwebenden Gates der Speicherzellen M freigegeben, wenn die Wortleitungen irgendeines anderen Blocks auf 0 V eingestellt sind, um Daten in dem anderen Block zu löschen. Wenn die Wortleitungen eines Blocks, in welchem keine Daten zu löschen sind, auf 0 V eingestellt werden, werden keine Elektronen von den schwebenden Gates der Spei-

cherzellen freigegeben, die den Block bilden.

[0059] In dem Fall, in welchem der EEPROM ein solcher ist, der vier Werte speichert, hat die Speicherzelle ihre Schwellenspannung auf 0 V oder darunter eingestellt, um die Daten "0" zu speichern, auf 0,4 bis 0,8 V, um die Daten "1" zu speichern, auf 1,2 bis 1,6 V, um die Daten "2" zu speichern und auf 2,0 bis 2,4 V, um die Daten "3" zu speichern. Zum Lesen von Daten aus beispielsweise der Speicherzelle M, die an die Wortleitung WL2 angeschlossen ist (**Fig.** 4), wird die Wortleitung WL2 (d. h. die ausgewählte Wortleitung) auf eine Lesespannung Vread eingestellt. In diesem Fall werden die Wortleitungen WL1, WL3 und WL4, die nicht ausgewählt sind, auf die Leistungsversorgungsspannung VCC (z. B. 3,3 V) eingestellt, werden die Auswahlgates SG1 und SG2 auf die Leistungsversorgungsspannung VCC eingestellt und wird die Sourceleitung SRC auf 0 V eingestellt.

(1) Wenn die Lesespannung Vread 0 V ist, bleibt die Spannung an der Bitleitung BL, die auf die Leistungsversorgungsspannung VCC geladen und in den schwebenden Zustand eingestellt worden ist, auf der Spannung VCC, wenn die ausgewählte Speicherzelle M die Daten "1", "2" oder "3" speichert. In diesem Fall fällt die Spannung an der Bitleitung BL auf 0 V ab, wenn die ausgewählte Speicherzelle M die Daten "0" speichert.

(2) Wenn die Lesespannung Vread 1 V ist, bleibt die Spannung an der Bitleitung BL, die auf die Leistungsversorgungsspannung VCC geladen und in den schwebenden Zustand eingestellt worden ist, auf der Spannung VCC, wenn die ausgewählte Speicherzelle M die Daten "2" oder "3" speichert. In diesem Fall fällt die Spannung an der Bitleitung BL auf 0 V ab, wenn die ausgewählte Speicherzelle M die Daten "0" oder "1" speichert.

(3) Wenn die Lesespannung Vread 1,8 V ist, bleibt die Spannung an der Bitleitung BL, die auf die Leistungsversorgungsspannung VCC geladen und in den schwebenden Zustand eingestellt worden ist, auf der Spannung VCC, wenn die ausgewählte Speicherzelle M die Daten "3" speichert. In diesem Fall fällt die Spannung an der Bitleitung BL auf 0 V ab, wenn die ausgewählte Speicherzelle M die Daten "0", "1" oder "2" speichert.

[0060] Wie es aus den Absätzen (1) bis (3) verstanden werden kann, können die in einer Speicherzelle M gespeicherten Daten durch Erfassen der Spannung bestimmt werden, die an die Bitleitung BL angelegt ist, wenn die Lesespannung Vread geändert wird.

[0061] **Fig.** 5 zeigt detailliert einen Teil der Speicherzellenmatrix **1** und von einer der Datenspeicherschaltungen **9**. Genauer gesagt stellt sie zwei Zelleneinheiten vom NAND-Typ dar, die an die Bitleitungen BLi und BLi + 1 angeschlossen sind, und die Datenspeicherschaltungen, die an die Bitleitungen BLi und BLi + 1 angeschlossen sind. Die Datenspeicherschaltung **9** ist unter der Annahme entworfen, dass der in **Fig.** 1 gezeigte Speicher ein EEPROM zum Speichern von vier Werten ist.

[0062] Die Datenspeicherschaltung weist eine erste und eine zweite Unterdatenschaltung **20** und **21** auf. Zum Schreiben von Daten in irgendeine ausgewählte Speicherzelle speichert jede Unterdatenschaltung Daten "0" oder "1", wandelt dann, wenn das Bitleitungssignal auf einem hohen Pegel ist, die in der Zelle gespeicherten Unterdaten "1" in Unterdaten "0" um und hält die Unterdaten "0". Zum Lesen der Daten aus der ausgewählten Zelle speichert die Unterdatenschaltung Daten "0" oder "1", wandelt dann, wenn das Bitleitungssignal auf einem hohen Pegel ist, die in der Zelle gespeicherten Unterdaten "1" in Unterdaten "0" um und hält die Unterdaten "0".

[0063] Die erste Unterdatenschaltung **20** weist zwei p-Kanal-MOS-Transistoren Qp1 und Qp2 und sechs n-Kanal-MOS-Transistoren Qn1 bis Qn6 auf. Die zweite Unterdatenschaltung **21** weist zwei p-Kanal-MOS-Transistoren Qp3 und Qp4 und sechs n-Kanal-MOS-Transistoren Qn10 bis Qn16 auf. Die p-Kanal-MOS-Transistoren Qp2 und Qp6 sind vorgesehen, um die erste Unterdatenschaltung **2** bzw. die zweite Unterdatenschaltung **21** rückzusetzen. Wenn die erste Unterdatenschaltung **20** rückgesetzt wird, wird ein Knoten Ni in der Schaltung **20** auf einen "H"-Pegel eingestellt. Während der Knoten Ni auf dem "H"-Pegel bleibt, hält die erste Unterdatenschaltung **20** ein Speichern erster Daten "1", die auszulesen sind, oder erster Unterdaten "1" bei. Wenn die zweite Unterdatenschaltung **21** rückgesetzt wird, wird ein Knoten Ni + 1 in der Schaltung **21** auf einen "H"-Pegel eingestellt. Während der Knoten Ni + 1 auf dem "H"-Pegel bleibt, behält die zweite Unterdatenschaltung **21** ein Speichern zweiter Daten "1", die auszulesen sind, oder zweiter Unterdaten "1" bei. Solange der Knoten Ni auf dem "L"-Pegel bleibt, behält die erste Unterdatenschaltung **20** ein Speichern erster Daten "0", die auszulesen sind, oder erste Unterdaten "0" bei. Gleichermaßen behält die zweite Unterdatenschaltung **21** solange wie der Knoten Ni + 1 auf dem "L"-Pegel bleibt, ein Speichern zweiter Daten "0", die auszulesen sind, oder zweiter Unterdaten "0" bei.

[0064] Die n-Kanal-MOS-Transistoren Qn5 und Qn14 sind vorgesehen, um die Unterdatenschaltungen **20** bzw. 21 elektrisch mit der Eingabe/Ausgabe-Leitung IO zu verbinden. Die Gateelektrode des n-Kanal-MOS-Transistors Qn5 empfängt ein Ausgangssignal CSLi, das vom Spaltendecodierer **3** ausgegeben wird. Die Gateelektrode des n-Kanal-MOS-Transistors Qn14 empfängt ein Ausgangssignal CSLi + 1, das vom Spaltendecodierer **3** ausgegeben wird. Wenn sich das Signal CSLi zum "H"-Pegel ändert, wird die erste Unterdatenschaltung **20**, die in der an die Bitleitungen BLi und BLi + 1 angeschlossenen Datenspeicherschaltung **9** enthalten ist, elektrisch mit der Eingabe/Ausgabe-Leitung IO verbunden. Die Daten-Eingabe/Ausgabe-Leitung IO ist an den in **Fig.** 1 gezeigten Daten-Eingabe/Ausgabe-Puffer 4 angeschlossen. Die auszulesenden Unter-

daten können dadurch zu dem Daten-Eingabe/Ausgabe-Puffer 4 ausgegeben werden. Die Daten-Eingabe/Ausgabe-Leitung IO ist vorgesehen, um Daten zu allen in **Fig.** 2 gezeigten Datenspeicherschaltungen **9** einzugeben und Daten daraus auszugeben.

[0065] Der n-Kanal-MOS-Transistor Qn7 steuert die elektrische Verbindung der ersten Unterdatenschaltung **20** mit der Bitleitung BLi. Der n-Kanal-MOS-Transistor Qn17 steuert die elektrische Verbindung der zweiten Unterdatenschaltung **20** mit der Bitleitung BLi + 1. Signale BLC1 und BLC2 werden jeweils zu den MOS-Transistoren Qn7 und Qn17 zugeführt. Während die Signale BLC1 und BLC2 jeweils auf dem "H"-Pegel und dem "L"-Pegel bleiben, werden beide Unterdatenschaltungen **20** und **21** elektrisch an die Bitleitung BLi angeschlossen. Andererseits werden, während die Signale BLC1 und BLC2 jeweils auf dem "L"-Pegel und dem "H"-Pegel bleiben, beide Unterdatenschaltungen **20** und **21** elektrisch an die Bitleitung BLi + 1 angeschlossen.

[0066] Der n-Kanal-MOS-Transistor Qn8 steuert die elektrische Verbindung der Bitleitung BLi mit einer Spannungsquelle VBL1. Der n-Kanal-MOS-Transistor Qn18 steuert die elektrische Verbindung der Bitleitung BLi + 1 mit einer Spannungsquelle VBL2. Signale PRE1 und PRE2 werden jeweils zu den MOS-Transistoren Qn8 und Qn18 zugeführt. Während das Signal PRE1 auf dem "H"-Pegel bleibt, wird die Bitleitung BLi elektrisch an die Spannungsquelle VBL1 angeschlossen. Gleichermaßen wird, während das Signal PRE2 auf dem "H"-Pegel bleibt, die Bitleitung BLi + 1 elektrisch an die Spannungsquelle VBL2 angeschlossen.

[0067] Ein Signal CMOD wird zu dem n-Kanal-MOS-Transistor Qn9 zugeführt. Während das Signal CMOD auf dem "H"-Pegel bleibt, verbindet der MOS-Transistor Qn9 elektrisch die erste Unterdatenschaltung **20** und die zweite Unterdatenschaltung **21** miteinander. Die Datenspeicherschaltung **9** steuert das Speichern von Vier-Wert-Daten, um dadurch entweder die Bitleitung BLi oder die Bitleitung BLi + 1 zu steuern. Andererseits trennt, während das Signal CMOD auf dem "L"-Pegel bleibt, der MOS-Transistor Qn9 elektrisch die erste Unterdatenschaltung **20** und die zweite Unterdatenschaltung **21** voneinander. In diesem Fall fungieren die Unterdatenschaltungen **20** und **21** als unabhängige Datenspeicherschaltungen, die jeweils das Speichern von Zwei-Wert-Daten steuern. Das bedeutet, dass die erste Unterdatenschaltung **20** die Bitleitung BLi steuert, wohingegen die zweite Unterdatenschaltung **21** die Bitleitung BLi + 1 steuert.

[0068] Die Signale BLC1, BLC2, PRE1, PRE2, VBL1, VBL2 und CMOD werden durch die in **Fig.** 1 gezeigte Steuer-Signal-Spannungs-Erzeugungsschaltung **7** erzeugt. Die Schaltung **7** erzeugt andere Signale RST, SEN1, SEN2, PRO1, PRO2 und REG. Die Signale, welche die Schaltung **7** erzeugt, werden zu allen in **Fig.** 2 gezeigten Datenspeicherschaltungen **9** zugeführt. Die Leistungsversorgungsspannung VCC ist beispielsweise 3,3 V. Das Signal CMOD kann zwischen dem "H"-Pegel und dem "L"-Pegel durch ein zu dem Steuersignal-Eingabeanschluss **8** zugeführtes Steuersignal umgeschaltet werden. Alternativ kann das Signal CMOD gemäß einem Steuersignal oder von Daten, die in der Steuer-Signal/Spannungs-Erzeugungsschaltung 7 gespeichert sind, auf den "H"-Pegel oder den "L"-Pegel eingestellt werden.

[0069] In der ersten Unterdatenschaltung **20** kann ein Signal auf dem "H"-Pegel auf der Bitleitung BLi zu der Gateelektrode des n-Kanal-MOS-Transistors Qn4 zugeführt werden, während das zu dem n-Typ-MOS-Transistor Qn3 zugeführte Signal SEN1 auf dem "H"-Pegel bleibt. Wenn es so ist, wird der MOS-Transistor Qn4 eingeschaltet, wodurch der Knoten Ni auf den "L"-Pegel eingestellt wird. Die auszulesenden Unterdaten "1" werden dadurch in Unterdaten "0" geändert. Die zu lesenden Unterdaten "0" bleiben unverändert, weil der Knoten Ni nun auf dem "L"-Pegel ist. Solange die Bitleitung BLi auf dem "L"-Pegel ist, ist der MOS-Transistor Qn4 ausgeschaltet, wodurch die auszulesenden Unterdaten nicht geändert werden.

[0070] In der zweiten Unterdatenschaltung **21** kann ein Signal auf dem "H"-Pegel auf der Bitleitung BLi + 1 zur Gateelektrode des n-Kanal-MOS-Transistors Qn13 zugeführt werden, während das zu dem n-Typ-MOS-Transistor Qn12 zugeführte Signal SEN2 auf dem "H"-Pegel bleibt. Wenn es so ist, wird der MOS-Transistor Qn13 eingeschaltet, wodurch der Knoten Ni + 1 auf den "L"-Pegel eingestellt wird. Die auszulesenden Unterdaten "1" werden dadurch zu den Unterdaten "0" geändert. Die auszulesenden Unterdaten "0" bleiben unverändert, weil der Knoten Ni + 1 nun auf dem "L"-Pegel sind. Solange die Bitleitung BLi + 1 auf dem "L"-Pegel ist, ist der MOS-Transistor Qn13 ausgeschaltet, wodurch die auszulesenden Unterdaten nicht geändert werden.

[0071] Die erste Unterdatenschaltung **20** und die zweite Unterdatenschaltung **21** können durch verschiedene Schaltungen ersetzt werden, die entworfen sind, um dieselbe Funktion wie die Schaltungen **20** und **21** durchzuführen.

[0072] **Fig.** 6 stellt die Schaltung dar, die peripher zu der Datenspeicherschaltung **9** ist, die in **Fig.** 5 gezeigt ist. Die periphere Schaltung weist n-Kanal-MOS-Transistoren Qn19 bis Qn22 und eine Signalleitung PT auf. Die Gateelektrode des MOS-Transistors Qn19 ist an den Knoten Ni in der ersten Unterdatenschaltung **20** angeschlossen. Ebenso ist an den Knoten Ni ein Ende des Strompfads des MOS-Transistors Qn21 angeschlossen. Die Gateelektrode des MOS-Transistors Qn20 ist an den Knoten Ni + 1 in der zweiten Unterdatenschaltung **21** angeschlossen. An den Knoten Ni + 1 ist ein Ende des Strompfads des MOS-Transistors Qn22 angeschlossen. Die n-Kanal-MOS-Transistoren Qn19 und Qn20 bilden eine Schaltung zum Erfassen, ob alle Unterdatenschaltungen Unterdatenelemente "0" speichern oder nicht. Wenn alle Unterdatenschaltungen Unterdatenelemente "0" speichern, wird die Signalleitung PT nicht auf das Erdpotential eingestellt. Wenn eine der

Unterdatenschaltungen Unterdaten "1" speichert, wird die Signalleitung PT auf das Erdpotential eingestellt. Die n-Kanal-MOS-Transistoren Qn21 und Qn22 bilden eine Schaltung zum Speichern von Unterdaten "0" in alle Unterdatenschaltungen. Unterdaten "0" werden in 4224 Unterdatenschaltungen gespeichert, wenn ein Signal PRST auf den "H"-Pegel ansteigt.

[0073] Wie Vier-Wert-Daten aus den Speicherzellen des EEPROM gelesen werden, wird unter Bezugnahme auf das Zeitdiagramm der **Fig.** 7 erklärt. Es soll angenommen sein, dass eine der Bitleitungen BL0 bis BL4222, d. h. die Bitleitung BLi, ausgewählt ist, dass die Wortleitung WL2 ausgewählt ist, dass das Signal CMOD auf den "H"-Pegel zum Lesen von Vier-Wert-Daten ist. Wenn drei Datenspeicherpegel vorgesehen sind, können Drei-Wert-Daten aus den Speicherzellen des EEPROM gelesen werden.

[0074] Zuerst wird das Signal PREI zu einer Zeit t1 auf den "L"-Pegel eingestellt, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Gleichzeitig wird das Signal BLC1 auf den "H"-Pegel eingestellt, wodurch die Bitleitung BLi ausgewählt wird. Dann werden die Unterdatenschaltungen **20** und **21** durch das Signal RST rückgesetzt, und sie speichern die ersten Unterdaten "1" bzw. die zweiten Unterdaten "1" für die Periode zwischen der Zeit t1 und der Zeit t2.

[0075] Zur Zeit t2 steigt das Signal REG auf den "H"-Pegel an, und die zweite Unterdatenschaltung **21** lädt die Bitleitung BLi elektrisch auf den "H"-Pegel. Die Bitleitung BLi bleibt für die Periode zwischen der Zeit t2 und der Zeit t3 auf dem "H"-Pegel. Zur Zeit t3 werden die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Als Ergebnis wird die ausgewählte Wortleitung WL2 zur Zeit t3 auf 1,8 V eingestellt.

[0076] Die nachfolgend gezeigte Tabelle zeigt die Beziehung zwischen den vier Datenelementen, die jede Speicherzelle M speichern kann, und den jeweiligen Schwellenspannungen, die die Speicherzelle zum Speichern der vier Datenelemente hat.

Tabelle 1

Datenelement	Schwellenspannung
0	0 V oder darunter
1	0,4 V - 0,8 V
2	1,2 V - 1,6 V
3	2,0 V - 2,4 V

[0077] Wenn das Potential der Wortleitung WL2 auf 1,8 V ansteigt, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 7 bei "1" angezeigt ist, wenn die Speicherzelle M das Datenelement "3" speichert. Wenn die Speicherzelle M irgendein anderes Datenelement (d. h. "0", "1" oder "2") speichert, wird die Bitleitung BLi auf den "L"-Pegel eingestellt, wie es in **Fig.** 7 bei (2) angezeigt ist. Dann werden die Signale SEN1 und SEN2 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BL1 während der Periode zwischen der Zeit t4 und der Zeit t5 gelesen wird. Nur dann, wenn die Speicherzelle M die Daten "3" speichert, ändern sich das erste und das zweite Unterdatenelement, die jeweils in den Unterdatenschaltungen **20** und **21** gespeichert sind, zu "0". In jedem anderen Fall bleiben sie "1".

[0078] Zur Zeit t5 steigt das Signal REG auf den "H"-Pegel an. Die Bitleitung BLi wird dadurch durch die zweite Unterdatenschaltung **21** nur dann elektrisch auf den "H"-Pegel geladen, wenn die auszulesenden zweiten Unterdaten "1" sind. Die Bitleitung BLi bleibt für die Periode zwischen der Zeit t5 und der Zeit t6 auf dem "H"-Pegel. Wenn die auszulesenden zweiten Unterdaten "1" sind, wird die Bitleitung BLi durch die zweite Unterdatenschaltung **21** auf den "L"-Pegel geladen, wie es in **Fig.** 7 bei "5" angezeigt ist. Dann werden zur Zeit t6 die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL2 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Die ausgewählte Wortleitung WL2 wird dadurch zur Zeit t6 auf 1,0 V eingestellt.

[0079] Wenn die Wortleitung WL auf 1,0 V eingestellt ist, bleibt die Bitleitung BLi nur dann auf dem "H"-Pegel, wenn die Speicherzelle M Daten "2" speichert, wie es in **Fig.** 7 bei "3" gezeigt ist. Wenn die Speicherzelle M entweder "1" oder "0" speichert, wird die Bitleitung BLi auf den "L"-Pegel eingestellt werden, wie es in **Fig.** 7 bei "4" angezeigt ist. Als nächstes wird das Signal SEN2 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BLi während der Periode zwischen der Zeit t7 und der Zeit t8 gelesen wird. Nur dann, wenn die Speicherzelle M Daten "2" speichert, wird das zweite Unterdatenelement, das in der zweiten Unterdatenschaltung **21** gespeichert ist, von "1" zu "0" geändert. Wenn die Speicherzelle M "1" oder "0" speichert, bleibt das auszulesende Unterdatenelement "1". Wenn die Speicherzelle M "3" speichert, ist das auszulesende zweite Unterdatenelement bereits "0".

[0080] Wenn das Signal REG zur Zeit t8 auf den "H"-Pegel ansteigt, wird die Bitleitung BLi durch die zweite Unterdatenschaltung **21** nur dann auf den "H"-Pegel geladen, wenn die auszulesenden zweiten Unterdaten "1" sind. Die Bitleitung BLi bleibt bis zur Zeit t9 auf dem "H"-Pegel. Andererseits wird dann, wenn die zweiten Unterdaten "0" sind, die Bitleitung BLi durch die zweite Unterdatenschaltung **21** auf den "L"-Pegel geladen. In diesem Fall bleibt die Bitleitung BLi für die Periode zwischen der Zeit t8 und der Zeit t9 auf dem "H"-Pegel, wie es in **Fig.** 7 bei "8" gezeigt ist. Dann werden zur Zeit t9 die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt, wodurch die ausgewählte Wortleitung WL2 zur Zeit t9 auf 0 V eingestellt wird.

[0081] Wenn die ausgewählte Wortleitung WL2 auf 0 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 7 bei (6) angezeigt ist, nur wenn die Speicherzelle M Daten "2" speichert. Wenn die Speicherzelle M "0" speichert, wird die Bitleitung BLi auf den "L"-Pegel eingestellt werden, wie es in **Fig.** 7 bei (7) dargestellt ist. Das Signal SEN1 wird dann auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BLi während der Periode zwischen der Zeit t10 und der Zeit t11 gelesen wird. Nur dann, wenn die Speicherzelle M Daten "1" speichert, wird das erste Unterdatenelement, das in der ersten Unterdatenschaltung **20** gespeichert ist, von "1" zu "0" geändert. Solange die Speicherzelle M "0" speichert, bleibt das zu lesende erste Unterdatenelement "1". Wenn die Speicherzelle M "3" speichert, ist das auszulesende erste Unterdatenelement bereits "0". Wenn die Speicherzelle M "2" speichert, bleibt das zu lesende erste Unterdatenelement "1", weil die Bitleitung BLi auf dem "L"-Pegel ist.

[0082] Wenn das Signal CSLi auf den "H"-Pegel eingestellt ist, werden die ersten Unterdaten zu der Daten-Eingabe/Ausgabe-Leitung IO ausgegeben. Das Signal CSLi wird weiterhin über den Daten-Eingabe/Ausgabe-Puffer zu dem Eingabe/Ausgabe-Anschluss **5** zugeführt und schließlich zu der externen Vorrichtung ausgegeben. Wenn das Signal CSLi + 1 auf den "H"-Pegel eingestellt ist, werden die zweiten Unterdaten zu der Daten-Eingabe/Ausgabe-Leitung IO ausgegeben. Das Signal CSLi + 1 wird dann über den Daten-Eingabe/Ausgabe-Puffer 4 zu dem Eingabe/Ausgabe-Anschluss 5 zugeführt und schließlich zu der externen Vorrichtung ausgegeben.

[0083] Während die Daten gelesen werden, bleibt die nicht ausgewählte Bitleitung BLi + 1 auf der Spannung VBL2, die beispielsweise 0 V ist.

[0084] Die nachfolgend gezeigte Tabelle 2 zeigt die Beziehung zwischen den vier Datenelementen, die jede Speicherzelle M speichern kann, den Werten, die die ersten Unterdaten haben können und den Werten, die die zweiten Unterdaten haben können.

Tabelle 2

Daten in der Zelle	Erste Unterdaten	Zweite Unterdaten
0	1	1
1	0	1
2	1	0
3	0	0

[0085] Wie anfängliche Steuerdaten in jeder Datenspeicherschaltung **9** eingestellt werden und wie Daten in diese geschrieben werden, wird unter Bezugnahme auf das Zeitdiagramm der **Fig.** 8 erklärt werden. Es soll angenommen werden, dass eine der Bitleitungen BL1 bis BL4222, d. h. die Bitleitung BLi, ausgewählt wird, dass die Wortleitung WL2 ausgewählt wird, dass das Signal CMOD auf dem "H"-Pegel zum Lesen von Vier-Wert-Daten ist. Wenn drei Datenspeicherpegel vorgesehen sind, können Drei-Wert-Daten aus den Speicherzellen des EEPROM gelesen werden.

[0086] Anfängliche Steuerdaten werden in der Datenspeicherschaltung **9**, die an die ausgewählte Bitleitung BLi angeschlossen ist, auf die folgende Weise eingestellt. Zuerst wird das in der ersten Unterdatenschaltung **20** einzustellende anfängliche Unterdatenelement zu der Daten-Eingabe/Ausgabe-Leitung IO transferiert. Das Signal CSLi wird auf den "H"-Pegel eingestellt, wodurch das anfängliche Unterdatenelement in die erste Unterdatenschaltung **20** gespeichert wird. Dann wird das in der zweiten Unterdatenschaltung **21** einzustellende anfängliche Unterdatenelement zu der Daten-Eingabe/Ausgabe-Leitung IO transferiert. Das Signal CSLi + 1 wird auf den "H"-Pegel eingestellt, wodurch das anfängliche Unterdatenelement in die zweite Unterdatenschaltung **21** gespeichert wird. Die anfänglichen Steuerdaten und die anfänglichen Unterdatenelemente, die in den Unterdatenschaltungen **20** und **21** eingestellt sind, haben die in der Tabelle 3 gezeigte Beziehung.

Tabelle 3

Anfängliche Steuerdaten	Anfängliche Unterdaten in der Schaltung 20	Anfängliche Unterdaten in der Schaltung 21
0	0	0
1	1	0
2	0	1
3	1	1

[0087] Es ist erwünscht, dass das Signal RST auf den "H"-Pegel eingestellt wird, bevor die Steuerdatenelemente in allen Datenspeicherschaltungen **9** eingestellt sind, um dadurch die Steuerdatenelemente auf "0" rückzusetzen. Der Zustand jeder Speicherzelle M kann durch das Steuerdatenelement "0" nicht geändert werden, wie es später beschrieben wird. Es genügt, die anfänglichen Steuerdatenelemente, die von einer externen Vorrichtung zugeführt werden, in nur den erwünschten der Datenspeicherschaltungen **9** einzustellen. Es muss nicht gesagt werden, dass die anfänglichen Steuerdatenelemente in allen 2112 Datenspeicherschaltungen von der externen Vorrichtung eingestellt werden können.

[0088] Zum Schreiben von Daten zu der Datenspeicherschaltung **9**, die an die Bitleitungen BLi und BLi + 1 angeschlossen ist, wird die Bitleitung BLi, die das Signal PREI auf dem "L"-Pegel empfängt, von der Spannungsquelle VBL1 zur Zeit t1 getrennt. Gleichzeitig, d. h. zur Zeit t1, steigt das Signal BLC1 auf den "H"-Pegel an, was die Bitleitung BLi auswählt. Zur Zeit t2 wird die Spannung VBL2 auf VCC eingestellt. Die nicht ausgewählte Bitleitung BLi + 1 wird dadurch über den n-Kanal-MOS-Transistor Qm18 bis zur Zeit t3 auf VCC geladen. Zur Zeit t2 steigt auch das Signal PRO1 auf den "H"-Pegel an, wodurch die ausgewählte Bitleitung BLi gemäß den ersten Unterdaten während der Periode zwischen der Zeit t2 und der Zeit t3 geladen wird. Genauer gesagt wird die Bitleitung BLi auf VCC geladen, wenn die Steuerdaten "0" oder "2" sind. Wenn die Steuerdaten entweder "1" oder "3" sind, wird die Bitleitung BLi auf 0 V eingestellt. Während der Periode zwischen der Zeit t2 und der Zeit t3 werden die Auswahlgate-Leitung SG1 und die Wortleitungen WL1 bis WL4 auf VCC eingestellt. Zur Zeit t3 wird das Signal PRO2 auf 1,8 V eingestellt, und die Spannung an der ausgewählten Bitleitung BLi wird gemäß den zweiten Unterdaten geändert. Wenn die zweiten Unterdaten "0" sind, ist der n-Kanal-MOS-Transistor Qn16 ausgeschaltet. In diesem Fall bleibt die Bitleitung BLi auf VCC. Wenn die zweiten Unterdaten "1" sind, ist der MOS-Transistor Qn16 eingeschaltet. Die Bitleitung BLi wird daher auf 0 V eingestellt.

[0089] Somit wird die Bitleitung BLi auf VCC eingestellt, wenn die Steuerdaten "0" sind, auf 0,8 V, wenn die Steuerdaten "1" sind, auf 0 V, wenn die Steuerdaten "2" sind, und auch auf 0 V, wenn die Steuerdaten "3" sind. Zur Zeit t3 wird die ausgewählte Wortleitung WL2 auf 20 V eingestellt und werden die nicht ausgewählten Wortleitungen auf 10 V eingestellt. Elektronen werden dadurch in das schwebende Gate der Speicherzelle auf der Basis der Steuerdaten bis zur Zeit t4 injiziert. Wenn die Bitleitung BL auf 0 V ist, beträgt die Potentialdifferenz zwischen dem Kanal der Speicherzelle und der Wortleitung WL2 20 V, und Elektronen werden in das schwebende Gate der Speicherzelle injiziert. Wenn die Bitleitung BL auf 0,8 V ist, ist die Potentialdifferenz 19,2 V. Somit werden Elektronen in das schwebende Gate der Speicherzelle injiziert, aber in geringeren Mengen als in dem Fall, in welchem die Potentialdifferenz 20 V ist. Wenn die Bitleitung BL auf VCC eingestellt ist, ist die Potentialdifferenz zwischen dem Kanal der Speicherzelle und der Wortleitung WL2 so klein, dass virtuell keine Elektronen in das schwebende Gate der Speicherzelle injiziert werden. Die Wortleitungen WL1 bis WL4 bleiben während der Periode zwischen der Zeit t4 und der Zeit t5 auf VCC. Zur Zeit t5 ändert sich die Spannung VBL2 auf 0 V und wird das Signal PRE1 auf den "H"-Pegel eingestellt. Die Bitleitungen BLi und BLi + 1 werden auf 0 V rückgesetzt und bleiben bis zur Zeit t6 auf 0 V. Während der Periode zwischen der Zeit t5 und der Zeit t6 bleibt die Spannung VBL1 auf 0 V und bleiben die Wortleitungen WL1 bis WL4 auch auf 0 V rückgesetzt.

[0090] Nach der zur Zeit t1 bis zur Zeit t6 durchgeführten Datenschreiboperation (**Fig.** 8), wird eine Schreibverifizierung bewirkt, um zu erfassen, ob die Daten in die Speicherzelle geschrieben worden sind oder nicht. Wie die Schreibverifizierung ausgeführt wird, wird unter Bezugnahme auf das Zeitdiagramm der **Fig.** 9 erklärt. Hier soll angenommen sein, dass eine der Bitleitungen BL1 bis BL4222, d. h. die Bitleitung BLi, ausgewählt wird, dass die Wortleitung WL2 ausgewählt wird, dass das Signal CMOD auf den "H"-Pegel eingestellt ist, um Vier-Wert-Daten zu speichern. Wenn drei Datenspeicherpegel vorgesehen sind, können Drei-Wert-Daten in den Speicherzellen des EEPROM gespeichert werden.

[0091] Zur Zeit t1 wird das Signal PRE1 auf den "L"-Pegel eingestellt, was die Bitleitungen BLi und BLi + 1 voneinander trennt. Zur gleichen Zeit (zur Zeit t1) steigt das Signal BLT1 auf den "H"-Pegel an, wodurch die

Bitleitung BLi ausgewählt wird.

[0092] Dann steigt das Signal REG zur Zeit t2 auf den "H"-Pegel an. Die an die Schaltung **9**, die ein Steuerdatenelement speichert, angeschlossene Bitleitung BLi wird auf "3" eingestellt, und "2" wird dadurch auf den "H"-Pegel durch die zweite Unterdatenschaltung **21** geladen und bleibt bis zur Zeit t3 auf dem "H"-Pegel. Zur gleichen Zeit wird die Bitleitung BLi, die mit der Schaltung **9** verbunden ist, die die Steuerdatenelemente "1" und "0" speichert, durch die zweite Unterdatenschaltung **21** auf den "L"-Pegel eingestellt und bleibt bis zur Zeit t3 auf dem "L"-Pegel. Zur Zeit t3 werden die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1 und WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt, wohingegen die ausgewählte Wortleitung WL2 auf 2,0 V eingestellt wird.

[0093] Wenn die Wortleitung WL2 auf 2,0 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 9 bei "1" angezeigt ist, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "3" speichert, den Zustand zum Speichern der Daten "3" angenommen hat. Wenn diese Speicherzelle M den Zustand zum Speichern der Daten "3" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt, wie es in **Fig.** 9 bei "2" dargestellt ist. Da die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "2" speichert, den Zustand zum Speichern der Daten "3" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt, wie es in **Fig.** 9 bei "2" gezeigt ist. Die Bitleitung BLi, die an die Schaltung **9** angeschlossen ist, die Steuerdatenelemente "1" und "0" speichert, bleibt auf dem "L"-Pegel, wie es in **Fig.** 9 bei (3) angezeigt ist.

[0094] Zur Zeit t4 werden die Signale SEN1 und SEN2 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BLi bis zur Zeit t5 gelesen wird. Nur dann, wenn die Speicherzelle M den Zustand zum Speichern der Daten "3" annimmt, ändern sich das erste und das zweite Unterdatenelement, die jeweils in den Unterdatenschaltungen **20** und **21** gespeichert sind, zu "0". In jedem anderen Fall bleiben die Unterdatenelemente "1".

[0095] Zur Zeit t5 steigt das Signal PRO1 auf den "H"-Pegel an. Die Bitleitung BLi, die an die Datenspeicherschaltung **9** angeschlossen ist, die Steuerdatenelemente "2" und "0" speichert, wird somit durch die erste Unterdatenschaltung **20** elektrisch auf den "H"-Pegel geladen und bleibt bis zur Zeit t6 auf dem "H"-Pegel. Andererseits wird die Bitleitung BLi, die an die Schaltung **9** angeschlossen ist, die Steuerdatenelemente "3" und "1" speichert, durch die erste Unterdatenschaltung **20** auf den "L"-Pegel eingestellt und bleibt bis zur Zeit t6 auf "L". Zur Zeit t6 werden die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Die ausgewählte Wortleitung WL2 wird dadurch auf 1,2 V eingestellt.

[0096] Wenn die Wortleitung WL2 auf 1,2 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 9 bei (4) gezeigt ist, wenn die Speicherzelle M, die an die Datenspeicherschaltung angeschlossen ist, welche das Steuerdatenelement "2" speichert, den Zustand zum Speichern von Daten "2" angenommen hat. Wenn die Speicherzelle M den Zustand zum Speichern von Daten "2" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt, wie es in **Fig.** 9 bei (5) dargestellt ist. Wenn die Speicherzelle M, die an die Datenspeicherschaltung angeschlossen ist, welche das Steuerdatenelement "0" speichert, den Zustand zum Speichern eines Datenelements "2" oder "3" angenommen hat, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 9 bei (4) angezeigt ist. Wenn diese Speicherzelle M den Zustand zum Speichern eines Datenelements "2" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt, wie es in **Fig.** 9 bei (5) gezeigt ist. Die Bitleitung BLi, die an die Schaltung **9** angeschlossen ist, die Datenelemente "3" und "1" speichert, bleibt auf dem "L"-Pegel, wie es in **Fig.** 9 bei (6) dargestellt ist. Zur Zeit t7 wird das Signal SEN1 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BLi während der Periode zwischen der Zeit t7 und der Zeit t8 gelesen wird. Nur dann, wenn die Speicherzelle M, die an die Datenspeicherschaltung **9** angeschlossen ist, die ein Steuerdatenelement "2" speichert, den Zustand zum Speichern eines Datenelements "2" angenommen hat, werden die in der zweiten Unterdatenschaltung **21** gespeicherten zweiten Unterdaten auf "0" geändert. In jedem anderen Fall bleiben die zweiten Unterdaten unverändert.

[0097] Zur Zeit t8 steigt das Signal PRO2 auf den "H"-Pegel an, wird die Bitleitung BLi, die an die Schaltung **9** angeschlossen ist, die Steuerdatenelemente "1" und "0" speichert, durch die zweite Unterdatenschaltung **21** auf den "H"-Pegel geladen. Die Bitleitung BLi bleibt bis zur Zeit t9 auf dem "H"-Pegel. Zwischenzeitlich wird die Bitleitung BLi, die an die Schaltung **9** angeschlossen ist, die Steuerdatenelemente "3" und "2" speichert, durch die zweite Unterdatenschaltung **21** auf den "L"-Pegel eingestellt. Diese Bitleitung BLi bleibt während der Periode zwischen der Zeit t8 und t9 auf dem "L"-Pegel. Zur Zeit t9 werden die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Die ausgewählte Wortleitung WL2 wird dadurch auf 0,4 V eingestellt.

[0098] Wenn die Wortleitung WL2 auf 0,4 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 9 bei (7) angezeigt ist, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die das Datenelement "1" speichert, den Zustand zum Speichern des Datenelements "1" angenommen hat. Die Bitleitung BLi wird auf den "L"-Pegel eingestellt, wie es in **Fig.** 9 bei (8) gezeigt ist, wenn diese Speicherzelle den

Zustand zum Speichern des Datenelements "1" noch nicht angenommen hat. Die Bitleitung BLi bleibt auf dem "H"-Pegel, wie es in **Fig.** 9 bei (7) dargestellt ist, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die das Datenelement "0" speichert, den Zustand zum Speichern des Datenelements "1", "2" oder "3" angenommen hat. Die Bitleitung BLi wird auf den "L"-Pegel eingestellt, wie es in **Fig.** 9 bei (8) gezeigt ist, wenn diese Speicherzelle M den Zustand zum Speichern des Datenelements "1" nicht angenommen hat. Die Bitleitung BLi, die an die Schaltung **9** angeschlossen ist, die die Datenelemente "3" und "2" speichert, bleibt auf dem "L"-Pegel, wie es in **Fig.** 9 bei (9) angezeigt ist. Zur Zeit t10 wird das Signal SEN1 auf den "H"-Pegel eingestellt, wodurch die Spannung auf der Bitleitung BLi während der Periode zwischen der Zeit t10 und der Zeit t11 gelesen wird. Nur dann, wenn die Speicherzelle M, die an die Datenspeicherschaltung **9** angeschlossen ist, die das Datenelement "1" speichert, den Zustand zum Speichern des Datenelements "1" angenommen hat, werden die ersten Unterdaten, die in der ersten Unterdatenschaltung **20** gespeichert sind, zu "0" geändert. In jedem anderen Fall bleiben die ersten Unterdaten unverändert.

[0099] Wenn die oben beschriebene Schreibverifizierung (WV) ausgeführt wird, werden die in der Datenspeicherschaltung **9** gespeicherten Steuerdatenelemente gemäß den Datenspeicherzuständen der Speicherzellen geändert, wie es in der folgenden Tabelle 4 gezeigt ist:

Tabelle 4

Datenspeicherzustand der Speicherzelle	Steuerdaten vor WV	Steuerdaten nach WV
0, 1, 2 oder 3	0	0
Noch nicht für 1	1	1
1	1	0
Noch nicht für 2	2	2
2	2	0
Noch nicht für 3	3	3
3	3	0

[0100] Wie es aus der Tabelle 4 wohl verstanden werden kann, wird die Schreibverifizierung durch elektrisches Laden der Bitleitungen BL gemäß den Steuerdatenelementen bewirkt, die in den Datenspeicherschaltungen **9** gespeichert sind. Die in einer Datenspeicherschaltung gespeicherten Steuerdatenelemente können dadurch auf einfache Weise geändert werden. Dies hilft zum Vereinfachen der Schaltungsstruktur des EEPROM. Der EEPROM kann daher mit niedrigen Kosten hergestellt werden.

[0101] Datenelemente werden in die Speicherzellen durch Wiederholen der Datenschreiboperation (von der Zeit t1 bis zur Zeit t6, **Fig.** 8) und der Schreibverifizierung (**Fig.** 9) geschrieben, bis alle in den Datenspeicherschaltungen **9** gespeicherten Steuerdatenelemente sich zu "0" ändern. Der Datenspeicherzustand einer Speicherzelle M ändert sich nicht, wenn die Zelle M an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "0" speichert. Die Speicherzelle M nimmt die Daten zum Speichern des Datenelements "1" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "1" speichert, nimmt die Daten zum Speichern des Datenelements "2" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "2" speichert, und nimmt die Daten zum Speichern des Datenelements "3" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "3" speichert. Ob alle Steuerdatenelemente "0" sind, kann durch Erfassen bestimmt werden, ob die Signalleitung PT (**Fig.** 6) auf das Erdpotential eingestellt ist. Dies ist deshalb so, weil die Leitung PT dann nicht auf das Erdpotential eingestellt ist, wenn alle Steuerdatenelemente "0" sind. Die Spannung an einer Wortleitung WL, die zum Schreiben von Daten ausgewählt ist, kann nach und nach erhöht werden.

[0102] Wie Zwei-Wert-Daten aus den Speicherzellen des EEPROM gelesen werden, wird unter Bezugnahme auf das Zeitdiagramm der **Fig.** 10 erklärt. Hier ist angenommen, dass zwei der Bitleitungen BL1 bis BL4223, d. h. die Bitleitungen BLi und BLi + 1, ausgewählt sind, dass die Wortleitung WL2 ausgewählt ist und dass das Signal CMOD auf den "L"-Pegel eingestellt ist, um Zwei-Wert-Daten zu lesen.

[0103] Zuerst werden die Signale BLC1 und BLC2 zur Zeit t1 auf den "H"-Pegel eingestellt, um dadurch die Bitleitungen BLi und BLi + 1 auszuwählen. Das erste und das zweite Unterdatenelement, die beide "1" sind, werden jeweils in der ersten und der zweiten Unterdatenschaltung **20** und **21** gemäß dem Signal RST während der Periode zwischen der Zeit t1 und der Zeit t2 eingestellt.

[0104] Zur Zeit t2 werden die Spannungen VBL1 und VBL2 auf VCC eingestellt, wodurch die Bitleitungen BLi

und BLi + 1 während der Periode zwischen der Zeit t2 und t3 auf den "H"-Pegel geladen werden. Zur Zeit t3 werden die Signale PREI und PRE2 auf den "L"-Pegel eingestellt, was die Bitleitungen BLi und BLi + 1 jeweils von den Spannungsquellen VBL1 und VBL2 trennt. Ebenso werden zur Zeit t3 die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Die ausgewählte Wortleitung WL2 wird dadurch auf 0 V eingestellt.

[0105] Die nachfolgend gezeigte Tabelle 5 zeigt die Beziehung zwischen den Daten, die die Speicherzelle M speichert, und der Schwellenspannung, die die Zelle M hat:

Tabelle 5

Daten in der Zelle	Schwellenspannung der Zelle
0	0 V oder darunter
1	0,4 V - 0,8 V

[0106] Wenn die Speicherzelle M ein Speichern von Daten "1" während der Periode zwischen der Zeit t3 und t4 beibehält, bleibt die Bitleitung BLi oder BLi + 1 auf dem "H"-Pegel. Wenn die Speicherzelle M ein Speichern der Daten "0" während dieser Periode beibehält, wird die Bitleitung BLi oder BLi + 1 auf den "L"-Pegel eingestellt. Dann werden die Signale SEN1 und SEN2 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BLi oder BLi + 1 während der Periode zwischen der Zeit t4 und der Zeit t5 gelesen wird. Wenn die Speicherzelle M Daten "1" speichert, ändern sich die ersten Unterdaten oder die zweiten Unterdaten zu "0". Andererseits, nämlich dann, wenn die Speicherzelle M Daten "0" speichert, bleiben die ersten Unterdaten oder die zweiten Unterdaten auf dem Wert "0".

[0107] Wenn das Signal CSLi auf den "H"-Pegel eingestellt ist, werden die ersten Unterdaten über die Daten-Eingabe/Ausgabe-Leitung IO, den Daten-Eingabe/Ausgabe-Puffer 4 und zum Eingabe/Ausgabe-Anschluss 5 zur externen Vorrichtung ausgegeben. Wenn das Signal CSLi + 1 auf den "H"-Pegel eingestellt ist, werden die zweiten Unterdaten über die Daten-Eingabe/Ausgabe-Leitung IO, den Daten-Eingabe/Ausgabe-Puffer **4** und zu dem Eingabe/Ausgabe-Anschluss 5 zu der externen Vorrichtung ausgegeben.

[0108] Die erste Unterdatenschaltung **20** und die zweite Unterdatenschaltung **21** arbeiten als unabhängige Datenspeicherschaltungen, um Zwei-Wert-Daten zu lesen, wie es unter Bezugnahme auf **Fig.** 10 erklärt ist. Die in der Schaltung **20** gespeicherten ersten Unterdaten sind identisch zu den in der Speicherzelle gespeicherten Daten, die mit der Schaltung **20** verbunden ist, und die in der Schaltung **21** gespeicherten Unterdaten sind identisch zu den in der Speicherzelle gespeicherten Daten, die mit der Schaltung **21** verbunden ist.

[0109] Unter Bezugnahme auf ein Zeitdiagramm der **Fig.** 11 wird erklärt werden, wie anfängliche Unterdatenelemente in den Unterdatenschaltungen **20** und **21** eingestellt werden und wie Daten in Speicherzellen M geschrieben werden. Es soll angenommen werden, dass zwei der Bitleitungen BL1 bis BL4223, d. h. die Bitleitungen BLi und BLi + 1, ausgewählt sind, dass die Wortleitung WL2 ausgewählt ist, dass das Signal CMOD auf den "L"-Pegel eingestellt ist, um Zwei-Wert-Daten in die Speicherzellen M zu schreiben. In diesem Fall arbeiten die erste Unterdatenschaltung **20** und die zweite Unterdatenschaltung **21** als unabhängige Datenspeicherschaltungen und fungieren die in den Schaltungen **20** und **21** gespeicherten ersten Unterdaten und zweiten Unterdaten als Steuerdatenelemente, die zum Schreiben von Datenelementen in die Speicherzellen M verwendet werden, die an die Schaltungen **20** bzw. 21 angeschlossen sind.

[0110] Die anfänglichen Unterdatenelemente werden in den Unterdatenschaltungen **20** und **21** wie folgt eingestellt. Zuerst werden die anfänglichen Unterdaten, die in der Schaltung **20** einzustellen sind, zur Daten-Eingabe/Ausgabe-Leitung IO transferiert. Das Signal CSLi wird auf den "H"-Pegel eingestellt, wodurch die anfänglichen Unterdaten in die erste Unterdatenschaltung **20** gespeichert werden. Dann werden die anfänglichen Unterdaten, die in der Schaltung **21** einzustellen sind, zu der Daten-Eingabe/Ausgabe-Leitung IO transferiert. Das Signal CSLi + 1 wird auf den "H"-Pegel eingestellt, wodurch diese anfänglichen Unterdaten in die zweite Unterdatenschaltung **21** gespeichert werden.

[0111] Es ist erwünscht, dass das Signal RST auf den "H"-Pegel eingestellt wird, um dadurch die Unterdatenelemente auf "0" rückzusetzen, bevor die anfänglichen Unterdatenelemente in den Schaltungen **20** und **21** eingestellt werden. Wie es später beschrieben wird, ändern die Unterdatenelemente "0" den Zustand der Speicherzellen M nicht. Somit genügt es, anfängliche Unterdatenelemente zu dem EEPROM von der externen Vorrichtung zuzuführen und sie in nur erwünschte der 4224 Unterdatenschaltungen einzustellen, die im EEPROM vorgesehen sind. Statt dessen können anfängliche Unterdatenelemente natürlich in allen 2224 Unterdatenschaltungen von der externen Vorrichtung eingestellt werden.

[0112] Zum Schreiben von Datenelementen in die Speicherzellen M werden die Signale PRE1 und PRE2 zur Zeit t1 auf den "H"-Pegel eingestellt, um dadurch die Bitleitungen BLi und BLi + 1 jeweils von den Spannungs-

quellen VBL1 und VBL2 zu trennen. Ebenso werden zur Zeit t1 die Signale BLC1 und BLC2 auf den "H"-Pegel eingestellt, um dadurch die Bitleitungen BLi und BLi + 1 auszuwählen. Zur Zeit t2 werden die Signale PRO1 und PRO2 auf den "H"-Pegel eingestellt. Als Ergebnis werden die Bitleitungen BLi und BLi + 1 bis zur Zeit t3 gemäß den ersten Unterdaten bzw. den zweiten Unterdaten geladen. Genauer gesagt wird die Bitleitung BLi auf VCC geladen, wenn die ersten Unterdaten "0" sind. Wenn die ersten Unterdaten "1" sind, wird die Bitleitung BLi auf 0 V geladen. Das Auswahlgate SG1 und die Wortleitungen WL1 bis WL4 werden während der Periode zwischen t2 und der Zeit t3 auf VCC eingestellt. Zur Zeit t3 wird die ausgewählte Wortleitung WL2 auf 20 V eingestellt, wohingegen die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf 10 V eingestellt werden. Die Wortleitungen WL1 bis WL4 bleiben bis zur Zeit t4 auf diesen Spannungen. Während der Periode zwischen der Zeit t3 und der Zeit t4 werden Elektronen in die schwebenden Gates der Speicherzellen in Mengen injiziert, die gemäß den Unterdatenelementen sind. Wenn die Bitleitung BL auf 0 V eingestellt ist, werden Elektronen zu dem schwebenden Gate von jeder Zelle M injiziert, die an die Bitleitung BL angeschlossen ist, was eine Potentialdifferenz von 20 V zwischen der Wortleitung WL und dem Kanal der Speicherzelle M zur Verfügung stellt. Wenn die Bitleitung BL auf VC eingestellt ist, ist die Potentialdifferenz so klein, dass virtuell keine Elektronen in das schwebende Gate der Speicherzelle M injiziert werden. Die Spannung an den Wortleitungen WL1 bis WL4 wird während der Periode zwischen der Zeit t4 und der Zeit t5 auf VCC erniedrigt. Danach werden die Signale PRE1 und PRE2 zur Zeit t5 auf den "H"-Pegel eingestellt, was die Bitleitungen BLi und BLi + 1 auf 0 V zurücksetzt. Die Bitleitungen BLi und BLi + 1 bleiben bis zur Zeit t6 auf 0 V. Die Wortleitungen WL1 bis WL4 werden während der Periode zwischen der Zeit t5 und der Zeit t6 rückgesetzt.

[0113] Nach der zur Zeit t1 bis zur Zeit t6 durchgeführten Datenschreiboperation (**Fig.** 11) wird eine Schreibverifizierung bewirkt, um zu erfassen, ob die Daten in die Speicherzelle geschrieben worden sind oder nicht. Wie die Schreibverifizierung ausgeführt wird, wird unter Bezugnahme auf das Zeitdiagramm der **Fig.** 12 erklärt. Hier soll angenommen sein, dass zwei der Bitleitungen BL1 bis BL4223, d. h. die Bitleitungen BLi und BLi + 1, ausgewählt sind, dass die Wortleitung WL2 ausgewählt ist und dass das Signal CMOD auf "L" eingestellt ist, um Zwei-Wert-Daten zu speichern.

[0114] Zur Zeit t1 werden die Signale BLC1 und BLC2 auf den "H"-Pegel eingestellt, was die Bitleitungen BLi und BLi + 1 auswählt. Zur Zeit t2 werden die Spannungen VBL1 und VBL2 auf VCC eingestellt, wodurch die Bitleitungen BLi und BLi + 1 während der Periode zwischen der Zeit t2 und der Zeit t3 auf den "H"-Pegel geladen werden. Zur Zeit t3 werden die Signale PRE1 und PRE2 auf den "L"-Pegel eingestellt, was die Bitleitungen BLi und BLi + 1 von den Spannungsquellen VBL1 bzw. VBL2 trennt. Ebenso werden zur Zeit t3 die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Die Wortleitung WL2 wird dadurch zur Zeit t3 auf 0,4 V eingestellt.

[0115] Wenn die Wortleitung WL2 auf 0,4 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wie es in **Fig.** 12 bei (1) angezeigt ist, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die das Steuerdatenelement "1" speichert, den Zustand zum Speichern des Datenelements "1" angenommen hat. Die Bitleitung BLi wird auf den "L"-Pegel eingestellt, wie es in **Fig.** 12 bei (2) gezeigt ist, wenn diese Speicherzelle den Zustand zum Speichern des Datenelements "1" noch nicht angenommen hat. Die Bitleitung BLi bleibt auf dem "H"-Pegel, wie es in **Fig.** 12 bei (1) dargestellt ist, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die das Steuerdatenelement "0" speichert, den Zustand zum Speichern des Datenelements "1" angenommen hat. Die Bitleitung BLi wird auf den "L"-Pegel eingestellt, wie es in **Fig.** 12 bei (2) gezeigt ist, wenn diese Speicherzelle M den Zustand zum Speichern des Datenelements "1" nicht angenommen hat.

[0116] Zur Zeit t10 werden die Signale SEN1 und SEN2 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BL während der Periode zwischen der Zeit t5 und der Zeit t6 gelesen wird. Nur dann, wenn die Speicherzelle M, die an die Datenspeicherschaltung **9** angeschlossen ist, die das Steuerdatenelement "1" speichert, den Zustand zum Speichern des Datenelements "1" angenommen hat, ändern sich die Unterdaten zu "0". In jedem anderen Fall bleiben die ersten Unterdaten unverändert.

[0117] Wenn die beschriebene Schreibverifizierung (WV) durchgeführt wird, werden die in der Datenspeicherschaltung **9** gespeicherten Steuerdatenelemente gemäß den Datenspeicherzuständen der Speicherzellen geändert, wie es in der folgenden Tabelle 6 gezeigt ist.

Tabelle 6

Datenspeicherzustand der Speicherzelle	Unterdaten vor WV	Unterdaten nach WV
0 oder 1	0	0
Noch nicht für 1	1	1
1	1	0

[0118] Datenelemente werden in die Speicherzellen durch Wiederholen der Datenschreiboperation (t1 bis t6, **Fig.** 11) und der Schreibverifizierung (**Fig.** 12) geschrieben, bis sich alle Unterdatenelemente (Steuerdatenelemente) zu "0" ändern. Der Datenspeicherzustand einer Speicherzelle M ändert sich nicht, wenn die Zelle M an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "0" speichert. Die Speicherzelle M nimmt den Wert zum Speichern des Datenelements "1" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "1" speichert. Ob alle Steuerdatenelemente "0" sind, kann durch Erfassen bestimmt werden, ob die Signalleitung PT (**Fig.** 6) auf das Erdpotential eingestellt ist oder nicht. Dies ist deshalb so, weil die Leitung PT dann nicht auf das Erdpotential eingestellt ist, wenn alle Steuerdatenelemente "0" sind. Die Spannung an irgendeiner Wortleitung WL, die ausgewählt ist, um Daten zu schreiben, kann nach und nach erhöht werden.

[0119] Eine nichtflüchtige Halbleiterspeichervorrichtung (ein EEPROM) gemäß dem ersten Aspekt der vorliegenden Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, die jeweils ein n-wertiges Datenelement speichern können, wobei n ≥ 3 gilt, eine Vielzahl von Bitleitungen BL, eine Vielzahl von Wortleitungen WL und eine Vielzahl von Datenspeicherschaltungen **9**, die jeweils an eine Bitleitung BL angeschlossen sind, zum Speichern eines Steuerdatenelements, das eine an die Bitleitung BL anzulegende Schreibsteuerspannung bestimmt, um dadurch Datenelemente in die an die Bitleitung BL angeschlossenen Speicherzellen zu schreiben. Die Speichervorrichtung ist dadurch gekennzeichnet, dass jede Datenspeicherschaltung **9** die Schreibsteuerspannung und ein Lesebitleitungssignal zu der Bitleitung BL gemäß dem Steuerdatenelement zuführt, einen Signalpegel des Lesebitleitungssignals erfasst, der in Reaktion auf den Datenspeicherzustand der Speicherzelle M umgewandelt ist, und das Steuerdatenelemente auf der Basis des Datenspeicherzustands der Speicherzelle M ändert.

[0120] Das Folgende sind bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem ersten Aspekt der vorliegenden Erfindung.

(1) Jede der Datenspeicherschaltungen **9** weist eine Unterdatenschaltung **20** (Qp1, Qp2, Qn1, Qn2, Qn3, Qn4 und Qn6) und eine Unterdatenschaltung **21** (Qp4, Qp5, Qn10, Qn11, Qn12, Qn13, Qn15 und Qn16) auf, die jeweils zum Speichern eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dienen. Jede der Unterdatenschaltungen **20** und **21** ändert das Unterdatenelement des ersten Signalpegels, welches gespeichert ist, zu einem Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals und hält das Unterdatenelement des zweiten Signalpegels.

(2) Jede der Speicherzellen M kann ein vierwertiges Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen **20** und **21**.

(3) Jede der Speicherzellen M kann ein dreiwertiges Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen **20** und **21**.

[0121] Eine nichtflüchtige Halbleiterspeichervorrichtung (EEPROM) gemäß dem zweiten Aspekt der Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, die jeweils einen von Datenschreibzuständen entsprechend n Datenspeicherpegeln annehmen, wobei n ≥ 3 gilt, eine Vielzahl von Bitleitungen BL, eine Vielzahl von Wortleitungen WL und eine Vielzahl von Datenspeicherschaltungen **9**, die jeweils an eine Bitleitung BL angeschlossen sind, zum Speichern von einen von n Steuerdatenelementen von n logischen Pegeln wobei n ≥ 3 gilt, was eine an die Bitleitung BL anzulegende Schreibsteuerspannung bestimmt, um dadurch Datenelemente in die an die Bitleitung BL angeschlossenen Speicherzellen zu schreiben. Die Speichervorrichtung ist in Hinsicht auf einige Merkmale charakterisiert. Zuerst führt jede Datenspeicherschaltung **9** die Schreibsteuerspannung zu der Bitleitung BL gemäß dem Steuerdatenelement zu. Als zweites führt jede Datenspeicherschaltung **9** ein Lesebitleitungssignal zu der Bitleitung BL zu, wenn das Steuerdatenelement auf dem i-ten logischen Pegel oder dem ersten logischen Pegel ist, um dadurch zu erfassen, ob der Datenschreibzustand der Speicherzelle M, die an die Datenspeicherschaltung **9** angeschlossen ist, die ein Steuerdatenelement auf dem i-ten logischen Pegel (i = 2 bis n) speichert, durch den i-ten Datenspeicherpegel identifiziert wird, der dem i-ten logischen Pegel entspricht. Als Drittes erfasst jede Daten-

speicherschaltung **9** einen Signalpegel des Lesebitleitungssignals, das in Reaktion auf den Datenspeicherzustand der Speicherzelle M umgewandelt ist, und ändert das Steuerdatenelement auf der Basis des Datenspeicherzustands der Speicherzelle M.

[0122] Das Folgende sind bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem zweiten Aspekt der vorliegenden Erfindung.

(1) Jede der Datenspeicherschaltungen **9** weist eine Unterdatenschaltung **20** (Qp1, Qp2, Qn1, Qn2, Qn3, Qn4 und Qn6) und eine Unterdatenschaltung **21** (Qp4, Qp5, Qn10, Qn11, Qn12, Qn13, Qn15 und Qn16) auf, die jeweils zum Speichern eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dienen. Jede der Unterdatenschaltungen **20** und **21** ändert das Unterdatenelements des ersten Signalpegels, das gespeichert ist, zu einem Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals und hält das Unterdatenelement des zweiten Signalpegels.

(2) Jede der Speicherzellen M kann ein vierwertiges Datenelement speichern und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen **20** und **21**.

(3) Jede der Speicherzellen M kann ein dreiwertiges Datenelement speichern und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen **20** und **21**.

[0123] Eine nichtflüchtige Halbleiterspeichervorrichtung (ein EEPROM) gemäß dem dritten Aspekt der Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, eine Vielzahl von Bitleitungen BL, eine Vielzahl von Wortleitungen WL, eine Schalteinrichtung **7**, die einen ersten Zustand annehmen kann, um vier Datenschreibzustände für jede Speicherzellen M einzustellen, und einen zweiten Zustand, um zwei Datenschreibzustände für jede Speicherzelle M einzustellen, und eine Vielzahl von Unterdatenschaltungen (Qp1, Qp2, Qn1, Qn2, Qn3, Qn4 und Qn6) und (Qp4, Qp5, Qn10, Qn11, Qn12, Qn13, Qn15 und Qn16), die jeweils zum Speichern eines Unterdatenelements dienen. Die Speichervorrichtung ist in zweierlei Hinsicht charakterisiert. Zuerst arbeitet, während die Schalteinrichtung **7** im ersten Zustand bleibt, jedes Paar der Unterdatenschaltungen **20** und **21** als eine einzige Datenspeicherschaltung **9**, und die Datenspeicherschaltung **9** ist elektrisch an eine Bitleitung BL angeschlossen und speichert ein durch zwei Unterdatenelemente definiertes Steuerdatenelement. Das Steuerdatenelement bestimmt eine Schreibsteuerspannung, die an ihre jeweilige Bitleitung BL anzulegen ist, um einen der vier Datenschreibzustände in die Speicherzellen M einzustellen, die an die Bitleitung BL angeschlossen sind. Als Zweites arbeitet, während die Schalteinrichtung **7** im zweiten Zustand bleibt, jede Unterdatenschaltung **20** oder **21** als einzige Datenspeicherschaltung **9**, und jede Datenspeicherschaltung **9** ist elektrisch an eine Bitleitung BL angeschlossen und speichert ein durch ein Unterdatenelement definiertes Steuerdatenelement. Das Steuerdatenelement bestimmt eine Schreibsteuerspannung, die an ihre jeweilige Bitleitung BL anzulegen ist, um einen der zweite Datenschreibzustände in die Speicherzellen M einzustellen, die an die Bitleitung BL angeschlossen sind.

[0124] Das Folgende ist ein bevorzugtes Ausführungsbeispiel der Speichervorrichtung gemäß dem dritten Aspekt der Erfindung. Jede der Unterdatenschaltungen **20** und **21** speichert ein Unterdatenelement eines ersten Signalpegels oder eines zweiten Signalpegels und ändert das Unterdatenelement des ersten Signalpegels, das gespeichert ist, zu einem Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Pegel eines Bitleitungssignals und hält das Unterdatenelement des zweiten Signalpegels.

[0125] Eine nichtflüchtige Halbleiterspeichervorrichtung (ein EEPROM) gemäß dem vierten Aspekt der Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, eine Vielzahl von Bitleitungen BL und eine Vielzahl von Wortleitungen WL, eine Schalteinrichtung **7**, die einen ersten Zustand annehmen kann, um drei Datenschreibzustände für jede Speicherzelle M einzustellen, und einen zweiten Zustand, um zwei Datenschreibzustände für jede Speicherzelle M einzustellen, eine Vielzahl von Unterdatenschaltungen (Qp1, Qp2, Qn1, Qn2, Qn3, Qn4 und Qn6) und (Qp4, Qp5, Qn10, Qn11, Qn12, Qn13, Qn15 und Qn16), die jeweils zum Speichern eines Unterdatenelements dienen. Die Speichervorrichtung ist dadurch charakterisiert, dass, während die Schalteinrichtung **7** im ersten Zustand bleibt, jedes Paar der Unterdatenschaltungen **20** und **21** als einzelne Datenspeicherschaltungen **9** arbeitet, und jede Datenspeicherschaltung **9** ist elektrisch an eine Bitleitung BL angeschlossen und speichert ein durch zwei Unterdatenelemente definiertes Steuerdatenelement. Das Steuerdatenelement bestimmt eine Schreibsteuerspannung, die an die Bitleitung BL anzulegen ist, um einen der drei Datenschreibzustände in die Speicherzellen M einzustellen, die an die Bitleitung BL angeschlossen sind. Als Zweites arbeitet, während die Schalteinrichtung **7** im zweiten Zustand bleibt, jede der Unterdatenschaltungen **20** und **21** als einzelne Datenspeicherschaltung **9**, und jede Datenspeicherschaltung **9** ist elektrisch an eine Bitleitung BL angeschlossen und speichert ein durch ein Unterdatenelement definiertes Steuerdatenelement. Das Steuerdatenelement bestimmt eine Schreibsteuerspannung, die an ihre jeweilige Bitleitung BL anzulegen ist, um einen der zweiten Datenschreibzustände in die Speicherzellen M einzustellen, die an die Bitleitung BL angeschlossen sind.

[0126] Das Folgende ist ein bevorzugtes Ausführungsbeispiel der Speichervorrichtung gemäß dem vierten Aspekt der Erfindung.

[0127] Jede der Unterdatenschaltungen **20** und **21** speichert ein Unterdatenelement eines ersten Signalpe-

gels oder eines zweiten Signalpegels und ändert das Unterdatenelement des ersten Signalpegels, das gespeichert ist, zu einem Unterdatenelement des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Pegel eines Bitleitungssignals und hält das Unterdatenelement des zweiten Signalpegels.

[0128] Eine nichtflüchtige Halbleiterspeichervorrichtung (ein EEPROM) gemäß dem fünften Aspekt der Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, von welchen jede ein n-wertiges Datenelement speichern kann, wobei n > 3 gilt, eine Vielzahl von Bitleitungen BL, eine Vielzahl von Wortleitungen WL und eine Vielzahl von Datenspeicherschaltungen **9**, die jeweils an eine Bitleitung BL angeschlossen sind. Die Speichervorrichtung ist dadurch gekennzeichnet, dass jede Datenspeicherschaltung **9** ein Datenelement speichert und ein Lesebitleitungssignal zur Bitleitung BL gemäß dem Datenelement zuführt, einen Signalpegel des in Reaktion auf das in der an die Bitleitung angeschlossenen Speicherzelle gespeicherte Datenelement umgewandelten Lesebitleitungssignals erfasst und den Signalpegel des so erfassten Lesebitleitungssignals speichert.

[0129] Das Folgende sind bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem fünften Aspekt der vorliegenden Erfindung.

(1) Jede der Datenspeicherschaltungen **9** weist eine Unterdatenschaltung **20** (Qp1, Qp2, Qn1, Qn2, Qn3, Qn4 und Qn6) und eine Unterdatenschaltung **21** (Qp4, Qp5, Qn10, Qn11, Qn12, Qn13, Qn15 und Qn16) auf, die jeweils zum Speichern von Unterdaten eines ersten Signalpegels oder eines zweiten Signalpegels dienen. Jede der Unterdatenschaltungen **20** und **21** ändert die Unterdaten des ersten Signalpegels, die gespeichert sind, zu Unterdaten des zweiten Signalpegels in Reaktion auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals und hält die Unterdaten des zweiten Signalpegels.

(2) Jede der Speicherzellen M kann ein vierwertiges Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen **20** und **21**.

(3) Jede der Speicherzellen M kann ein dreiwertiges Datenelement speichern, und jede der Datenspeicherschaltungen enthält zwei Unterdatenschaltungen **20** und **21**.

[0130] Wie es oben beschrieben ist, kann der EEPROM, der das erste Ausführungsbeispiel der Erfindung ist, n-wertige Daten speichern, wobei n ≥ 3 gilt. Bei diesem EEPROM wird ein Lesesignal zu ausgewählten Speicherzellen gemäß dem in einer jeweiligen Datenspeicherschaltung gespeicherten Steuerdatenelement zugeführt. Das in einer Datenspeicherschaltung gespeicherte Steuerdatenelement kann daher auf einfache Weise geändert werden, und die Struktur des EEPROM kann einfacher als sonst sein. Da ein Lesesignal zu ausgewählten Speicherzellen zugeführt wird, können Daten auf einfache Weise aus den ausgewählten Speicherzellen gelesen werden. Dies hilft auch, die Struktur des EEPROM zu vereinfachen, was es ermöglicht, einen nicht teuren EEPROM zur Verfügung zu stellen.

[0131] Jede der Datenspeicherschaltungen zum Speichern von Steuerdatenelementen kann zum Schreiben von vierwertigen Datenelementen in die Speicherzellen verwendet werden. Jede Datenspeicherschaltung kann in zwei Einheiten unterteilt werden. Dann kann jede Einheit Steuerdatenelemente speichern, die zum Schreiben von zweiwertigen Datenelementen in die Speicherzelle verwendet werden. Wenn es so ist, werden die Datenspeicherschaltungen, die im EEPROM enthalten sind, nicht redundant. Somit ist der EEPROM weniger teuer als sonst.

[0132] Alternativ kann jede Datenspeicherschaltung dazu verwendet werden, dreiwertige Datenelemente in die Speicherzellen zu schreiben, und kann in zwei Einheiten unterteilt werden. Somit kann jede Einheit Steuerdatenelemente speichern, die zum Schreiben von zweiwertigen Datenelementen in die Speicherzelle verwendet werden. In diesem Fall werden ebenso die Datenspeicherschaltungen, die im EEPROM enthalten sind, nicht redundant, und der EEPROM wird weniger teuer als sonst.

[0133] **Fig.** 13 zeigt die Speicherzellenmatrix **1** und eine der identischen Datenspeicherschaltungen **9**, die in einem nichtflüchtigen Halbleiterspeicher (EEPROM) enthalten sind, der ein zweites Ausführungsbeispiel der vorliegenden Erfindung ist. Der EEPROM ist zum Speichern von vierwertigen Daten entworfen, wie der EEPROM gemäß dem ersten Ausführungsbeispiel.

[0134] Wie es in **Fig.** 13 gezeigt ist, weist die Datenspeicherschaltung **9** eine erste Unterdatenschaltung **22** und eine zweite Unterdatenschaltung **23** auf. Die Schaltungen **22** und **23** führen dieselbe Funktion wie die Unterdatenschaltungen **20** und **21** durch, die beim ersten Ausführungsbeispiel verwendet werden. Jede der Schaltungen **22** und **23** ist um eine Bitleitung BL (BLi oder BLi + 1) angeschlossen. Zum Schreiben von Datenelementen in die Speicherzellen M, die an die Bitleitung angeschlossen sind, speichert jede Unterdatenschaltung ein Unterdatenelement "0" oder "1", ändert ein Unterdatenelement "1", das gespeichert ist, wenn der Knoten N(i, i + 1) auf den "H"-Pegel eingestellt ist, zu einem Unterdatenelement "0" und hält das so erhaltene Unterdatenelement "0". Zum Lesen von Datenelementen aus den Speicherzellen M, die an die Bitleitung BL angeschlossen sind, speichert die erste Unterdatenschaltung **22** ein Unterdatenelement "1" oder "0", ändert ein Unterdatenelement "1", das gespeichert ist, wenn der Knoten N(i, i + 1) auf den "H"-Pegel eingestellt ist, zu einem gelesenen Unterdatenelement "0" und hält das gelesene Unterdatenelement "0".

[0135] Die erste Unterdatenschaltung **22** ist durch getaktete Inverter CI1 und CI2 und n-Kanal-MOS-Transis-

toren Qn32, Qn33 und Qn34 gebildet. Die zweite Unterdatenschaltung **23** ist durch getaktete Inverter CI3 und CI4 und n-Kanal-MOS-Transistoren Qn38, Qn39 und Qn40 gebildet. Während der Knoten N(i, i + 1) auf dem "H"-Pegel bleibt, speichert die Schaltung **22** ein zu lesendes erstes Unterdatenelement "1". Während der Knoten N(i, i + 1) auf dem "H"-Pegel bleibt, speichert die Schaltung **23** ein zu lesendes zweites Unterdatenelement "1". Während der Knoten N(i, i + 1) auf dem "L"-Pegel bleibt, speichert die erste Unterdatenschaltung **22** ein zu lesendes erstes Unterdatenelement "0" und speichert die zweite Unterdatenschaltung **23** ein zu lesendes erstes Unterdatenelement "0".

[0136] Die n-Kanal-MOS-Transistoren Qn31 und Qn37 sind vorgesehen, um die Unterdatenschaltungen **22** bzw. 23 elektrisch an die Eingabe/Ausgabe-Leitung IO anzuschließen. Die Gateelektrode des n-Kanal-MOS-Transistors Qn31 empfängt ein Ausgangssignal CSLi, das von dem in **Fig.** 1 gezeigten Spaltendecodierer **3** ausgegeben wird. Die Gateelektrode des n-Kanal-MOS-Transistors Qn37 empfängt ein Ausgangssignal CSLi + 1, das vom Spaltendecodierer **3** ausgegeben wird. Wenn sich das Signal CSLi zum "H"-Pegel ändert, wird die erste Unterdatenschaltung **22**, die in der Datenspeicherschaltung **9** enthalten ist, die an die Bitleitungen BLi und BLi + 1 angeschlossen ist, elektrisch an die Eingabe/Ausgabe-Leitung IO angeschlossen. Die Daten-Eingabe/Ausgabe-Leitung IO ist an einen in **Fig.** 1 gezeigten Daten-Eingabe/Ausgabe-Puffer 4 angeschlossen. Die Unterdaten, die auszulesen sind, können dadurch zu dem Daten-Eingabe/Ausgabe-Puffer 4 ausgegeben werden. Die Daten-Eingabe/Ausgabe-Leitung IO ist vorgesehen, um Daten zu allen Datenspeicherschaltungen **9**, die in **Fig.** 2 gezeigt sind, einzugeben und um Daten daraus auszugeben.

[0137] Der n-Kanal-MOS-Transistor Qn35 steuert den elektrischen Anschluss der ersten Unterdatenschaltung **23** an die Bitleitung BLi. Der n-Kanal-MOS-Transistor Qn41 steuert den elektrischen Anschluss der zweiten Unterdatenschaltung **23** an die Bitleitung BLi + 1. Signale BLC1 und BLC2 werden jeweils zu den MOS-Transistoren Qn35 und Qn41 zugeführt. Während die Signale BLC1 und BLC2 jeweils auf dem "H"-Pegel und dem "L"-Pegel bleiben, werden beide Unterdatenschaltungen **22** und **23** elektrisch an die Bitleitung BLi angeschlossen. Andererseits werden dann, während die Signale BLC1 und BLC2 jeweils auf dem "L"-Pegel und dem "H"-Pegel bleiben, beide Unterdatenschaltungen **22** und **23** elektrisch an der Bitleitung BLi + 1 angeschlossen.

[0138] Der n-Kanal-MOS-Transistor Qn36 steuert den elektrischen Anschluss der Bitleitung BLi an eine Spannungsquelle VBL1. Der n-Kanal-MOS-Transistor Qn42 steuert den elektrischen Anschluss der Bitleitung BLi + 1 an eine Spannungsquelle VBL2. Signale PRE1 und PRE2 werden jeweils zu den MOS-Transistoren Qn36 und Qn42 zugeführt. Während das Signal PRE1 auf dem "H"-Pegel bleibt, wird die Bitleitung BLi elektrisch an die Spannungsquelle VBL1 angeschlossen. Gleichermaßen wird, während das Signal PRE2 auf dem "H"-Pegel bleibt, die Bitleitung BLi + 1 elektrisch an die Spannungsquelle VBL2 angeschlossen.

[0139] Der Knoten N(i, i + 1) ist auf einer Datenübertragungsleitung **24** vorgesehen und an eine Elektrode eines Kondensators CAP1 angeschlossen. Ein Signal, das den Datenschreibzustand der Speicherzellen M anzeigt, die an die Bitleitung BLi angeschlossen sind, wird über die Bitleitung BLi zum Knoten N(i, Ni + 1) zugeführt. Gleichermaßen wird ein Signal, das den Datenschreibzustand der Speicherzellen M anzeigt, die an die Bitleitung BLi + 1 angeschlossen sind, über die Bitleitung BLi + 1 zum Knoten N(i, i + 1) zugeführt. Bei der ersten Unterdatenschaltung **22** erfasst der getaktete Inverter CI1 den logischen Pegel des zum Knoten N(i, i + 1) zugeführten Signals. Bei der zweiten Unterdatenschaltung **23** erfasst der getaktete Inverter CI2 den logischen Pegel des zum Knoten N(i, i + 1) zugeführten Signals. Anders ausgedrückt erfassen die Inverter CI1 und CI2 den Absolutwert der an den Knoten N(i, Ni + 1) angelegten Spannungen. Die getakteten Inverter CI1 und CI3 können durch zwei Differential-Leseverstärker ersetzt werden. Wenn dies der Fall ist, erfasst ein Differential-Leseverstärker als logischen Pegel die Differenz zwischen einer Referenzspannung und dem Absolutwert der an den Knoten N(i, i + 1) angelegten Spannung und erfasst der andere Differential-Leseverstärker als logischen Pegel die Differenz zwischen der Referenzspannung dem Absolutwert der an den Knoten N(i, i + 1) angelegten Spannung. Die andere Elektrode des Kondensators CAP1 ist auf Erde gelegt. Der Kondensator CAP1 kann eine Kapazität zwischen zwei Verdrahtungsschichten oder zwischen einer Verdrahtungsschicht und dem Halbleitersubstrat sein. Alternativ kann der Kondensator CAP1 ein n-Kanal-MOS-Transistor mit einer ausreichend niedrigen Schwellenspannung sein, dessen Gateanschluss an den Knoten N(i, Ni + 1) angeschlossen ist und dessen Sourceanschluss und Drainanschluss auf Erde gelegt sind.

[0140] Die getakteten Inverter CI1 und CI2 haben dieselbe Struktur, die in den **Fig.** 14A und 14B dargestellt ist. **Fig.** 14A ist ein Symboldiagramm und **Fig.** 14B ist ein Schaltungsdiagramm. W Steuerdatenelemente es in **Fig.** 14B gezeigt ist, weist jeder getaktete Inverter CI zwei n-Kanal-MOS-Transistoren Qn43 und Qn44 und zwei p-Kanal-MOS-Transistoren Qp11 und Qp12 auf. Der n-Kanal-MOS-Transistor Qn43 und der p-Kanal-MOS-Transistor Qp12 bilden eine Inverterschaltung. Ein Signal wird zum Eingangssignalanschluss IN der Inverterschaltung zugeführt. Die Inverterschaltung invertiert das Signal. Das invertierte Signal wird vom Ausgangsanschluss OUT der Inverterschaltung zugeführt. Der n-Kanal-MOS-Transistor Qn44 und der p-Kanal-MOS-Transistor Qp11 kooperieren zum Aktivieren oder zum Deaktivieren der Inverterschaltung gemäß einem Signal CLOCK und einem CLOCKB, das durch Invertieren des Signals CLOCK erzeugt wird. Wenn die Signale CLOCK und CLOCKB jeweils auf dem "H"-Pegel und dem "L"-Pegel sind, wird der Inverter CI aktiviert.

Wenn die Signale CLOCK und CLOCKB jeweils auf dem "L"-Pegel und dem "H"-Pegel sind, wird der Inverter CI deaktiviert.

[0141] Signale SEN1, SEN2, LAD1, LAD2, PRO1, PRO2, BLC1, BLC2, PREI, PRE2, VRFY1 und VRFY2 und Spannungen VBL1, VBL2 und VREG werden durch die in **Fig.** 1 gezeigte Steuersignal/Spannungs-Erzeugungsschaltung **7** erzeugt. Diese Signale und Spannungen werden zu allen in **Fig.** 2 gezeigten Datenspeicherschaltungen 9 zugeführt und daran angelegt. Die Leistungsversorgungsspannung VCC ist beispielsweise 3,3 V.

[0142] Bei der ersten Unterdatenschaltung **2i**: (**Fig.** 13) stellen die n-Kanal-MOS-Transistoren Qn33 und Qn34 die Spannung am Knoten N(i, i + 1) ein, bevor das Signal PRO1 auf den "H"-Pegel ansteigt und der getaktete Inverter CI1 die Spannung am Knoten N(i, i + 1) erfasst. Die Spannung am Knoten N(i, i + 1) ist auf dem "H"-Pegel, während die ersten Unterdaten "0" bleiben. Wenn das Signal PRO1 auf den "H"-Pegel ansteigt, wird die Spannung auf dem "H"-Pegel vom Knoten N(i, i + 1) an den Eingangsanschluss des Inverters CI1 angelegt. Der Knoten N(i, i + 1) wird dadurch auf den "L"-Pegel eingestellt. Der getaktete Inverter CI2 speichert ein erstes Unterdatenelement "0". Somit bleibt das in der ersten Unterdatenschaltung 22 gespeicherte erste Unterdatenelement "0". Wenn das in der Schaltung **22** gespeicherte Unterdatenelement "1" ist, wird es zu einem Unterdatenelement "0" geändert, wenn der Knoten N(i, i + 1) auf den "H"-Pegel eingestellt wird, und bleibt unverändert, wenn der Knoten N(i, i + 1) auf den "L"-Pegel eingestellt ist.

[0143] Bei der zweiten Unterdatenschaltung **23** (**Fig.** 13) stellen die n-Kanal-MOS-Transistoren Qn39 und Qn40 die Spannung am Knoten N(i, i + 1) ein, bevor das Signal PRO2 auf den "H"-Pegel ansteigt und der getaktete Inverter CI3 die Spannung am Knoten N(i, i + 1) erfasst. Die Spannung am Knoten N(i, i + 1) ist auf dem "H"-Pegel, während die zweiten Unterdaten "0" bleiben. Wenn das Signal PRO2 auf der. "H"-Pegel ansteigt, wird die Spannung auf dem "H"-Pegel vom Knoten N(i, i + 1) an den Eingangsanschluss des Inverters CI1 angelegt. Der Knoten N(i, i + 1) wird dadurch auf den "L"-Pegel eingestellt. Der getaktete Inverter CI4 speichert ein erstes Unterdatenelement "0". Somit bleibt das in der zweiten Unterdatenschaltung **23** gespeicherte zweite Unterdatenelement: "0". Wenn das in der Schaltung **22** gespeicherte Unterdatenelement "1" ist, wird es zu einem Unterdatenelement "0" geändert, wenn der Knoten N(i, i + 1) auf den "H"-Pegel eingestellt ist, und bleibt unverändert, wenn der Knoten N(i, i + 1) auf den "L"-Pegel eingestellt ist.

[0144] Die erste Unterdatenschaltung **22** und die zweite Unterdatenschaltung **23** können durch verschiedene Schaltungen ersetzt werden, die entwickelt sind, um dieselbe Funktion wie die Schaltungen **22** und **23** durchzuführen.

[0145] **Fig.** 15 stellt die Schaltung dar, die peripher zu der Datenspeicherschaltung **9** ist, welche in **Fig.** 13 gezeigt ist. Die periphere Schaltung weist n-Kanal-MOS-Transistoren Qn45 bis Qn48 und eine Signalleitung PT auf. Die Gateelektrode des MOS-Transistors Wn45 ist an den Knoten N(i, i + 1) angeschlossen. Ebenso an den Knoten N(i, i + 1) angeschlossen ist ein Ende des Strompfads des MOS-Transistors Qn47. Die Gateelektrode des MOS-Transistors Qn46 ist an den Knoten N(i, i + 1) in der zweiten Unterdatenschaltung **23** angeschlossen.

[0146] Angeschlossen an den Knoten N(i, i + 1) ist ein Ende des Strompfads des MOS-Transistors Qn48. Die n-Kanal-MOS-Transistoren Qn45 und Qn46 bilden eine Schaltung zum Erfassen, ob alle Unterdatenschaltungen Unterdatenelemente "0" speichern oder nicht. Wenn alle Unterdatenschaltungen Unterdatenelemente "0" speichern, wird die Signalleitung PT nicht auf das Erdpotential eingestellt. Wenn eine der Unterdatenschaltungen Unterdaten "1" speichert, wird die Signalleitung PT auf das Erdpotential eingestellt. Die n-Kanal-MOS-Transistoren Qn47 und Qn48 bilden eine Schaltung zum Speichern von Unterdaten "0" in alle Unterdatenschaltungen. Unterdaten "0" werden in 4224 Unterdatenschaltungen gespeichert, wenn ein Signal PRST auf den "H"-Pegel ansteigt.

[0147] Wie vierwertige Daten aus den Speicherzellen des EEPROM gelesen werden, wird unter Bezugnahme auf die Zeitdiagramm der **Fig.** 16 und 17 erklärt. Es soll angenommen werden, dass eine der Bitleitungen BL0 bis BL4222, d. h. die Bitleitung BLi, ausgewählt ist, dass die Wortleitung WL2 ausgewählt ist und dass das Signal CMOD auf den "H"-Pegel eingestellt ist, um vierwertige Daten zu lesen. Wenn drei Datenspeicherpegel vorgesehen sind, können dreiwertige Daten aus den Speicherzellen des EEPROM gelesen werden. Da die Spannung VBL2, das Signal BLC2 und das Signal PRE2 auf 0 V bleiben, nämlich dem "L"-Pegel und dem "H"-Pegel, sind sie in **Fig.** 16 oder **Fig.** 17 nicht gezeigt.

[0148] Zuerst wird zu einer Zeit t1 die Spnnung VBL1 auf VCC eingestellt, wodurch die Bitleitung BLi auf den "H"-Pegel geladen wird. Zu einer Zeit t2 wird das Signal PREI auf den "L"-Pegel eingestellt, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Ebenso werden zur Zeit t2 die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitung WL1, WL3 und WL4 auf die Leistungsversorgungsspannung VCC eingestellt. Die Wortleitung WL2 wird dadurch zur Zeit t2 auf 1,8 V eingestellt.

[0149] Die nachfolgende Tabelle 7 zeigt die Beziehung zwischen vier Datenelementen, die jede Speicherzelle M speichern kann, und den Schwellenspannungen, die die Speicherzelle zum Speichern der vier Datenelemente jeweils hat.

Tabelle 7

Datenelement	Schwellenspannung
0	0 V oder darunter
1	0,4 V - 0,8 V
2	1,2 V - 1,6 V
3	2,0 V - 2,4 V

[0150] Wenn das Potential der Wortleitung WL2 auf 1,8 V ansteigt, bleibt die Bitleitung BLi auf dem "H"-Pegel, wenn die Speicherzelle M das Datenelement "3" speichert. Wenn die Speicherzelle M irgendein anderes Datenelement (d. h. "0", "1" oder "2") speichert, wird die Bitleitung BLi auf den "L"-Pegel eingestellt werden. Dann wird zu einer Zeit t3 das Signal BLC1 auf den "H"-Pegel eingestellt, wodurch die Spannung an der Bitleitung BLi an den Knoten N(i, i + 1) angelegt wird. Wenn das Signal BLC1 auf den "L"-Pegel abfällt, steigt das Signal PRE1 zur Zeit t4 auf den "H"-Pegel an, wodurch die Bitleitung BLi auf eine Spannung VBL1 von 0 V rückgesetzt wird. Zur Zeit t5 werden die Signale SEN1 und LAT1 auf den "L"-Pegel eingestellt, was beide getakteten Inverter CI1 und CI2 deaktiviert. Das Signal PRO1 steigt zur Zeit t6 auf den "H"-Pegel an, und dies tut auch das Signal SEN1 zur Zeit t7. Der getaktete Inverter CI1 wird dadurch aktiviert, was die Spannung am Knoten N(i, i + 1) erfasst. Zur Zeit t8 wird das Signal LAT1 auf den "H"-Pegel eingestellt, was den getakteten Inverter CI2 aktiviert. Der Inverter CI2 erfasst die Spannung am Knoten N(i, i + 1). Als Ergebnis wird der logische Pegel des Signals am Knoten N(i, i + 1) zwischengespeichert. Zur Zeit t9 steigt das Signal PRO1 auf den "H"-Pegel an, wodurch automatisch bestimmt wird, ob die Speicherzelle M eine Schwellenspannung von 1,8 V oder darüber hat. Die ersten Unterdaten zum Lesen aus der ersten Unterdatenschaltung **22** sind nur dann "0", wenn die Speicherzelle M ein Datenelement "3" speichert. Wenn die Zelle M irgendein anderes Datenelement, wie "0", "1" oder "2" speichert, sind die ersten Unterdaten "1".

[0151] Dann wird erfasst, ob die Speicherzelle M eine Schwellenspannung von 1,0 V oder darüber hat oder nicht. Zur Zeit t10 wird die Spannung VBL1 auf VCC eingestellt, was die Bitleitung BLi auf den "H"-Pegel lädt. Zur Zeit t11 wird das Signal PREI auf den "L"-Pegel eingestellt, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 werden dadurch auf die Leistungsversorgungsspannung VCC eingestellt, und die Wortleitung WL2 wird daher auf 1,0 V eingestellt.

[0152] Wenn die Wortleitung WL2 auf 1,0 V eingestellt ist, bleibt die Bitleitung BLi nur dann auf dem "H"-Pegel, wenn das in der Speicherzelle M gespeicherte Datenelement entweder "3" oder "2" ist. In jedem anderen Fall ist die Bitleitung BLi auf den "L"-Pegel eingestellt. Danach wird zur Zeit t12 das Signal BLC1 auf den "H"-Pegel eingestellt, was die an die Bitleitung BLi angelegte Spannung an den Knoten N(i, i + 1) anlegt. Wenn das Signal BLC1 auf den "L"-Pegel abfällt, steigt das Signal PRE1 zur Zeit t13 auf den "H"-Pegel an. Die Bitleitung BLi wird dadurch auf 0 V rückgesetzt, d. h. die Spannung VBL1. Zur Zeit t14 werden die Signale SEN2 und LAT2 auf den "L"-Pegel eingestellt, was beide getakteten Inverter CI3 und CI4 deaktiviert. Das Signal PRO2 steigt zur Zeit t15 auf den "H"-Pegel an, und dies tut auch das Signal SEN2 zur Zeit t16. Der getaktete Inverter CI3 wird dadurch aktiviert, was die Spannung am Knoten N(i, i + 1) erfasst. Zur Zeit t17 wird das Signal LAT2 auf den "H"-Pegel eingestellt, was den getakteten Inverter CI aktiviert. Der Inverter CI4 erfasst die Spannung am Knoten N(i, i + 1). Als Ergebnis wird der logische Pegel des Signals am Knoten N(i, i + 1) zwischengespeichert. Zur Zeit t18 fällt das Signal PRO2 auf den "L"-Pegel ab, wodurch bestimmt wird, ob die Speicherzelle M eine Schwellenspannung von 1,0 V oder darüber hat. Die zweiten Unterdaten zum Lesen von der zweiten Unterdatenschaltung **23** sind nur dann "0", wenn die Speicherzelle M ein Datenelement "3" oder "2" speichert. Wenn die Zelle M ein Datenelement "0" oder "1" speichert, sind die zweiten Unterdaten "1".

[0153] Als nächstes wird erfasst, ob die Speicherzelle M eine Schwellenspannung von 0,0 V oder darüber hat oder nicht. Zur Zeit t19 wird die Spannung VBL1 auf VCC eingestellt, was die Bitleitung BLi auf den "H"-Pegel lädt. Zur Zeit t20 wird das Signal PREI auf den "L"-Pegel eingestellt, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Die Auswahlgate-Leitungen SG1 und SG2 des ausgewählten Blocks und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 werden dadurch auf die Leistungsversorgungsspannung VCC eingestellt, und die Wortleitung WL2 wird daher auf 0,0 V eingestellt.

[0154] Wenn die Wortleitung WL2 auf 0,0 V eingestellt ist, bleibt die Bitleitung BLi nur dann auf dem "H"-Pegel, wenn das in der Speicherzelle M gespeicherte Datenelement "3", "2" oder "1" ist. Wenn das in der Zelle M gespeicherte Datenelement "0" ist, wird die Bitleitung BLi auf den "L"-Pegel eingestellt. Dann wird zur Zeit t21 das Signal BLC1 auf den "H"-Pegel eingestellt, was die an die Bitleitung BLi angelegte Spannung an den Knoten N(i, i + 1) anlegt. Wenn das Signal BLC1 auf den "L"-Pegel abfällt, steigt das Signal PREI zur Zeit t22 auf

den "H"-Pegel an. Die Bitleitung BLi wird dadurch auf 0 V rückgesetzt, d. h. die Spannung VBL1. Zur selben Zeit wird die Spannung VREG zu 0 V geändert und wird das Signal VRFY2 auf den "H"-Pegel eingestellt. Der Knoten N(i, i + 1) wird nur dann auf den "L"-Pegel eingestellt, wenn die aus der zweiten Unterdatenschaltung **23** zu lesenden zweiten Unterdaten "0" sind. Zur Zeit t23 werden die Spannung VREG und das Signal VRFY1 auf VCC bzw. auf den "H"-Pegel eingestellt. Der Knoten N(i, i + 1) wird nur dann auf den "H"-Pegel eingestellt, wenn die ersten Unterdaten "0" sind. Zur Zeit t4 werden die Signale SEN1 und LAT1 auf den "L"-Pegel eingestellt, was beide getakteten Inverter CI1 und CI2 deaktiviert. Das Signal PRO1 steigt zur Zeit t25 auf den "H"-Pegel an, und dies tut auch das Signal SEN1 zur Zeit t26. Der getaktete Inverter CI1 wird dadurch aktiviert, was die Spannung am Knoten N(i, i + 1) erfasst. Zur Zeit t27 wird das Signal LAT1 auf den "H"-Pegel eingestellt, was den getakteten Inverter CI2 aktiviert. Der Inverter CI2 erfasst die Spannung am Knoten N(i, i + 1). Als Ergebnis wird der logische Pegel des Signals am Knoten N(i, i + 1) zwischengespeichert. Zur Zeit t28 fällt das Signal PRO1 auf den "L"-Pegel ab, wodurch bestimmt wird, ob die Speicherzelle M eine Schwellenspannung von 0,0 V oder darüber hat. Die aus der ersten Unterdatenschaltung **22** zu lesenden zweiten Unterdaten sind nur dann "0", wenn die Speicherzelle M ein Datenelement "3" oder "1" speichert. Wenn die Zelle M ein Datenelement "0" oder "2" speichert, sind die ersten Unterdaten "1".

[0155] Wenn das Signal CSLi auf den "H"-Pegel eingestellt ist, werden die ersten Unterdaten über die Daten-Eingabe/Ausgabe-Leitung IO, den Daten-Eingabe/Ausgabe-Puffer 4 und zum Eingabe/Ausgabe-Anschluss 5 zur externen Vorrichtung ausgegeben. Wenn das Signal CSLi + 1 auf den "H"-Pegel eingestellt ist, werden die zweiten Unterdaten über die Daten-Eingabe/Ausgabe-Leitung IO, den Daten-Eingabe/Rusgabe-Puffer **4** und zum Eingabe/Ausgabe-Anschluss 5 zur externen Vorrichtung ausgegeben.

[0156] Während Daten aus der Speicherzelle M gelesen werden, wird die nicht ausgewählte Bitleitung BLi + 1 auf die Spannung VBL2, z. B. 0 V, festgelegt.

[0157] Die nachfolgend gezeigte Tabelle 8 zeigt die Beziehung zwischen den vier Datenelementen, die jede Speicherzelle M speichern kann, den Werten, die die ersten Unterdaten haben können, und den Werten, die die zweiten Unterdaten haben können.

Tabelle 8

Daten in der Zelle	Erste Unterdaten	Zweite Unterdaten
0	1	1
1	0	1
2	1	0
3	0	0

[0158] Wie anfängliche Steuerdaten in jeder Datenspeicherschaltung **9** eingestellt werden und wie Daten dort hineingeschrieben werden, wird unter Bezugnahme auf das Zeitdiagramm der **Fig.** 18 erklärt. Es soll angenommen sein, dass eine der Bitleitungen BL1 bis BL4222, d. h. die Bitleitung BLi, ausgewählt ist, und dass die Wortleitung WL2 ausgewählt ist, und dass das Signal CMOD auf den "H"-Pegel eingestellt ist, um vierwertige Daten zu lesen. Wenn drei Datenspeicherpegel vorgesehen sind, können dreiwertige Daten aus den Speicherzellen des EEPROM gelesen werden.

[0159] Anfängliche Steuerdaten werden in der Datenspeicherschaltung **9**, die an die ausgewählte Bitleitung BLi angeschlossen ist, auf die folgende Weise eingestellt. Zuerst wird das anfängliche Unterdatenelement, das in der ersten Unterdatenschaltung **22** einzustellen ist, zu der Daten-Eingabe/Ausgabe-Leitung IO transferiert. Das Signal CSLi wird auf den "H"-Pegel eingestellt, wodurch das anfängliche Unterdatenelement in die erste Unterdatenschaltung **22** gespeichert wird. Dann wird das anfängliche Unterdatenelement, das in der zweiten Unterdatenschaltung **23** einzustellen ist, zu der Daten-Eingabe/Ausgabe-Leitung IO transferiert. Das Signal CSLi + 1 wird auf den "H"-Pegel eingestellt, wodurch das anfängliche Unterdatenelement in die zweite Unterdatenschaltung **23** gespeichert wird. Die anfänglichen Steuerdaten und die anfänglichen Unterdatenelemente, die in den Unterdatenschaltungen **22** und **23** eingestellt sind, haben die in der Tabelle 9 gezeigte Beziehung.

Tabelle 9

Anfängliche Steuerdaten	Anfängliche Unterdaten in der Schaltung 22	Anfängliche Unterdaten in der Schaltung 23
0	0	0
1	1	0
2	0	1
3	1	1

[0160] Es ist erwünscht, dass das Signal PRST auf den "H"-Pegel eingestellt wird, um dadurch die Unterdatenelemente auf "0" rückzusetzen, bevor die anfänglichen Unterdatenelemente in den Schaltungen **22** und **23** eingestellt werden. Wie es später beschrieben wird, ändern die Unterdatenelemente "0" den Zustand der Speicherzellen M nicht. Somit genügt es, anfängliche Unterdatenelemente zu dem EEPROM von der externen Vorrichtung aus zuzuführen und sie in nur erwünschten der 2112 Datenspeicherschaltungen **9** einzustellen, die im EEPROM vorgesehen sind. Statt dessen können anfängliche Unterdatenelemente natürlich von der externen Vorrichtung aus in allen 2112 Datenspeicherschaltungen **9** eingestellt werden. Da die Signale SEN1, LAT1, VRFY1, SEN2, LAT2 und VRFY2 und die Spannung VREG jeweils auf dem "H"-Pegel, dem "H"-Pegel, dem "L"-Pegel, dem "H"-Pegel, dem "H"-Pegel, dem "L"-Pegel und auf VCC bleiben, sind sie in **Fig.** 18 nicht gezeigt.

[0161] Zum Schreiben von Datenelementen in die Speicherzellen M wird das Signal PREI zur Zeit t1 auf den "L"-Pegel eingestellt, um dadurch die Bitleitung BLi von der Spannungsquelle VBL1 zu trennen. Ebenso wird zur Zeit t1 das Signal BLC1 auf den "H"-Pegel eingestellt, um dadurch die Bitleitung BLi auszuwählen. Zur Zeit t2 wird die Spannung VBL2 auf VCC eingestellt, wodurch die nicht ausgewählte Bitleitung BLi + 1 bis zur Zeit t3 mittels des n-Kanal-MOS-Transistors Qn32 geladen wird. Zur selben Zeit wird das Signal PRO1 auf den "H"-Pegel eingestellt, wodurch die Bitleitung BLi bis zur Zeit t3 gemäß den ersten Unterdaten geladen wird. Genauer gesagt wird die Bitleitung BLi auf VCC geladen, wenn die ersten Unterdaten "0" oder "2" sind. Wenn die ersten Unterdaten "1" oder "3" sind, wird die Bitleitung BLi auf 0 V geladen. Das Auswahlgate SG1 und die Wortleitungen WL1 bis WL4 werden während der Periode zwischen der Zeit t2 und der Zeit t3 auf VCC eingestellt. Die Auswahlgate-Leitung SG2 bleibt während dieser Periode auf 0 V. Zur Zeit t3 wird das Signal PRO2 auf 1,8 V eingestellt, wodurch die Spannung an der Bitleitung BLi gemäß den zweiten Unterdaten geändert wird. Wenn die zweiten Unterdaten "0" sind, wird die Bitleitung BLi von 0 V auf 0,8 V geladen, was um die Schwellenspannung (z. B. 1 V) des n-Kanal-MOS-Transistors Qn38 niedriger als 1,8 V ist. Wenn die Bitleitung BLi zur Zeit t3 auf VCC eingestellt wird, bleibt sie auf VCC, wenn zweite Unterdaten "0" sind. Wenn die zweiten Unterdaten "1" sind, ist der n-Kanal-MOS-Transistor Qn38 ausgeschaltet und wird die Bitleitung BLi auf 0 V eingestellt.

[0162] Somit wird die Bitleitung BLi auf VCC eingestellt, wenn die Steuerdaten "0" sind, auf 0,8 V, wenn die Steuerdaten "1" sind, und auf 0 V, wenn die Steuerdaten "2" oder "3" sind.

[0163] Zur Zeit t3 wird die ausgewählte Wortleitung WL2 auf 20 V eingestellt, wohingegen die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf 10 V eingestellt werden. Die Wortleitungen WL1 bis WL4 bleiben bis zur Zeit t4 auf diesen Spannungen. Während der Periode zwischen der Zeit t3 und der Zeit t4 werden Elektronen in die schwebenden Gates der Speicherzellen zahlenmäßig in Übereinstimmung mit den Steuerdaten injiziert. Wenn die Bitleitung BL auf 0 V eingestellt ist, ist die Potentialdifferenz zwischen der Wortleitung WL und dem Kanal der Speicherzelle M 20 V und Elektronen werden zum schwebenden Gate jeder Zelle M injiziert, die an die Bitleitung BL angeschlossen ist. Wenn die Bitleitung BL auf 0,8 V eingestellt ist, ist die Potentialdifferenz zwischen der Wortleitung WL und dem Kanal der Speicherzelle M 19,2 V, und Elektronen werden zum schwebenden Gate jeder Zelle M injiziert, aber in geringerer Anzahl als dann, wenn die Potentialdifferenz 20 V ist. Wenn die Bitleitung BL auf VCC eingestellt ist, ist die Potentialdifferenz so klein, dass virtuell keine Elektronen in das schwebende Gate der Speicherzelle M injiziert werden. Die Spannung an den Wortleitungen WL1 bis WL4 wird während der Periode zwischen der Zeit t4 und der Zeit t5 erniedrigt. Danach wird zur Zeit t5 die Spannung VBL2 auf 0 V eingestellt und wird das Signal PRE1 auf den "H"-Pegel eingestellt, was die Bitleitungen BLi und BLi + 1 auf 0 V rücksetzt. Die Bitleitungen BLi und BLi + 1 bleiben bis zur Zeit t6 auf 0 V und die Spannung VBL1 bleibt auf 0 V. Die Wortleitungen WL1 bis WL4 werden während der Periode zwischen der Zeit t5 und der Zeit t6 rückgesetzt.

[0164] Nach der zu der Zeit t1 bis zu der Zeit t6 durchgeführten Datenschreiboperation (**Fig.** 18) wird eine Schreibverifizierung bewirkt, um zu erfassen, ob die Daten in die Speicherzelle geschrieben worden sind oder

nicht. Wie die Schreibverifizierung ausgeführt wird, wird unter Bezugnahme auf die Zeitdiagramme der **Fig.** 19, 20 und 21 erklärt. Hier soll angenommen sein, dass eine der Bitleitungen BL1 bis BL4222, d. h. die Bitleitung BLi, ausgewählt ist, dass die Wortleitung WL2 ausgewählt ist und dass das Signal CMOD auf den "H"-Pegel eingestellt ist, um vierwertige Daten zu speichern. Wenn drei Datenspeicherpegel vorgesehen sind, können dreiwertige Daten in den Speicherzellen des EEPROM gespeichert werden. Die Spannung VBL2 ist 0 V, das Signal BLC2 ist auf dem "L"-Pegel und das Signal PRE2 bleibt auf dem "H"-Pegel. Daher sind sie in den **Fig.** 19, 20 oder 21 nicht gezeigt.

[0165] Zuerst wird zur Zeit t1 die Spannung VBL1 auf VCC eingestellt, wodurch die Bitleitung BLi auf den "H"-Pegel geladen wird. Zur Zeit t2 wird das Signal PRE1 auf den "L"-Pegel eingestellt, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Weiterhin werden das Auswahlgate SG1 und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf VCC eingestellt und wird die ausgewählte Wortleitung WL2 auf 2,0 V eingestellt.

[0166] Wenn die Wortleitung WL2 auf 2,0 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "3" speichert, den Zustand zum Speichern von Daten "3" angenommen hat. Wenn diese Speicherzelle M den Zustand zum Speichern der Daten "3" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt. Da die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die Steuerdaten "2" oder "1" speichert, den Zustand zum Speichern der Daten "2" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt. Zur Zeit t3 wird das Signal BLC1 auf den "H"-Pegel eingestellt, um dadurch die Spannung an der Bitleitung BLi über die Datenübertragungsleitung **24** an den Knoten N(i, i + 1) anzulegen.

[0167] Nachdem das Signal BLC1 auf den "L"-Pegel abfällt, steigt das Signal VRFY1 zur Zeit t5 auf den "H"-Pegel an. Der Knoten N(i, i + 1) wird dadurch nur dann auf den "H"-Pegel eingestellt, wenn die ersten Unterdaten "0" sind. Zu dieser Zeit ist die Spannung VREG gleich VCC. Zur Zeit t6 werden die Signale SEN1 und LAT1 auf den "L"-Pegel eingestellt, was die getakteten Inverter CI1 und CI2 deaktiviert. Zur Zeit t7 steigt das Signal PRO1 auf den "H"-Pegel an. Zur Zeit t8 steigt das Signal SEN1 auf den "H"-Pegel an. Der Inverter IC1 wird dadurch aktiviert und erfasst die Spannung am Knoten N(i, i + 1). Wenn das Signal LAT1 zur Zeit t9 auf den "H"-Pegel ansteigt, wird der getaktete Inverter CI2 aktiviert, wodurch der logische Pegel des Signals am Knoten N(i, i + 1) zwischengespeichert wird.

[0168] Nachdem das Signal PRO1 zur Zeit t10 auf den "L"-Pegel abfällt, wird das Signal BLC1 zur Zeit t11 auf den "H"-Pegel eingestellt, was die Spannung an der Bitleitung BLi an den Knoten N(i, i + 1) anlegt. Zur Zeit t1 steigt das Signal VRFY2 auf den "H"-Pegel an. Der Knoten N(i, i + 1) wird nur dann auf den "H"-Pegel eingestellt, wenn die zweiten Unterdaten "0" sind. Zu dieser Zeit ist die Spannung VREG gleich VCC und ist das Signal REG1 auf dem "H"-Pegel. Somit wird die Bitleitung BLi zur Zeit t13 auf 0 V rückgesetzt. Zur Zeit t14 fallen die Signale SEN2 und LAT2 auf den "H"-Pegel ab, was die getakteten Inverter CI3 und CI4 deaktiviert. Das Signal PRO2 steigt zur Zeit t15 auf den "H"-Pegel an, und dies tut auch das Signal SEN2 zur Zeit t16. Der getaktete Inverter CI3 wird dadurch aktiviert, was die Spannung am Knoten N(i, i + 1) erfasst. Wenn das Signal LAT2 zur Zeit t17 auf den "H"-Pegel ansteigt, wird der getaktete Inverter CI aktiviert. Der logische Pegel des Signals am Knoten N(i, i + 1) wird dadurch zwischengespeichert.

[0169] Zur Zeit t18 fällt das Signal PRO2 auf den "L"-Pegel ab, und es wird bestimmt, ob die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "3" speichert, den Zustand zum Speichern von Daten "3" annimmt oder nicht. Wenn gefunden wird, dass die Speicherzelle M den Zustand zum Speichern von Daten "3" annimmt, werden die Steuerdaten "3", die in der Schaltung **9** gespeichert sind, zu Steuerdaten "0" geändert. In jedem anderen Fall bleiben die Steuerdaten unverändert.

[0170] Dann wird bestimmt, ob die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "2" speichert, den Zustand zum Speichern von Daten "2" annimmt oder nicht. Genauer gesagt wird zur Zeit t19 die Spannung VBL1 auf VCC eingestellt, was die Bitleitung BLi auf den "H"-Pegel lädt. Das Signal PRE1 fällt auf den "L"-Pegel ab, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Zur Zeit t20 werden das Auswahlgate SG1 und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf VCC eingestellt und wird die ausgewählte Wortleitung WL2 auf 1,2 V eingestellt.

[0171] Wenn die Wortleitung WL2 auf 1,2 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wenn die Speicherzelle M, die an die Datenspeicherschaltung angeschlossen ist, die ein Steuerdatenelement "2" speichert, den Zustand zum Speichern von Daten "2" angenommen hat. Wenn diese Speicherzelle M den Zustand zum Speichern von Daten "2" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt. Da die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "1" speichert, den Zustand zum Speichern von Daten "2" nicht angenommen hat, wird die Bitleitung BLi auf den "L"-Pegel eingestellt. Zur Zeit t21 wird das Signal BLC1 auf den "H"-Pegel eingestellt, um dadurch die Spannung an der Bitleitung BLi über die Datenübertragungsleitung **24** an den Knoten N(i, i + 1) anzulegen. Wenn das Signal BLC1 auf den "L"-Pegel abfällt, steigt das Signal PRE1 zur Zeit t22 auf den "H"-Pegel an. Die Bitleitung BLi wird dadurch auf 0 V, d. h. die Spannung VBL1, rückgesetzt. Zur selben Zeit wird das Signal PRO1 auf 1,2 V eingestellt. Wenn die ersten Unterdaten "1" sind, wird der Knoten N(i, i + 1) auf den "L"-Pegel eingestellt. Wenn die

ersten Unterdaten "0" sind und der Knoten N(i, i + 1) auf den "H"-Pegel eingestellt ist, bleibt der Knoten N(i, i + 1) auf dem "L"-Pegel. Wenn die ersten Unterdaten "0" sind und der Knoten N(i, i + 1) auf den "L"-Pegel eingestellt ist, stellt das Signal PRO1 von 1,2 V den Knoten N(i, i + 1) höchstens dann auf 0,2 V ein, wenn der n-Kanal-MOS-Transistor Qn32 eine Schwellenspannung von 1 V hat. Der getaktete Inverter CI3 kann entworfen sein, um zu erfassen, dass eine Spannung des Knotens N(i, i + 1) auf dem "L"-Pegel ist, wenn die Spannung 0,2 V ist. Dann bleibt der Knoten N(i, i + 1) auf dem "L"-Pegel.

[0172] Zur Zeit t23 steigt das Signal VRFH2 auf den "H"-Pegel an und wird der Knoten N(i, i + 1) nur dann auf den "H"-Pegel eingestellt, wenn die zweiten Unterdaten "0" sind. Zur Zeit t24 fallen die Signale SEN2 und LAT2 auf den "L"-Pegel ab, was die getakteten Inverter CI3 und CI4 deaktiviert. Das Signal PRO2 steigt zur Zeit t25 auf den "H"-Pegel an, und dies tut auch das Signal SEN2 zur Zeit t26. Der Inverter CI3 wird dadurch aktiviert, was die Spannung am Knoten N(i, i + 1) erfasst. Zur Zeit t27 steigt das Signal LAT2 auf den "H"-Pegel an, was den Inverter CI4 aktiviert. Der logische Pegel des Signals am Knoten N(i, i + 1) wird dadurch zwischengespeichert.

[0173] Zur Zeit t28 fällt das Signal PRO2 auf den "L"-Pegel ab. Es wird somit bestimmt, ob die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "2" speichert, den Zustand zum Speichern von Daten "2" annimmt. Das in der Schaltung **9** gespeicherte Steuerdatenelement wird nur zu "0" geändert, wenn die Steuerdaten "3" sind und die an die Schaltung **9** angeschlossene Speicherzelle M ein Datenelement "3" speichert oder die Steuerdaten "2" sind und die an die Schaltung **9** angeschlossene Speicherzelle M ein Datenelement "2" speichert. In jedem anderen Fall bleiben die in der Schaltung **9** gespeicherten Steuerdaten unverändert.

[0174] Dann wird bestimmt, ob die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "2" speichert, den Zustand zum Speichern von Daten "2" annimmt oder nicht. Genauer gesagt wird die Spannung VBL1 zur Zeit t19 auf VCC eingestellt, was die Bitleitung BLi auf den "H"-Pegel lädt. Das Signal PREI fällt auf den "L"-Pegel ab, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Zur Zeit t20 werden die Auswahlgates SG1 und SG2 und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf VCC eingestellt, und die ausgewählte Wortleitung WL2 wird auf 1,2 V eingestellt.

[0175] Als nächstes wird bestimmt, ob die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "1" speichert, den Zustand zum Speichern von Daten "1" annimmt oder nicht. Genauer gesagt wird die Spannung VBL1 zur Zeit t30 auf VCC eingestellt, was die Bitleitung BLi auf den "H"-Pegel lädt. Das Signal PRE1 fällt auf den "L"-Pegel ab, was die Bitleitung BLi von der Spannungsquelle VBL1 trennt. Zur Zeit t31 werden die Auswahlgates SG1 und SG2 und die nicht ausgewählten Wortleitungen WL1, WL3 und WL4 auf VCC eingestellt, und die ausgewählte Wortleitung WL2 wird auf 0,4 V eingestellt.

[0176] Wenn die Wortleitung WL2 auf 0,4 V eingestellt ist, bleibt die Bitleitung BLi auf dem "H"-Pegel, wenn die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die ein Steuerdatenelement "1" speichert, den Zustand zum Speichern eines Datenelements "1" angenommen hat. Die Bitleitung BLi wird auf den "L"-Pegel eingestellt, wenn diese Speicherzelle den Zustand zum Speichern eines Datenelements "1" noch nicht angenommen hat. Zur Zeit t32 wird das Signal BLC1 auf den "H"-Pegel eingestellt, um dadurch die Spannung an der Bitleitung BLi über die Datenübertragungsleitung **24** an den Knoten N(i, i + 1) anzulegen. Wenn das Signal BLC1 auf den "L"-Pegel abfällt, steigt das Signal PRE1 zur Zeit t33 auf den "H"-Pegel an. Die Bitleitung BLi wird dadurch auf 0 V rückgesetzt, d. h. auf die Spannung VBL1. Zur selben Zeit wird das Signal PRO1 auf 1,2 V eingestellt. Wenn die zweiten Unterdaten "1" sind, wird der Knoten N(i, i + 1) auf den "L"-Pegel eingestellt. Wenn die zweiten Unterdaten "0" sind und der Knoten N(i, i + 1) auf dem "H"-Pegel ist, bleibt der Knoten N(i, i + 1) auf dem "H"-Pegel. Wenn die ersten Unterdaten "0" sind und der Knoten N(i, i + 1) auf dem "L"-Pegel ist, stellt das Signal PRO1 von 1,2 V den Knoten N(i, i + 1) höchstens dann auf 0,2 V ein, wenn der n-Kanal-MOS-Transistor Qn38 eine Schwellenspannung von 1 V hat. Der getaktete Inverter CI1 kann entworfen sein, um zu erfassen, dass die Spannung des Knotens N(i, i + 1) auf dem "L"-Pegel ist, wenn die Spannung 0,2 V ist. Dann bleibt der Knoten N(i, i + 1) auf dem "L"-Pegel.

[0177] Zur Zeit t34 steigt das Signal VRFH1 auf den "H"-Pegel an, und der Knoten N(i, i + 1) wird nur dann auf den "H"-Pegel eingestellt, wenn die ersten Unterdaten "0" sind. Zur Zeit t35 fallen die Signale SEN1 und LAT1 auf den "L"-Pegel ab, was die getakteten Inverter CI1 und CI2 deaktiviert. Das Signal PRO1 steigt zur Zeit t36 auf den "H"-Pegel an, und dies tut auch das Signal SEN1 zur Zeit t37. Der Inverter CI1 wird dadurch aktiviert, was die Spannung am Knoten N(i, i + 1) erfasst. Zur Zeit t38 steigt das Signal LAT1 auf den "H"-Pegel an, was den Inverter CI2 aktiviert. Der logische Pegel des Signals am Knoten N(i, i + 1) wird dadurch zwischengespeichert. Somit wird bestimmt, ob die Speicherzelle M, die an die Schaltung **9** angeschlossen ist, die die Steuerdaten "1" speichert, den Zustand zum Speichern von Daten "1" annimmt. Das in der Schaltung **9** gespeicherte Steuerdatenelement wird nur dann zu "0" geändert, wenn die Steuerdaten "3" sind und die an die Schaltung **9** angeschlossene Speicherzelle M ein Datenelement "3" speichert, wenn die Steuerdaten "2" sind und die an die Schaltung **9** angeschlossene Speicherzelle M ein Datenelement "2" speichert, oder wenn die Steuerdaten "1" sind und die an die Schaltung **9** angeschlossene Speicherzelle M ein Datenelement "1" speichert. In jedem anderen Fall bleiben die in der Schaltung **9** gespeicherten Steuerdaten unverändert.

[0178] Wenn die oben beschriebene Schreibverifizierung (WV) ausgeführt wird, werden die in der Datenspeicherschaltung **9** gespeicherten Steuerdatenelemente gemäß den Datenspeicherzuständen der Speicherzellen geändert, wie es in der folgenden Tabelle 10 gezeigt ist:

Tabelle 10

Datenspeicherzustand der Speicherzelle	Steuerdaten vor WV	Steuerdaten nach WV
0, 1, 2 oder 3	0	0
Noch nicht für 1	1	1
1	1	0
Noch nicht für 2	2	2
2	2	0
Noch nicht für 3	3	3
3	3	0

[0179] In jeder Datenspeicherschaltung **9** erfasst die zweite Unterdatenschaltung **23** den logischen Pegel des Signals am Knoten N(i, i + 1), der an der Datenübertragungsleitung **24** vorgesehen ist, auf der Basis des Datenspeicherzustands der ausgewählten Speicherzelle M und der in der ersten Unterdatenschaltung **22** gespeicherten ersten Unterdaten. Weiterhin erfasst die erste Unterdatenschaltung **22** den logischen Pegel des Signals am Knoten N(i, i + 1), der an der Datenübertragungsleitung **24** vorgesehen ist, auf der Basis des Datenspeicherzustands des ausgewählten Speichers M und der in der zweiten Unterdatenschaltung **23** gespeicherten Unterdaten. Die in der Datenspeicherschaltung **9** gespeicherten Steuerdaten können daher auf einfache Weise geändert werden. Dies hilft, die Schaltungsstruktur des EEPROM zu vereinfachen und die Herstellungskosten des EEPROM zu erniedrigen.

[0180] Datenelemente werden in die Speicherzellen M durch Wiederholen der Datenschreiboperation (t1 bis t6, **Fig.** 18) und der Schreibverifizierung (**Fig.** 19, 20 und 21) geschrieben, bis alle Steuerdatenelemente sich zu "0" ändern. Der Datenspeicherzustand einer Speicherzelle M ändert sich dann nicht, wenn die Zelle M an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "0" speichert. Die Speicherzelle M nimmt den Wert zum Speichern eines Datenelements "1" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "1" speichert. Die Speicherzelle M nimmt den Wert zum Speichern eines Datenelements "2" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "2" speichert. Gleichermaßen nimmt die Speicherzelle M den Wert zum Speichern eines Datenelements "3" an, wenn sie an eine Schaltung **9** angeschlossen ist, die das anfängliche Steuerdatenelement "3" speichert. Ob alle Steuerdatenelemente "0" sind, kann dadurch bestimmt werden, dass erfasst wird, ob die Signalleitung PT (**Fig.** 6) auf das Erdpotential eingestellt ist oder nicht. Dies ist deshalb so, weil die Leitung PT dann nicht auf das Erdpotential eingestellt ist, wenn alle Steuerdatenelemente "0" sind. Die Spannung an irgendeiner Wortleitung WL, die zum Schreiben von Daten ausgewählt ist, kann nach und nach erhöht werden.

[0181] Eine nichtflüchtige Halbleiterspeichervorrichtung (ein EEPROM) gemäß dem sechsten Aspekt der vorliegenden Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, eine Vielzahl von Datenübertragungsleitungen N(i, i + 1), die an die Speicherzellenmatrix **1** angeschlossen sind, zum Übertragen von Lesesignalen, die die Datenspeicherzustände der Speicherzellen M anzeigen, und eine Vielzahl von Datenspeicherschaltungen **9** zum Speichern von Steuerdatenelementen, die Schreibsteuerspannungen bestimmen, die an die Speicherzellen M zum Schreiben von Datenelementen in die Speicherzellen M anzulegen sind. Die Speichervorrichtung ist bezüglich einiger Aspekte charakterisiert. Zuerst weist jede Datenspeicherschaltung **9** eine erste Unterdatenschaltung **22** (CI1, CI2, Qn32, Qn33, Qn34) und eine zweite Unterdatenschaltung **23** (CI3, CI4, Qn38, Qn39, Qn40) auf. Als zweites ist das in jeder Datenspeicherschaltung **9** gespeicherte Steuerdatenelement zusammengesetzt aus einem ersten Unterdatenelement, das in der ersten Unterdatenschaltung **22** gespeichert ist, und einem zweiten Unterdatenelement, das in der zweiten Unterdatenschaltung **23** gespeichert ist. Als drittes legt jede Datenspeicherschaltung **9** die Schreibsteuerspannung an eine entsprechende Speicherzelle M gemäß dem Steuerdatenelement an. Als viertes erfasst die Unterdatenschaltung **23** einen logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), wobei der logische Pegel durch den Datenspeicherzustand der entsprechenden Speicherzelle M und das in der ersten Unterdatenschaltung **22** gespeicherte erste Unterdatenelement bestimmt wird. Weiterhin

ändert die zweite Unterdatenschaltung **23** das zweite Unterdatenelement, um das Schreiben des Datenelements in die Speicherzelle M zu unterdrücken, wenn bestimmt wird, dass das Datenelement vollständig in die Speicherzelle M geschrieben worden ist.

[0182] Das Folgende sind bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem sechsten Aspekt der vorliegenden Erfindung.

(1) Die zweite Unterdatenschaltung **22** erfasst gemäß dem zweiten Unterdatenelement selektiv den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), welcher durch den Datenspeicherzustand der entsprechenden Speicherzelle M und das in der ersten Unterdatenschaltung **22** gespeicherte erste Unterdatenelement bestimmt wird.

(2) Die erste Unterdatenschaltung **22** erfasst den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), welcher durch den Datenspeicherzustand der entsprechenden Speicherzelle M und das in der zweiten Unterdatenschaltung gespeicherte Unterdatenelement bestimmt wird, und ändert das erste Unterdatenelement, um das Schreiben des Datenelements in die Speicherzelle M zu unterdrücken, wenn bestimmt wird, dass das Datenelement vollständig in die Speicherzelle M geschrieben worden ist.

(3) Die erste Unterdatenschaltung **22** erfasst gemäß dem ersten Unterdatenelement selektiv den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), welcher durch den Datenspeicherzustand der entsprechenden Speicherzelle M und das in der zweiten Unterdatenschaltung **23** gespeicherte zweite Unterdatenelement bestimmt wird.

(4) Die erste Unterdatenschaltung **22** erfasst gemäß dem ersten Unterdatenelement selektiv den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), welcher durch den Datenspeicherzustand der entsprechenden Speicherzelle M und das in der zweiten Unterdatenschaltung gespeicherte zweite Unterdatenelement bestimmt wird, und ändert das erste Unterdatenelement, um das Schreiben des Datenelements in die Speicherzelle M zu unterdrücken, wenn bestimmt wird, dass das Datenelement vollständig in die Speicherzelle M geschrieben worden ist.

(5) Jede der Speicherzellen M kann ein vierwertiges Datenelement speichern, und die erste Unterdatenschaltung **22** und die zweite Unterdatenschaltung **23** weisen jeweils eine Flip-Flop-Schaltung auf, die aus zwei Invertern (CI1 und CI2; CI3 und CI4) zusammengesetzt ist.

(6) Jede der Speicherzellen M kann ein dreiwertiges Datenelement speichern, und die erste Unterdatenschaltung **22** und die zweite Unterdatenschaltung **23** weisen jeweils eine Flip-Flop-Schaltung auf, die aus zwei Invertern (CI1 und CI2; CI3 und CI4) zusammengesetzt ist.

[0183] Eine nichtflüchtige Halbleiterspeichervorrichtung (ein EEPROM) gemäß einem siebten Aspekt der vorliegenden Erfindung weist eine Speicherzellenmatrix **1** auf, die eine Vielzahl von nichtflüchtigen Speicherzellen M enthält, eine Vielzahl von Datenübertragungsleitungen N(i, i + 1), die an die Speicherzellenmatrix **1** angeschlossen sind, zum Übertragen von Lesesignalen, die die in den Speicherzellen M gespeicherten Datenelemente darstellen, und eine Vielzahl von Datenspeicherschaltungen **9** zum Speichern von zu lesenden Datenelementen, welche dem in den Speicherzellen M gespeicherten Datenelement entsprechen. Die Speichervorrichtung ist bezüglich einiger Aspekte charakterisiert. Zuerst weist jede Datenspeicherschaltung **9** eine erste Unterdatenschaltung **22** (CI1, CI2, Qn32, Qn33, Qn34) und eine zweite Unterdatenschaltung **23** (CI3, CI4, Qn38, Qn39, Qn40) auf. Als zweites ist jedes zu lesende Datenelement zusammengesetzt aus einem ersten Unterdatenelement, das in der ersten Unterdatenschaltung **22** gespeichert ist, und einem zweiten Unterdatenelement, das in der zweiten Unterdatenschaltung **23** gespeichert ist. Als drittes erfasst die erste Unterdatenschaltung **22** den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1) und speichert ihn, wobei der logische Pegel durch das in der entsprechenden Speicherzelle M gespeicherte Datenelement und das in der zweiten Unterdatenschaltung **23** gespeicherte zweite Unterdatenelement bestimmt wird.

[0184] Das Folgende sind bevorzugte Ausführungsbeispiele der Speichervorrichtung gemäß dem siebten Aspekt der vorliegenden Erfindung.

(1) Die erste Unterdatenschaltung **22** erfasst gemäß dem ersten Unterdatenelement selektiv den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), welcher durch das in der entsprechenden Speicherzelle M gespeicherte Datenelement und das in der zweiten Unterdatenschaltung **23** gespeicherte zweite Unterdatenelement bestimmt wird.

(2) Jede der Speicherzellen M kann ein vierwertiges Datenelement speichern, und die erste Unterdatenschaltung **22** und die zweite Unterdatenschaltung **23** weisen jeweils eine Flip-Flop-Schaltung auf, die aus zwei Invertern CI1 und CI2; CI3 und CI4 zusammengesetzt ist.

(3) Jede der Speicherzellen M kann ein dreiwertiges Datenelement speichern, und die erste Unterdatenschaltung **22** und die zweite Unterdatenschaltung **23** weisen jeweils eine Flip-Flop-Schaltung auf, die aus zwei Invertern (CI1 und CI2; CI3 und CI4) zusammengesetzt ist.

[0185] Wie es oben beschrieben ist, kann der EEPROM, der das zweite Ausführungsbeispiel der Erfindung ist, n-wertige Daten speichern, wobei $n \geq 3$ gilt. In jeder Datenspeicherschaltung **9** erfasst die zweite Unterda-

tenschaltung **23** den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), wobei der logische Pegel durch den Datenspeicherzustand von irgendeiner ausgewählten Speicherzelle M und das in der ersten Unterdatenschaltung **22** gespeicherte erste Unterdatenelement bestimmt wird. In einigen Fällen erfasst die erste Unterdatenschaltung **22** den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), wobei der logische Pegel durch den Datenspeicherzustand der ausgewählten Speicherzelle M und das in der zweiten Unterdatenschaltung **23** gespeicherte Unterdatenelement bestimmt wird. Die in der Datenspeicherschaltung **9** gespeicherten Steuerdaten können daher auf einfache Weise geändert werden. Dies hilft, die Schaltungsstruktur des EEPROM zu vereinfachen. Weiterhin erfasst die erste Unterdatenschaltung **22** den logischen Pegel des Lesesignals auf der Datenübertragungsleitung N(i, i + 1), wobei der logische Pegel durch das in der ausgewählten Speicherzelle M gespeicherte Datenelement und das in der zweiten Unterdatenschaltung **23** gespeicherte zweite Unterdatenelement bestimmt wird. Daher kann das Datenelement auf einfache Weise aus der Speicherzelle M gelesen werden und kann der EEPROM bezüglich der Struktur einfach sein und kann mit niedrigen Kosten hergestellt werden.

[0186] Die vorliegende Erfindung ist nicht auf das erste und das zweite Ausführungsbeispiel bestimmt, die oben beschrieben sind. Vielmehr kann die Erfindung auf eine Mehrwert speichernde nichtflüchtige Halbleiterspeichervorrichtung angewendet werden, die eine Speicherzellenmatrix vom NOR-Typ hat. Sie kann auch auf eine Mehrwert speichernde, nichtflüchtige Halbleiterspeichervorrichtung angewendet werden, bei welcher heiße Elektronen in die Speicherzellen injiziert werden, um Datenelemente dort hinein zu schreiben.

[0187] Verschiedene Änderungen und Modifikationen können durchgeführt werden, ohne vom Schutzumfang und Sinngehalt der vorliegenden Erfindung abzuweichen.

[0188] Der EEPROM gemäß dem ersten Ausführungsbeispiel der Erfindung, der n-wertige Daten speichern kann, wobei $n \geq 3$ gilt, ist in Bezug auf einige Aspekte vorteilhaft. Bei diesem EEPROM wird ein Lesesignal zu ausgewählten Speicherzellen gemäß dem in einer jeweiligen Datenspeicherschaltung gespeicherten Steuerdatenelement zugeführt. Das in einer Datenspeicherschaltung gespeicherte Steuerdatenelement kann daher auf einfache Weise geändert werden, und die Struktur des EEPROM kann einfacher als sonst sein. Zusätzlich können Daten auf einfache Weise aus den ausgewählten Speicherzellen gelesen werden, da ein Lesesignal zu ausgewählten Speicherzellen zugeführt wird. Dies hilft auch, die Struktur des EEPROM zu vereinfachen, was es möglich macht, einen nicht teuren EEPROM zur Verfügung zu stellen.

[0189] Jede Datenspeicherschaltung zum Speichern von Steuerdatenelementen kann dazu verwendet werden, vierwertige Datenelemente in die Speicherzellen zu schreiben. Die Datenspeicherschaltung kann in zwei Einheiten unterteilt werden. Dann kann jede Einheit Steuerdatenelemente speichern, die zum Schreiben von zweiwertigen Datenelementen in die Speicherzelle verwendet werden. Wenn es so ist, werden die im EEPROM enthaltenen Datenspeicherschaltungen nicht redundant. Somit ist der EEPROM weniger teuer als sonst.

[0190] Weiterhin kann jede Datenspeicherschaltung dazu verwendet werden, dreiwertige Datenelemente in die Speicherzellen zu schreiben. Die Datenspeicherschaltung kann in zwei Einheiten aufgeteilt sein. In diesem Fall kann ebenso jede Einheit Steuerdatenelemente speichern, die zum Schreiben von zweiwertigen Datenelementen in die Speicherzelle verwendet werden, und die im EEPROM enthaltenen Datenspeicherschaltungen werden nicht redundant. Daher ist der EEPROM weniger teuer als sonst.

[0191] Der EEPROM gemäß dem zweiten Ausführungsbeispiel der Erfindung ist bezüglich einiger Aspekte vorteilhaft. In jeder der Datenspeicherschaltungen erfasst die zweite Unterdatenschaltung den logischen Pegel eines Signals auf der Datenübertragungsleitung aus dem Datenspeicherzustand von irgendeiner ausgewählten Speicherzelle und den in der ersten Unterdatenschaltung gespeicherten ersten Unterdaten. In einigen Fällen erfasst die erste Unterdatenschaltung den logischen Pegel eines Signals auf der Datenübertragungsleitung aus dem Datenspeicherzustand der ausgewählten Speicherzelle und den in der zweiten Unterdatenschaltung gespeicherten Unterdaten. Die Steuerdaten, die in der Datenspeicherschaltung gespeichert sind, können daher auf einfache Weise geändert werden. Dies hilft, die Schaltungsstruktur der Speichervorrichtung zu vereinfachen. Weiterhin erfasst die erste Unterdatenschaltung den logischen Pegel eines zu lesenden Signals, welcher der der Datenübertragungsleitung ist, aus dem in der ausgewählten Speicherzelle gespeicherten Datenelement und den in der zweiten Unterdatenschaltung gespeicherten zweiten Unterdaten. Somit kann das Datenelement daher auf einfache Weise aus der Speicherzelle gelesen werden, und kann die Speichervorrichtung bezüglich der Struktur einfach sein. Somit kann ein nicht teurer EEPROM zur Verfügung gestellt werden.

[0192] Wie es beschrieben worden ist, kann die vorliegende Erfindung einen Mehrwert speichernden EEPROM zur Verfügung stellen, der keine komplizierten Schaltungen zum Steuern von Komponenten erfordert, die andere als die Speicherzellen sind. Darüber hinaus kann sie einen Mehrwert speichernden EEPROM zur Verfügung stellen, bei welchem keine Datenspeicherschaltungen redundant werden, wenn der Mehrfachdaten-EEPROM als Zweiwert-EEPROM verwendet wird.

Patentansprüche

1. Nicht-flüchtige Halbleiterspeicher-Vorrichtung, umfassend:
ein Speicherzellenarray (**1**), das eine Vielzahl von nichtflüchtigen Speicherzellen (M) enthält, wobei jede Speicherzelle (M) zur Speicherung eines n-wertigen Datenelements dient, wobei n ≥ 3;
eine Vielzahl von Bitleitungen (BL);
eine Vielzahl von Wortleitungen (WL); und
eine Vielzahl von Datenspeicherschaltkreisen (**9**), wovon jeder mit dem Speicherzellarray (**1**) durch eine Bitleitung (BL) verbunden ist, für die Speicherung eines Steuerdatenelements, welches eine an die Bitleitung (BL) anzulegende Schreibsteuerspannung bestimmt;
dadurch gekennzeichnet, dass jeder der Datenspeicherschaltkreise (**9**) umfasst:
einen Schaltkreis um gemäß dem Steuerdatenelement der Bitleitung (BL) die Schreibsteuerspannung zuzuführen;
einen Schaltkreis um gemäß dem Steuerdatenelement der Bitleitung (BL) ein Lesebitleitungssignal zuzuführen;
einen Schaltkreis zur Erfassung eines Signalpegels des ansprechend auf den Datenspeicherzustand der Speicherzelle (M) umgewandelten Lesebitleitungssignals; und
einen Schaltkreis zur Veränderung des Steuerdatenelements auf der Grundlage des Datenspeicherzustands der Speicherzelle (M).

2. Speichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass jeder der Datenspeicherschaltkreise (**9**) einen ersten Unterdatenschaltkreis (**20**) und einen zweiten Unterdatenschaltkreis (**21**) umfasst, wobei jeder Unterdatenschaltkreis (**20**, **21**) dazu dient ein Unterdatenelement eines ersten Signalpegels oder eines
zweiten Signalpegels zu speichern, und dadurch, dass jeder der ersten und zweiten Unterdatenschaltkreise (**20**, **21**) umfasst:
einen Schaltkreis zum Ändern des Unterdatenelements des ersten Signalpegels in ein Unterdatenelement des zweiten Signalspegels, ansprechend auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals; und
einen Schaltkreis zum Halten des Unterdatenelements des zweiten Signalpegels.

3. Speichervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass jede der Speicherzellen (M) ein vier-wertiges Datenelement speichern kann, und jeder der Datenspeicherungsschaltkreise (**9**) zwei Unterdatenschaltkreise (**20**, **21**) enthält.

4. Speichervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass jede der Speicherzellen (M) ein drei-wertiges Datenelement speichern kann, und jeder der Datenspeicherungsschaltkreise (**9**) zwei Unterdatenschaltkreise (**20**, **21**) enthält.

5. Speichervorrichtung nach Anspruch 1; wobei:
jeder der Datenspeicherungsschaltkreise (**9**) durch eine Bitleitung (BL) mit dem Speicherzellenarray (**1**) verbunden ist, um eines von n Steuerdatenelementen von n Logikpegeln zu speichern, wobei n ≥ 3, wobei jedes der Steuerdatenelemente eine an die Bitleitung (BL) anzulegende Schreibsteuerspannung bestimmt, und
der Schaltkreis für das Zuführen eines Lesebitleitungssignals zur Bitleitung (BL) angeordnet ist, zu arbeiten, wenn das Steuerdatenelement sich auf einem i-ten Logikpegel befindet, wobei 2 ≤ i ≤ n, um dadurch zu erfassen, ob der Datenschreibzustand der Speicherzelle (M), verbunden mit dem Datenspeicherschaltkreis (**9**), welcher ein Steuerdatenelement auf dem i-ten Logikpegel speichert, durch den i-ten Datenspeicherungspegel identifiziert wird, der dem i-ten Logikpegel entspricht.

6. Speichervorrichtung nach Anspruch 5, dadurch gekennzeichnet, dass jeder der Datenspeicherschaltkreise (**9**) einen ersten Unterdatenschaltkreis (**20**) und einen zweiten Unterdatenschaltkreis (**21**) umfasst, wobei jeder zur Speicherung eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dient, wobei jeder der ersten und zweiten Unterdatenschaltkreise (**20**, **21**) umfasst:
einen Schaltkreis zur Änderung des gespeicherten Unterdatenelements des ersten Signalpegels in ein Unterdatenelement des zweiten Signalpegels, ansprechend auf einen vorbestimmten Signalpegel des Lesebitleitungssignals; und
einen Schaltkreis zum Halten des Unterdatenelements des zweiten Signalpegels.

7. Speichervorrichtung nach Anspruch 6, dadurch gekennzeichnet, dass jede der Speicherzellen (M) ein vier-wertiges Datenelement speichern kann, und jeder der Datenspeicherschaltkreise (**9**) zwei Unterdatenschaltkreise (**20**, **21**) enthält.

8. Speichervorrichtung nach Anspruch 6, dadurch gekennzeichnet, dass jede der Speicherzellen (M) ein drei-wertiges Datenelement speichern kann, und jeder der Datenspeicherschaltkreise (**9**) zwei Unterdatenschaltkreise (**20**, **21**) enthält.

9. Nicht-flüchtige Halbleiterspeichervorrichtung, umfassend:
ein Speicherzellenarray (**1**), das eine Vielzahl von nicht-flüchtigen Speicherzellen (M) enthält, wobei jede in der Lage ist ein n-wertiges Datenelement zu speichern, wobei n ≥ 3;
eine Vielzahl von Bitleitungen (BL);
eine Vielzahl von Wortleitungen (WL); und
eine Vielzahl von Datenspeicherschaltkreisen (**9**), jeder mit einer Bitleitung (BL) verbunden,
dadurch gekennzeichnet, dass jeder Datenspeicherschaltkreis (**9**) umfasst: einen Schaltkreis zur Speicherung eines Datenelements;
einen Schaltkreis um gemäß dem Datenelement der Bitleitung (BL) ein Lesebitleitungssignal zuzuführen;
einen Schaltkreis zur Erfassung eines Signalpegels des ansprechend auf das Datenelement, das in der mit der Bitleitung (BL) verbundenen Speicherzelle (M) gespeichert ist, umgewandelten Lesebitleitungssignals;
einen Schaltkreis zur Speicherung des so erfassten Signalpegels des Lesebitleitungssignals; und
einen Schaltkreis zur Änderung des Steuerdatenelements auf der Grundlage des Datenspeicherungszustands der Speicherzelle (M).

10. Speichervorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass jeder der Datenspeicherschaltkreise (**9**) einen ersten Unterdatenschaltkreis (**20**) und einen zweiten Unterdatenschaltkreis (**21**) umfasst, wobei jeder Unterdatenschaltkreis zur Speicherung eines Unterdatenelements eines ersten Signalpegels oder eines zweiten Signalpegels dient;
und dadurch, dass jeder der ersten und zweiten Unterdatenschaltkreise (**20**, **21**) umfasst:
einen Schaltkreis zur Änderung des gespeicherten Unterdatenelements des ersten Signalpegels in ein Unterdatenelement des zweiten Signalpegels, ansprechend auf einen vorgeschriebenen Signalpegel des Lesebitleitungssignals; und
einen Schaltkreis zum Halten des Unterdatenelements des zweiten Signalpegels.

11. Speichervorrichtung nach Anspruch 10, dadurch gekennzeichnet, dass jede der Speicherzellen (M) ein vier-wertiges Datenelement speichern kann, und jeder der Datenspeicherschaltkreise (**9**) zwei Unterdatenschaltkreise (**20**, **21**) enthält.

12. Speichervorrichtung nach Anspruch 10, dadurch gekennzeichnet, dass jede der Speicherzellen (M) ein drei-wertiges Datenelement speichern kann, und jeder der Datenspeicherschaltkreise (**9**) zwei Unterdatenschaltkreise (**20**, **21**) enthält.

Es folgen 19 Blatt Zeichnungen

Anhängende Zeichnungen

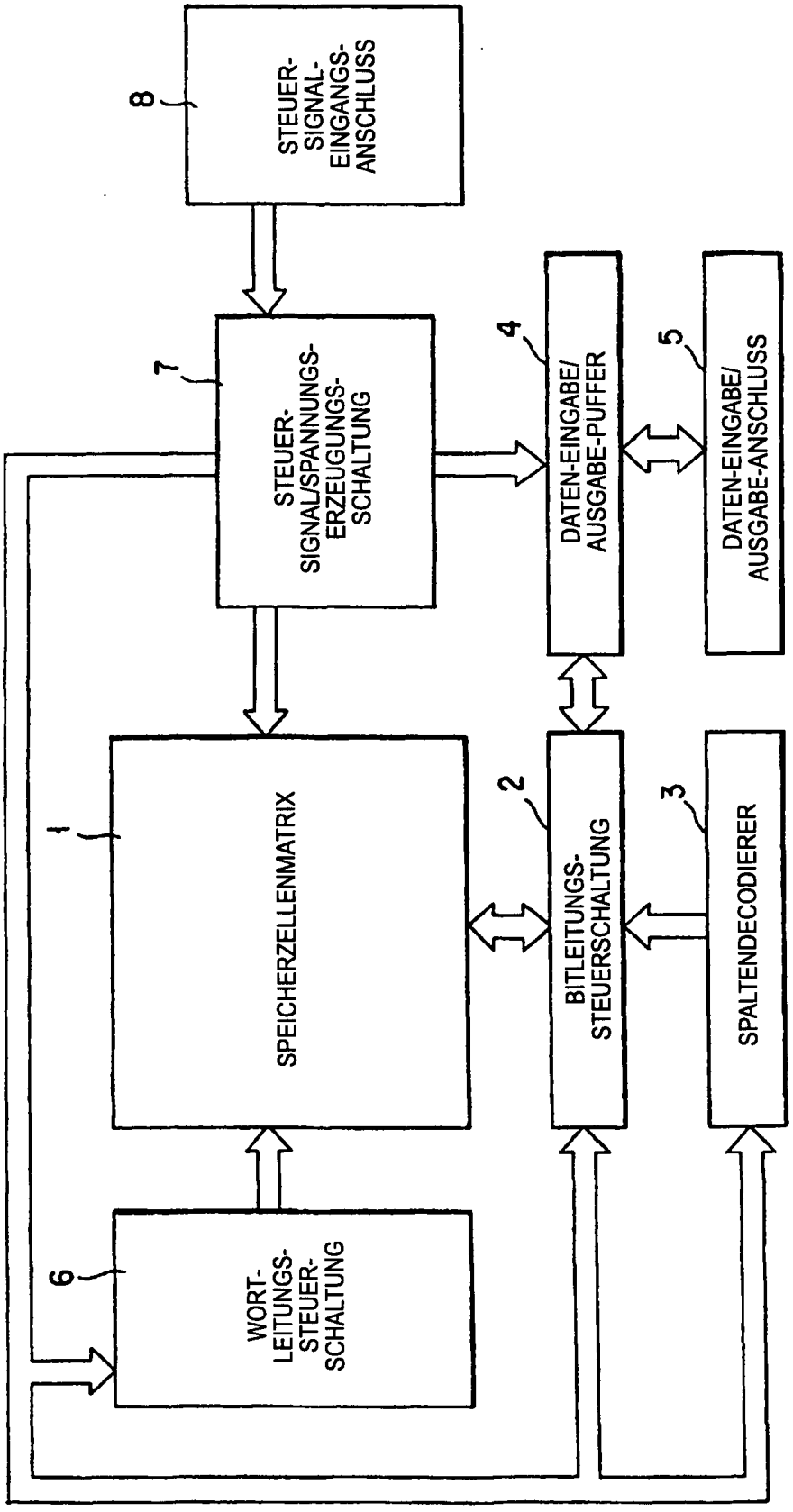


FIG. 1

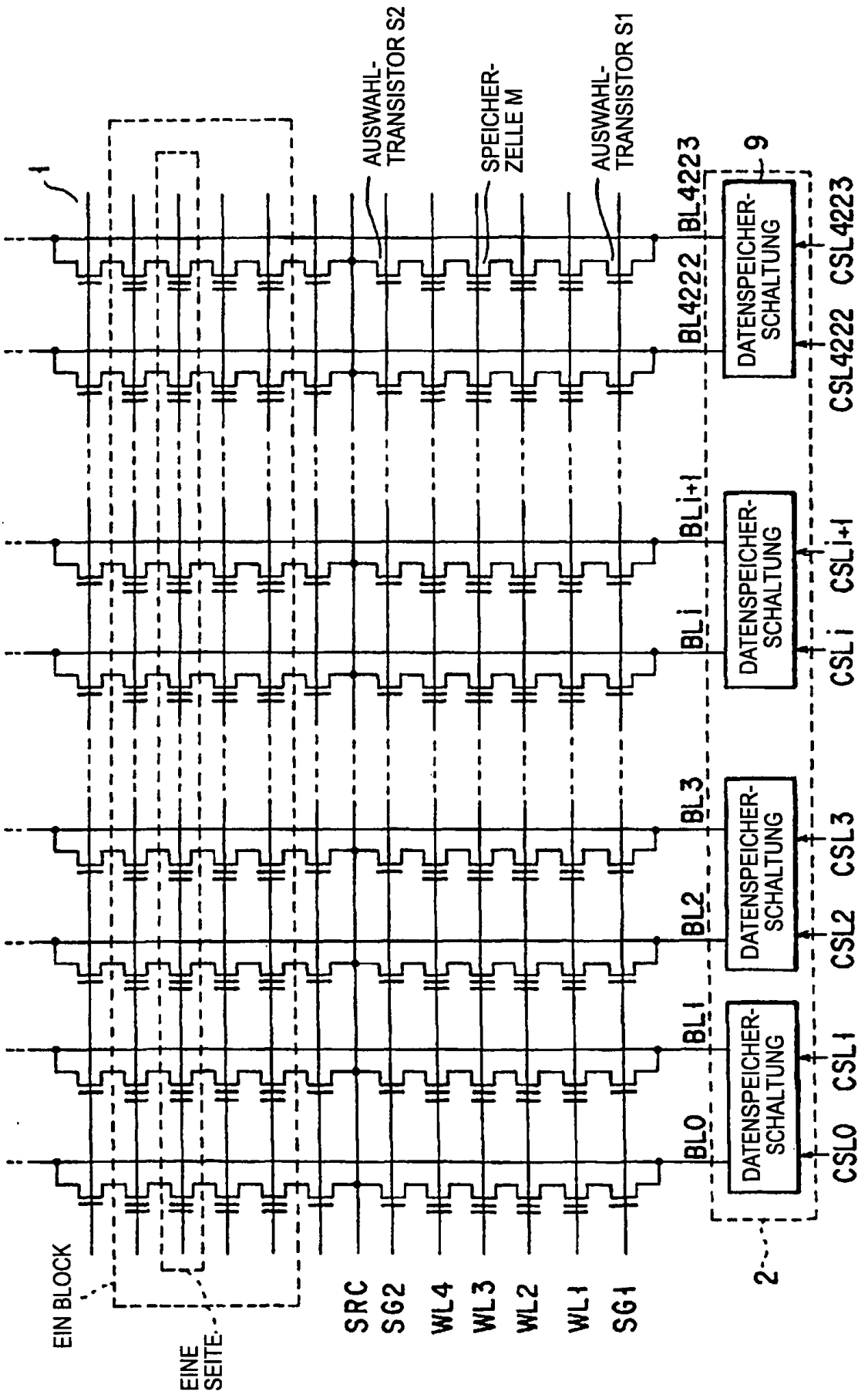

AUSWAHL-TRANSISTOR S2
SPEICHER-ZELLE M
AUSWAHL-TRANSISTOR S1
1
9
2
EIN BLOCK
EINE SEITE
SRC
SG2
WL4
WL3
WL2
WL1
SG1
BL0
BL1
BL2
BL3
BLi
BLi+1
BL4222
BL4223
DATENSPEICHER-SCHALTUNG
CSL0
CSL1
CSL2
CSL3
CSLi
CSLi+1
CSL4222
CSL4223

FIG. 2

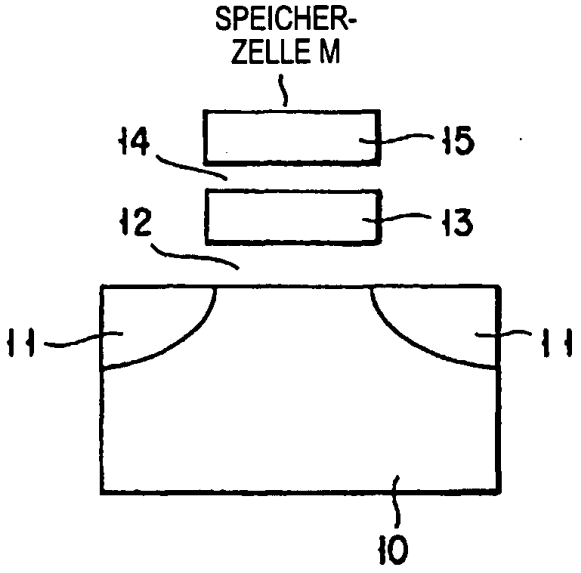


FIG. 3A

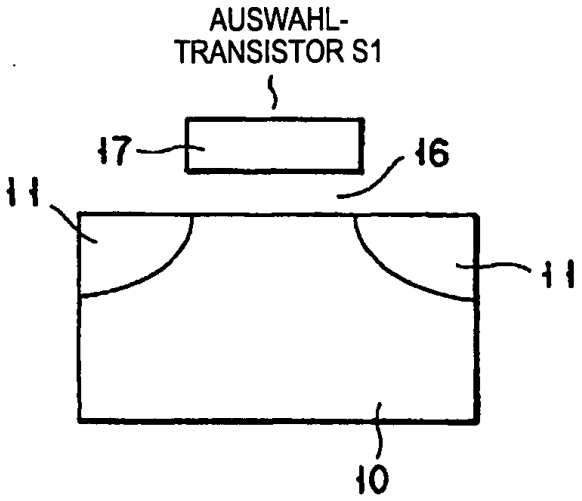


FIG. 3B

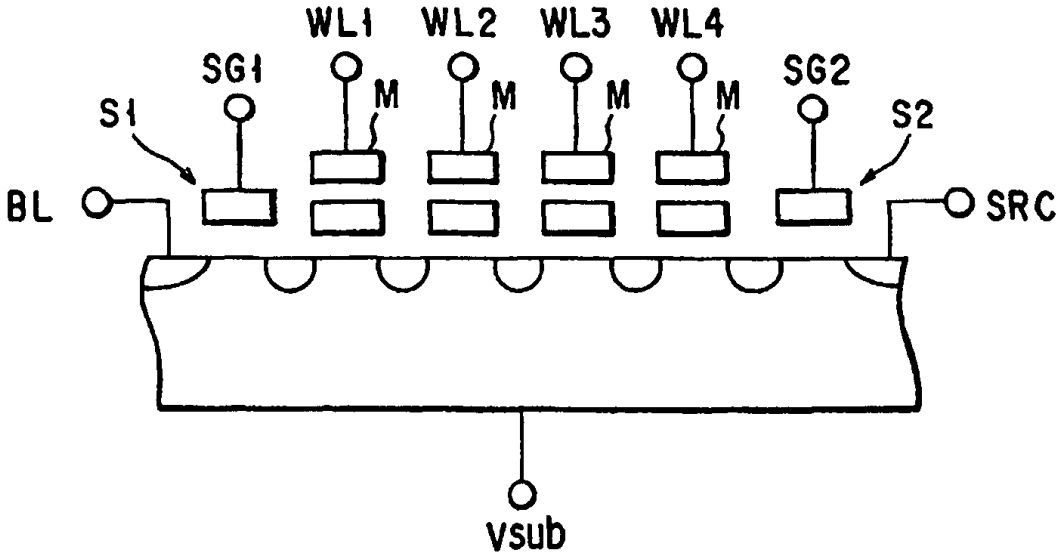


FIG. 4

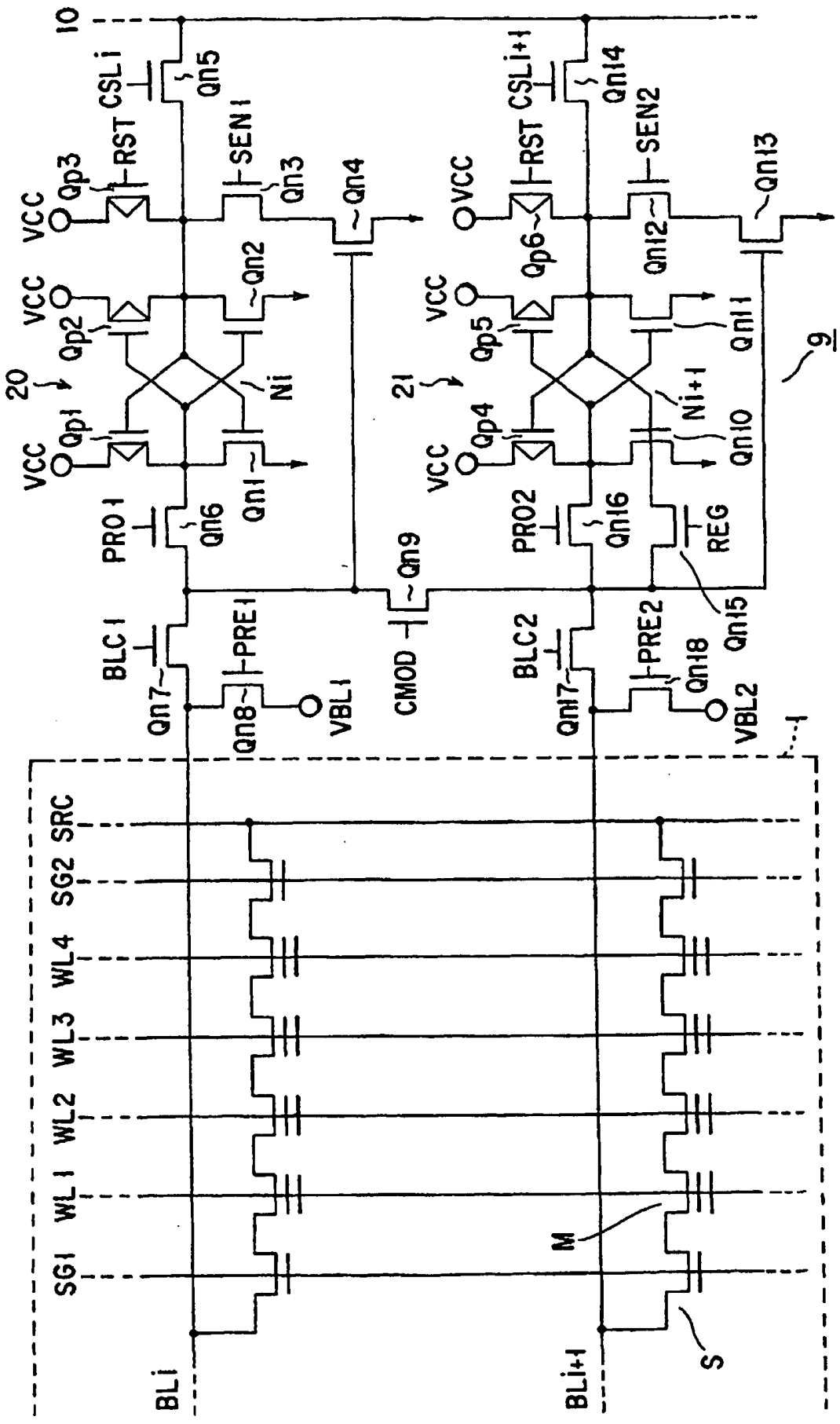

10
CSLi
Qn5
RST
SEN1
Qn3
Qn4
Qp3
VCC
Qn2
Qp2
20
Ni
Qp1
PRO1
Qn6
Qn1
BLC1
Qn7
PRE1
Qn8
VBL1
CMOD
Qn9
CSLi+1
Qn14
SEN2
Qn13
Qn12
Qp6
Qp5
21
Ni+1
Qn11
Qp4
Qn10
PRO2
Qn16
REG
Qn15
BLC2
Qn17
PRE2
Qn18
VBL2
9
SRC
SG2
WL4
WL3
WL2
WL1
SG1
BLi
BLi+1
M
S

FIG. 5

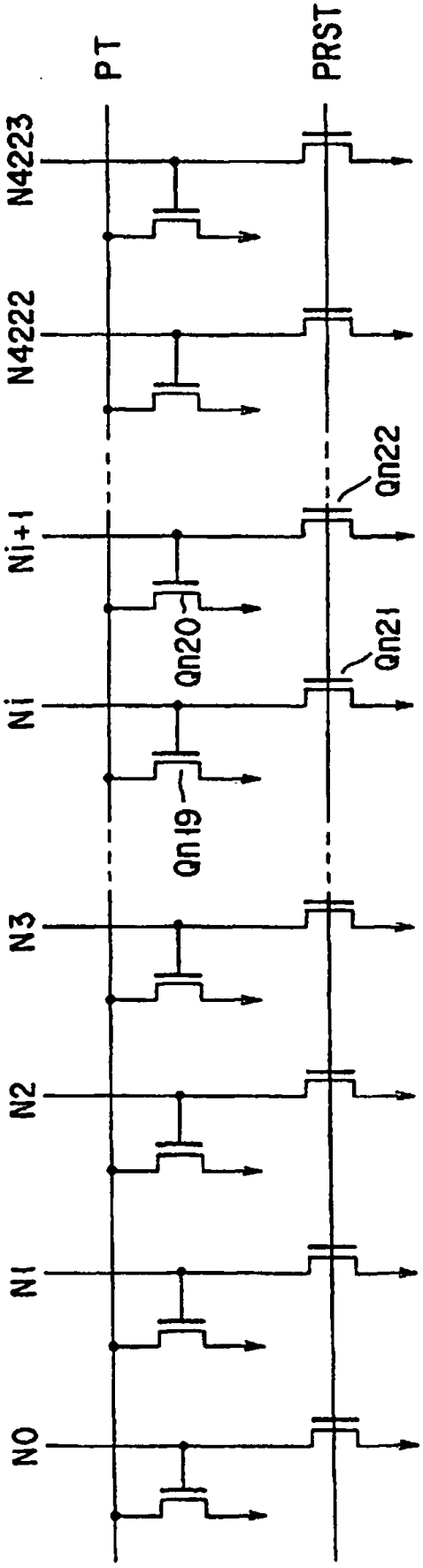


FIG. 6

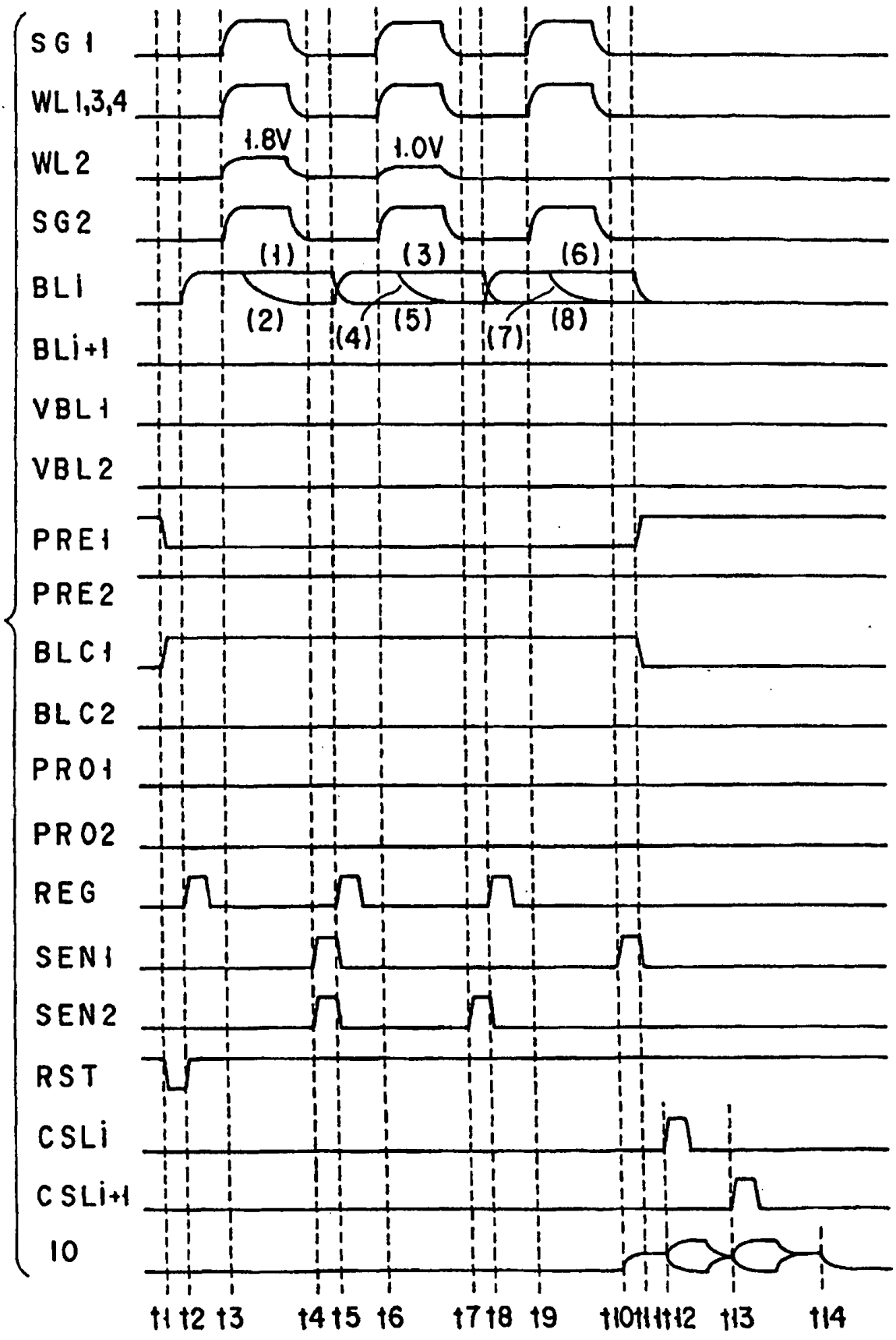

SG1
WL1,3,4
WL2
1.8V
1.0V
SG2
(1)
(3)
(6)
BLi
(2)
(4)
(5)
(7)
(8)
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
REG
SEN1
SEN2
RST
CSLi
CSLi+1
IO
t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14

FIG. 7

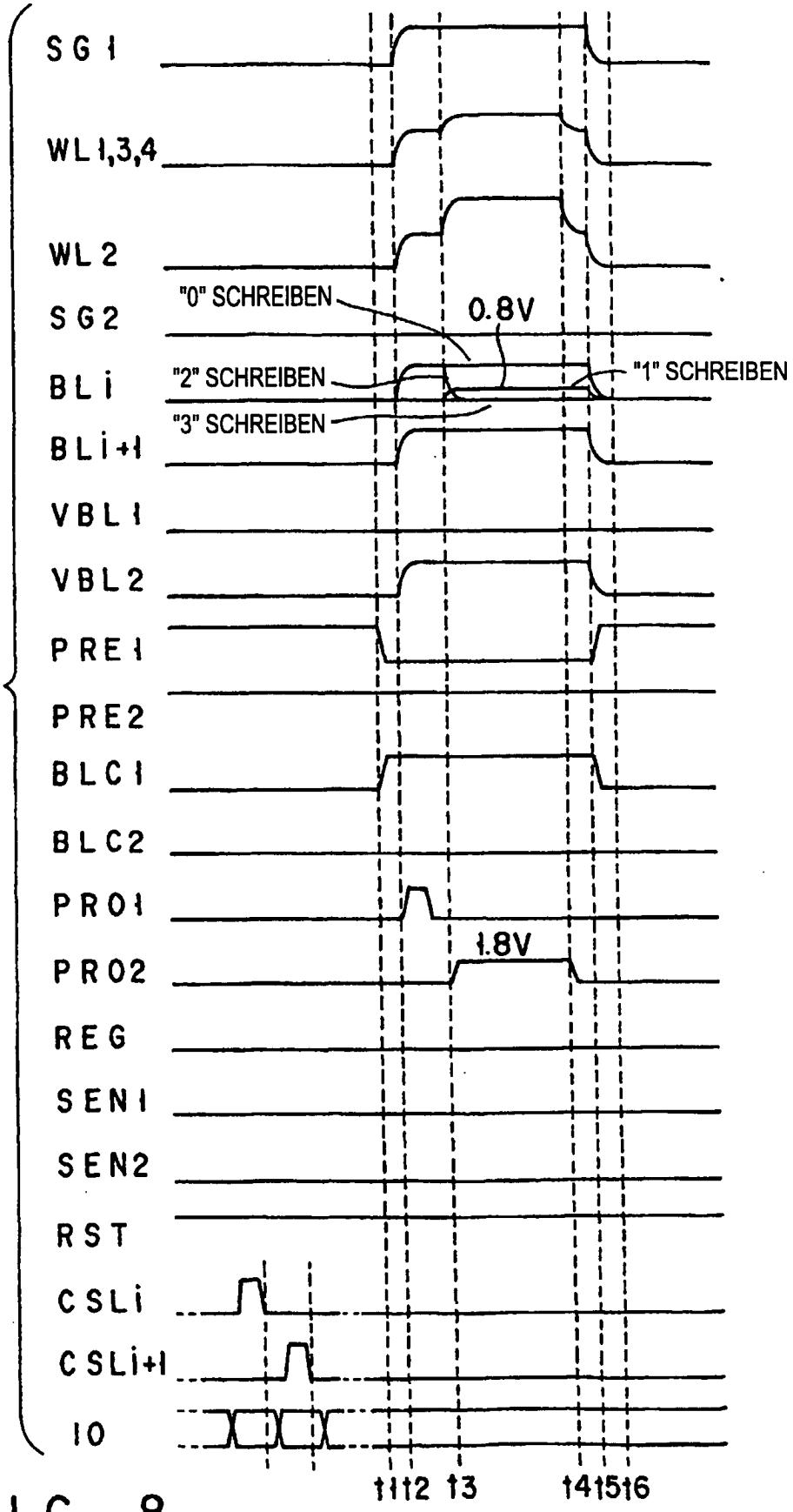

SG1
WL1,3,4
WL2
SG2
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
REG
SEN1
SEN2
RST
CSLi
CSLi+1
IO
"0" SCHREIBEN
0.8V
"2" SCHREIBEN
"1" SCHREIBEN
"3" SCHREIBEN
1.8V
t1
t2
t3
t14
t15
t16

FIG. 8

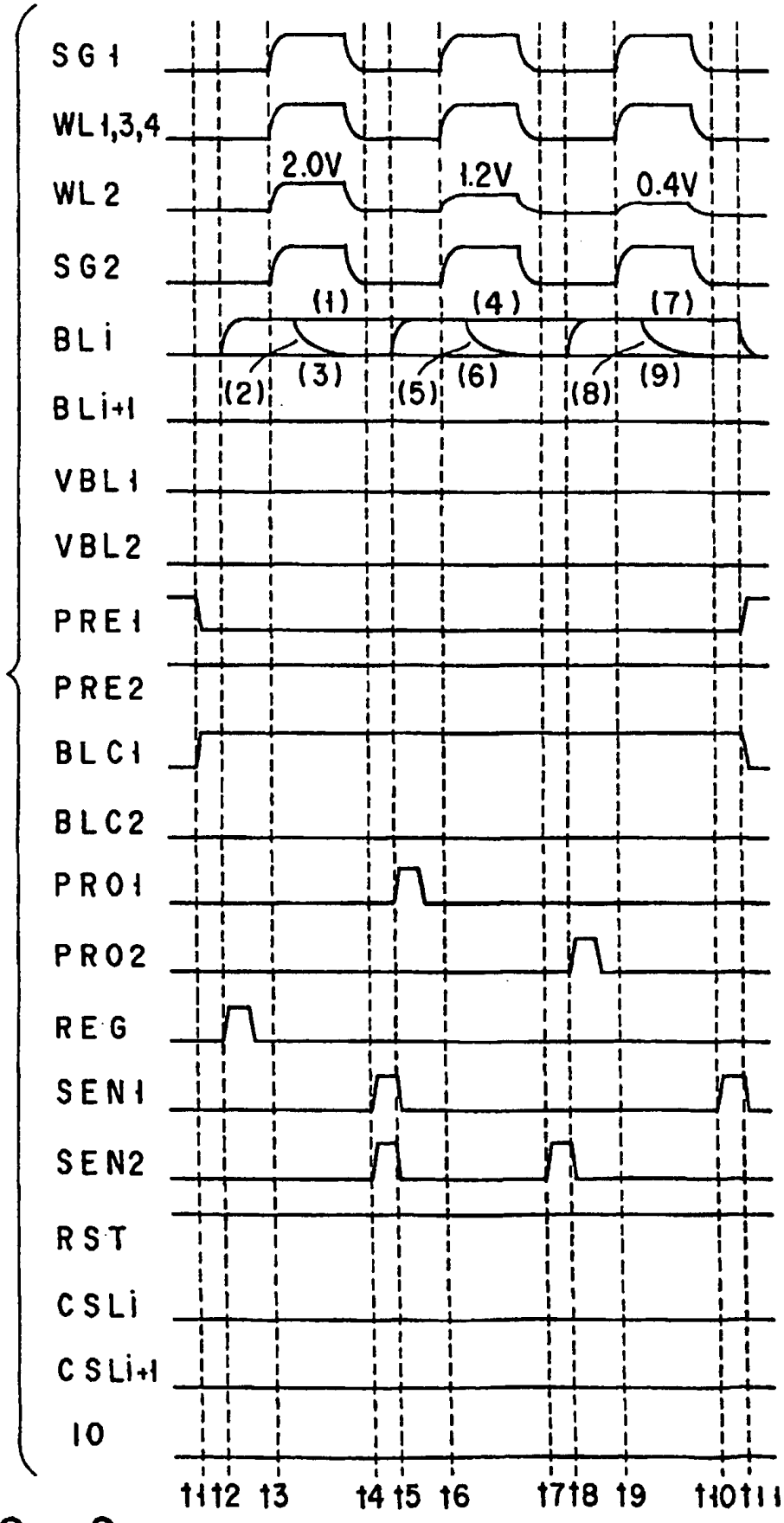

SG1
WL1,3,4
WL2
SG2
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
REG
SEN1
SEN2
RST
CSLi
CSLi+1
IO
2.0V
1.2V
0.4V
(1)
(2)
(3)
(4)
(5)
(6)
(7)
(8)
(9)
t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11

FIG. 9

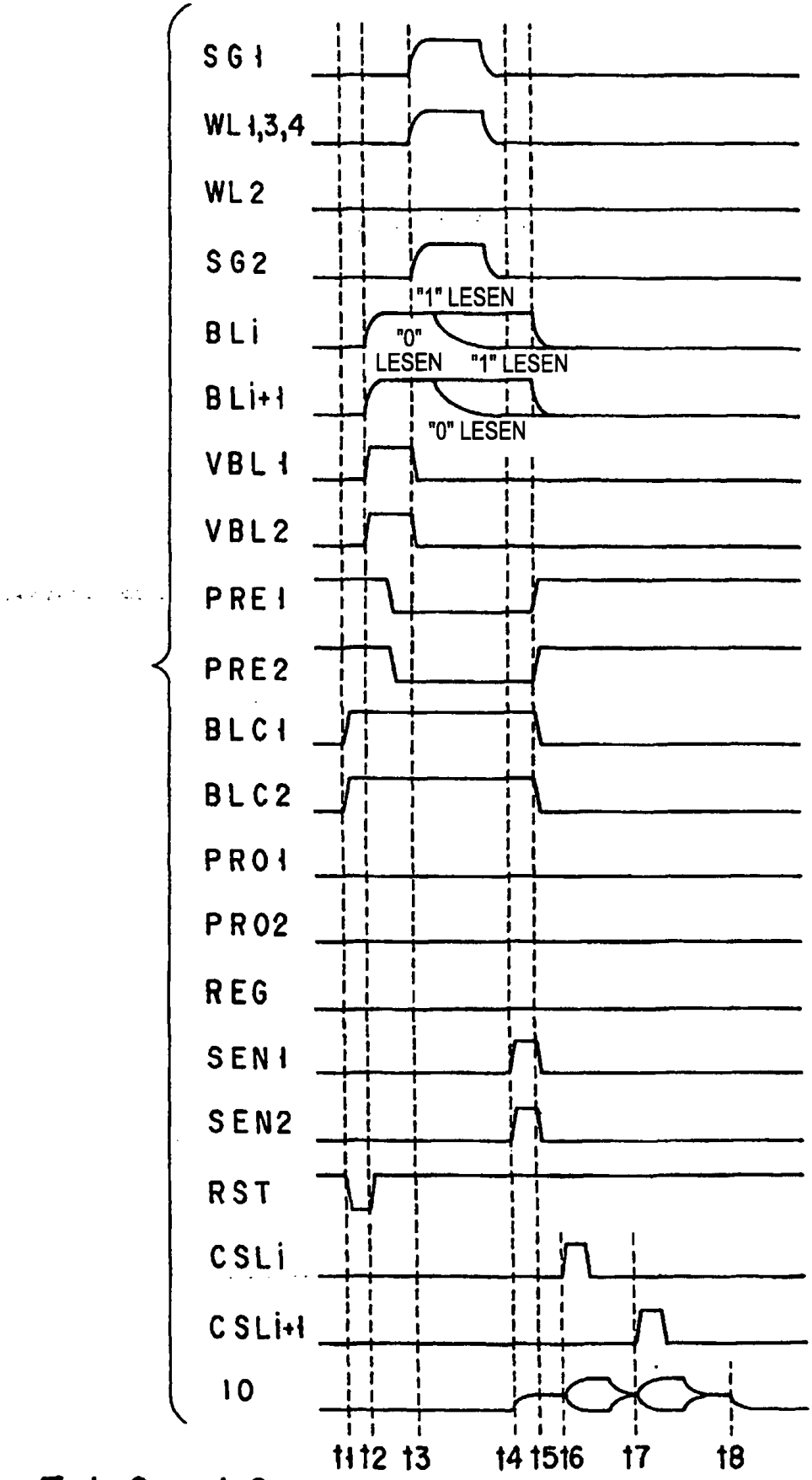

SG1
WL1,3,4
WL2
SG2
BLi
"1" LESEN
"0" LESEN
"1" LESEN
BLi+1
"0" LESEN
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
REG
SEN1
SEN2
RST
CSLi
CSLi+1
IO
t1 t2 t3 t4 t5 t6 t7 t8

FIG. 10

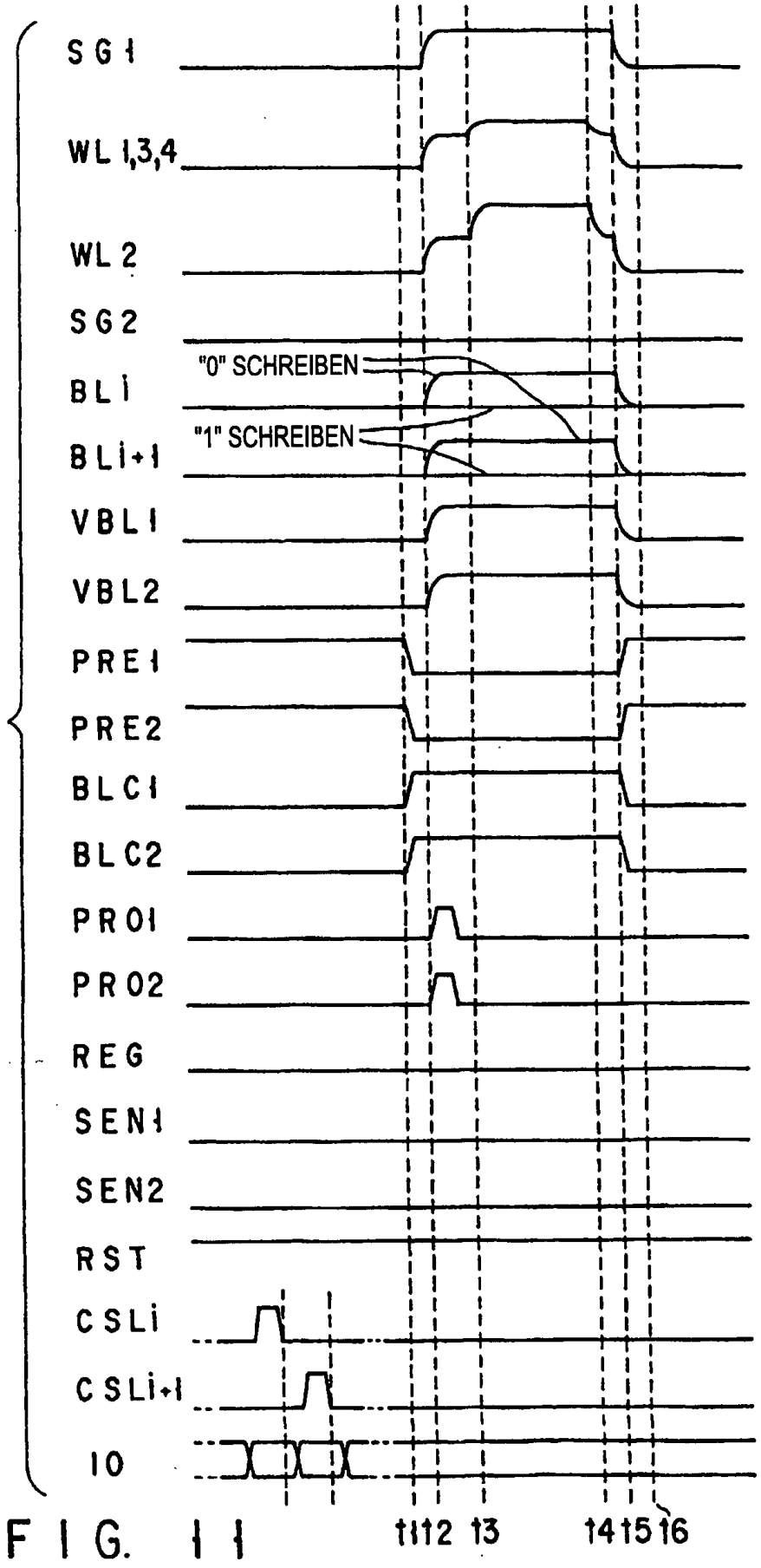
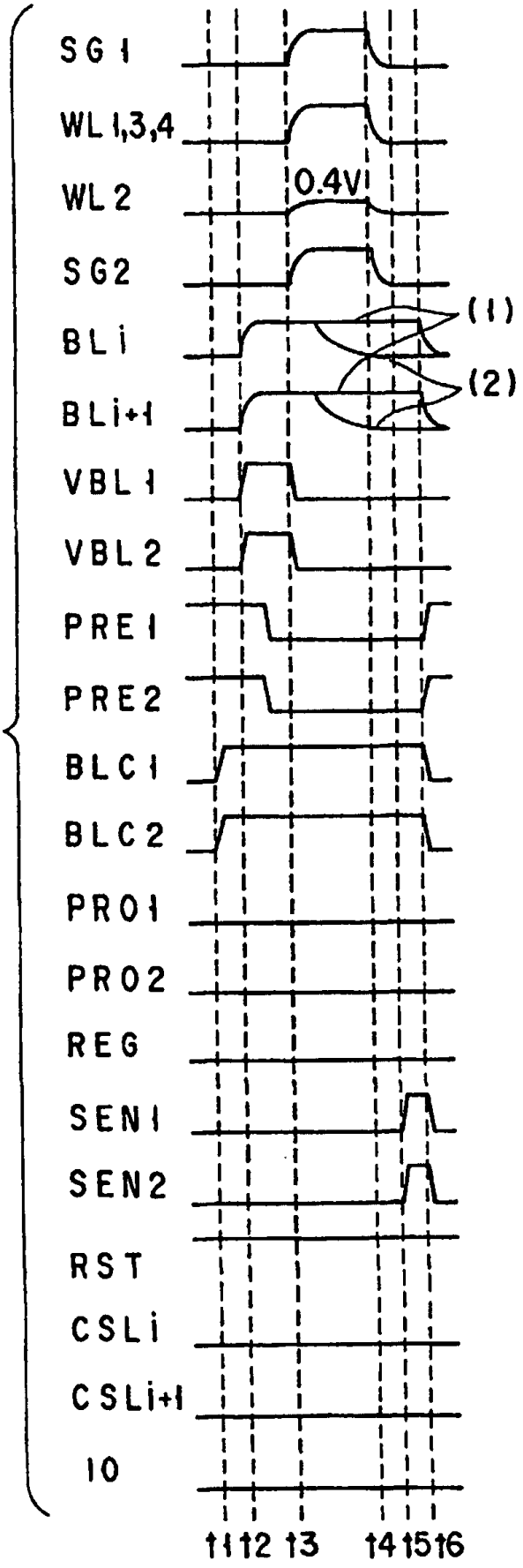

SG1
WL1,3,4
WL2
SG2
"0" SCHREIBEN
BLi
"1" SCHREIBEN
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
REG
SEN1
SEN2
RST
CSLi
CSLi+1
IO
t1
t2
t3
t4
t5
t6

FIG. 11

FIG. 12


SG1
WL1,3,4
WL2
0.4V
SG2
BLi
(1)
(2)
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
REG
SEN1
SEN2
RST
CSLi
CSLi+1
IO
t1 t2 t3 t4 t5 t6

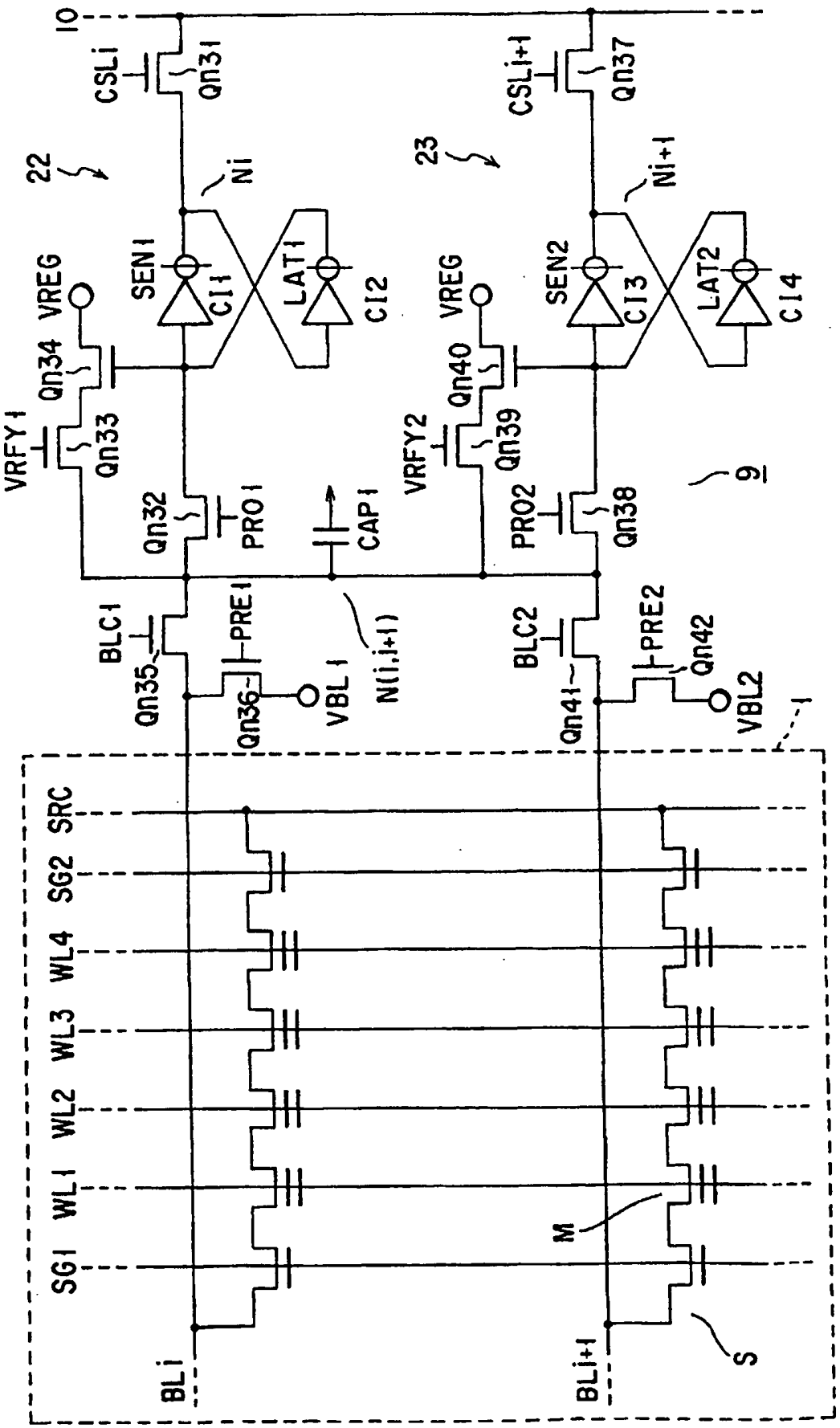

10
CSLi
Qn31
CSLi+1
Qn37
22
23
Ni
Ni+1
SEN1
C11
LAT1
C12
SEN2
C13
LAT2
C14
VREG
Qn34
Qn33
VRFY1
Qn32
PRO1
CAP1
Qn40
Qn39
VRFY2
PRO2
Qn38
9
BLC1
Qn35
PRE1
Qn36
VBL1
N(i,i+1)
BLC2
Qn41
PRE2
Qn42
VBL2
1
SRC
SG2
WL4
WL3
WL2
WL1
SG1
M
S
BLi
BLi+1

FIG. 13

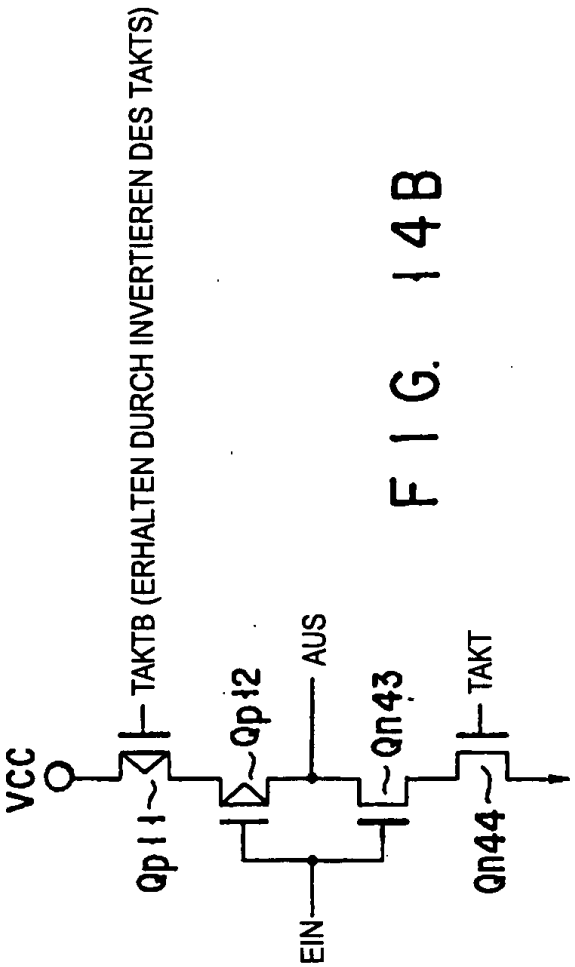


FIG. 14B

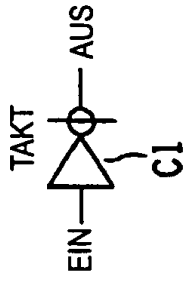


FIG. 14A

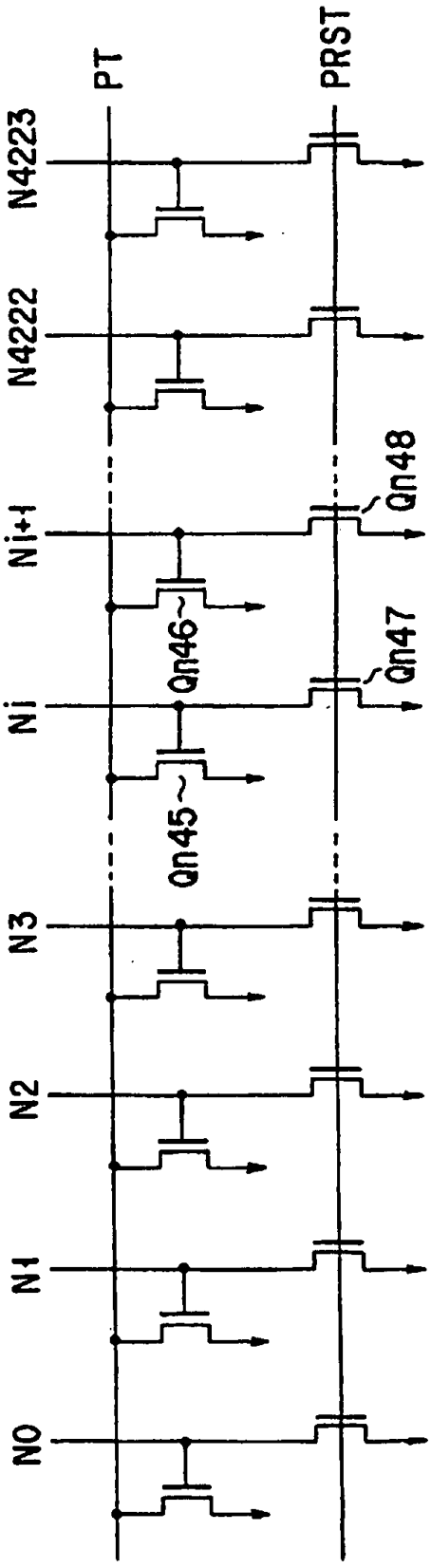


FIG. 15

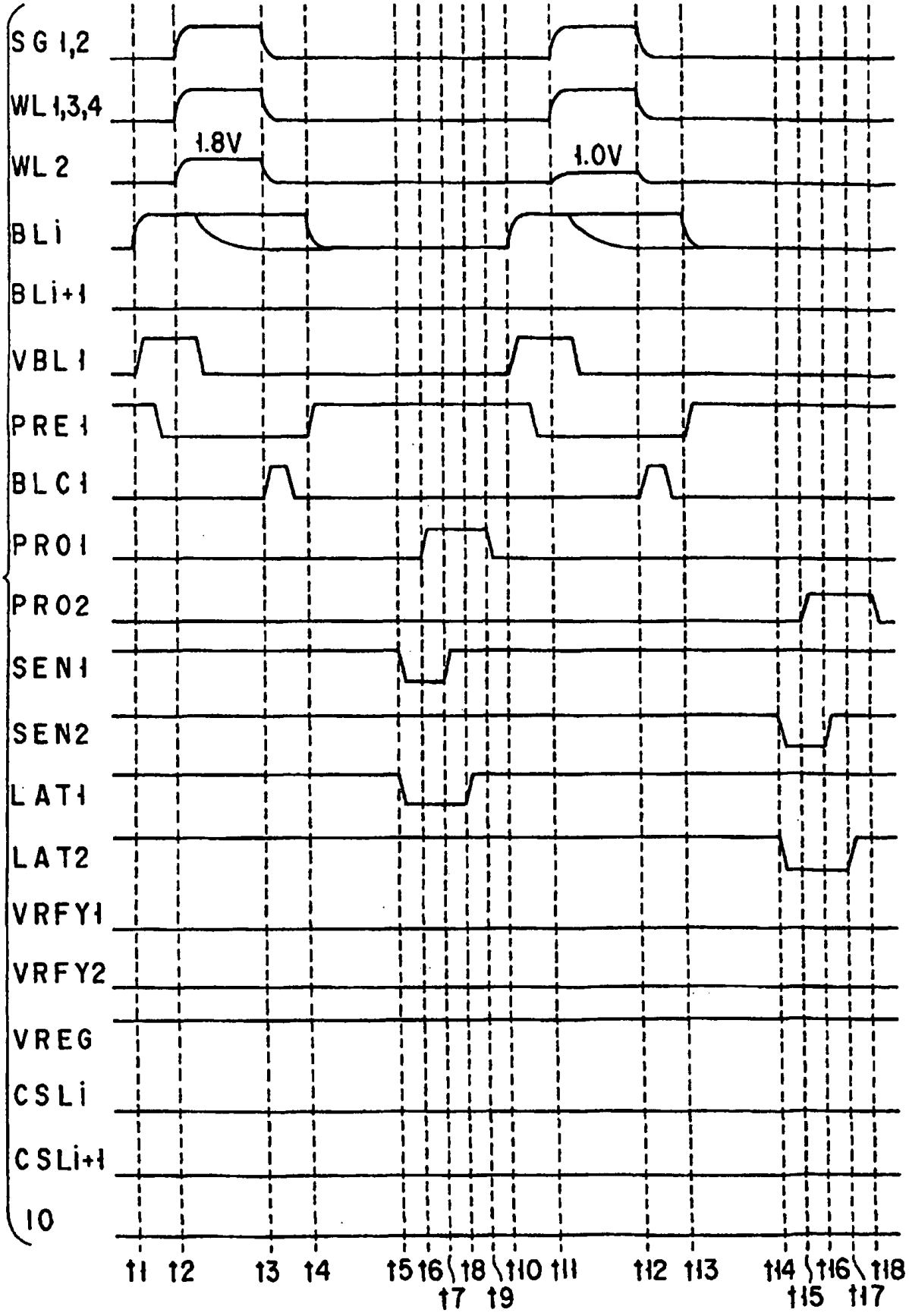

SG 1,2
WL 1,3,4
WL 2
1.8V
1.0V
BLi
BLi+1
VBL1
PRE1
BLC1
PRO1
PRO2
SEN1
SEN2
LAT1
LAT2
VRFY1
VRFY2
VREG
CSLi
CSLi+1
IO
t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17 t18

FIG. 16

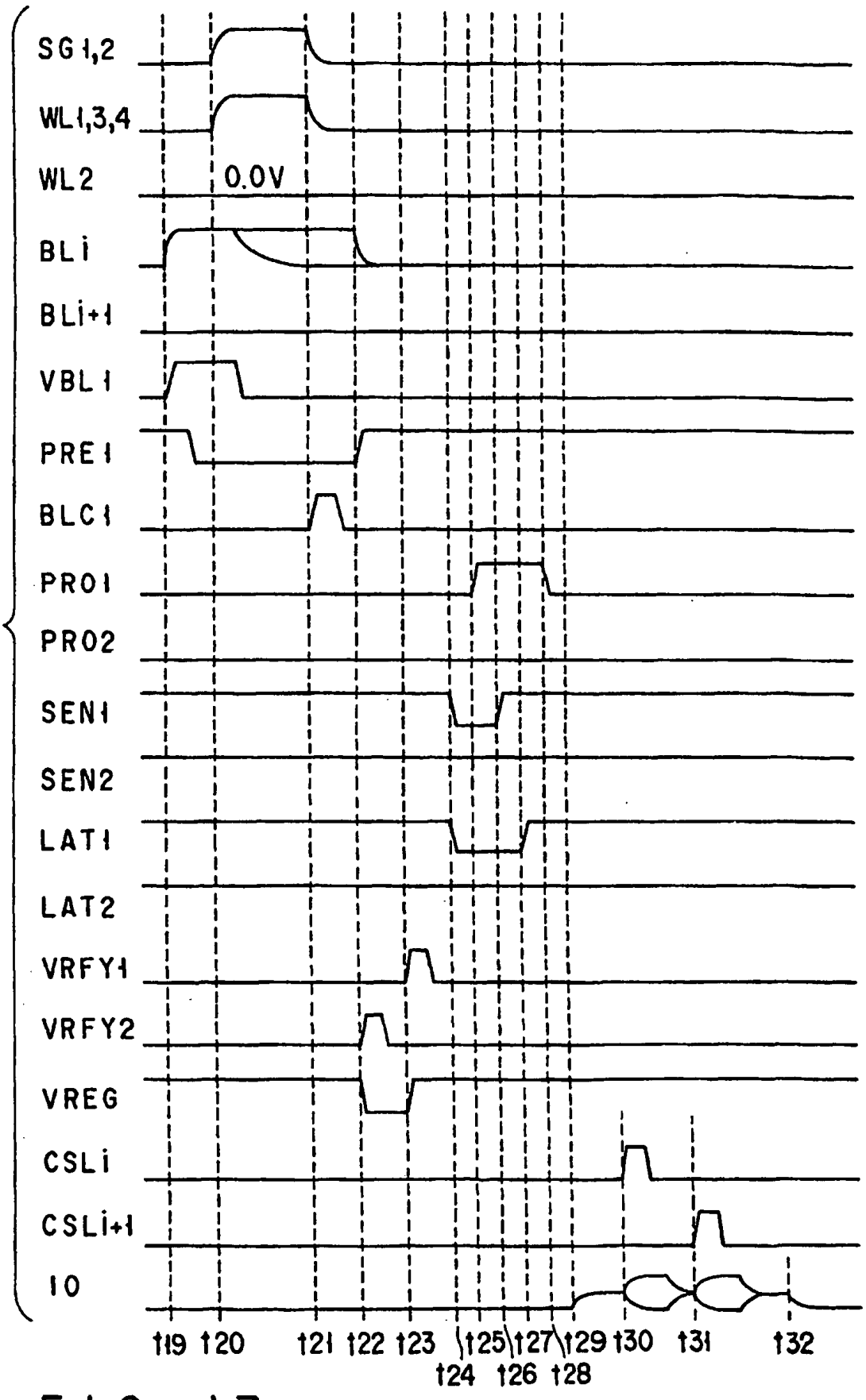

SG1,2
WL1,3,4
WL2
0.0V
BLi
BLi+1
VBL1
PRE1
BLC1
PRO1
PRO2
SEN1
SEN2
LAT1
LAT2
VRFY1
VRFY2
VREG
CSLi
CSLi+1
IO
t19 t20 t21 t22 t23 t24 t25 t26 t27 t28 t29 t30 t31 t32

FIG. 17

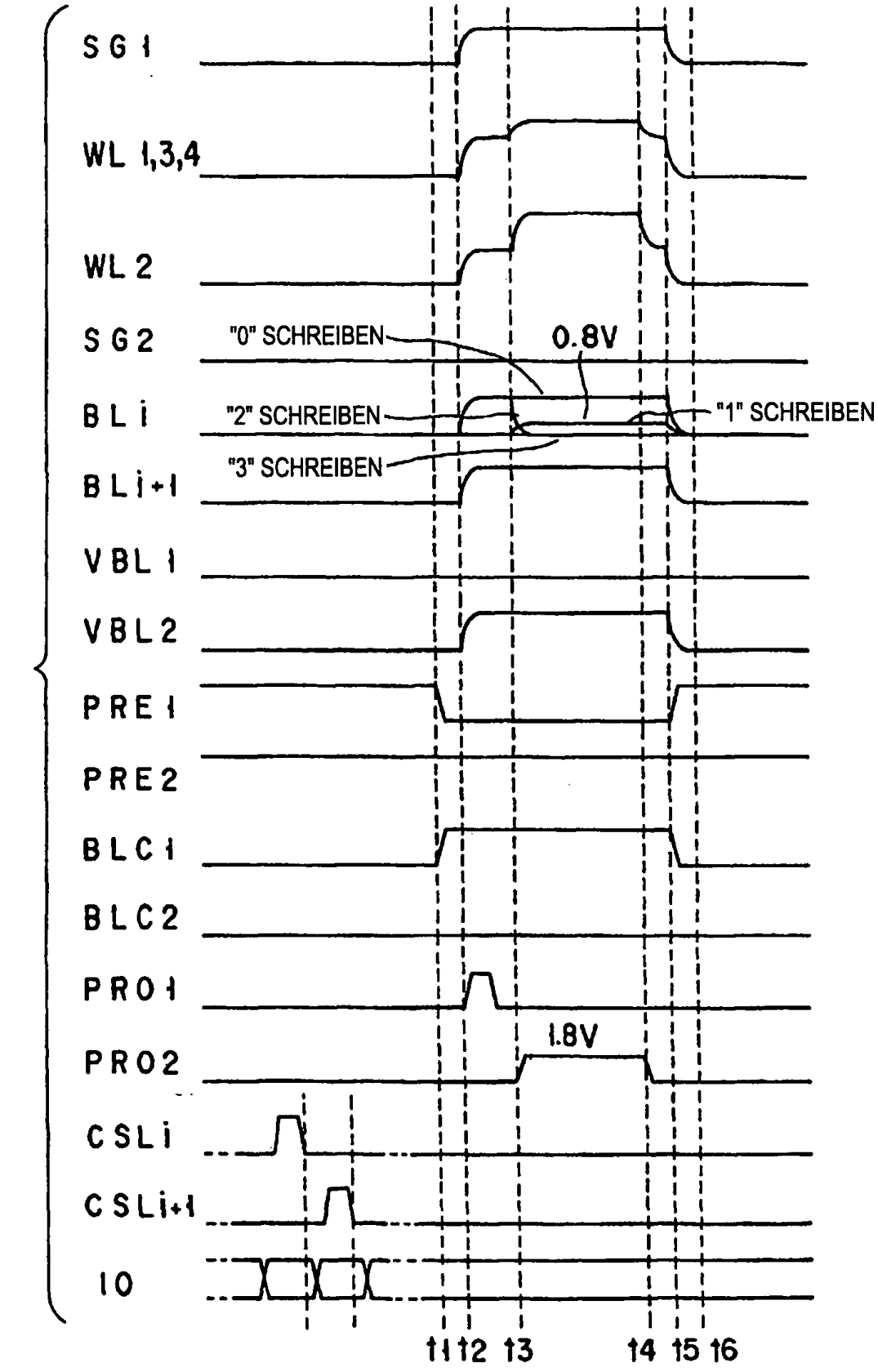

SG1
WL 1,3,4
WL2
SG2
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
CSLi
CSLi+1
IO
"0" SCHREIBEN
0.8V
"2" SCHREIBEN
"1" SCHREIBEN
"3" SCHREIBEN
1.8V
11 12 13 14 15 16

FIG. 18

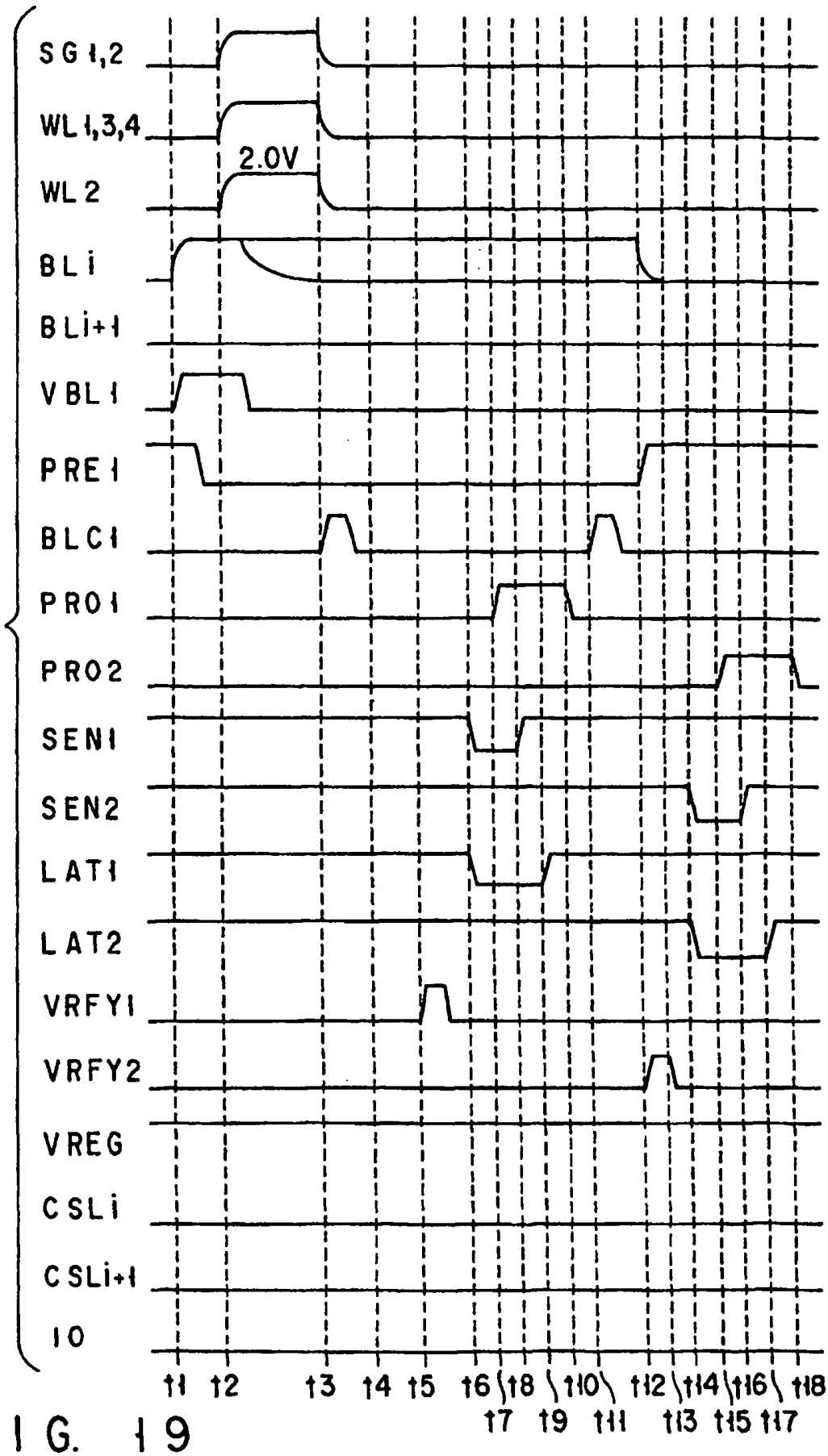

SG1,2
WL1,3,4
2.0V
WL2
BLi
BLi+1
VBL1
PRE1
BLC1
PRO1
PRO2
SEN1
SEN2
LAT1
LAT2
VRFY1
VRFY2
VREG
CSLi
CSLi+1
IO
t1 t2 t3 t4 t5 t6 t18 t10 t12 t14 t16 t18
t7 t9 t11 t13 t15 t17

FIG. 19

FIG. 20

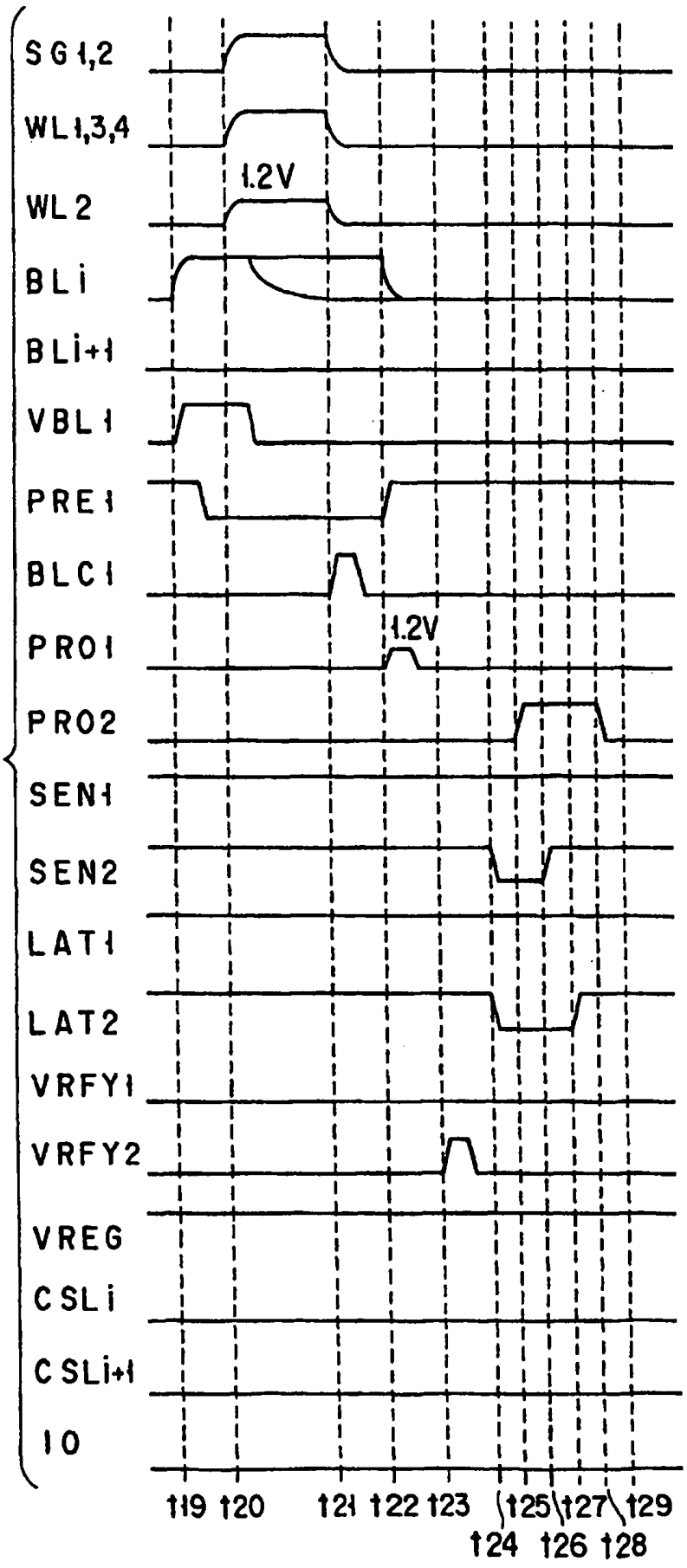
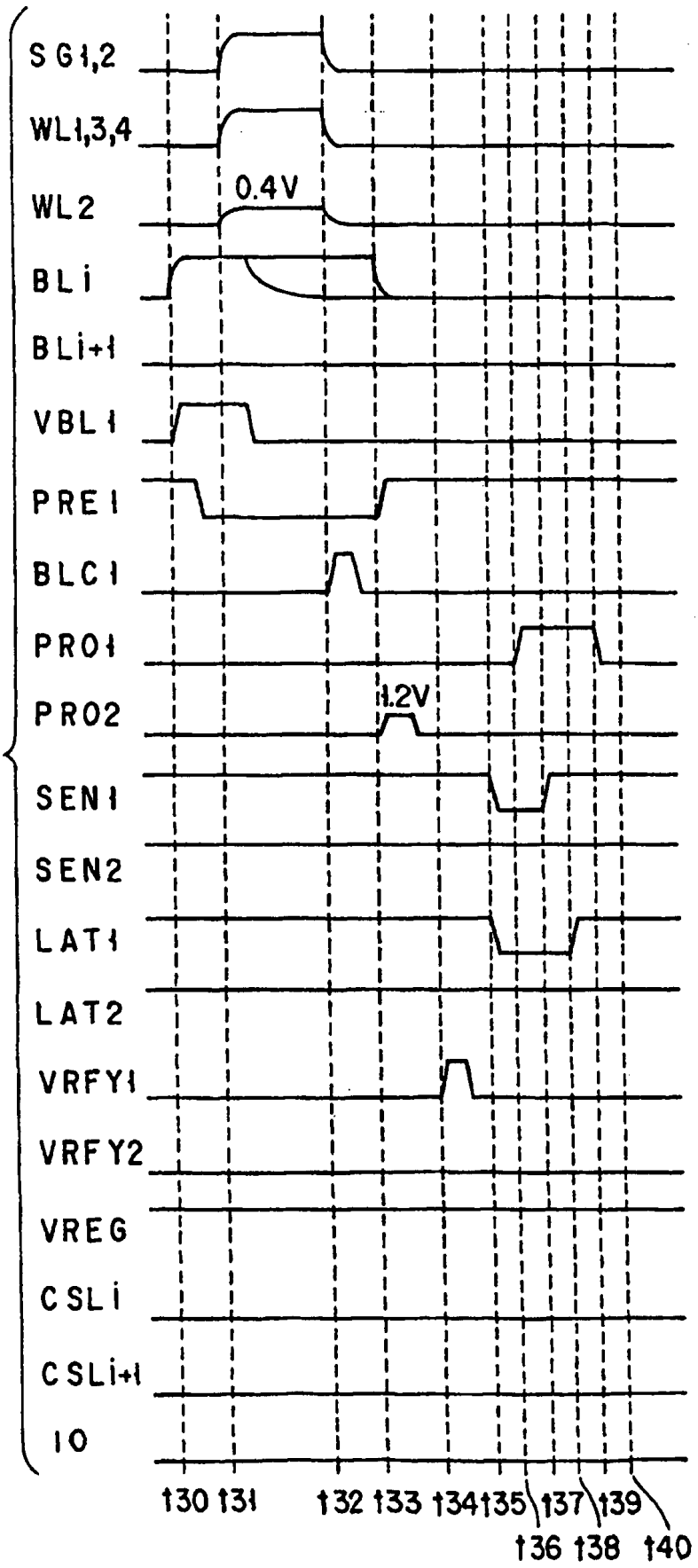

SG1,2
WL1,3,4
1.2V
WL2
BLi
BLi+1
VBL1
PRE1
BLC1
1.2V
PRO1
PRO2
SEN1
SEN2
LAT1
LAT2
VRFY1
VRFY2
VREG
CSLi
CSLi+1
IO
119 120 121 122 123 124 125 126 127 128 129

FIG. 21


SG1,2
WL1,3,4
WL2
0.4V
BLi
BLi+1
VBL1
PRE1
BLC1
PRO1
PRO2
1.2V
SEN1
SEN2
LAT1
LAT2
VRFY1
VRFY2
VREG
CSLi
CSLi+1
IO
t30 t31 t32 t33 t34 t35 t37 t39
t36 t38 t40