

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6402450号
(P6402450)

(45) 発行日 平成30年10月10日(2018.10.10)

(24) 登録日 平成30年9月21日(2018.9.21)

(51) Int.Cl.

A63F 5/04 (2006.01)

F 1

A 6 3 F 5/04 5 1 2 B
A 6 3 F 5/04 5 1 7

請求項の数 1 (全 29 頁)

(21) 出願番号 特願2014-25164 (P2014-25164)
 (22) 出願日 平成26年2月13日 (2014.2.13)
 (65) 公開番号 特開2015-150116 (P2015-150116A)
 (43) 公開日 平成27年8月24日 (2015.8.24)
 審査請求日 平成28年12月7日 (2016.12.7)

早期審査対象出願

(73) 特許権者 390031783
 サミー株式会社
 東京都品川区西品川一丁目1番1号住友不
 動産大崎ガーデンタワー
 (74) 代理人 100113228
 弁理士 中村 正
 柴崎 隆行
 東京都豊島区東池袋三丁目1番1号サンシ
 ャイン60 サミー株式会社内
 (72) 発明者 吉岡 省次
 東京都豊島区東池袋三丁目1番1号サンシ
 ャイン60 サミー株式会社内
 審査官 安藤 達哉

最終頁に続く

(54) 【発明の名称】遊戯機

(57) 【特許請求の範囲】

【請求項 1】

基板と、
 所定のスイッチと
 を備え、

前記基板は、第1信号線と、第2信号線と、第3信号線と、入力ポートと、を少なくとも有し、

前記所定のスイッチは、第1接点と、第2接点と、を少なくとも有し、

前記所定のスイッチの前記第1接点と前記基板の前記第1信号線とが電気的に接続され、かつ、前記所定のスイッチの前記第2接点と前記基板の前記第2信号線とが電気的に接続されることにより、前記所定のスイッチと前記基板とが電気的に接続可能となるよう構成されており、

前記所定のスイッチが第1の状態である場合は、設定変更が不可能な状態となるよう構成されており、

前記所定のスイッチが第2の状態である場合は、設定変更が可能な状態となるよう構成されており、

前記入力ポートの所定のビットに「L」を示す値が入力されている場合は、設定変更が不可能な状態となるよう構成されており、

前記入力ポートの前記所定のビットに「H」を示す値が入力されている場合は、設定変更が可能な状態となるよう構成されており、

10

20

前記所定のスイッチと前記基板とが電気的に接続されており、前記所定のスイッチが前記第1の状態である場合には、前記基板の前記第1信号線を流れる電圧の状態が「H」となり、かつ前記基板の前記第2信号線を流れる電圧の状態が「L」となり、前記基板の前記第1信号線を流れる電圧の状態である「H」と前記基板の前記第2信号線を流れる電圧の状態である「L」とが論理演算され、当該論理演算の結果が「L」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「L」を示す値が入力され、

前記所定のスイッチと前記基板とが電気的に接続されており、前記所定のスイッチが前記第2の状態である場合には、前記基板の前記第1信号線を流れる電圧の状態が「L」となり、かつ前記基板の前記第2信号線を流れる電圧の状態が「H」となり、前記基板の前記第1信号線を流れる電圧の状態である「L」と前記基板の前記第2信号線を流れる電圧の状態である「H」とが論理演算され、当該論理演算の結果が「H」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「H」を示す値が入力され、

前記所定のスイッチと前記基板とが電気的に接続されていない場合には、前記基板の前記第1信号線を流れる電圧の状態が「H」となり、前記基板の前記第2信号線を流れる電圧の状態が「H」となり、前記基板の前記第1信号線を流れる電圧の状態である「H」と前記基板の前記第2信号線を流れる電圧の状態である「H」とが論理演算され、当該論理演算の結果が「L」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「L」を示す値が入力され、

前記基板の前記第1信号線と前記基板のGNDに接続される信号線とがショートした場合には、前記基板の前記第1信号線を流れる電圧の状態が「L」となり、前記基板の前記第2信号線を流れる電圧の状態が「L」となり、前記基板の前記第1信号線を流れる電圧の状態である「L」と前記基板の前記第2信号線を流れる電圧の状態である「L」とが論理演算され、当該論理演算の結果が「L」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「L」を示す値が入力される

ことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチを備える遊技機に関するものである。

【背景技術】

【0002】

従来の遊技機において、スイッチ装置を備える遊技機が知られている。たとえば、スイッチ装置として設定変更装置を備えるスロットマシンが挙げられる。

従来のスロットマシンの設定変更装置において、設定キースイッチは一回路タイプであり、その信号線は1ビットである。このため、論理は、L/Hの一論理で管理される。

ここで、設定キースイッチにおいて、キーシリンダーへの設定キーの差し込みを検知する検知センサを設ける方法が知られている（たとえば、特許文献1参照）。

【0003】

特許文献1の技術では、電源のオン/オフを検知するセンサを備え、設定キーのキーシリンダーへの差し込みを検知したときに、電源がオフであれば、設定変更モードに移行させる。このようにすれば、電源オン時に設定キーがキーシリンダーに差し込まれても、設定変更モードへの移行を防止することができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-215949号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0005】

前述の従来の技術において、設定キースイッチを一論理で管理する場合には、コネクタの抜去等の不正行為により、設定変更モードに移行してしまうおそれがあるという問題がある。

また、特許文献1のように、設定キーの差し込みを検知するセンサを別途設けると、コストが高くなるという問題がある。

本発明が解決しようとする課題は、コストを高くすることなく、スイッチの不正な操作を防止することである。

【課題を解決するための手段】

【0006】

10

本発明は、以下の解決手段によって上述の課題を解決する。なお、かっこ書きで、対応する実施形態の構成を示す。

請求項1の発明（第1実施形態）は、

基板（メイン制御基板50）と、

所定のスイッチ（設定キースイッチ72）と

を備え、

前記基板は、第1信号線（設定キースイッチ1信号に係る信号線）と、第2信号線（設定キースイッチ2信号に係る信号線）と、第3信号線（設定キースイッチ信号に係る信号線）と、入力ポート（51）と、を少なくとも有し、

前記所定のスイッチは、第1接点（接点72a）と、第2接点（接点72b）と、を少なくとも有し、

20

前記所定のスイッチの前記第1接点と前記基板の前記第1信号線とが電気的に接続され、かつ、前記所定のスイッチの前記第2接点と前記基板の前記第2信号線とが電気的に接続されることにより、前記所定のスイッチと前記基板とが電気的に接続可能となるように構成されており、

前記所定のスイッチが第1の状態（オフ）である場合は、設定変更が不可能な状態となるように構成されており、

前記所定のスイッチが第2の状態（オン）である場合は、設定変更が可能な状態となるように構成されており、

前記入力ポートの所定のビット（設定キースイッチ信号が入力されるビット）に「L」を示す値が入力されている場合は、設定変更が不可能な状態となるように構成されており、

30

前記入力ポートの前記所定のビットに「H」を示す値が入力されている場合は、設定変更が可能な状態となるように構成されており、

前記所定のスイッチと前記基板とが電気的に接続されており、前記所定のスイッチが前記第1の状態である場合には、前記基板の前記第1信号線を流れる電圧の状態が「H」となり、かつ前記基板の前記第2信号線を流れる電圧の状態が「L」となり、前記基板の前記第1信号線を流れる電圧の状態である「H」と前記基板の前記第2信号線を流れる電圧の状態である「L」とが論理演算され、当該論理演算の結果が「L」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「L」を示す値が入力され（図5中、「設定キーオフ時」）、

40

前記所定のスイッチと前記基板とが電気的に接続されており、前記所定のスイッチが前記第2の状態である場合には、前記基板の前記第1信号線を流れる電圧の状態が「L」となり、かつ前記基板の前記第2信号線を流れる電圧の状態が「H」となり、前記基板の前記第1信号線を流れる電圧の状態である「L」と前記基板の前記第2信号線を流れる電圧の状態である「H」とが論理演算され、当該論理演算の結果が「H」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「H」を示す値が入力され（図5中、「設定キーオン時」）、

前記所定のスイッチと前記基板とが電気的に接続されていない場合（コネクタ抜去時）には、前記基板の前記第1信号線を流れる電圧の状態が「H」となり、前記基板の前記第

50

2 信号線を流れる電圧の状態が「H」となり、前記基板の前記第1信号線を流れる電圧の状態である「H」と前記基板の前記第2信号線を流れる電圧の状態である「H」とが論理演算され、当該論理演算の結果が「L」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「L」を示す値が入力され(図5中、「コネクタ抜去時」)、

前記基板の前記第1信号線と前記基板のGND(50h)に接続される信号線(たとえば、コネクタ50aの6番ピン端子と繋がる信号線)とがショートした場合には、前記基板の前記第1信号線を流れる電圧の状態が「L」となり、前記基板の前記第2信号線を流れる電圧の状態が「L」となり、前記基板の前記第1信号線を流れる電圧の状態である「L」と前記基板の前記第2信号線を流れる電圧の状態である「L」とが論理演算され、当該論理演算の結果が「L」となり、前記基板の前記第3信号線を介して前記入力ポートの前記所定のビットに「L」を示す値が入力される(図5中、「信号線ショート時」)

ことを特徴とする。

【発明の効果】

【0007】

本発明によれば、基板と所定のスイッチとの電気的接続を解除しても、入力ポートに「H」が入力されないので、スイッチの不正操作を防止することができる。

【図面の簡単な説明】

【0008】

【図1】本実施形態におけるスロットマシン(遊技機)の制御の概略を示すブロック図である。

【図2】電源ユニットのリセットスイッチ、設定キースイッチ及び設定ドアスイッチと、メイン制御基板内の回路構成を示す図である(第1実施形態)。

【図3】図2中、リセットスイッチ、設定キースイッチ及び設定ドアスイッチからメイン制御基板のコネクタまでを拡大して示す図である。

【図4】電源ユニットの設定キー挿入口(設定キースイッチ)のオン/オフと、設定キースイッチのレバーの位置との関係を示す図である。

【図5】図2の回路構成における論理の一覧を示す図である。

【図6】電源ユニットのリセットスイッチ、設定キースイッチ及び設定ドアスイッチと、メイン制御基板内の回路構成を示す図である(第2実施形態)。

【図7】図6の回路構成における論理の一覧を示す図である。

【図8】入力ポートの1つを示す図である。

【図9】設定キースイッチ1信号及び設定キースイッチ2信号と、設定キーがオフ時及びオン時の論理を示す図である。

【図10】設定キースイッチ信号データの変化を説明する図である。

【図11】設定キースイッチ信号の立ち上がり及び立ち下がりを示す設定キースイッチ信号エッジデータの例を示す図である。

【図12】設定キースイッチ信号エッジデータ(立ち上がり時)の作成を示す図である。

【図13】設定キースイッチ信号エッジデータ(立ち下がり時)の作成を示す図である。

【図14】設定キースイッチ信号エッジデータの作成を示す図である。

【図15】設定キースイッチ信号エッジデータの作成を示す図である。

【発明を実施するための形態】

【0009】

以下、図面等を参照して、本発明の一実施形態について説明する。

<第1実施形態>

図1は、本実施形態におけるスロットマシン10(遊技機)の制御の概略を示すブロック図である。スロットマシン10は、メイン制御基板50とサブ制御基板80とを備える。

メイン制御基板50は、入力ポート51、出力ポート52、メモリ53、メインCPU54等を備える(図1で図示したもののみを備える意味ではない)。

10

20

30

40

50

【0010】

メイン制御基板50と、図1で図示した操作スイッチ等の遊技進行用の周辺機器とは、入力ポート51又は出力ポート52を介して電気的に接続されている。入力ポート51は、操作スイッチ等の信号が入力される接続部であり、出力ポート52は、モータ32等の周辺機器に対して信号を送信する接続部である。

【0011】

なお、図1において、入力用の周辺機器は、その周辺機器からの信号がメイン制御基板50又はサブ制御基板80に向かう矢印で表示しており、出力用の周辺機器は、メイン制御基板50又はサブ制御基板80からその周辺機器に向かう矢印で示している。

【0012】

メモリ53は、遊技の進行等に必要なプログラム等を記憶しておくROM、及びメインCPU54が各種の制御を行うときに取り込んだデータ等を一時的に記憶しておくRWM(Read Write Memory)からなる。また、メインCPU54に備えられたレジスタもメモリ53に含まれる。

メインCPU54は、メイン制御基板50上に設けられたCPUを指し、遊技の進行に必要なプログラムの実行、演算等を行い、具体的には、役の抽選、リール31の駆動制御、及び入賞時の払出し等を実行する。

【0013】

また、サブ制御基板80は、遊技中及び遊技待機中における演出(情報)の選択・出力等を制御するものである。サブ制御基板80と、演出用の周辺機器とは、入力ポート81又は出力ポート82を介して電気的に接続されている。また、メイン制御基板50と同様に、サブ制御基板80は、メモリ83及びサブCPU84を備える。

【0014】

メモリ83は、演出用のデータ等(演出パターン等)を記憶しておくROM、サブCPU84が各種の演出を出力するときに取り込んだデータ等を一時的に記憶しておくRWMからなる。

サブCPU84は、所定のプログラムに従って、演出の決定及び実行、AT(サブボーナス)に関する抽選等を実行する。

【0015】

サブ制御基板80は、メイン制御基板50の下位に属する制御基板である。そして、メイン制御基板50とサブ制御基板80とは電気的に接続されており、メイン制御基板50のメインCPU54内にあるシリアル通信回路により、サブ制御基板80に一方向で演出の出力に必要な信号や情報(制御コマンド等)を送信する。

【0016】

メイン制御基板50からサブ制御基板80に送信される情報としては、たとえば、メダルが投入(ベット、貯留)された旨の情報、スタートスイッチ41が操作された旨の情報、役の抽選結果(当選役)の情報、リール31の回転が開始された旨の情報、ストップスイッチ42が操作された旨の情報、リール31が停止した旨の情報、各リール31の停止位置(停止図柄)の情報、入賞役の情報、メダルの払出し(リプレイの入賞による自動ベットを含む)の情報、遊技状態の情報、フリーズに関する情報等が挙げられる。

【0017】

図1において、メダル投入口43は、遊技者が実際にメダルを投入(手入れ)する部分である。メダル投入口43から投入されたメダルは、投入センサ44により検知される。

投入センサ44は、たとえば一対の光学センサからなり、一対の光学センサのオン/オフのタイミングに基づいて、メダルが正しく通過したか否かを判断する。

【0018】

また、図1に示すように、メイン制御基板50には、遊技者が操作する操作スイッチとして、ベットスイッチ40、スタートスイッチ41、(左、中、右)ストップスイッチ42が電気的に接続されている。

ベットスイッチ40は、貯留されたメダルを当該遊技のためにベットするときに遊技者

10

20

30

40

50

が操作するスイッチである。

また、スタートスイッチ41は、（左、中、右のすべての）リール31を始動させるときに遊技者が操作するスイッチである。

さらにまた、ストップスイッチ42は、3つ（左、中、右）のリール31に対応して3つ設けられ、対応するリール31を停止させるときに遊技者が操作するスイッチである。

【0019】

電源ユニット70は、スロットマシン10に必要な電力を供給するものであり、リセットスイッチ71、設定キースイッチ72、設定ドアスイッチ73、電源スイッチ74、設定キー挿入口75、設定ドア76等を備える。

設定ドア76は、電源ユニット70の前面部に開閉可能に取り付けられている。設定ドアスイッチ73は、設定ドア76の開閉状態を検知するためのセンサである。

また、設定ドア76が閉状態のときには、電源ユニット70の前面部に配置されたりセットスイッチ71、設定キー挿入口75、電源スイッチ74が設定ドア76によって覆われる。

【0020】

なお、図示しないが、設定ドア76には、ロックノブが設けられている。設定ドア76が閉位置の状態でロックノブを押し込めば、設定ドア76が閉位置で保持され、ロック状態になる。そのため、設定ドア76が不正に開放されること、ひいては設定キースイッチ72等に対する不正行為を防止することができる。なお、ロックノブを引き戻せば、設定ドア76のロック状態を解除することができる。

【0021】

リセットスイッチ71は、エラーの解除を行うときや、メモリ53（RWM）のラムクリアをした上でスロットマシン10を立ち上げるときに操作するスイッチである。

電源スイッチ74は、電源ユニット70のオン／オフを行うためのスイッチである。

設定キー挿入口75は、設定キースイッチ72のオン／オフを行うときに設定キーを挿入する鍵穴である。

設定キースイッチ72は、設定キー挿入口75の内部に配置され、設定キー挿入口75から挿入された設定キーによりオン／オフされる。設定キースイッチ72は、設定値（後述）を変更するときにオンにする必要がある。

【0022】

メイン制御手段50は、設定値を変更・決定する設定変更手段60を備える。

ここで、設定値とは、遊技者にとっての有利度を定めるものであり、本実施形態では設定1～設定6の6段階を設けている。

そして、設定値が高くなるほど、役（特に特別役）の当選確率が高く設定され、遊技者にとっての有利度が高くなるように設定している。

また、設定値が高くなるほど、ATに移行する確率が高くなり、遊技者にとっての有利度が高くなるように設定している。

【0023】

なお、ATに移行する確率を高くすることに代えて、又はATに移行する確率を高くするとともに、たとえばAT中の遊技回数や払出し枚数を上乗せする確率を高くしたり、ATを継続する確率を高くしてもよい。

また、設定値が高くなるほど、メダルの投入枚数に対する払出し枚数の期待値が高くなり、遊技者にとっての有利度が高くなるようにしてよい。

【0024】

設定値を設定・変更するには、電源スイッチ74を一旦オフにし、設定キー挿入口75に設定キーを差し込んで、正面（操作者側）から見て時計回りに90度回転させる。設定キー挿入口75に設定キーを差し込んだだけの状態では、内部の設定キースイッチ72は、オフの状態であるが、設定キーを時計回りに90度回転させると、設定キースイッチ72がオフからオンとなる。この状態で電源スイッチ74をオンにする（電源を投入する）と、設定変更モードとなる。したがって、この場合の電源オン時には、通常の立ち上げ処

10

20

30

40

50

理が行われない。なお、設定キー挿入口 75 に設定キーを差し込んで、時計回りに 90 度回転させ、この状態で電源スイッチ 74 を一旦オフにした後、電源スイッチ 74 を再度オンにしてもよい。

【0025】

設定変更モードでは、設定値変更手段 60 は、所定の設定値表示部に、現在の設定値を表示する。設定値表示部は、設定値表示専用の表示部（7 セグメントディスプレイ等）を設けてもよいが、たとえば遊技中にメダルのベット枚数や貯留枚数等を表示する表示部を利用するしてもよい。

【0026】

設定値変更手段 60 は、設定変更スイッチ 45 が 1 回操作されるごとに、設定値の表示を、・・・「1」「2」「3」「4」「5」「6」「1」「2」・・・と順次変化させる。したがって、設定値を変更するときは、設定変更スイッチ 45 を操作することで、所望の設定値を設定値表示部に表示させる。所望の設定値を設定値表示部に表示したら、本実施形態ではスタートスイッチ 41 をオンする。スタートスイッチ 41 がオンされると、このときに設定値表示部に表示していた設定値を確定させるとともに、設定値を確定させたことを示す「0」を設定値表示部に表示する。

さらに、設定値変更手段 60 は、メモリ 53 の所定の記憶領域に設定値を記憶する。

【0027】

次に、電源スイッチ 74 を一旦オフにし、設定キーを反時計回りに 90 度回転させて設定キースイッチ 72 をオフにしてから、設定キー挿入口 75 から設定キーを抜き、この状態で電源スイッチ 74 を再度オンにすると、変更後の設定値で立ち上げ処理が行われる。

なお、設定キーを反時計回りに 90 度回転させて設定キースイッチ 72 をオフにし、設定キー挿入口 75 から設定キーを抜き、この状態で電源スイッチ 74 を一旦オフにした後に再度オンにしてもよい。

【0028】

また、メイン制御基板 50 は、設定変更手段 60 で設定された設定値を示す情報を含むコマンドを、サブ制御基板 80 に送信する。そして、サブ制御基板 80 側でも設定値を設定して、設定値に応じた確率で A T 遊技を実行する。

【0029】

メイン制御基板 50 の出力ポート 52 には、図柄表示装置 30 のモータ 32 等が電気的に接続されている。

図柄表示装置 30 は、図柄を表示する（本実施形態では 3 つの）リール 31 と、各リール 31 をそれぞれ駆動するモータ 32 等からなる。

モータ 32 は、リール 31 を回転させるためのものであり、各リール 31 の回転中心部に連結され、後述するリール制御手段 62 によって制御される。ここで、リール 31 は、左リール 31、中リール 31、右リール 31 からなり、左リール 31 を停止させるときに操作するストップスイッチ 42 が左ストップスイッチ 42 であり、中リール 31 を停止させるときに操作するストップスイッチ 42 が中ストップスイッチ 42 であり、右リール 31 を停止させるときに操作するストップスイッチ 42 が右ストップスイッチ 42 である。

【0030】

リール 31 は、リング状のものであって、その外周面には複数種類の図柄（役に対応する図柄の組合せを構成している図柄）を印刷したリールテープを貼付したものである。本実施形態では、各リール 31 ごとに、21 個の図柄表示領域が等間隔で配置されているとともに（図柄コマ数が 21 個）、各図柄表示領域にそれぞれ所定の図柄が表示されている。なお、図柄コマ数は、21 個以外に、20 個の場合が挙げられる。

【0031】

また、メイン制御基板 50 には、メダル払い出し装置 35 が電気的に接続されている。メダル払い出し装置 35 は、メダルの貯留部となるホッパーのメダルを払い出し口から払い出すときに駆動するホッパーモータ 36 と、ホッパーモータ 36 から払い出されたメダルを検出するための払い出しセンサ 37 と、ホッパーの満杯を検出するための満杯センサ 38 とを

10

20

30

40

50

備える。

【0032】

メダル投入口43から手入れされ、受け付けられたメダルは、所定の通路を通してホッパー内に収容されるように形成されている。

払出しセンサ37は、メダルが正しく払い出されたか否かを判断する。たとえば、ホッパーモータ36が駆動しているにもかかわらず、払出しセンサ37の信号がオフであるときは、メダルが払い出されていないと判断し、ホッパーエラー（メダルなし）と検知される。一方、払出しセンサ37の信号がオンのままとなったときは、メダル詰まりが生じたと検知する。

【0033】

満杯センサ38は、ホッパー自体、あるいはホッパーから溢れたメダルを収容するサブタンクの満杯を検知するセンサであり、たとえばホッパー又はサブタンクのメダルが満杯となったときにメダルが接触することで通電する回路から構成される。

【0034】

また、サブ制御基板80の出力ポート82には、ランプ21、スピーカ22、及び画像表示装置23等の演出用の周辺機器が電気的に接続されている。

ランプ21は、スロットマシン10の演出用のランプ（LED等）であり、所定の条件を満たしたときに、それぞれ所定のパターンで点灯する。なお、ランプ21には、各リール31の内周側に配置され、リール31に表示された図柄（表示窓11から見える上下に連続する3図柄）を背後から照らすためのバックランプ、リールの上部からリール上の図柄を照光する蛍光灯、スロットマシン10の筐体前面に配置され、役の入賞時等に点滅する装飾ランプ（いずれも図示せず）等が含まれる。

【0035】

また、スピーカ22は、遊技中に各種の演出を行うべく、所定の条件を満たしたときに、所定のサウンドを出力するものである。

さらにまた、画像表示装置23は、液晶ディスプレイ、有機ELディスプレイ、ドットディスプレイ等からなるものであり、遊技中に各種の演出画像（AT中の押し順、役の抽選結果に対応する演出等）や、遊技情報（AT中の遊技回数や獲得枚数等）、メニュー画面等を表示するものである。

【0036】

図1では図示しないが、スロットマシン10の筐体は、前面側が開放されたほぼ箱形の基体部と、基体部の開放された前面を開閉可能なフロントマスク部とから構成されている。

基体部の内部には、上述した電源ユニット70、図柄表示装置30、メダル払い出し装置35、メイン制御基板50等を収容している。

【0037】

一方、フロントマスク部には、透明な表示窓が形成され、この表示窓から、図柄表示装置30の各リール31の一部の図柄（たとえば上下に連続する3図柄）が見えるように形成されている。

さらにまた、フロントマスク部の前面側には、上述したベットスイッチ40等の操作スイッチが設けられている。

さらに、フロントマスク部の裏面側（フロントマスク部を閉じた状態では外部から見えない位置）に、上述のサブ制御基板80及び設定変更スイッチ45が設けられている。

【0038】

遊技の開始時には、遊技者は、ベットスイッチ40を操作して予め貯留されたメダルをベットするか、又はメダル投入口43からメダルを手入れする。遊技開始前にメダルが貯留されているときは、その貯留枚数の範囲内で、ベットスイッチ40の操作により所定枚数のメダルがベットされる。

【0039】

また、貯留の有無にかかわらず、ベットメダル無しの状態から、メダル投入口43から

10

20

30

40

50

1枚のメダルが手入れされると1ベットされ、3枚のメダルが手入れされれば3ベットされる。

そして、ベットが行われたときは、その信号がメイン制御基板50に入力される。さらに、ベットが行われた状態でスタートスイッチ41が操作されると、その信号がメイン制御基板50に送信される。

【0040】

メインCPU54（具体的には、後述するリール制御手段62）は、スタートスイッチ41の操作信号を受信すると、すべてのモータ32を駆動制御して、すべてのリール31を回転させるように制御する（ただし、フリーズの実行時には回転させない場合もある）。このようにしてリール31がモータ32によって回転されることで、リール31上の図柄は、所定の速度で表示窓内で上下方向（図柄が上段から下段に移動する方向）に移動表示される。10

【0041】

また、メイン制御基板50の役抽選手段61は、スタートスイッチ41が操作された信号を検知したときは、役の抽選を行う。役抽選手段61は、スタートスイッチ41が操作されたときに乱数値を抽出し、その乱数値がどの当選役に該当するかを役抽選テーブルと照合することにより、当該遊技での当選役を決定する。

【0042】

役抽選テーブルは、抽選される役の種類と、各役の当選確率とを定めたものである。役抽選テーブルは、それぞれ所定の範囲の抽選領域を有し、この抽選領域は、各役の当選領域及び非当選領域に分けられているとともに、抽選される役が、予め設定された当選確率となるように所定の割合に設定されている。20

なお、役抽選テーブルは、設定値ごとに設けられており、メモリ53に記憶されている設定値に対応する役抽選テーブルが用いられる。

【0043】

遊技者は、ストップスイッチ42の操作受付けが有効となっているときにストップスイッチ42を押すことで、そのストップスイッチ42に対応するリール31（例えば、左ストップスイッチ42に対応する左リール31）の回転を停止させる。ストップスイッチ42が操作されると、その信号がメイン制御基板50に入力される。

【0044】

メインCPU54（具体的にはリール制御手段62）は、この信号を受信すると、役抽選手段61での役抽選結果と、ストップスイッチ42が操作された瞬間のリール31の位置とから、そのストップスイッチ42に対応するモータ32を駆動制御し、そのモータ32に係るリール31の停止制御を行う。30

そして、すべてのリール31の停止時に、いずれかの役に対応する図柄の組合せが有効ラインに停止したとき（すなわち、その役の入賞時）は、入賞した役に対応するメダルの払い出し等が行われる。

【0045】

メインCPU54の入賞判定手段63は、すべてのリール31の停止時に、いずれかの役に対応する図柄の組合せが有効ラインに停止したか否かを判断する。入賞判定手段63は、たとえばモータ32のステップ数を検知することにより、有効ライン上の図柄を判断する。ただし、入賞判定手段63は、ストップスイッチ42が操作され、リール31の停止位置が決定された時に、そのリール31が停止したか否かにかかわらず、停止図柄を判断することが可能である。40

【0046】

払い出し手段64は、すべてのリール31の停止時に、いずれかの役に対応する図柄の組合せが有効ラインに停止したと判断され、その役の入賞となったときに、その入賞役に応じて所定枚数のメダルを遊技者に対して払い出す。払い出しは、貯留枚数として加算するか、又は貯留枚数が「50」を超えるときは実際にメダルを払い出し口から払い出す。メダルを実際に払い出すときは、ホッパーモータ36を駆動制御して、所定枚数のメダルを払い50

出す。メダルの払出し時には、払い出されたメダルを払出しセンサ37により検知し、正しく払い出されたか否かをチェックする。

【0047】

また、サブ制御基板80は、上述したランプ21、スピーカ22、及び画像表示装置23からの演出の出力を制御する。

サブ制御基板80は、遊技ごとに、遊技の開始時に、役抽選手段61による役の抽選結果（メイン制御基板50側から送信された役抽選結果の情報）に基づいて、ソフトウェア乱数を用いた抽選によって、演出を選択する。

【0048】

具体的には、遊技の進行に伴って、どのようなタイミングで（スタートスイッチ41の操作時や各ストップスイッチ42の操作時等）、どのような演出を出力するか（ランプ21をどのように点灯、点滅又は消灯させるか、スピーカ22からどのようなサウンドを出力するか、及び画像表示装置23にどのような画像を表示させるか等）を選択する。そして、この選択に従って、演出を出力する。10

したがって、これらのランプ21、スピーカ22、及び画像表示装置23からの演出の出力は、サブ制御基板80側で制御されるものであり、メイン制御基板50側で制御されるものではない。

【0049】

図2は、電源ユニット70のリセットスイッチ71、設定キースイッチ72及び設定ドアスイッチ73と、メイン制御基板50内の回路構成を示す図（第1実施形態）である。20 また、図3は、図2中、リセットスイッチ71、設定キースイッチ72及び設定ドアスイッチ73からメイン制御基板50のコネクタ50aまでを拡大して示す図である。

【0050】

図2に示すように、メイン制御基板50上には、8ピン端子のコネクタ50aが搭載されており、このコネクタ50aと入力ポート51とが所定の回路で接続されている。すなわち、コネクタ50aからの8つの信号が所定の回路を経由して、設定ドアスイッチ信号、リセットスイッチ信号、設定キースイッチ異常検出信号、及び設定キースイッチ信号として入力ポート51に入力される。

【0051】

図2に示す電源ユニット70の3つのスイッチと、メイン制御基板50とは、ハーネス90により電気的に接続される。ハーネス90は、メイン制御基板50側には、コネクタ50aと接続されるコネクタ94（8ピン端子）を有し、電源ユニット70側には、それぞれリセットスイッチ71と接続されるコネクタ91（2ピン端子）、設定キースイッチ72と接続されるコネクタ92（4ピン端子）、設定ドアスイッチ73と接続されるコネクタ92（2ピン端子）とを備える。30

【0052】

そして、図2及び図3に示すように、リセットスイッチ71と接続されるコネクタ91の1番及び2番ピン端子は、コネクタ94の1番及び2番ピン端子に連結し、設定キースイッチ72に接続されるコネクタ92の1番～4番ピン端子は、コネクタ94の3番～6番ピン端子に連結し、設定ドアスイッチ73に接続されるコネクタ93の1番及び2番ピン端子は、コネクタ94の7番及び8番ピン端子に連結している。40

【0053】

電源ユニット70側には、リセットスイッチ71のコネクタ70a（2ピン端子）、設定キースイッチ72のコネクタ70b（4ピン端子）、設定ドアスイッチ73のコネクタ70c（2ピン端子）が設けられている。そして、コネクタ70aとコネクタ91、コネクタ70bとコネクタ92、コネクタ70cとコネクタ93とが接続される。

【0054】

図2及び図3において、リセットスイッチ71及び設定ドアスイッチ73は、2ポジション（单投）スイッチであり、設定キースイッチ72は、3ポジション（双投）スイッチである。50

図4は、電源ユニット70の設定キー挿入口75（設定キースイッチ72）のオン／オフと、設定キースイッチ72のレバー72eの位置関係を示す図である。

図4（a）は、設定キースイッチ72がオフの状態を示している。このオフ状態では、レバー72eは、接点72bと接続状態となり、かつ接点72aと非接続状態となっている。

【0055】

次に、設定キー挿入口75に設定キーを挿入し、時計回りに45度程度回転させると、図4（b）に示す中間（設定キー回転中）状態となる。この状態では、設定キースイッチ72のレバー72eは、接点72a及び接点72bの双方と非接続状態となる。

さらに、設定キーを時計回りに回転させ、図4（a）の状態から時計回りに90度回転させると、図4（c）に示す、設定キースイッチ72がオン状態となる。このオン状態では、レバー72eは、接点72aと接続状態となり、かつ接点72bと非接続状態となる。

【0056】

図3に示すように、設定キースイッチ72は、接点72a及び72bに加えて、接点72c及び接点72dを備える。接点72c及び接点72dは、いずれも共通接点（COM）であり、両者は常時接続されている。そして、接点72c及び接点72dとレバー72eとが連結されている。

また、共通端子（COM）である接点72c及び接点72dは、それぞれコネクタ70bの1番及び4番ピン端子（外側端子）に接続され、レバー72eによりオン／オフされる接点72a及び接点72bは、コネクタ70bにおいて内側端子である2番及び3番にそれぞれ接続されている。

【0057】

図2において、リセットスイッチ71の1番ピンの信号線は、コネクタ50aの1番ピン端子の信号線と繋がり、この信号線は、メイン制御基板50のVCC（正電源電圧）と繋がっており、リセットスイッチ信号として入力ポート51に入力される。

リセットスイッチ71がオフ状態、すなわちレバー71cと接点71bとが非接続の状態では、リセットスイッチ71の2番ピン端子の信号線は、コネクタ50aの2番ピンの信号線と繋がるが、コネクタ50aの2番ピン端子は、GND（グランド）50hに繋がっている。したがって、この状態では、リセットスイッチ71の1番ピン端子の信号、すなわちリセットスイッチ信号は、「Low」（以下、単に「L」と表記する。）レベル、すなわちオフとして入力ポート51に入力される。

【0058】

これに対し、リセットスイッチ71がオン状態、すなわちレバー71cと接点71bとが接続された状態になると、リセットスイッチ71の1番ピン端子の信号、すなわちリセットスイッチ信号は、「Hi」（以下、単に「H」と表記する。）レベル、すなわちオンとして入力ポート51に入力される。

【0059】

以上は、設定ドアスイッチ73についても同様である。

設定ドアスイッチ73の1番ピンの信号線は、メイン制御基板50のVCC（正電源電圧）と繋がっており、設定ドアスイッチ信号として入力ポート51に入力される。

設定ドアスイッチ73がオフ状態、すなわちレバー73cと接点73bとが非接続の状態では、設定ドアスイッチ73の2番ピン端子の信号線は、メイン制御基板50のGND（グランド）50hに繋がっている。したがって、この状態では、設定ドアスイッチ73の1番ピン端子の信号、すなわち設定ドアスイッチ信号は、「L」レベル、すなわちオフとして入力ポート51に入力される。

【0060】

これに対し、設定ドアスイッチ73がオン状態、すなわちレバー73cと接点73bとが接続された状態になると、設定ドアスイッチ73の1番ピン端子の信号、すなわち設定ドアスイッチ信号は、「H」レベル、すなわちオンとして入力ポート51に入力される。

10

20

30

40

50

【0061】

また、設定キースイッチ72の接点72aは、コネクタ50aの4番ピン端子から、VCC(正電源電圧)と繋がっている。設定キースイッチ72の接点72bも同様に、コネクタ50aの5番ピン端子から、VCC(正電源電圧)と繋がっている。

これに対し、接点72c(COM)は、コネクタ50aの3番ピン端子から、VCC(正電源電圧)と繋がり、さらにOR(「論理和」を意味する。以下同じ。)ゲート50dの一方に入力される。

また、接点72d(COM)は、コネクタ50aの6番ピン端子からGND(グランド)50hに繋がっている。

【0062】

10

したがって、設定キースイッチ72がオフであるとき、すなわちレバー72eが接点72bと接続状態にあり、かつ接点72aとは非接続であるときは、接点72aの信号、すなわち設定キースイッチ1信号は、VCC(正電源電圧)と繋がっているので「H」となり、ORゲート50bの一方、及びORゲート50fの一方に入力される。

また、接点72bの信号、すなわち設定キースイッチ2信号は、接点72dを介してGND(グランド)50hに繋がっているので「L」となる。この信号は、ORゲート50bの他方側及びNOT(「否定」を意味する。以下同じ。)ゲート50eに入力される。

【0063】

20

また、設定キースイッチ72の回転中、すなわちレバー72eが接点72a及び接点72bと非接続状態であるときは、接点72aの信号、すなわち設定キースイッチ1信号は、上記の状態を維持するので「H」となる。これに対し、接点72bの信号、すなわち設定キースイッチ2信号は、GND50hと繋がっている接点72d(COM)との接続が解除されるので、「H」となる。

【0064】

さらにまた、設定キースイッチ72がオンであるとき、すなわちレバー72eが接点72aと接続状態にあり、かつ接点72bとは非接続にあるときは、接点72aの信号、すなわち設定キースイッチ1信号は、接点72d(COM)を介してGND50hと繋がるので、「L」となる。これに対し、接点72bの信号、すなわち設定キースイッチ2信号は、「H」となる。

図5は、以上説明した設定キーオフ時、回転時、オン時と、設定キースイッチ1信号及び設定キースイッチ2信号との論理を示す図である。

30

【0065】

次に、コネクタ70bとコネクタ92との接続を解除したとき、すなわちコネクタ92を電源ユニット70から抜き去ると、コネクタ50aの6番ピン端子の信号は「L」、3番ピン端子、4番ピン端子及び5番ピン端子の各信号は「H」となる。したがって、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「H」となる(図5)。

【0066】

また、設定キースイッチ72がオフの状態において、コネクタ92の2番ピン端子(接点72a)と、4番ピン端子(接点72d(COM))とをショート(短絡)させたときは、接点72a及び接点72bの双方が接点72d(COM)と繋がる。よって、コネクタ50aの4番ピンの端子の信号、すなわち設定キースイッチ1信号は「L」となり、コネクタ50aの5番ピン端子の信号、すなわち設定キースイッチ2信号もまた、「L」となる(図5)。

40

【0067】

また、図2において、設定キースイッチ異常検出信号は、以下のようになる。

設定キースイッチ72がオフであるときは、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「L」となるので、ORゲート50bの入力は、「H」及び「L」となるから、出力は「H」となる。この信号がNOTゲート50cに入力されるので、NOTゲート50cの出力は「L」となる。

【0068】

50

また、設定キースイッチ72の接点72c及びコネクタ50aの3番ピン端子の信号は「L」であるので、ORゲート50dの入力は、「L」及び「L」となる。よって、ORゲート50dの出力である設定キー異常検出信号の出力は「L」となる(図5)。

【0069】

設定キースイッチ72が中間であるときは、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「H」となるので、ORゲート50bの入力は、「H」及び「H」となるから、出力は「H」となる。この信号がNOTゲート50cに入力されるので、NOTゲート50cの出力は「L」となる。

また、設定キースイッチ72の接点72c及びコネクタ50aの3番ピン端子の信号は「L」であるので、ORゲート50dの入力は、「L」及び「L」となる。よって、ORゲート50dの出力である設定キー異常検出信号の出力は「L」となる(図5)。

【0070】

設定キースイッチ72がオンであるときは、設定キースイッチ1信号は「L」、設定キースイッチ2信号は「H」となるので、ORゲート50bの入力は、「L」及び「H」となるから、出力は「H」となる。この信号がNOTゲート50cに入力されるので、NOTゲート50cの出力は「L」となる。

また、設定キースイッチ72の接点72c及びコネクタ50aの3番ピン端子の信号は「L」であるので、ORゲート50dの入力は、「L」及び「L」となる。よって、ORゲート50dの出力である設定キー異常検出信号の出力は「L」となる(図5)。

【0071】

コネクタ70bとコネクタ92との接続を解除したとき、すなわちコネクタ92を電源ユニット70から抜き去ると、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「H」となる。したがって、ORゲート50bの入力は、「H」及び「H」となるから、出力は「H」となる。この信号がNOTゲート50cに入力されるので、NOTゲート50cの出力は「L」となる。

また、設定キースイッチ72の接点72c及びコネクタ50aの3番ピン端子の信号は「H」であるので、ORゲート50dの入力は、「H」及び「L」となる。よって、ORゲート50dの出力である設定キー異常検出信号の出力は「H」となる(図5)。

【0072】

また、設定キースイッチ72がオフの状態において、コネクタ92の2番ピン端子と4番ピン端子とをショート(短絡)させたときは、設定キースイッチ1信号は「L」、設定キースイッチ2信号は「L」となる。

したがって、ORゲート50bの入力は、「L」及び「L」となるから、出力は「L」となる。この信号がNOTゲート50cに入力されるので、NOTゲート50cの出力は「H」となる。

【0073】

また、設定キースイッチ72の接点72c及びコネクタ50aの3番ピン端子の信号は「L」であるので、ORゲート50dの入力は、「L」及び「H」となる。よって、ORゲート50dの出力である設定キー異常検出信号の出力は「H」となる(図5)。

【0074】

さらに、図2において、設定キースイッチ信号は、以下のようになる。

設定キースイッチ72がオフであるときは、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「L」となるので、NOTゲート50eの入力は「L」、その出力は「H」となる。また、ORゲート50fの入力は、「H」及び「H」となるので、その出力は「H」となる。よって、NOTゲート50gの入力が「H」であるので、その出力、すなわち設定キースイッチ信号は「L」となる(図5)。

【0075】

設定キースイッチ72が回転中(中間)であるときは、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「H」となるので、NOTゲート50eの入力は「H」、出力は「L」となる。また、ORゲート50fの入力は、「H」及び「L」となるので、

10

20

30

40

50

その出力は「H」となる。よって、NOTゲート50gの入力が「H」であるので、その出力、すなわち設定キースイッチ信号は「L」となる(図5)。

【0076】

設定キースイッチ72がオンであるときは、設定キースイッチ1信号は「L」、設定キースイッチ2信号は「H」となるので、NOTゲート50eの入力は「H」、その出力は「L」となる。また、ORゲート50fの入力は、「L」及び「L」となるので、その出力は「L」となる。よって、NOTゲート50gの入力が「L」であるので、その出力、すなわち設定キースイッチ信号は「H」となる(図5)。

【0077】

コネクタ70bとコネクタ92との接続を解除したとき、すなわちコネクタ92を電源ユニット70から抜き去ると、設定キースイッチ1信号は「H」、設定キースイッチ2信号は「H」となる。したがって、NOTゲート50eの入力は「H」、その出力は「L」となる。また、ORゲート50fの入力は、「H」及び「L」となるので、その出力は「H」となる。よって、NOTゲート50gの入力が「H」であるので、その出力、すなわち設定キースイッチ信号は「L」となる(図5)。

10

【0078】

また、設定キースイッチ72がオフの状態において、コネクタ92の2番ピン端子(接点72a)と4番ピン端子(接点72d)とをショート(短絡)させたときは、設定キースイッチ1信号は「L」、設定キースイッチ2信号は「L」となる。したがって、NOTゲート50eの入力は「L」、その出力は「H」となる。また、ORゲート50fの入力は、「L」及び「H」となるので、その出力は「H」となる。よって、NOTゲート50gの入力が「H」であるので、その出力、すなわち設定キースイッチ信号は「L」となる(図5)。

20

【0079】

なお、コネクタ92の信号線を上記のようにショートさせる以外に、メイン制御基板50内の設定キースイッチ1信号又は設定キースイッチ2信号の信号線と、グランド(GND)50hとをショートさせたときも上記と同様となる。

しかし、メイン制御基板50は、一般には、ケースに収容され、かつ外部からアクセス不可能となるようにそのケースがかしめられている(ケースの所定部位を破壊しないと開放できない)ので、上述のコネクタ92の信号線のショートよりは、可能性が低いと思われる。

30

また、コネクタ92の信号線のショートに限らず、ハーネス90の信号線を上記と同様にショートさせても、上記のコネクタ92の信号線のショートと同様となる。

【0080】

図5から明らかであるように、設定キーOFF時、設定キー回転時、設定キーON時は、いずれも、設定キー異常検出信号は「L」となる。これに対し、コネクタ抜去時、及び信号線ショート時は、設定キー異常検出信号は「H」となる。よって、入力ポート51への設定キー異常検出信号により、コネクタ抜去時や信号線ショート時(不正)を検知(判断)することができる。

【0081】

40

図5において、設定キー回転時は、設定キースイッチ1信号及び設定キースイッチ2信号の双方が「H」となり、これは、コネクタ抜去時と同様である。よって、設定キースイッチ1信号及び設定キースイッチ2信号の双方が「H」となっただけでは、コネクタ抜去時であるのか設定キー回転時であるのかを判別することができない。

【0082】

一方、設定キースイッチ1信号及び設定キースイッチ2信号の論理を反転させると、設定キー回転時は、双方の信号が「L」となるが、このように設定すると、今度は、信号線ショート時と同様となる。よって、設定キースイッチ1信号及び設定キースイッチ2信号の双方が「L」となっただけでは、信号線ショート時であるのか設定キー回転時であるのかを判別することができない。

50

しかし、本実施形態のように信号出力を構成すれば、設定キー回転時であるのか、又はコネクタ抜去時若しくは信号線ショート時であるかを、明確に区別して判断することができる。

【0083】

図5に示すように、設定キーOFF時、設定キー回転時、及び設定キーON時のいずれも、設定キースイッチ異常検出信号は、「L」となり、コネクタ抜去時及び信号線ショート時のみ、「H」となる。よって、設定キースイッチ異常検出信号が「H」となったときは、不正行為が行われている可能性が高いので、メイン制御基板50は、この「H」の信号を検出したときは、たとえばエラー報知を行う。エラー報知としては、ランプ21の点灯、スピーカ22から警告音の出力、画像表示装置23にエラー（不正）である旨の表示を行うこと、の少なくとも1つが挙げられる。10

【0084】

また、本実施形態では、コネクタ70b及び92の1番～4番ピン端子のうち、両端に位置する1番及び4番ピン端子が共通接点（COM）である接点72c及び接点72dと繋がり、その内側に位置する2番及び3番ピン端子が接点72a及び接点72bと繋がっている。

したがって、接点72c及び接点72dが繋がった状態で、接点72a又は接点72bのみを非接続状態にすることはできない。

【0085】

たとえば、コネクタ92を、コネクタ70bからわずかに傾けるように抜くこと、具体的には、1番ピン端子についてはコネクタ92とコネクタ70bとが非接続状態となるが、4番ピン端子についてはコネクタ92とコネクタ70bとが接続状態となるような場合であっても、接点72a又は接点72bは繋がった状態であり、接点72cのみが非接続状態になる。したがって、接点72cの信号は「L」となるので、設定キースイッチ異常検出信号で判別することができる。20

4番ピン端子についてコネクタ92とコネクタ70bとが非接続状態となり、1番ピン端子についてコネクタ92とコネクタ70bとが接続状態となるような場合も、上記と同様である。

【0086】

<第2実施形態>

図6は、第2実施形態における電源ユニット70のリセットスイッチ71、設定キースイッチ72及び設定ドアスイッチ73と、メイン制御基板50内の回路構成を示す図であり、第1実施形態の図2に相当する図である。30

第2実施形態では、設定キースイッチ72の共通端子（COM）は、接点72dの1個である。この接点72dは、第1実施形態と同様に、メイン制御基板50のGND（グラウンド）50hに繋がっている。

【0087】

第2実施形態では、設定キースイッチ72の信号線が3本となるため、電源ユニット70側の設定キースイッチ72用のコネクタ70d（第1実施形態のコネクタ70bに相当）及びこのコネクタ70dと接続するハーネス90A（第1実施形態のハーネス90に相当）のコネクタ92A（第1実施形態のコネクタ92に相当）は、3ピン端子である。また、ハーネス90Aのコネクタ94A（第1実施形態のコネクタ94に相当）と、メイン制御基板50のコネクタ50i（第1実施形態のコネクタ50aに相当）は、7ピン端子である。40

【0088】

図6の設定キースイッチ72において、接点72aの信号は、設定キースイッチ1信号として入力ポート51に入力される。

また、接点72bの信号は、設定キースイッチ2信号として入力ポート51に入力される。

【0089】

10

20

30

40

50

図 7 は、図 6 の回路構成の論理一覧を示す図である。

図 6 の回路構成において、設定キーOFF時には、レバー 72e (第 1 実施形態と同一) は、接点 72a と非接続状態にあり、かつ接点 72b と接続状態にある。この場合には、接点 72a の信号、すなわち設定キースイッチ 1 信号は、「H」となる。また、接点 72b の信号、すなわち設定キースイッチ 2 信号は、「L」となる。

【 0090 】

設定キー回転時には、レバー 72e は、接点 72a 及び接点 72b と非接続状態となるので、設定キースイッチ 1 信号及び設定キースイッチ 2 信号のいずれも、「H」となる。

また、設定キーON時には、設定キーOFF時と逆となるので、設定キースイッチ 1 信号は「L」となり、設定キースイッチ 2 信号は「H」となる。

10

【 0091 】

また、コネクタ 92A をコネクタ 70d から抜いたときは、設定キースイッチ 1 信号及び設定キースイッチ 2 信号のいずれも、「H」となる。

また、設定キーOFF時に接点 72a と接点 72d とをショートさせたとき、又は設定キーON時に接点 72b と接点 72d とをショートさせたときは、設定キースイッチ 1 信号及び設定キースイッチ 2 信号のいずれも、「L」となる。

【 0092 】

図 7 に示すように、設定キー回転時とコネクタ抜去時とで、設定キースイッチ 1 信号及び設定キースイッチ 2 信号の論理が同一（「H」及び「H」）となるので、設定キースイッチ 1 信号及び設定キースイッチ 2 信号を検知しても、設定キー回転時であるのかコネクタ抜去時であるのかを判断することができない。

20

一方、設定キーOFF時と設定キーON時との論理を逆に設定したときは、設定キー回転時と信号線ショート時とで、設定キースイッチ 1 信号及び設定キースイッチ 2 信号の論理が同一（「L」及び「L」）となるので、設定キースイッチ 1 信号及び設定キースイッチ 2 信号を検知しても、設定キー回転時であるのか信号線ショート時であるのかを判断することができない。

しかし、第 2 実施形態では、以下に示すように設定キースイッチ信号エッジデータを作成し、設定キースイッチ信号エッジデータの変化に基づき制御を切り替えることで、設定キーのON状態、回転時、及びOFF状態を正しく判断し、設定キーのON/OFFに基づく制御を正しく行うことができる。

30

【 0093 】

図 8 は、第 2 実施形態において、入力ポート 51 の 1 つを示す図である。入力ポート 51 は、複数設けられており、そのうちの 1 つが図 8 に示す入力ポート 51 である。入力ポート 51 は、B0 ~ B7 の 8 ビットが入力可能な 1 バイトのポートである。

図 8 に示す入力ポート 51 において、B0 ビットには、リセットスイッチ 71 の信号が入力され、B1 ビットには設定キースイッチ 2 信号が入力され、B2 ビットには設定キースイッチ 1 信号が入力される。B3 に入力されるドアスイッチ信号とは、上述したフロントマスク部の開放を示す信号である。B4 ビットには設定ドアスイッチ 73 の信号が入力される。B5 ビットは、この例では空きである。B6 ビットには電断検知信号（電源スイッチ 74 の信号）が入力され、B7 ビットには満杯検知信号（満杯センサ 38）の信号が入力される。

40

【 0094 】

図 9 (a) は、設定キースイッチ 1 信号及び設定キースイッチ 2 信号と、設定キーがOFF時及びON時の論理を示す図である。上述したように、設定キースイッチ 1 信号は、設定キーOFF時は「H(1)」、設定キー回転中は「H(1)」、設定キーON時は「L(0)」である。また、設定キースイッチ 2 信号は、設定キーOFF時は「L(0)」、設定キー回転中は「H(1)」、設定キーON時は「H(1)」である。したがって、設定キースイッチ 1 信号と設定キースイッチ 2 信号との論理は、逆となっている。

【 0095 】

このため、図 9 (b) に示すように、設定キースイッチ 2 信号の論理を反転させる。論

50

理を反転させる方法としては、たとえば論理値と「XOR」（エクスクルーシブオア；排他的論理和）演算を行うことが挙げられる。これにより、設定キースイッチ1信号及び設定キースイッチ2信号は、いずれも、設定キーオフ時で「H(1)」となり、設定キーイン時で「L(0)」となる。

【0096】

図10は、設定キースイッチ信号データの変化を説明する図である。

本実施形態の設定キースイッチ信号データは、図8に示した入力ポート51の1バイトの8ビット信号に基づいて作成する。

さらに、図8中、入力ポート51に入力された8ビット信号データにおいて、B1ビット及びB2ビット以外、すなわち設定キースイッチ1信号及び設定キースイッチ2信号以外の信号データを「0」にする演算を行う。たとえば、「00000110」とAND（論理積）演算を行うことで、B1ビット及びB2ビット以外のデータを「0」に置き換えたデータを作成する。

【0097】

上述したように、設定キースイッチ2信号の論理を反転させ、設定キーオフ時には、設定キースイッチ1信号及び設定キースイッチ2信号のいずれも「H」とし、「H」を「1」、「L」を「0」で示すデータを作成する。

したがって、設定キースイッチ72がオフ状態では、設定キースイッチ1信号及び設定キースイッチ2信号の双方が「1」であるので、8ビットデータ中、B1ビット及びB2ビットが「1」で、他のビットが「0」のデータとなる（図10）。

【0098】

次に、設定キーを設定キー挿入口75に差し込み、45度程度時計回りに回転させると、上述したように、設定キースイッチ1信号は「H」すなわち「1」のままであるが、設定キースイッチ2信号が「H」から「L」（「1」から「0」）に切り替わる。よって、B1ビットのみ「1」から「0」に変化する（図10）。

さらに設定キーを回転させ、設定キースイッチ72をオン状態にすると、設定キースイッチ1信号についても「L」すなわち「0」となる。よって、全ビットが「0」となるデータに変化する（図10）。

以上より、設定キースイッチ信号データの立ち上がり時には、データは、

「00000110」 「00000100」 「00000000」

と変化する。

【0099】

また、立ち下がり時、すなわち設定キースイッチ72がオン状態からオフ状態になるときも同様である。

設定キースイッチ72がオンの状態から、設定キーを45度程度反時計回りに回転させると、設定キースイッチ1信号が「H」すなわち「1」となる。よって、B2ビットが「1」に変化する（図10）。

さらに設定キーを回転させ、設定キースイッチ72をオフ状態にすると、設定キースイッチ2信号についても「H」すなわち「1」となる。よって、B1ビット及びB2ビットが「1」となるデータに変化する（図10）。

以上より、設定キースイッチ信号データの立ち下がり時には、データは、

「00000000」 「00000100」 「00000110」

と変化する。

【0100】

図11は、設定キースイッチ信号データの立ち上がり及び立ち下がりを示す設定キースイッチ信号エッジデータの例を示す図である。本実施形態の設定スイッチ信号エッジデータは、図10に示した設定キースイッチ信号データに基づいて作成する。

まず、図10の立ち上がり時において、設定キースイッチ信号データが「00000100」から「00000000」に変化したときに、「00001000」となる設定キースイッチ信号エッジデータ（B3ビットのみが「1」となるデータ）が作成されるよう

10

20

30

40

50

に演算処理を行う。

【0101】

また、図10の立ち下がり時において、設定キースイッチ信号データが「00000100」から「00000110」に変化したときに、「10000000」となる設定キースイッチ信号エッジデータ（B7ビットのみが「1」となるデータ）が作成されるよう演算処理を行う。

【0102】

ここで、メイン制御基板50は、遊技を進行する情報処理として、1遊技あたり1回行うメインループ（処理）が設けられている。メインループは、投入又はベットされたメダルの検知から、全リール31が停止して入賞処理が行われるまでの処理である。

10

【0103】

このメインループ中に、メインループを一旦抜けて、割込み処理として、入力ポート51を検知する処理を実行し、その処理の実行後、再度、メインループに戻る処理を定期的に行っている。その割込み時間の間隔は、本実施形態では2.235msである。すなわち、2.235ms間隔の割込み処理ごとに、入力ポート51のデータを取得する。そして、取得したデータに基づいて、設定キースイッチ信号エッジデータを作成し、記憶する。したがって、設定キースイッチ信号エッジデータは、2.235msごとに更新されていく。

また、割込み処理がいつ行われたかにかかわらず、入力ポート51のB0～B7ビットのすべてを検知する。

20

【0104】

以上のようにして、2.235msごとの割込み処理で、入力ポート51の各ビットの信号（「H」又は「L」）を取得し、図10に示す設定キースイッチ信号データを作成し、記憶する。

そして、設定キースイッチ信号データを2.235msごとに作成し、今回の割込み処理で作成した設定キースイッチ信号データと、前回（2.235ms前）の割込み処理で作成した設定キースイッチ信号データとから、後述する所定の演算を行い、図11に示す設定キースイッチ信号エッジデータを作成する。

【0105】

次に、設定キースイッチ信号エッジデータの作成について、具体例を挙げて説明する。

30

図12は、設定キースイッチ信号エッジデータ（立ち上がり時）の作成を示す図である。

上述した割込み処理により、今回の割込み時に作成した設定キースイッチ信号データをデータA0とし、前回の割込み処理に作成した設定キースイッチ信号データをデータB0とする。

【0106】

図12に示すように、前回の割込み処理時では、B2ビットが「1」であったが、今回の割込み処理時では、B2ビットが「0」となっている。これは、前回割込み処理時には、設定キースイッチ1信号が「1」であったが、今回の割込み処理時には「0」となったことを示している。

40

【0107】

先ず、（1-1）では、データA0（今回割込み処理時）の下位4ビット（B0～B3）を、上位4ビット（B4～B7）にコピーする。すなわち、上位ビットと下位ビットとを入れ替える。

データA0は、「00000000」であるので、上位ビットと下位ビットの入替え後のデータA1は、「00000000」となる。

【0108】

次に、（1-2）では、データA0とデータA1とを「OR」（論理和）演算する。この演算結果をデータA2とする。

次の（1-3）では、データA2の下位データのみを反転させる。ここでは、データA

50

2と、「00000110」とを「XOR」演算する。この演算後のデータをデータA3とする。

次に、(1-4)では、データA3に「00100010」を加算する。その演算後のデータをデータA4とする。

【0109】

次の(1-5)では、データA4の不要ビット、すなわちB3ビット及びB7ビット以外のデータを削除する(「0」にする)。この例では、データA4と「10001000」とを「AND」演算する。この演算によって作成されたデータをデータA5とする。

【0110】

(2-1)では、データB0(前回割込み処理時)の下位4ビット(B0~B3)を、
上位4ビット(B4~B7)にコピーする。すなわち、上位ビットと下位ビットとを入れ替える。

データB0は、「00000100」であるので、上位ビットと下位ビットの入替え後のデータB1は、「01000000」となる。

【0111】

次に、(2-2)では、データB0とデータB1とを「OR」演算する。この演算結果のデータをデータB2とする。

次の(2-3)では、データB2の下位データのみを反転させる。ここでは、データB2と、「00000110」とを「XOR」演算する。この演算後のデータをデータB3とする。

【0112】

次に、(2-4)では、データB3に「00100010」を加算する。その演算後のデータをデータB4とする。

次の(2-5)では、データB4の不要ビット、すなわちB3ビット及びB7ビット以外のデータを削除する(「0」にする)。この例では、データB4と「10001000」とを「AND」演算する。この演算によって作成されたデータをデータB5とする。

【0113】

続いて、(3)では、(1-5)で作成したデータA5と、(2-5)で作成したデータB5とを「XOR」演算する。この演算により、前回割込み処理時と今回割込み処理時との変化を意味するデータCが作成される。

さらに、(4)において、(1-5)のデータA5と、(3)で作成したデータCとを「AND」演算する。これにより、設定キースイッチ信号エッジデータであるデータDが作成される。このデータDは、B3ビットのみが「1」、他のビットは「0」であり、図11で示した立ち上がり時の設定キースイッチ信号エッジデータが作成されたこととなる。

【0114】

図13は、設定キースイッチ信号エッジデータ(立ち下がり時)の作成を示す図である。

今回の割込み時に作成した設定キースイッチ信号データをデータA0とし、前回の割込み処理に作成した設定キースイッチ信号データをデータB0とする。

図13に示すように、前回の割込み処理時では、B1ビットが「0」であったが、今回の割込み処理時では、B1ビットが「1」となっている。これは、前回割込み処理時には、設定キースイッチ2信号が「0」であったが、今回の割込み処理時には「1」となったことを示している。

【0115】

先ず、(1-1)では、データA0(今回割込み処理時)の下位4ビット(B0~B3)を、上位4ビット(B4~B7)にコピーする。すなわち、上位ビットと下位ビットとを入れ替える。

データA0は、「00000110」であるので、上位ビットと下位ビットの入替え後のデータA1は、「01100000」となる。

10

20

30

40

50

【0116】

次に、(1-2)では、データA0とデータA1とを「OR」演算する。この演算結果をデータA2とする。

次の(1-3)では、データA2の下位データのみを反転させる。ここでは、データA2と、「00000110」とを「XOR」演算する。この演算後のデータをデータA3とする。

次に、(1-4)では、データA3に「00100010」を加算する。その演算後のデータをデータA4とする。

【0117】

次の(1-5)では、データA4の不要ビット、すなわちB3ビット及びB7ビット以外のデータを削除する(「0」にする)。この例では、データA4と「10001000」とを「AND」演算する。この演算によって作成されたデータをデータA5とする。

【0118】

(2-1)では、データB0(前回割込み処理時)の下位4ビット(B0~B3)を、上位4ビット(B4~B7)にコピーする。すなわち、上位ビットと下位ビットを入れ替える。

データB0は、「00000100」であるので、上位ビットと下位ビットの入替え後のデータB1は、「01000000」となる。

【0119】

次に、(2-2)では、データB0とデータB1とを「OR」演算する。この演算結果のデータをデータB2とする。

次の(2-3)では、データB2の下位データのみを反転させる。ここでは、データB2と、「00000110」とを「XOR」演算する。この演算後のデータをデータB3とする。

次に、(2-4)では、データB3に「00100010」を加算する。その演算後のデータをデータB4とする。

【0120】

次の(2-5)では、データB4の不要ビット、すなわちB3ビット及びB7ビット以外のデータを削除する(「0」にする)。この例では、データB4と「10001000」とを「AND」演算する。この演算によって作成されたデータをデータB5とする。

【0121】

続いて、(3)では、(1-5)で作成したデータA5と、(2-5)で作成したデータB5とを「XOR」演算する。この演算により、前回割込み処理時と今回割込み処理時との変化を意味するデータCが作成される。

さらに、(4)において、(1-5)のデータA5と、(3)で作成したデータCとを「AND」演算する。これにより、設定キースイッチ信号エッジデータであるデータDが作成される。このデータDは、B7ビットのみが「1」、他のビットは「0」であり、図11で示した立ち下がり時の設定キースイッチ信号エッジデータが作成されたこととなる。

【0122】

そして、設定キースイッチ信号エッジデータのうち、B3ビット又はB7ビットが「1」となったタイミングで、設定キースイッチ72の状態の変化に基づく制御の切り替えを行う。すなわち、B3ビットのみが「1」となった設定キースイッチ信号エッジデータが作成されたときは、設定キーがオンになったと判断し、通常モードから設定変更モード又は設定確認モードへの制御の切り替えを行う。同様に、B7ビットのみが「1」となった設定キースイッチ信号エッジデータが作成されたときは、設定キーがオフになったと判断し、設定変更モード又は設定確認モードから通常モードへの制御の切り替えを行う。

【0123】

なお、以上のように、設定キー回転中から設定キーがオンになったとき、及び設定キー回転中から設定キーがオフになったときには、B3ビット又はB7ビットが「1」となっ

10

20

30

40

50

た設定キースイッチ信号エッジデータが作成されるが、それ以外の場合、たとえば設定キーオフ状態の維持、設定キーオフから設定キー回転中となったとき、設定キー回転中の状態の維持、設定キーオン状態の維持時には、作成される設定キースイッチ信号エッジデータは、いずれも、「0 0 0 0 0 0 0 0」となる。

【0124】

以下に具体例を挙げて説明する。

図14は、設定キーオフ時から、設定キー回転中となったときの設定キースイッチ信号エッジデータの作成を示す図である。

図12等と同様に、今回の割込み時に作成した設定キースイッチ信号データA0とし、前回の割込み処理に作成した設定キースイッチ信号データB0とする。

10

【0125】

本例の場合、前回割込み時には、設定キーオフであるので、データB0は、「0 0 0 0 0 1 1 0」である。また、設定キー回転中になると、B1ビットが「0」となるので、データA0は、「0 0 0 0 0 1 0 0」となる。

そして、これらのデータA0及びデータB0に対し、図12等と同様の演算を行うと、設定キースイッチ信号エッジデータ（データD）として、「0 0 0 0 0 0 0 0」が作成される。すなわち、全ビットが「0」のデータである。

【0126】

また、図15は、前回割込み時と今回割込み時とで、設定キーオフであったときの設定キースイッチ信号エッジデータの作成を示す図である。

20

図12等と同様に、今回の割込み時に作成した設定キースイッチ信号データA0とし、前回の割込み処理時に作成した設定キースイッチ信号データB0とする。

【0127】

この例の場合、前回割込み時（データB0）と今回割込み時（データA0）とで、同一のデータ「0 0 0 0 0 1 1 0」となる。

そして、これらのデータA0及びデータB0を、図12等と同様の演算を行うと、設定キースイッチ信号エッジデータ（データD）として、「0 0 0 0 0 0 0 0」が作成される。すなわち、全ビットが「0」のデータとなる。

なお、当然であるが、前回割込み時と今回割込み時とで、設定キーオンであったとき、すなわちデータA0及びデータB0の双方が「0 0 0 0 0 0 0 0」であったときは、設定キースイッチ信号エッジデータ（データD）も、上記と同様に、全ビット「0」のデータとなる。

30

【0128】

以上より、設定キースイッチ信号エッジデータ（データD）が「0 0 0 0 1 0 0 0」となるのは、前回割込み時が設定キー回転時であり、今回割込み時が設定キーオン時のときである。

また、設定キースイッチ信号エッジデータ（データD）が「1 0 0 0 0 0 0 0」となるのは、前回割込み時が設定キー回転時であり、今回割込み時が設定キーオフ時のときである。

40

上記以外の場合には、いずれも、設定キースイッチ信号エッジデータ（データD）は、全ビット「0」のデータとなる。

【0129】

本実施形態では、8ビットのデータ列において、B1ビット及びB2ビットに、設定キースイッチ信号が入力されるようにした。すなわち、2つの設定キースイッチ信号が入力されるビットは、隣接していることが必要となる。しかし、B1ビット及びB2ビットに限らず、B0ビットとB1ビットや、B4ビットとB5ビット、B5ビットとB6ビットであってもよい。

【0130】

一般化して説明すると、入力ポート51のビット数を「n」（n = 8、16、32、・

50

・・)としたとき、「n」ビット列の第「0」、「1」、・・・ビットのうち、2つの設定キースイッチ信号のデータを記憶するビットを「a」ビット及び「a+1」ビットとすると、「a」ビット及び「a+1」ビットのいずれも、「(n/2)-1」ビット又は「n-1」ビットと一致しないように設定する。

より具体的には、

「a」 「(n/2)-1」
 「a+1」 「(n/2)-1」
 「a」 「n-1」
 「a+1」 「n-1」

となるように設定する。

10

【0131】

このように設定すると、nビット列の設定キースイッチ信号エッジデータを作成する場合には、設定キースイッチ信号エッジデータの立ち上がり時又は立ち下がり時に「1」となるビットは、第「a+2」ビット、及び第「(a+2)+n/2」ビット又は第「(a+2)-n/2」ビットとなる。

すなわち、2つの設定キースイッチ信号のデータを記憶するビット（隣接する2ビット）と、設定キースイッチ信号エッジデータにおいて立ち上がり時又は立ち下がり時に「1」となるビットとが、一致しないように作成することができる。

【0132】

さらに、本実施形態では、図12の演算を行うことで、立ち上がり時及び立ち下がり時の設定キースイッチ信号エッジデータを作成することができる。よって、立ち上がり用の設定キースイッチ信号エッジデータの記憶領域と、立ち下がり用の設定キースイッチ信号エッジデータの記憶領域とを分けることなく、1つの記憶領域を設けておくだけでよいという効果がある。

20

【0133】

以上、本発明の一実施形態について説明したが、本発明は、上記実施形態に限定されるものではなく、たとえば以下のような種々の変更が可能である。

(1) 本実施形態で示した入力ポート51(図8)は一例であり、設定キースイッチ1信号及び設定キースイッチ2信号が入力される入力ポート51の他のビットには、図8で示したものに限らず、他の信号が入力されるようにしてもよい。

30

また、入力ポート51は、図8で示したものに限らず、投入センサ44や、操作スイッチ(ベットスイッチ40、スタートスイッチ41、ストップスイッチ42)、払出しセンサ37等が入力される入力ポート51が他に設けられている。

【0134】

(2) 図2に示す設定キースイッチ72の回路構成は、たとえば、精算スイッチや、スタートスイッチ41等の他のスイッチにも転用することが可能である。

【0135】

<付記>

本願の出願当初の請求項に係る発明(当初発明)が解決しようとする課題、当初発明に係る課題を解決するための手段及び当初発明の効果は、以下の通りである。

40

(1) 当初発明が解決しようとする課題

当初発明が解決しようとする課題は、接点のショートや接続部の外れを判断可能とすることである。

【0136】

(2) 当初発明に係る課題を解決するための手段(なお、かっこ書きで、対応する実施形態を記載する。)

第1の解決手段(第1実施形態)は、

制御基板(メイン制御基板50)と、

前記制御基板と電気的に接続されたスイッチ装置(設定キースイッチ72)と

を備え、

50

前記スイッチ装置は、少なくとも、接点 P 1 (72a) 及び接点 P 2 (72b) 、並びに正電源電圧と接続する接点 C 1 (72c) 及びグランド線と接続する接点 C 2 (72d) を備え、

前記スイッチ装置の状態として、

接点 P 1 と接点 C 1 とが非接続状態となり、かつ接点 P 2 と接点 C 1 とが接続状態となるオフ状態 (図 4 (a)) と、

接点 P 1 と接点 C 1 とが接続状態となり、かつ接点 P 2 と接点 C 1 とが非接続状態となるオン状態 (図 4 (c)) と、

前記オフ状態から前記オン状態になるとき、及び前記オン状態から前記オフ状態になるときの状態であって、接点 P 1 と接点 C 1 とが非接続状態となり、かつ接点 P 2 と接点 C 1 とが非接続状態となる中間状態 (図 4 (b)) と

を有し、

接点 P 1 及び接点 P 2 の入力に対する出力信号 S 1 (設定キースイッチ信号) を前記制御基板に入力し、

接点 P 1 、接点 P 2 及び接点 C 1 の入力に対する出力信号 S 2 (設定キースイッチ異常検出信号) を前記制御基板に入力し、

前記制御基板は、出力信号 S 1 に基づいて、前記オフ状態、前記中間状態、及び前記オン状態を判別可能であり、

接点 P 1 又は接点 P 2 に接続する回路と、接点 C 2 に接続する回路とをショートさせたとき、及び前記スイッチ装置と前記制御基板との接続を外したときは、出力信号 S 2 の論理が反転するようにし、

前記制御基板は、出力信号 S 2 に基づいて、接点 P 1 又は接点 P 2 に接続する回路と接点 C 2 に接続する回路とがショートしているか否か、及び前記スイッチ装置と前記制御基板との接続が外れているか否かを判断可能である

ことを特徴とする。

【 0 1 3 7 】

第 2 の解決手段は、第 1 の解決手段において、

前記制御基板は、出力信号 S 2 に基づいて、接点 P 1 又は接点 P 2 に接続する回路と接点 C 2 に接続する回路とがショートしているかと判断したとき、又は前記スイッチ装置と前記制御基板との接続が外れていると判断したときは、エラー報知を行うように制御することを特徴とする。

【 0 1 3 8 】

第 3 の解決手段は、第 1 又は第 2 の解決手段において、

前記スイッチ装置と前記制御基板とを接続するためのコネクタを備え、

前記コネクタは、接点 P 1 及び接点 P 2 の接続端子の外側に、接点 C 1 及び接点 C 2 の接続端子を配置する

ことを特徴とする。

【 0 1 3 9 】

(3) 当初発明の効果

当初発明によれば、制御基板は、出力信号 S 1 に基づいて、スイッチ装置のオフ状態、中間状態及びオン状態を判別することができる。

さらに、制御基板は、出力信号 S 2 に基づいて、接点 P 1 又は接点 P 2 に接続する回路と接点 C 2 に接続する回路とがショートしているか否か、及びスイッチ装置と制御基板との接続が外れているか否かを判断することができる。

【 符号の説明 】

【 0 1 4 0 】

1 0 スロットマシン (遊技機)

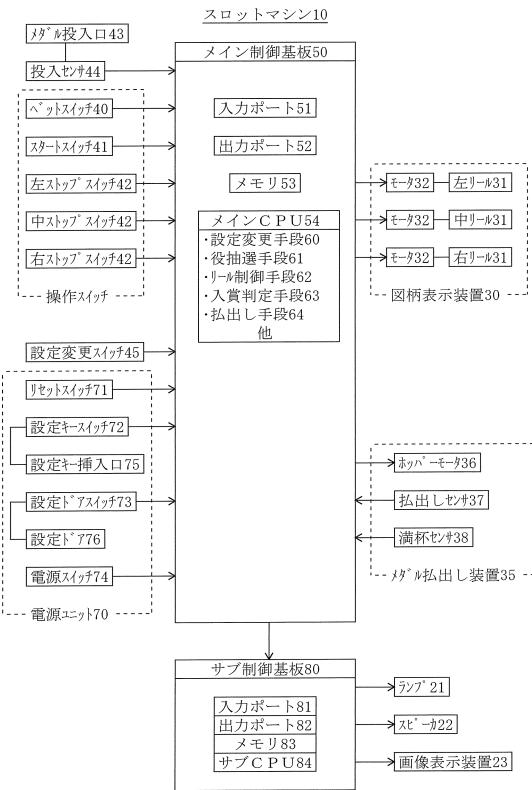
2 1 ランプ

2 2 スピーカ

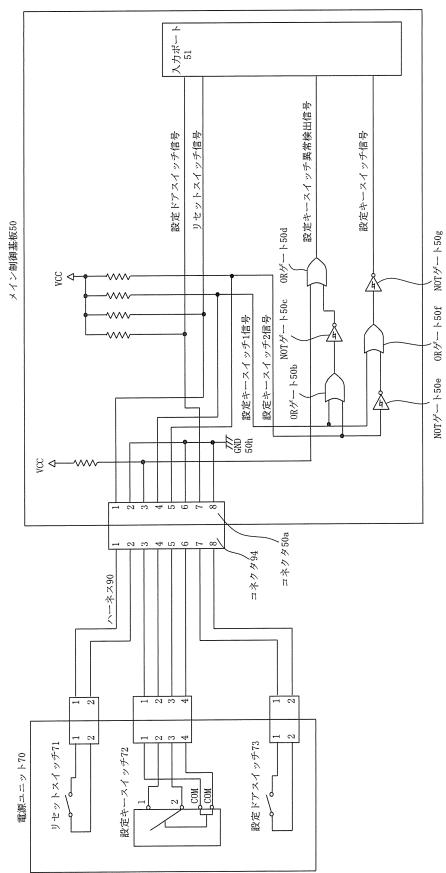
2 3 画像表示装置

3 0	図柄表示装置	
3 1	リール	
3 2	モータ	
3 5	メダル払出し装置	
3 6	ホッパー モータ	
3 7	払出しセンサ	
3 8	満杯センサ	
4 0	ベットスイッチ	
4 1	スタートスイッチ	10
4 2	ストップスイッチ	
4 3	メダル投入口	
4 4	投入センサ	
4 5	設定変更スイッチ	
5 0	メイン制御基板	
5 0 a	コネクタ	
5 0 b、5 0 d、5 0 f	OR ゲート	
5 0 c、5 0 e、5 0 g	NOT ゲート	
5 0 h	GND (グランド)	
5 0 i	コネクタ	
5 1	入力ポート	20
5 2	出力ポート	
5 3	メモリ	
5 4	メインCPU	
6 1	役抽選手段	
6 2	リール制御手段	
6 3	入賞判定手段	
6 4	払出し手段	
7 0	電源ユニット	
7 0 a、7 0 b、7 0 c、7 0 d	コネクタ	
7 1	リセットスイッチ	30
7 1 a、7 1 b	接点	
7 1 c	レバー	
7 2	設定キースイッチ	
7 2 a、7 2 b	接点	
7 2 c、7 2 d	接点 (COM)	
7 2 e	レバー	
7 3	設定ドアスイッチ	
7 3 a、7 3 b	接点	
7 3 c	レバー	
7 4	電源スイッチ	40
7 5	設定キー挿入口	
7 6	設定ドア	
8 0	サブ制御基板	
8 1	入力ポート	
8 2	出力ポート	
8 3	メモリ	
8 4	サブCPU	
9 0、9 0 A	ハーネス	
9 1、9 2、9 2 A、9 3、9 4	コネクタ	

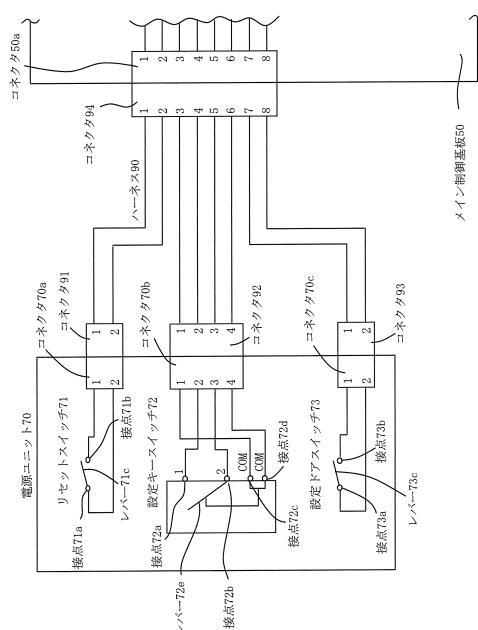
【図1】



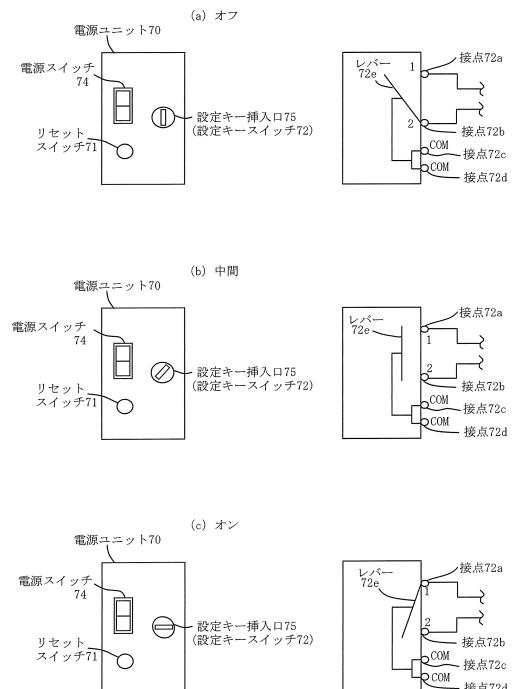
【図2】



【図3】



【図4】

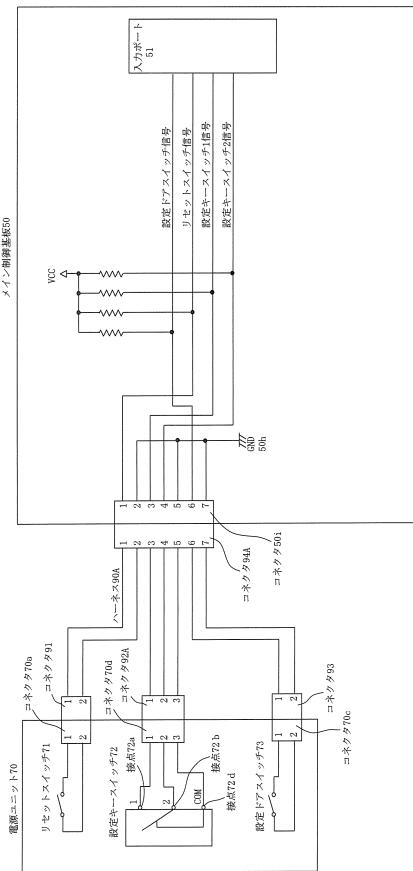


【図5】

論理一覧（第1実施形態）

	設定キーイッチ1信号	設定キーイッチ2信号	設定キーイッチ信号	設定キーイッチ異常検出信号
設定キーOFF時	H	L	L	L
設定キー回転時	H	H	L	L
設定キーON時	L	H	H	L
コネクタ抜去時	H	H	L	H
信号線ショート時	L	L	L	H

【図6】



【図7】

論理一覧（第2実施形態）

	設定キーイッチ1信号	設定キーイッチ2信号
設定キーOFF時	H	L
設定キー回転時	H	H
設定キーON時	L	H
コネクタ抜去時	H	H
信号線ショート時	L	L

【図9】

(a) 設定キーの状態と設定キーイッチ1及び2信号

	設定キーOFF	設定キー回転	設定キーON
設定キーイッチ1信号	H(1)	H(1)	L(0)
設定キーイッチ2信号	L(0)	H(1)	H(1)

(b) 設定キーイッチ2信号の論理を反転

	設定キーOFF	設定キー回転	設定キーON
設定キーイッチ1信号	H(1)	H(1)	L(0)
設定キーイッチ2信号	H(1)	L(0)	L(0)

【図8】

入力ポート51

ビット	内容
B 0	リセットスイッチ(71)信号
B 1	設定キーイッチ(72)2信号
B 2	設定キーイッチ(72)1信号
B 3	ドアスイッチ信号
B 4	設定ドアスイッチ(73)信号
B 5	(未使用)
B 6	電源断検知信号
B 7	満杯検知信号

設定キーイッチ信号データの変化（立ち上がり時）

設定キーOFF	設定キーイッチ1信号(B2)「1」 設定キーイッチ2信号(B1)「1」	0 0 0 0 0 1 1 0
設定キー回転	設定キーイッチ1信号(B2)「1」 設定キーイッチ2信号(B1)「0」	0 0 0 0 0 1 0 0
設定キーON	設定キーイッチ1信号(B2)「0」 設定キーイッチ2信号(B1)「0」	0 0 0 0 0 0 0 0

設定キーイッチ信号データの変化（立ち下がり時）

設定キーOFF	設定キーイッチ1信号(B2)「0」 設定キーイッチ2信号(B1)「0」	0 0 0 0 0 0 0 0
設定キー回転	設定キーイッチ1信号(B2)「1」 設定キーイッチ2信号(B1)「0」	0 0 0 0 0 1 0 0
設定キーON	設定キーイッチ1信号(B2)「1」 設定キーイッチ2信号(B1)「1」	0 0 0 0 0 1 1 0

【図11】

設定キースイッチ信号エッジデータ	
B 0	—
B 1	—
B 2	—
B 3	設定キースイッチ立ち上がり時「1」
B 4	—
B 5	—
B 6	—
B 7	設定キースイッチ立ち下がり時「1」

設定キースイッチ信号エッジデータ (立ち上がり時) : 0 0 0 0 1 0 0 0
設定キースイッチ信号エッジデータ (立ち下がり時) : 1 0 0 0 0 0 0 0

【図12】

立ち上がり時

今回割込み時: 0 0 0 0 0 0 0 0 0 0 (データ A 0) (設定キーオン)
 前回割込み時: 0 0 0 0 0 0 1 0 0 (データ B 0) (設定キーハード)

(1-1) データ A 0 の下位 4 ビットを上位 4 ビットにコピ (上位下位入替え)
 IN 0 0 0 0 0 0 0 0 0 0 (データ A 0) : 演算前
 OUT 0 0 0 0 0 0 0 0 0 0 (データ A 1) : 演算後

(1-2) データ A 0 とデータ A 1 を「OR」演算

$$\begin{array}{r} 0 0 0 0 0 0 0 0 0 0 \\ OR 0 0 0 0 0 0 0 0 0 \\ \hline 0 0 0 0 0 0 0 0 0 0 \end{array} \text{ (データ A 2)}$$

(1-3) データ A 2 の下位データのみ反転

$$\begin{array}{r} 0 0 0 0 0 0 0 0 0 \\ XOR 0 0 0 0 0 0 1 1 0 \\ \hline 0 0 0 0 0 0 1 1 0 \end{array} \text{ (データ A 3)}$$

(1-4) データ A 3 に「0 0 1 0 0 0 1 0」を加算

$$\begin{array}{r} 0 0 0 0 0 0 1 1 0 \\ ADD 0 0 1 0 0 0 0 1 0 \\ \hline 0 0 1 0 1 0 0 0 0 \end{array} \text{ (データ A 4)}$$

(1-5) データ A 4 の不要ビット (B 3 及び B 7 ビット以外) を削除

$$\begin{array}{r} 0 0 1 0 1 0 0 0 0 \\ AND 1 0 0 0 1 0 0 0 0 \\ \hline 0 0 0 0 1 0 0 0 0 \end{array} \text{ (データ A 5)}$$

(2-1) データ B 0 の下位 4 ビットを上位 4 ビットにコピ (上位下位入替え)
 IN 0 0 0 0 0 0 1 0 0 (データ B 0) : 演算前
 OUT 0 1 0 0 0 0 0 0 0 (データ B 1) : 演算後

(2-2) データ B 0 とデータ B 1 を「OR」演算

$$\begin{array}{r} 0 0 0 0 0 0 1 0 0 \\ OR 0 1 0 0 0 0 0 0 0 \\ \hline 0 1 0 0 0 0 1 0 0 \end{array} \text{ (データ B 2)}$$

(2-3) データ B 2 の下位データのみ反転

$$\begin{array}{r} 0 1 0 0 0 0 1 0 0 \\ XOR 0 0 0 0 0 0 1 1 0 \\ \hline 0 1 0 0 0 0 0 1 0 \end{array} \text{ (データ B 3)}$$

(2-4) データ B 3 に「0 0 1 0 0 0 1 0」を加算

$$\begin{array}{r} 0 1 0 0 0 0 0 1 0 \\ ADD 0 0 1 0 0 0 0 1 0 \\ \hline 0 1 1 0 0 0 1 0 0 \end{array} \text{ (データ B 4)}$$

(2-5) データ B 4 の不要ビット (B 3 及び B 7 ビット以外) を削除

$$\begin{array}{r} 0 1 1 0 0 0 1 0 0 \\ AND 1 0 0 0 0 1 0 0 0 \\ \hline 0 0 0 0 0 0 0 0 0 \end{array} \text{ (データ B 5)}$$

(3) データ A 5 とデータ B 5 を「XOR」演算

$$\begin{array}{r} 0 0 0 0 0 1 0 0 0 \\ XOR 0 0 0 0 0 0 0 0 0 \\ \hline 0 0 0 0 0 1 0 0 0 \end{array} \text{ (データ C)}$$

(4) データ A 5 とデータ C を「AND」演算

$$\begin{array}{r} 0 0 0 0 0 1 0 0 0 \\ AND 0 0 0 0 0 1 0 0 0 \\ \hline 0 0 0 0 1 0 0 0 \end{array} \text{ (データ D)}$$

設定キースイッチ信号エッジデータ
 (立ち下がりオフ, 立ち上がりオフ)

【図13】

立ち下がり時

今回割込み時: 0 0 0 0 0 0 1 1 0 (データ A 0) (設定キーオフ)
 前回割込み時: 0 0 0 0 0 1 0 0 (データ B 0) (設定キー回復)

(1-1) データ A 0 の下位 4 ビットを上位 4 ビットにコピー (上位下位入替え)

$$\begin{array}{r} \text{IN} \\ \text{OUT} \end{array} \begin{array}{r} 0 0 0 0 0 0 1 1 0 \\ 0 1 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 0) \\ (\text{データ A } 1) \end{array} : \text{演算前} \\ \text{演算後} \end{math}$$

(1-2) データ A 0 とデータ A 1 を「OR」演算

$$\begin{array}{r} \text{OR} \\ \text{OR} \end{array} \begin{array}{r} 0 0 0 0 0 1 1 0 \\ 0 1 1 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 0) \\ (\text{データ A } 1) \end{array} \\ \hline \begin{array}{r} 0 1 1 0 0 1 1 0 \\ 0 1 1 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 2) \end{array} \end{math>$$

(1-3) データ A 2 の下位データのみ反転

$$\begin{array}{r} \text{XOR} \\ \text{XOR} \end{array} \begin{array}{r} 0 1 0 0 0 1 1 0 \\ 0 1 1 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 2) \\ (\text{データ A } 3) \end{array} \\ \hline \begin{array}{r} 0 1 1 0 0 0 0 0 \\ 0 1 1 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 3) \end{array} \end{math>$$

(1-4) データ A 3 に「0 0 1 0 0 0 1 0」を加算

$$\begin{array}{r} \text{ADD} \\ \text{ADD} \end{array} \begin{array}{r} 0 1 1 0 0 0 0 0 \\ 0 0 1 0 0 0 0 1 0 \end{array} \begin{array}{l} (\text{データ A } 3) \\ (\text{データ A } 4) \end{array} \\ \hline \begin{array}{r} 1 0 0 0 0 0 0 1 0 \\ 1 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 4) \end{array} \end{math>$$

(1-5) データ A 4 の不要ビット (B 3 及び B 7 ビット以外) を削除

$$\begin{array}{r} \text{AND} \\ \text{AND} \end{array} \begin{array}{r} 1 0 0 0 0 0 0 1 0 \\ 1 0 0 0 1 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 4) \\ (\text{データ A } 5) \end{array} \\ \hline \begin{array}{r} 1 0 0 0 0 0 0 0 0 \\ 1 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 5) \end{array} \end{math>$$

(2-1) データ B 0 の下位 4 ビットを上位 4 ビットにコピー (上位下位入替え)

$$\begin{array}{r} \text{IN} \\ \text{OUT} \end{array} \begin{array}{r} 0 0 0 0 0 0 1 0 0 \\ 0 1 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ B } 0) \\ (\text{データ B } 1) \end{array} : \text{演算前} \\ \text{演算後} \end{math>$$

(2-2) データ B 0 とデータ B 1 を「OR」演算

$$\begin{array}{r} \text{OR} \\ \text{OR} \end{array} \begin{array}{r} 0 0 0 0 0 1 0 0 \\ 0 1 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ B } 0) \\ (\text{データ B } 1) \end{array} \\ \hline \begin{array}{r} 0 1 0 0 0 1 0 0 \\ 0 1 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ B } 2) \end{array} \end{math>$$

(2-3) データ B 2 の下位データのみ反転

$$\begin{array}{r} \text{XOR} \\ \text{XOR} \end{array} \begin{array}{r} 0 1 0 0 0 1 0 0 \\ 0 1 1 0 0 0 0 1 0 \end{array} \begin{array}{l} (\text{データ B } 2) \\ (\text{データ B } 3) \end{array} \\ \hline \begin{array}{r} 0 1 0 0 0 0 1 0 0 \\ 0 1 1 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ B } 3) \end{array} \end{math>$$

(2-4) データ B 3 に「0 0 1 0 0 0 1 0」を加算

$$\begin{array}{r} \text{ADD} \\ \text{ADD} \end{array} \begin{array}{r} 0 1 0 0 0 0 1 0 \\ 0 0 1 0 0 0 0 1 0 \end{array} \begin{array}{l} (\text{データ B } 3) \\ (\text{データ B } 4) \end{array} \\ \hline \begin{array}{r} 0 1 1 0 0 1 0 0 \\ 0 1 1 0 0 0 1 0 0 \end{array} \begin{array}{l} (\text{データ B } 4) \end{array} \end{math>$$

(2-5) データ B 4 の不要ビット (B 3 ビット及び B 7 ビット以外) を削除

$$\begin{array}{r} \text{AND} \\ \text{AND} \end{array} \begin{array}{r} 0 1 1 0 0 1 0 0 \\ 1 0 0 0 0 1 0 0 0 \end{array} \begin{array}{l} (\text{データ B } 4) \\ (\text{データ B } 5) \end{array} \\ \hline \begin{array}{r} 0 0 0 0 0 0 0 0 0 \\ 0 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ B } 5) \end{array} \end{math>$$

(3) データ A 5 とデータ B 5 を「XOR」演算

$$\begin{array}{r} \text{XOR} \\ \text{XOR} \end{array} \begin{array}{r} 1 0 0 0 0 0 0 0 \\ 1 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 5) \\ (\text{データ B } 5) \end{array} \\ \hline \begin{array}{r} 0 1 0 0 0 0 0 0 0 \\ 1 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ C}) \end{array} : \text{前回と今回の変化データ} \end{math>$$

(4) データ A 5 とデータ G を「AND」演算

$$\begin{array}{r} \text{AND} \\ \text{AND} \end{array} \begin{array}{r} 1 0 0 0 0 0 0 0 \\ 1 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ A } 5) \\ (\text{データ C}) \end{array} \\ \hline \begin{array}{r} 1 0 0 0 0 0 0 0 0 \\ 1 0 0 0 0 0 0 0 0 \end{array} \begin{array}{l} (\text{データ D}) \end{array} : \text{設定キースイッチ信号エッジデータ} \\ \text{(立ち下がりオン、立ち上がりオフ)} \end{math>$$

【図14】

今回割込み時： 0 0 0 0 0 0 1 0 0	(データ A 0)	(設定キー回転)
前回割込み時： 0 0 0 0 0 0 1 1 0	(データ B 0)	(設定キーオフ)
(1 - 1) データ A 0 の下位 4 ビットを上位 4 ビットにコピー (上位下位入替え) $\begin{array}{r} \text{IN} & 0 0 0 0 0 0 1 0 0 \\ \text{OUT} & 0 1 0 0 0 0 0 0 \end{array}$	(データ A 0)	: 演算前 (データ A 1) : 演算後
(1 - 2) データ A 0 とデータ A 1 を「OR」演算 $\begin{array}{r} 0 0 0 0 0 0 1 0 0 \\ \text{OR} \quad 0 1 0 0 0 0 0 0 \\ \hline 0 1 0 0 0 1 0 0 \end{array}$	(データ A 0)	(データ A 1)
(1 - 3) データ A 2 の下位データのみ反転 $\begin{array}{r} 0 1 0 0 0 1 0 0 \\ \text{XOR} \quad 0 0 0 0 0 1 1 0 \\ \hline 0 1 0 0 0 0 1 0 \end{array}$	(データ A 2)	(データ A 3)
(1 - 4) データ A 3 に「0 0 1 0 0 0 1 0」を加算 $\begin{array}{r} 0 1 0 0 0 1 0 0 \\ \text{ADD} \quad 0 0 1 0 0 0 1 0 \\ \hline 0 1 1 0 0 1 0 0 \end{array}$	(データ A 3)	(データ A 4)
(1 - 5) データ A 4 の不要ビット (B 3 及び B 7 ビット以外) を削除 $\begin{array}{r} 0 1 1 0 0 1 0 0 \\ \text{AND} \quad 1 0 0 0 0 1 0 0 \\ \hline 0 0 0 0 0 0 0 0 \end{array}$	(データ A 4)	(データ A 5)
(2 - 1) データ B 0 の下位 4 ビットを上位 4 ビットにコピー (上位下位入替え) $\begin{array}{r} \text{IN} & 0 0 0 0 0 0 1 1 0 \\ \text{OUT} & 0 1 1 0 0 0 0 0 \end{array}$	(データ B 0)	: 演算前 (データ B 1) : 演算後
(2 - 2) データ B 0 とデータ B 1 を「OR」演算 $\begin{array}{r} 0 0 0 0 0 0 1 1 0 \\ \text{OR} \quad 0 1 1 0 0 0 0 0 \\ \hline 0 1 1 0 0 1 1 0 \end{array}$	(データ B 0)	(データ B 1)
(2 - 3) データ B 2 の下位データのみ反転 $\begin{array}{r} 0 1 1 0 0 1 1 0 \\ \text{XOR} \quad 0 0 0 0 0 1 1 0 \\ \hline 0 1 1 0 0 0 0 0 \end{array}$	(データ B 2)	(データ B 3)
(2 - 4) データ B 3 に「0 0 1 0 0 0 1 0」を加算 $\begin{array}{r} 0 1 1 0 0 0 0 0 \\ \text{ADD} \quad 0 0 1 0 0 0 1 0 \\ \hline 1 0 0 0 0 0 1 0 \end{array}$	(データ B 3)	(データ B 4)
(2 - 5) データ B 4 の不要ビット (B 3 及び B 7 ビット以外) を削除 $\begin{array}{r} 1 0 0 0 0 0 1 0 \\ \text{AND} \quad 1 0 0 0 0 1 0 0 \\ \hline 1 0 0 0 0 0 0 0 \end{array}$	(データ B 4)	(データ B 5)
(3) データ A 5 とデータ B 5 を「XOR」演算 $\begin{array}{r} 0 0 0 0 0 0 0 0 \\ \text{XOR} \quad 1 0 0 0 0 0 0 0 \\ \hline 1 0 0 0 0 0 0 0 \end{array}$	(データ A 5)	(データ B 5)
(4) データ A 5 とデータ C を「AND」演算 $\begin{array}{r} 0 0 0 0 0 0 0 0 \\ \text{AND} \quad 1 0 0 0 0 0 0 0 \\ \hline 0 0 0 0 0 0 0 0 \end{array}$	(データ A 5)	(データ C) : 演算前 (データ D) : 演算後 (データ E) : 設定キーイニチ信号エッジデータ

【図15】

今回割込み時: 0 0 0 0 0 1 1 0 (データA 0) (設定キーオフ)
 前回割込み時: 0 0 0 0 0 1 1 0 (データB 0) (設定キーオフ)

(1-1) データA 0 の下位4ビットを上位4ビットにコピー (上位下位入替え)

$$\begin{array}{r} \text{IN} \\ \hline 0 0 0 0 0 1 1 0 \\ \text{OUT} \end{array} \quad \begin{array}{l} (\text{データA 0}) \\ : \text{演算前} \\ \hline (\text{データA 1}) \quad : \text{演算後} \end{array}$$

(2-2) データA 0 とデータA 1 を「OR」演算

$$\begin{array}{r} \text{0 0 0 0 0 1 1 0} \\ \text{OR} \\ \hline 0 1 1 0 0 0 0 0 \end{array} \quad \begin{array}{l} (\text{データA 0}) \\ (\text{データA 1}) \\ \hline (\text{データB 2}) \end{array}$$

(2-3) データA 2 の下位データのみ反転

$$\begin{array}{r} 0 1 1 0 0 1 1 0 \\ \text{XOR} \\ \hline 0 0 0 0 0 1 1 0 \end{array} \quad \begin{array}{l} (\text{データA 2}) \\ \hline (\text{データA 3}) \end{array}$$

(2-4) データA 3 に「0 0 1 0 0 0 1 0」を加算

$$\begin{array}{r} 0 1 1 0 0 0 0 0 \\ \text{ADD} \\ \hline 0 0 1 0 0 0 1 0 \end{array} \quad \begin{array}{l} (\text{データA 3}) \\ \hline (\text{データA 4}) \end{array}$$

(2-5) データA 4 の不要ビット (B 3 及びB 7 ビット以外) を削除

$$\begin{array}{r} 1 0 0 0 0 0 1 0 \\ \text{AND} \\ \hline 1 0 0 0 0 1 0 0 \end{array} \quad \begin{array}{l} (\text{データA 4}) \\ \hline (\text{データA 5}) \end{array}$$

(2-1) データB 0 の下位4ビットを上位4ビットにコピー (上位下位入替え)

$$\begin{array}{r} \text{IN} \\ \hline 0 0 0 0 0 1 1 0 \\ \text{OUT} \end{array} \quad \begin{array}{l} (\text{データB 0}) \\ : \text{演算前} \\ \hline (\text{データB 1}) \quad : \text{演算後} \end{array}$$

(2-2) データB 0 とデータB 1 を「OR」演算

$$\begin{array}{r} 0 0 0 0 0 1 1 0 \\ \text{OR} \\ \hline 0 0 1 1 0 0 0 0 \end{array} \quad \begin{array}{l} (\text{データB 0}) \\ (\text{データB 1}) \\ \hline (\text{データB 2}) \end{array}$$

(2-3) データB 2 の下位データのみ反転

$$\begin{array}{r} 0 1 1 0 0 1 1 0 \\ \text{XOR} \\ \hline 0 0 0 0 0 1 1 0 \end{array} \quad \begin{array}{l} (\text{データB 2}) \\ \hline (\text{データB 3}) \end{array}$$

(2-4) データB 3 に「0 0 1 0 0 0 1 0」を加算

$$\begin{array}{r} 0 1 1 0 0 0 0 0 \\ \text{ADD} \\ \hline 0 0 1 0 0 0 1 0 \end{array} \quad \begin{array}{l} (\text{データB 3}) \\ \hline (\text{データB 4}) \end{array}$$

(2-5) データB 4 の不要ビット (B 3 及びB 7 ビット以外) を削除

$$\begin{array}{r} 1 0 0 0 0 0 1 0 \\ \text{AND} \\ \hline 1 0 0 0 0 0 0 0 \end{array} \quad \begin{array}{l} (\text{データB 4}) \\ \hline (\text{データB 5}) \end{array}$$

(3) データA 5 とデータB 5 を「XOR」演算

$$\begin{array}{r} 1 0 0 0 0 0 0 0 \\ \text{XOR} \\ \hline 1 0 0 0 0 0 0 0 \end{array} \quad \begin{array}{l} (\text{データA 5}) \\ (\text{データB 5}) \\ \hline (\text{データC}) \end{array} \quad \begin{array}{l} : \text{前回と今回の変化データ} \end{array}$$

(4) データA 5 とデータC を「AND」演算

$$\begin{array}{r} 1 0 0 0 0 0 0 0 \\ \text{AND} \\ \hline 0 0 0 0 0 0 0 0 \end{array} \quad \begin{array}{l} (\text{データA 5}) \\ (\text{データC}) \\ \hline (\text{データD}) \end{array} \quad \begin{array}{l} : \text{設定キースイッチ信号エッジデータ} \end{array}$$

フロントページの続き

(56)参考文献 特開2007-215949(JP,A)
特開2006-101967(JP,A)
特開2005-230158(JP,A)
特開2005-296171(JP,A)
特開2004-350807(JP,A)
実開平05-044173(JP,U)
特開2011-254978(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 63 F 5 / 0 4
A 63 F 7 / 0 2