



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0114919
(43) 공개일자 2009년11월04일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2008-0040800

(22) 출원일자 2008년04월30일

심사청구일자 2008년04월30일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

장 진

서울 서초구 잠원동 65-32 신반포7차아파트 302-908

오재환

서울 동대문구 이문2동 262-120

강동한

서울 동대문구 회기동 1번지 경희대학교

(74) 대리인

김인한, 김희곤

전체 청구항 수 : 총 7 항

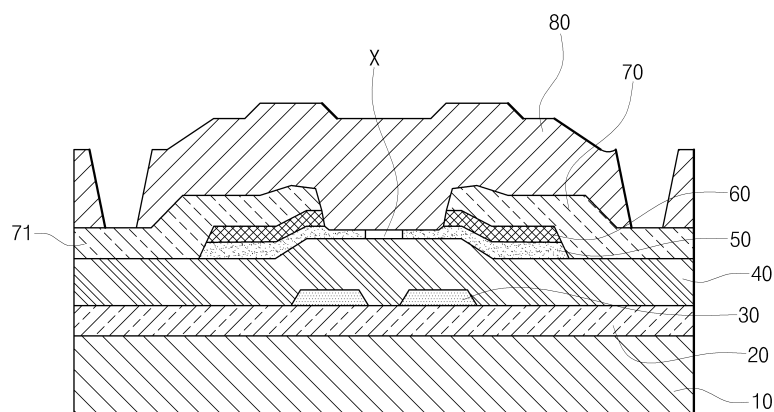
(54) 센터오프셋 구조를 구비한 역 스테거드형 다결정 실리콘박막트랜지스터의 제조방법

(57) 요약

본 발명은 박막트랜지스터 및 그 제조방법에 관한 것으로서, 본 발명은 1) 기판상에 완충층을 형성하는 단계; 2) 상기 완충층 상에 게이트 전극을 센터 오프셋구조로 형성하는 단계; 3) 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계; 4) 상기 게이트 절연막 상에 활성층을 형성하는 단계; 5) 상기 활성층 상에 오믹컨택층(ohmic contact layer)을 형성하는 단계; 6) 상기 오믹 컨택층 상에 소스/드레인 전극을 형성하는 단계; 및 7) 상기 소스/드레인 전극 상에 보호막(passivation)을 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 한다.

본 발명에 따르면, 박막트랜지스터를 구성하는 게이트의 중앙에 오프셋 패턴을 형성하여, 활성층 채널 중앙에 오프셋 영역을 형성시킴으로써, 박막트랜지스터의 제조단계에서의 복잡한 공정을 단순화시키며, 누설전류를 현격하게 억제할 수 있는 박막트랜지스터를 제공하는 효과가 있다.

대 표 도 - 도2a



특허청구의 범위

청구항 1

- 1) 기판상에 완충층을 형성하는 단계;
 - 2) 상기 완충층 상에 게이트 전극을 센터 오프셋구조로 형성하는 단계;
 - 3) 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;
 - 4) 상기 게이트 절연막 상에 활성층을 형성하는 단계;
 - 5) 상기 활성층 상에 n+ 비정질 실리콘 오믹컨택층(ohmic contact layer)을 증착하여 형성하는 단계;
 - 6) 상기 n+ 비정질 실리콘 오믹컨택층 상에 소스/드레인 전극을 형성하는 단계; 및
 - 7) 상기 소스/드레인 전극 상에 보호막(passivation)을 형성하는 단계;
- 를 포함하여 이루어지는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

청구항 2

청구항 1에 있어서,

상기 5)단계는, n+에 비결정질 실리콘 박막을 직접 증착하여 형성하는 단계인 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

청구항 3

청구항 1 또는 2에 있어서,

상기 2)단계는 상기 게이트 전극의 패턴에 의해 형성된 상기 센터오프셋 구조의 길이를 0.1~5 μ m 로 형성하는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

청구항 4

청구항 1 또는 2에 있어서,

상기 3)단계는, 상기 게이트 절연막을 실리콘 산화막으로 형성하는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

청구항 5

청구항 1 또는 2에 있어서,

상기 활성층은 다결정 실리콘으로 형성되며, 상기 다결정 실리콘 내의 평균 금속 면밀도는 $10^{12} \sim 10^{15}/\text{cm}^2$ 인 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

청구항 6

청구항 5에 있어서,

상기 금속은 니켈인 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

청구항 7

청구항 1 또는 2에 있어서,

상기 활성층의 센터오프셋영역(X)은 불순물이 도핑되지 않는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 박막트랜지스터의 제조방법에 관한 것으로, 기본적으로 박막트랜지스터를 구성하는 게이트의 중앙에 오프셋 패턴을 형성하여, 활성층 채널 중앙에 오프셋 영역을 형성시킴으로써, 박막트랜지스터의 제조단계에서의 복잡한 공정을 단순화시킴, 누설전류를 현격하게 억제할 수 있는 박막트랜지스터 제조방법에 관한 것이다.

배경 기술

- <2> 박막트랜지스터는 활성화층, 게이트 절연층, 소오스-드레인 전극과 게이트 전극의 제작 순서에 따라 크게 4가지로 나눌 수 있다. 먼저 게이트 전극과 소오스-드레인 전극이 활성화층을 사이에 두고 있는 스테거드형(staggered type)과 게이트 전극과 소오스 드레인 전극이 활성화층의 한쪽 면에 같이 있는 코플라나형(coplanar type)으로 나눌 수 있다. 스테거드형 박막트랜지스터는 소오스-드레인 전극이 기판 위에 형성되고 활성화층, 절연층, 게이트 전극의 순으로 제작된다. 이 형태는 활성화 층위에 주로 플라즈마 공정에 의해 절연층을 제작하기 때문에 반도체 층 계면에서 결함이 발생할 수 있는 단점이 있다. 코플라나형 박막트랜지스터는 활성화 층위에 소오스 드레인 전극, 절연층, 게이트 전극의 순으로 제작한다. 코플라나형은 스테거드형과 마찬가지로 절연층의 제작공정에서 발생하는 계면 결함 외에 활성화층위에 전극을 형성하기 위하여 필요한 식각 공정으로 인해 계면 결함이 더욱 커지는 단점이 있다. 비정질 실리콘 박막트랜지스터에서는 코플라나형은 거의 쓰이지 않고 있다.
- <3> 또 다른 구조는 위의 스테거드형과 코플라나형의 제작순서를 역으로 한 역 스테거드(inverse staggered type)형과 역 코플라나형(inverse coplanar type)이 있으며, 특히 역스테거드형은 비정질 실리콘 박막트랜지스터에서 가장 많이 사용하고 있다.
- <4> 그리고 이러한 박막트랜지스터는 활성화층의 물질에 따라 비정질 실리콘, 다결정질 실리콘을 이용한 박막트랜지스터와 화합물반도체를 이용한 박막트랜지스터가 있다.
- <5> 기존의 다결정질 실리콘 박막 트랜지스터(poly-Si TFT)에서 높은 누설 전류를 감소 시키기 위한 방법으로 오프셋 구조가 사용되고 있다. 오프셋 영역은 높은 저항영역을 가지며, 이로 인하여 채널과 소스/드레인 사이의 전기장을 줄여주는 역할을 한다. 결과적으로 다결정 실리콘 박막 트랜지스터의 전이곡선에서 누설 전류를 감소 시켜준다.
- <6> 도 1a를 참조하면, 도시된 도 1a는 오프셋 (5) 을 형성한 코플라나 구조의 다결정 실리콘 박막 트랜지스터 제작 시의 단면도를 나타낸다. 구체적인 내용으로 절연기판 (10) 상에 결정화 시 발생할 수 있는 절연기판으로부터의 불순물을 막아주는 완충층 (8) 으로 실리콘 산화막을 형성한다. 활성화층 (11) 으로 비정질 실리콘을 증착한다. 상기 비정질 실리콘을 결정화 과정을 거쳐서 다결정 실리콘화 한다. 게이트 절연막 (9) 으로서 실리콘 산화막을 형성하고, 상기 게이트 절연막 (9) 상에 게이트 (1) 전극 패턴을 형성한다. 오프셋 (5) 형성을 위하여 상기 게이트 (1) 전극을 충분히 가릴 수 있는 도핑 배리어 (4) 를 사용한다. 상기 도핑 배리어 (4) 에 의해 가려진 영역을 제외한 부분을 이온 주입하여 오믹컨택 (7) 영역을 형성한 후 소스/드레인 (2)/(3) 을 패턴하여 형성하고, 상기 활성화층에 보호층 (6) 을 증착하여 외부의 gas와 수분으로부터 소자를 보호한다.
- <7> 도 1b는 코플라나 구조의 다결정 실리콘 박막 트랜지스터에서 오프셋 (5) 구조를 채택할 경우의 평면도를 나타내고 있다.
- <8> 그러나, 이러한 구조에서 오프셋 영역은 이온 주입 이전에 게이트 (1) 패턴 보다 큰 도핑 배리어 (4) 를 사전에 패턴 함으로서 형성된다. 따라서 마스크의 추가적인 비용과 함께 광 식각 공정이 늘어나는 단점을 지니고 있다.
- <9> 게다가 상기 오프셋 (5)이 썩-마이크론(sub-micron) 정도로 한정되어 있어서 공정 시 발생할 수 있는 정렬 오차 등의 공정 마진을 매우 작게 하는 원인이 되기도 한다. 따라서 공정의 복잡성과 공정 신뢰성 등의 단점을 가지고 있어서, 전기적인 특성 향상에도 불구하고 널리 이용되지 않는 실정이다.
- <10> 아울러, 이러한 종래공정에서는 5개의 마스크를 사용하는 광 식각 공정이 필요하다. 광 식각 공정이 마스크 공정, 감광막 도포 공정, 노광 공정, 현상 공정 등의 복잡하고 정밀한 공정을 거쳐야 하기 때문에, 이러한 공정수의 증가는 공정의 복잡화와 텍타임의 증가, 잦은 반복공정으로 인한 제품의 불량률의 증가하기 때문이다. 따라서 박막 트랜지스터를 제조하는 단계에서 누설 전류를 줄이는 것만큼 마스크 수를 줄이는 것에 대한 필요성이 대두되게 되었다.

발명의 내용

해결 하고자하는 과제

- <11> 본 발명은 상술한 목적을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 박막트랜지스터를 구성하는 게이트의 중앙에 오프셋 패턴을 형성하여, 활성층 채널 중앙에 오프셋 영역을 형성시킴으로써, 박막트랜지스터의 제조 단계에서의 복잡한 공정을 단순화시키며, 누설전류를 현격하게 억제할 수 있는 박막트랜지스터의 제조방법을 제공하는 데 있다.

과제 해결수단

- <12> 본 발명은 누설 전류를 감소는 목적으로, 게이트를 패터닝하여 채널 중앙에 센터 오프셋을 형성시킴으로써, 상술한 과제를 해결하고자 한다. 즉, 이러한 구조를 구현하는 방식은 마스크의 추가가 없어 생산 비용 증가 없이 안정적으로 누설 전류를 억제하는 특성적인 향상을 구현할 수 있게 된다.
- <13> 보다 구체적으로는 본 발명은 박막트랜지스터의 제조방법에 관한 것으로, 역 스테거드 (inverse-staggered) 구조의 다결정 실리콘 박막 트랜지스터에서 게이트 (gate) 형성 시 센터에 오프셋 (offset) 을 형성하여 간단한 제조 공정으로 낮은 누설전류를 구현할 수 있도록 한다. 특히 오프셋 영역을 게이트 패턴의 중앙에 두는 구조를 채택하여 추가적인 공정이 없으며, 오프셋 영역을 패터닝 형성하였으므로 이후의 공정에 의하여 오프셋 영역이 영향을 받지 않는다는 외적인 장점을 구현할 수 있도록 한다. 따라서 본 발명은 누설 전류를 매우 안정적으로 제어 하는 센터 오프셋을 사용한 역 스테거드 구조의 다결정 실리콘 박막 트랜지스터를 제공할 수 있도록 한다.

효 과

- <14> 본 발명에 따르면, 박막트랜지스터를 구성하는 게이트의 중앙에 오프셋 패턴을 형성하여, 활성층 채널 중앙에 오프셋 영역을 형성시킴으로써, 박막트랜지스터의 제조단계에서의 복잡한 공정을 단순화시키며, 누설전류를 현격하게 억제할 수 있는 박막트랜지스터를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <15> 본 발명은 1) 기판상에 완충층을 형성하는 단계; 2) 상기 완충층 상에 게이트 전극을 센터 오프셋구조로 형성하는 단계; 3) 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계; 4) 상기 게이트 절연막 상에 활성층을 형성하는 단계; 5) 상기 활성층 상에 n+ 비정질 실리콘 오믹컨택층(ohmic contact layer)을 증착하여 형성하는 단계; 6) 상기 n+ 비정질 실리콘 오믹컨택층 상에 소스/드레인 전극을 형성하는 단계; 및 7) 상기 소스/드레인 전극 상에 보호막(passivation)을 형성하는 단계; 를 포함하여 이루어지는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공하여, 광식각공정등에 소요되는 마스크의 추가를 없애고, 생산비용의 증가없이 안정적으로 누설전류를 억제할 수 있도록 한다.
- <16> 또한, 본 발명의 상기 5)단계는, n+에 비결정질 실리콘 박막을 직접 증착하여 형성하는 단계인 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공한다.
- <17> 또한, 본 발명은 상기 2)단계는 상기 게이트 전극의 패턴에 의해 형성된 상기 센터오프셋 구조의 길이를 0.1~5 μm 로 형성하는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공할 수 있도록 한다.
- <18> 또한, 본 발명은 상기 3)단계는, 상기 게이트 절연막을 실리콘 산화막으로 형성하는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공할 수 있도록 한다.
- <19> 또한, 본 발명은 상기 활성층은 다결정 실리콘으로 형성되며, 상기 다결정 실리콘 내의 평균 금속 면밀도는 $10^{12} \sim 10^{15} / \text{cm}^2$ 인 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공할 수 있도록 한다.
- <20> 또한, 본 발명은 상기 금속은 니켈인 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공할 수 있도록 한다.
- <21> 또한, 본 발명은 상기 활성층의 센터오프셋영역(X)은 불순물이 도핑되지 않는 것을 특징으로 하는 센터오프셋 구조의 다결정 실리콘 박막트랜지스터 제조방법을 제공할 수 있도록 한다.

- <22> 이하에서는 첨부한 도면을 참조하여 본 발명의 구성과 작용을 구체적으로 설명한다.
- <23> 본 발명에서는 기존의 코플라나 구조의 다결정 실리콘 박막트랜지스터를 사용하지 않고, 역스테거드형 구조를 이용하여 다결정 실리콘 박막트랜지스터를 제작하였다.
- <24> 도 2a를 참조하면, 도 2a는 본 발명의 센터오프셋을 이용한 역스테거드 다결정 박막트랜지스터의 단면도를 도시한 도면이다.
- <25> 도시된 박막트랜지스터의 제조는, 우선 절연기판(10) 위에 완충층(20)을 형성하며, 상기 완충층(20)은 바람직하게는 실리콘 산화막을 200 nm 두께로 형성한다. 다음으로 상기 완충층(20) 상에 게이트 전극(30)을 증착한다. 상기 게이트 전극(30)은 70 nm로 증착된 몰리 텅스텐 (MoW)으로 형성되며, 특히 상기 게이트 전극(30)은 센터 오프셋 영역(X)의 형성을 위하여 패턴화함이 바람직하다. 상기 게이트 전극의 패턴에 의해 형성된 상기 센터 오프셋 구조의 길이는 0.1~5 μ m로 형성하는 것이 더욱 바람직하다.
- <26> 다음으로 상기 게이트 전극(30) 상에 게이트 절연막(40)을 형성한다. 이 경우 상기 게이트 절연막은 실리콘 산화막으로 형성함이 바람직하다. 이후 상기 게이트 절연막(40) 상에 활성층(50)을 형성하며, 상기 활성층을 형성하고, 그 상부면에 오믹컨택층(ohmic contact layer)(60)을 형성한다. 이후, 상기 오믹 컨택층 상에 소스/드레인 전극(71,70)을 형성하고, 상기 소스/드레인 전극 상에 보호막(passivation)(80)을 형성하게 된다. 특히 상기 오믹 컨택층은 상기 활성층 상에 n+ 비정질 실리콘 오믹컨택층(ohmic contact layer)을 직접 증착하여 형성할 수 있다.
- <27> 상기 활성층(50)을 형성하는 방법으로는, 기본적으로 다결정 실리콘 박막을 형성함으로써 이루어지며, 특히 상기 다결정 실리콘박막의 형성하는 방법으로는 직접적인 증착 방식과 비정질 실리콘을 다결정 실리콘화 하여 형성하는 두 가지 방법을 이용할 수 있다.
- <28> 우선, 다결정 실리콘 박막을 직접적으로 증착하는 방식으로는, 상기 게이트 전극(30) 상에 게이트절연막(40)으로서 실리콘 산화막을 200 nm로 증착하고, 이어서, 활성층(50)으로서 다결정 실리콘층을 100 nm로 증착 후, 오믹콘택층(60)을 형성하기 위하여 phosphorous가 도핑된 비정질 실리콘을 50 nm두께로 연속 증착한다. 이후, 상기 활성층(50)을 건식 식각법을 통하여 형성한 후, 소스/드레인 전극을 형성하기 위해, 크롬(Cr)을 100 nm 증착한 후 패턴화하여 형성한다. 상기 소스/드레인(71,70) 패턴을 이용하여 BCE 하였고, 이를 통하여 채널 부위의 오믹콘택층(60)인 phosphorous가 도핑된 비정질 실리콘을 식각한다. 그리고 상기 노출된 활성층(50)의 보호를 위하여 보호층(80)으로써, 실리콘 질화막을 400 nm 두께로 증착하여 역 스테거드 구조의 다결정 실리콘 박막 트랜지스터를 제작하였다.
- <29> 다음으로, 활성층을 형성함에 있어, 직접 증착이 아닌 비정질 실리콘을 다결정 실리콘화하여 형성하는 방법을 설명하기로 한다. 이는 도 3a 내지 도 3c를 참조하여 설명한다.
- <30> 도 3a를 참조하면, 상기의 완충층(20)이 형성된 절연 기판(10) 상에 센터 오프셋(X) 패턴을 가지는 게이트(30)를 형성한다. 상기의 게이트(30) 상에 게이트 절연막(40) 으로서 실리콘 산화막을 200 nm로 증착하고, 그 후 활성층(50a)으로서 비정질 실리콘을 100 nm로 증착, 그리고 덮개층(C)으로 실리콘 질화막 50 nm를 연속 증착한다. 상기 비정질 실리콘의 증착 두께는 기본적으로 30~100 μ m로 제작될 수 있다.
- <31> 이후 상기 덮개층(C)을 이용한 금속 유도 결정화를 통하여 비정질 실리콘(50a)을 다결정 실리콘화(50b) 한다. 즉 금속증착 후 열처리를 통하여 비정질 실리콘을 다결정 실리콘으로 형성하게 되는 것이다. 이후, 도 3b에 도시된 것처럼 덮개층을 제거한다.
- <32> 이후에는 도 3c에 도시된 것처럼, 덮개층(C) 제거 이후, 오믹컨택(60a) 층인 phosphorous 도핑된 비정질 실리콘으로 50 nm 두께로 증착 후, 상기 활성층(50b)을 건식 식각법을 통하여 형성하였다. 소스/드레인 전극으로는 크롬 (Cr) 을 100 nm 증착 후 패턴 하였고, BCE 를 통하여 채널 부위의 오믹콘택층인 phosphorous 도핑된 비정질 실리콘(60a)을 건식 식각하였다. 상기 노출된 활성층의 보호를 위하여 보호막을 형성하되, 이는 실리콘 질화막을 400 nm 두께로 증착한다. 이와 같은 과정을 거쳐서 도 2a에 도시된 본 발명에 따른 센터오프셋 영역을 구비한 박막트랜지스터를 제조할 수 있다.
- <33> 본 발명의 제조공정에서는 기본적으로 다결정 실리콘의 증착공정은 300~400℃의 온도에서 이루어지는 것이 바람직하며, 이러한 다결정 실리콘 내의 평균 금속 면밀도는 10^{12} ~ $10^{15}/\text{cm}^2$ 인 것이 더욱 바람직하다. 특히 이 경우 다결정 실리콘 내의 금속은 니켈인 것이 더욱 바람직하다. 또한, 본 발명의 센터오프셋 영역에서는 인 또는

브론 등의 불순물이 도핑되지 않는 것이 바람직하다.

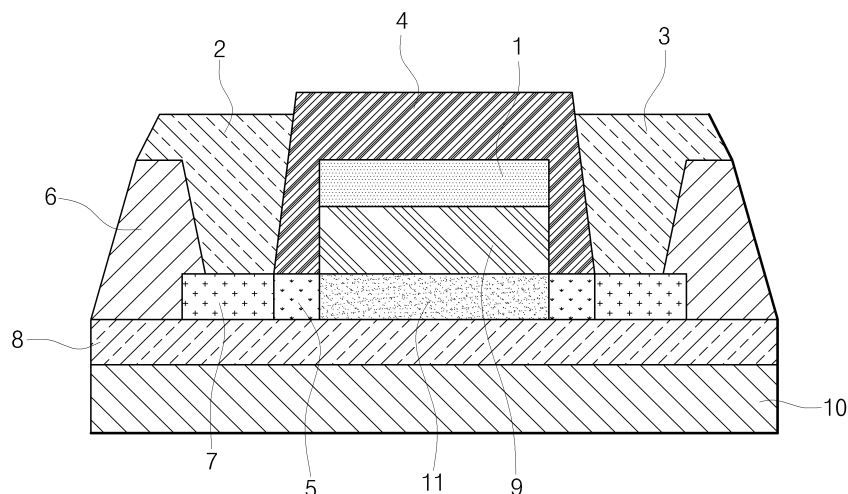
- <34> 본 발명에서는 게이트 금속의 패턴을 통하여 채널 중앙에 오프셋을 형성할 수가 있고, 본 방식을 통한 오프셋 형성은 추가적인 공정 단계가 들어가지 않는다.
- <35> 또한, 게이트 패턴 시에 설계에 따라서 센터 오프셋 영역이 정확히 확정되는 것으로서, 공정에 따라 오프셋 영역이 변하는 문제점을 확실하게 개선하였다. 본 발명에 의해 제작된 박막 트랜지스터는 AMOLED나 AMLCD의 하부 기판에서 가장 중요한 누설 전류를 낮출 수 있다.
- <36> 도 4a를 참조하면, 도시된 도면은 오프셋을 사용하지 않은 경우의 역 스테거드 다결정 실리콘 박막 트랜지스터의 I-V 특성을 보여주고 있다. 게이트 전압이 음의 방향으로 증가 함에 따라서 원치 않는 누설 전류도 같이 증가함을 나타낸다.
- <37> 도 4b를 참조하면, 본 발명의 센터 오프셋을 사용한 역 스테거드 다결정 실리콘 박막 트랜지스터의 I-V 특성을 보여 주고 있다. 도면 8과 비교하여 게이트 전압이 음의 방향으로 증가하여도 누설 전류가 전혀 증가하지 않는 것을 확인할 수 있다.
- <38> 진술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 기술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

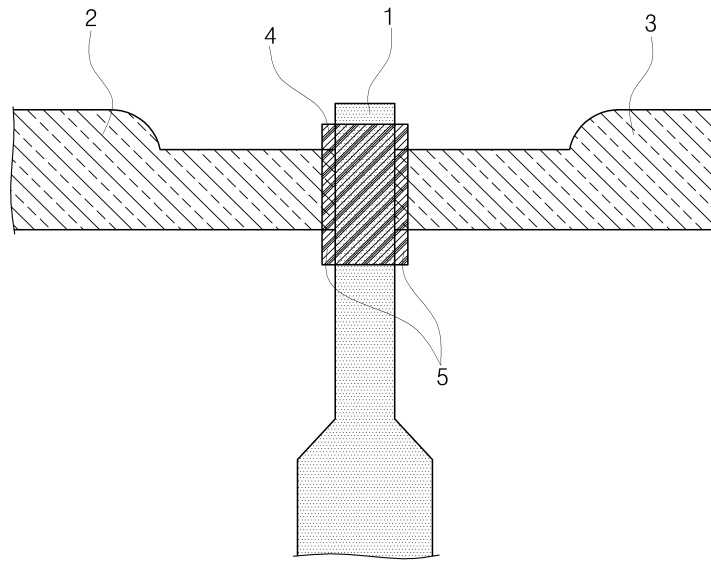
- <39> 도 1a 및 도 1b는 종래의 기술에 따른 오프셋 구조의 다결정 박막트랜지스터의 평면도이다.
- <40> 도 2a 및 2b는 본 발명의 센터오프셋을 이용한 역 스테거드 다결정 박막트랜지스터의 단면도를 도시한 도면이다.
- <41> 도 3a 내지 도 3c는 본 발명의 다른 실시예를 이용한 활성층의 형성방법을 도시한 것이다.
- <42> 도 4a는 일반적인 다결정 실리콘 박막 트랜지스터의 전이 곡선 특성을 도시한 그래프이다.
- <43> 도 4b는 본 발명에 따른 센터 오프셋 을 사용한 역 스테거드 다결정 실리콘 박막 트랜지스터의 전이 곡선 특성을 도시한 그래프이다.

도면

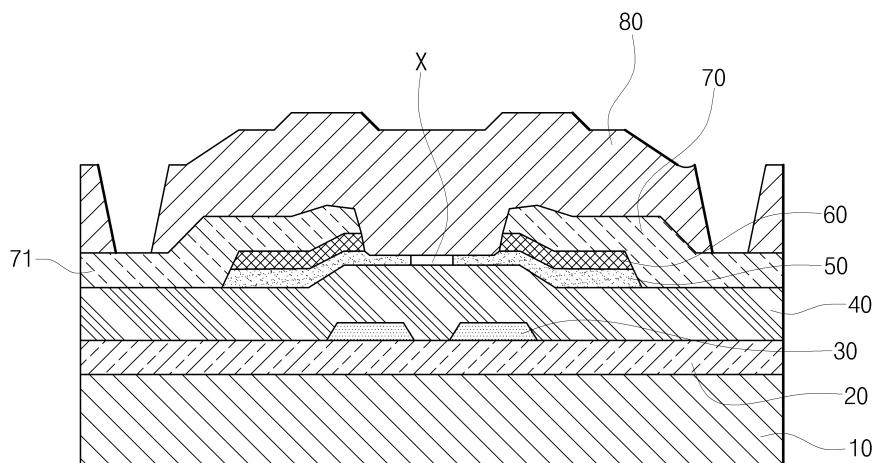
도면1a



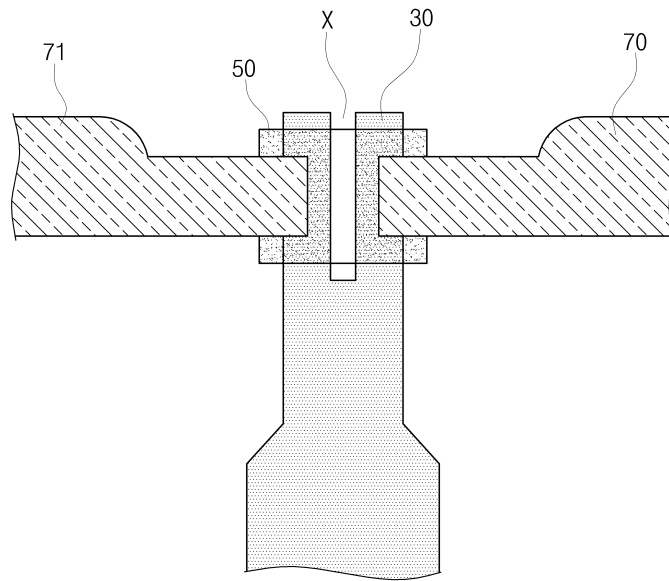
도면1b



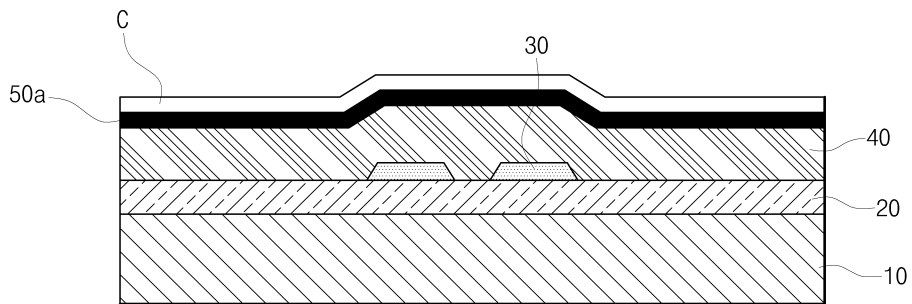
도면2a



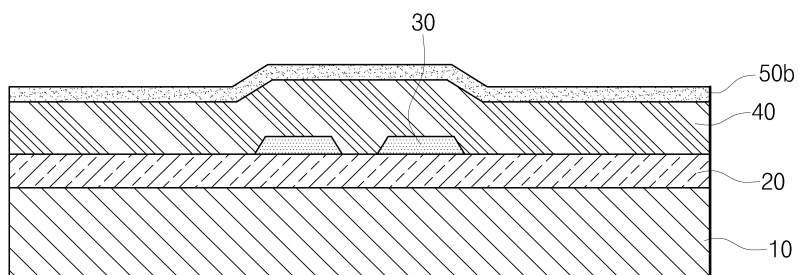
도면2b



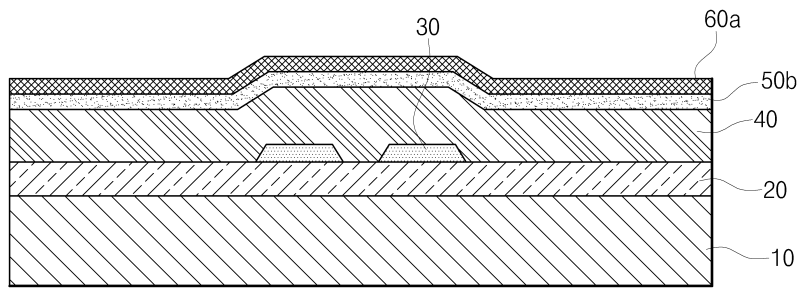
도면3a



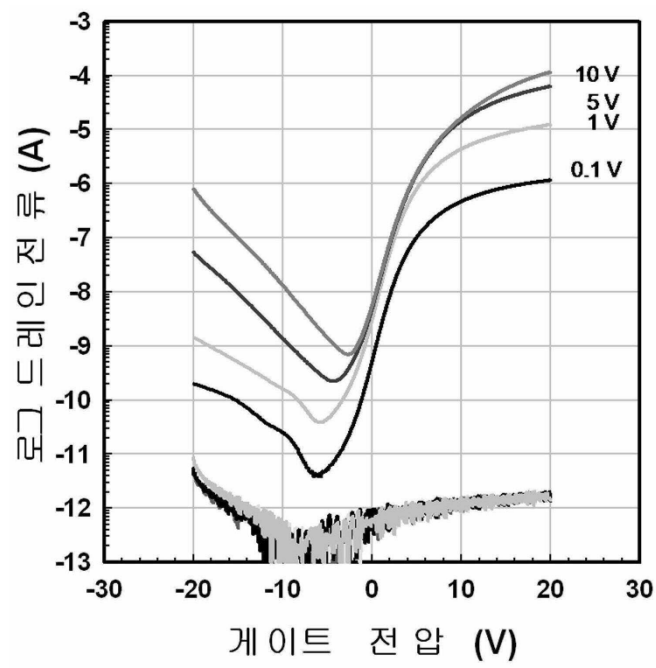
도면3b



도면3c



도면4a



도면4b

