



(51) МПК

H04L 9/00 (2006.01)

H04L 9/12 (2006.01)

H03M 5/16 (2006.01)

ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2004129245/09, 05.10.2004

(24) Дата начала отсчета срока действия патента:
05.10.2004

(45) Опубликовано: 10.03.2006 Бюл. № 7

(56) Список документов, цитированных в отчете о
поиске: US 5530959 A, 25.06.1996. RU 2224375
C2, 20.02.2004. SU 1234991 A1, 30.05.1986.
RU 2214695 C2, 20.10.2003. US 5321754 A,
14.06.1996. US 5237593 A, 17.08.1993. US
5675584 A, 07.10.1997.

Адрес для переписки:

124575, Москва, Зеленоград, корп.920,
кв.162, Б.В. Шевкоплясу

(72) Автор(ы):

Сухман Сергей Маратович (RU),
Шевкопляс Борис Владимирович (RU)

(73) Патентообладатель(и):

Сухман Сергей Маратович (RU),
Шевкопляс Борис Владимирович (RU)

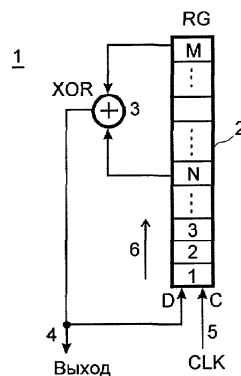
(54) УСТРОЙСТВО ДЛЯ ПЕРЕДАЧИ ДАННЫХ

(57) Реферат:

Изобретение относится к устройствам для передачи данных и может быть использовано в синхронных телекоммуникационных системах. Технический результат - повышение скорости передачи данных. Устройство содержит подключенные к противоположным сторонам линии связи блоки передачи и приема данных. Блок передачи данных содержит блок стаффинга и скремблер, блок приема данных - дескремблер и блок дестаффинга. Технический результат достигается благодаря одновременному распознаванию блоками передачи и приема данных в скремблированном потоке битов определенных кодов, которые формируются в случайные (заранее не известные) моменты времени. Эти моменты, во-первых, служат ориентирами при сортировке битов, принадлежащих разным каналам, и, во-вторых, используется для синхронной установки генераторов псевдослучайных последовательностей битов скремблера и дескремблера в одинаковые состояния. Таким образом, из потока данных исключаются служебные биты разделения потока по каналам и

служебные информационные кадры, предназначенные для кодовой синхронизации дескремблера со скремблером. 2 з.п. ф-лы, 16 ил.

а)



б)

M	N
3	2
4	3
5	3
6	5
7	6
9	5
10	7
11	9
15	14
17	14
18	11
20	17
21	19
22	21
23	18
25	22
28	25
29	27
31	28
33	20
35	33
36	25
39	35

Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(51) Int. Cl.
H04L 9/00 (2006.01)
H04L 9/12 (2006.01)
H03M 5/16 (2006.01)

(12) ABSTRACT OF INVENTION

(21), (22) Application: 2004129245/09, 05.10.2004

(24) Effective date for property rights: 05.10.2004

(45) Date of publication: 10.03.2006 Bull. 7

Mail address:

124575, Moskva, Zelenograd, korp.920,
kv.162, B.V. Shevko pljasu

(72) Inventor(s):

Sukhman Sergej Maratovich (RU),
Shevko pljas Boris Vladimirovich (RU)

(73) Proprietor(s):

Sukhman Sergej Maratovich (RU),
Shevko pljas Boris Vladimirovich (RU)

(54) DATA TRANSFER DEVICE

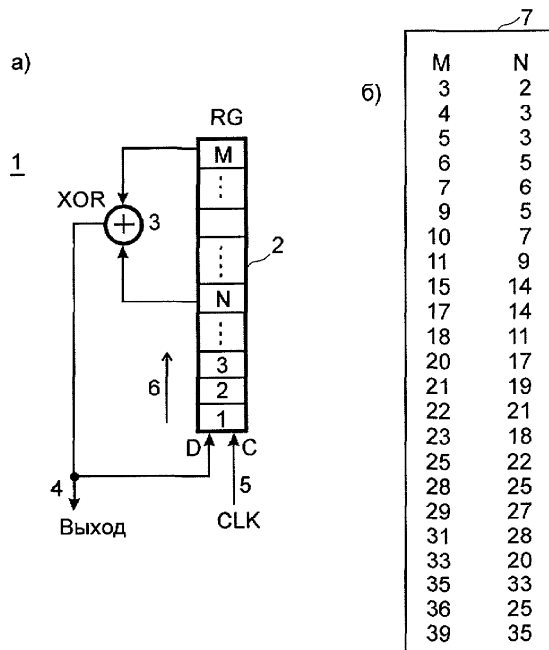
(57) Abstract:

FIELD: data transfer devices for synchronous communication systems.

SUBSTANCE: proposed device has data transmitting and data receiving units connected to opposing ends of communication line. Data transmitting unit has stuffing unit and scrambler; data receiving unit has descrambler and destuffing unit. Device is characterized in that data transmitting and receiving units are capable of simultaneously identifying definite codes in bit stream which are shaped into random (unknown in advance) time moments. These moments function in the first place as reference points in sorting out bits assigned to different channels and are used, in the second place, for synchronous setting scrambler and descrambler pseudorandom bit sequence generators to same states. In this way service bits for stream division among channels and service data frames designed for code synchronization of descrambler and scrambler are excluded from data stream.

EFFECT: enhanced data transfer speed.

3 cl, 16 dwg



Фиг. 1

Изобретение относится к электронным схемам общего назначения, в частности к схемам кодирования, декодирования и преобразования данных при их передаче между удаленными друг от друга абонентами.

Известно устройство [1] для передачи данных, содержащее подключенные к
 5 противоположным сторонам линии связи блок передачи данных и блок приема данных, блок передачи данных содержит первый и второй элементы Иключающее ИЛИ, первый усилитель и первый сдвиговый регистр, входы второго элемента Иключающее ИЛИ
 10 подключены к выходам первого сдвигового регистра, а выход - к первому входу первого элемента Иключающее ИЛИ, вход последовательных данных первого сдвигового регистра соединен с выходом первого элемента Иключающее ИЛИ и с входом первого усилителя, вход синхронизации первого сдвигового регистра является входом синхронизации
 15 устройства, второй вход первого элемента Иключающее ИЛИ является входом данных устройства, выход первого усилителя подключен к линии связи, блок приема данных содержит генератор с фазовой автоподстройкой частоты, второй сдвиговый регистр,
 20 третий и четвертый элементы Иключающее ИЛИ и второй усилитель, вход которого подключен к линии связи, а выход - к входу генератора с фазовой автоподстройкой частоты, выход которого соединен с входом синхронизации второго сдвигового регистра и является выходом синхронизации устройства, выходы второго сдвигового регистра соединены с входами третьего элемента Иключающее ИЛИ, выход которого подключен к
 25 первому входу четвертого элемента Иключающее ИЛИ, выход которого является выходом данных устройства, а второй вход соединен с входом последовательных данных второго сдвигового регистра и с выходом второго усилителя.

В устройстве [1] блоки передачи и приема данных выполняют соответственно функции скремблера и дескремблера. Входные данные преобразуются скремблером к виду, при
 25 котором их можно рассматривать как псевдослучайные. Дескремблер выполняет обратное преобразование, т.е. восстанавливает исходные данные. Скремблирование данных позволяет заменить длинные последовательности нулей или единиц (и не только эти последовательности) псевдослучайными битами, что исключает возможность потери синхронизации между блоками приема и передачи данных. Кроме того, разравнивается
 30 энергетический спектр передаваемого сигнала, что способствует уменьшению уровня перекрестных помех, наводимых на соседние витые пары проводов кабеля линии связи.

Недостатком устройства [1] является размножение ошибок, которые могут возникнуть при передаче сигнала по линии связи. Так, одиночная ошибка преобразуется в
 35 троекратную, так как ошибочный бит сначала непосредственно передается на выход данных устройства, а затем, продвигаясь по второму сдвиговому регистру, еще два раза искажает выходные данные.

Известно устройство [2] для передачи данных, содержащее подключенные к
 40 противоположным сторонам линии связи блок передачи данных и блок приема данных, блок передачи данных содержит скремблер, содержащий генератор псевдослучайной последовательности битов, первый элемент Иключающее ИЛИ и первый усилитель, генератор псевдослучайной последовательности битов содержит первый сдвиговый
 45 регистр и второй элемент Иключающее ИЛИ, входы которого подключены к выходам первого сдвигового регистра, а выход - к первому входу первого элемента Иключающее ИЛИ и к входу последовательных данных первого сдвигового регистра, вход синхронизации которого является входом синхронизации скремблера, второй вход первого элемента
 50 Иключающее ИЛИ является входом данных скремблера, выход первого усилителя подключен к линии связи, блок приема данных содержит дескремблер, содержащий генератор с фазовой автоподстройкой частоты, второй сдвиговый регистр, третий и четвертый элементы Иключающее ИЛИ и второй усилитель, вход которого подключен к
 55 линии связи, а выход - к входу генератора с фазовой автоподстройкой частоты, выход которого является выходом синхронизации дескремблера, выходы второго сдвигового регистра соединены с входами третьего элемента Иключающее ИЛИ, выход которого подключен к первому входу четвертого элемента Иключающее ИЛИ.

В устройстве [2] сдвиговый регистр блока приема данных (дескремблера) логически изолирован от линии связи, поэтому не происходит размножения ошибок, поступающих из линии.

Устройство [2] имеет два недостатка.

- 5 Первый недостаток состоит в том, что для поддержания синхронной работы сдвиговых регистров скремблера и дескремблера (в случае нарушения синхронизации устройства или при его начальном включении) необходимо периодически прерывать передачу полезных данных и передавать по линии связи служебные информационные кадры, содержащие достаточно длинные цепочки синхронизирующих битов. Это уменьшает эффективную
- 10 скорость передачи данных по линии, усложняет протокол обмена и требует значительного времени ожидания дескремблером служебного кадра в случае потери синхронизации. В течение этого времени передача данных невозможна.

- Второй недостаток заключается в отсутствии аппаратных средств стаффинга - вставки в передаваемый поток данных управляющих кодов и дестаффинга - выделения этих кодов из
- 15 потока данных на приемной стороне. Управляющие коды могут быть адресованы соседнему узлу цифровой сети передачи данных для регулирования средней скорости встречного потока данных. Типичные примеры таких кодов: XON - "возобновить поток" и XOFF - "приостановить поток".

- Для введения в поток данных управляющих кодов часто применяют байтстаффинг (см.
- 20 "Transparent XON/XOFF Local Flow Control in Hayes V series Modems" <http://vk.pp.ru/docs/hayes/00000536.htm>). Байтстаффинг предусматривает просмотр исходного массива произвольных данных с целью отыскания в нем кодов (байтов), случайно совпадающих с множеством управляющих кодов (В это множество входит также некий код DLE.). Найденные коды преднамеренно (обратимо) искажаются, для того чтобы они
- 25 отличались от управляющих кодов. Искажённые коды предваряются маркерными кодами (DLE) для их последующего распознавания приемной аппаратурой. В подготовленный таким способом массив данных, не содержащий кодов команд управления (кроме искусственно введенных в массив кодов DLE), внедряются "истинные" управляющие коды, затем массив передается в виде последовательного потока битов по линии связи на
- 30 удаленную сторону. Удаленный приемник данных извлекает и принимает к исполнению "истинные" управляющие коды, отыскивает помеченные маркерными кодами искаженные байты, восстанавливает их, а маркерные коды отбрасывает.

- Маркерные коды вносят нежелательную избыточность в поток передаваемых данных. В худшем случае каждый "полезный" байт должен предваряться служебным, в котором
- 35 передается маркерный код, при этом эффективная скорость передачи данных уменьшается в два раза по сравнению с максимально возможной. Кроме того, для выделения управляющих, маркерных и кодов данных устройство - приемник последовательного потока битов должно распознавать границы между байтами. Для указания этих границ в битовый поток данных вводят избыточные биты, что еще более
- 40 снижает эффективную скорость передачи.

- Например, согласно пат. заявке США US 2002 0191721 A1, к каждому байту в битовом потоке добавляется бит разграничения, полученный от генератора псевдослучайной последовательности битов. Устройство - приемник данных обнаруживает биты
- 45 разграничения благодаря их устойчивому совпадению с эталонной псевдослучайной последовательностью битов. Другой способ разграничения байтов в битовом потоке данных (пат. США №6011808) также предусматривает добавление бита разграничения к каждому байту. Этот бит формируется дублированием и инвертированием нулевого бита передаваемого байта. В результате начало байта всегда сопровождается передачей одной из комбинаций битов - 01 или 10. Устройство - приемник данных обнаруживает биты
- 50 разграничения и нулевые биты данных благодаря их статистически устойчивому совпадению с кодами 01 или 10. Оба способа введения битов разграничения неэкономичны - на каждые восемь битов данных приходится вводить один служебный бит.

Оба отмеченных выше недостатка снижают скорость передачи данных через устройство

[2].

Цель изобретения - повышение скорости передачи данных через устройство.

Цель достигается тем, что в устройстве для передачи данных, содержащем подключенные к противоположным сторонам линии связи блок передачи данных и блок приема данных, блок передачи данных содержит скремблер, содержащий генератор псевдослучайной последовательности битов, первый элемент Иключающее ИЛИ и первый усилитель, генератор псевдослучайной последовательности битов содержит первый сдвиговой регистр и второй элемент Иключающее ИЛИ, входы которого подключены к выходам первого сдвигового регистра, а выход - к первому входу первого элемента Иключающее ИЛИ и к входу последовательных данных первого сдвигового регистра, вход синхронизации которого является входом синхронизации скремблера, второй вход первого элемента Иключающее ИЛИ является входом данных скремблера, выход первого усилителя подключен к линии связи, блок приема данных содержит дескремблер, содержащий генератор с фазовой автоподстройкой частоты, второй сдвиговой регистр, третий и четвертый элементы Иключающее ИЛИ и второй усилитель, вход которого подключен к линии связи, а выход - к входу генератора с фазовой автоподстройкой частоты, выход которого является выходом синхронизации дескремблера, выходы второго сдвигового регистра соединены с входами третьего элемента Иключающее ИЛИ, выход которого подключен к первому входу четвертого элемента Иключающее ИЛИ. Блок передачи данных дополнительно содержит блок стаффинга, первый вход данных и первый выход синхронизации которого являются входом данных и первым выходом синхронизации первого канала, второй вход данных и второй выход синхронизации блока стаффинга являются входом данных и первым выходом синхронизации второго канала, скремблер дополнительно содержит третий сдвиговой регистр, первый дешифратор, первый триггер и первый инвертор, выход которого подключен к входу синхронизации первого триггера, вход первого инвертора соединен с входами синхронизации первого и третьего сдвиговых регистров, а также с третьим выходом синхронизации блока стаффинга, управляющий вход первого сдвигового регистра соединен с выходом первого дешифратора и с управляющим входом блока стаффинга, выход данных которого соединен с входом данных скремблера, вход последовательных данных третьего сдвигового регистра соединен с выходом первого элемента Иключающее ИЛИ и с входом данных первого триггера, выход которого соединен с входом первого усилителя, входы параллельных данных первого сдвигового регистра соединены с выходами первого дешифратора, входы которого соединены с выходами третьего сдвигового регистра. Блок приема данных дополнительно содержит блок дестаффинга, первый выход синхронизации которого является вторым выходом синхронизации первого канала, второй выход синхронизации блока дестаффинга является вторым выходом синхронизации второго канала, дескремблер дополнительно содержит четвертый сдвиговой регистр, второй дешифратор, второй и третий триггеры и второй инвертор, выход которого подключен к входу синхронизации второго триггера и к входам синхронизации второго и четвертого сдвиговых регистров, управляющий вход второго сдвигового регистра соединен с выходом второго дешифратора и с управляющим входом блока дестаффинга, вход синхронизации которого соединен с выходом синхронизации дескремблера, выход третьего триггера является выходом данных дескремблера и соединен с выходами данных первого и второго каналов устройства, вход последовательных данных четвертого сдвигового регистра соединен со вторым входом четвертого элемента Иключающее ИЛИ и с выходом второго триггера, вход данных которого соединен с выходом второго усилителя, входы параллельных данных второго сдвигового регистра соединены с выходами второго дешифратора, входы которого соединены с выходами четвертого сдвигового регистра, вход последовательных данных второго сдвигового регистра соединен с первым входом четвертого элемента Иключающее ИЛИ, выход которого соединен с входом данных третьего триггера, вход синхронизации которого соединен с выходом синхронизации дескремблера и с входом второго инвертора.

Блок стаффинга содержит генератор импульсов, инвертор, элемент задержки, счетчик, первый и второй элементы И, первый - пятый триггеры и мультиплексор, входы данных которого являются первым и вторым входами данных блока, а управляющий вход соединен с выходом пятого триггера, первый выход синхронизации блока соединен с выходом
 5 второго элемента И, второй выход синхронизации блока соединен с выходом первого элемента И и со счетным входом счетчика, входы установки нуля счетчика и второго триггера соединены с выходом четвертого триггера и с входом элемента задержки, выход которого соединен с входом установки нуля четвертого триггера, вход данных которого соединен с выходом счетчика, входы синхронизации первого и четвертого триггеров
 10 соединены с выходом инвертора, вход которого соединен с выходом генератора импульсов, с входами синхронизации третьего и пятого триггеров и с первыми входами первого и второго элементов И и является третьим выходом синхронизации блока, выход мультиплексора соединен с входом данных третьего триггера, выход которого является выходом данных блока, вход данных первого триггера является управляющим входом
 15 блока, выход первого триггера соединен с входом синхронизации второго триггера, вход данных которого подключен к шине положительного напряжения, единичный выход второго триггера соединен с вторым входом первого элемента И и с входом данных пятого триггера, нулевой выход второго триггера соединен с вторым входом второго элемента И.

Блок дестаффинга содержит инвертор, элемент задержки, счетчик, первый и второй
 20 элементы И, первый, второй и третий триггеры, вход инвертора соединен с первыми входами первого и второго элементов И и является входом синхронизации блока, вход данных первого триггера является управляющим входом блока, входы синхронизации первого и третьего триггеров соединены с выходом инвертора, входы установки нуля счетчика и второго триггера соединены с выходом третьего триггера и с входом элемента
 25 задержки, выход которого соединен с входом установки нуля третьего триггера, вход данных которого соединен с выходом счетчика, счетный вход которого соединен с выходом первого элемента И и является вторым выходом синхронизации блока, выход второго элемента И является первым выходом синхронизации блока, единичный и нулевой выходы второго триггера соединены с вторыми входами первого и второго элементов И, вход
 30 данных второго триггера подключен к шине положительного напряжения, вход синхронизации второго триггера подключен к нулевому выходу первого триггера.

На фиг.1, а и б представлены функциональная схема известного генератора псевдослучайной последовательности битов и таблица - указатель точек подключения цепи обратной связи этого генератора; на фиг.2 - функциональная схема известного
 35 устройства [1] для передачи данных; на фиг.3 - функциональная схема известного устройства [2] для передачи данных; на фиг.4 - функциональная схема предлагаемого устройства для передачи данных; на фиг.5 - функциональная схема блока стаффинга предлагаемого устройства; на фиг.6 - функциональная схема блока дестаффинга предлагаемого устройства; на фиг.7, а - в - таблица состояний генератора
 40 псевдослучайной последовательности битов, диаграмма состояний этого генератора и пример кодовой ситуации, поясняющий работу предлагаемого устройства; на фиг.8 - временные диаграммы работы скремблера предлагаемого устройства; на фиг.9 - временные диаграммы работы дескремблера предлагаемого устройства; на фиг.10 - 13 - временные диаграммы, поясняющие процесс передачи данных предлагаемым устройством
 45 в разных кодовых ситуациях.

Генератор 1 псевдослучайной последовательности битов (фиг.1,а) содержит сдвиговый регистр 2, выходы разрядов М и N которого соединены с входами элемента Иключающее ИЛИ 3, выход которого соединен с входом последовательных данных сдвигового регистра 2 и является выходом 4 генератора 1 псевдослучайной последовательности битов, вход 5
 50 синхронизации сдвигового регистра 2 является входом синхронизации генератора 1 псевдослучайной последовательности битов. Направление сдвига данных в регистре 2 показано стрелкой 6. Номера разрядов М и N регистра 2 выбираются из приведенной на фиг.1, б таблицы 7 - указателя точек подключения цепи обратной связи.

Известное [1] устройство 8 для передачи данных (фиг.2) содержит подключенные к противоположным сторонам линии связи 9 блок 10 передачи данных (скремблер) и блок 11 приема данных (дескремблер), блок 10 передачи данных содержит первый 12 и второй 13 элементы Иключающее ИЛИ, первый 14 усилитель и первый 15 сдвиговый регистр, входы второго 13 элемента Иключающее ИЛИ подключены к выходам первого 15 сдвигового регистра, а выход - к первому входу первого 12 элемента Иключающее ИЛИ, вход последовательных данных первого 15 сдвигового регистра соединен с выходом первого 12 элемента Иключающее ИЛИ и с входом первого 14 усилителя, вход синхронизации первого 15 сдвигового регистра является входом 16 синхронизации устройства, второй вход первого 12 элемента Иключающее ИЛИ является входом 17 данных устройства, выход первого 14 усилителя подключен к линии связи 9, блок 11 приема данных содержит генератор 18 с фазовой автоподстройкой частоты, второй 19 сдвиговый регистр, третий 20 и четвертый 21 элементы Иключающее ИЛИ и второй 22 усилитель, вход которого подключен к линии связи 9, а выход - к входу генератора 18 с фазовой автоподстройкой частоты, выход которого соединен с входом синхронизации второго 19 сдвигового регистра и является выходом 23 синхронизации устройства, выходы второго 19 сдвигового регистра соединены с входами третьего 20 элемента Иключающее ИЛИ, выход которого подключен к первому входу четвертого 21 элемента Иключающее ИЛИ, выход которого является выходом 24 данных устройства, а второй вход соединен с входом последовательных данных второго 19 сдвигового регистра и с выходом второго 22 усилителя. Направления сдвига данных в регистрах 15 и 19 показаны стрелками 25. Внешний источник 26 данных (например, первый компьютер) подключен к входам 16 и 17 устройства 8. Внешний приемник 27 данных (например, второй компьютер) подключен к выходам 23 и 24 устройства 8.

Известное [2] устройство 28 для передачи данных (фиг.3) содержит подключенные к противоположным сторонам линии связи 29 блок 30 передачи данных (скремблер) и блок 31 приема данных (дескремблер), блок 30 передачи данных содержит генератор 32 псевдослучайной последовательности битов, первый 33 элемент Иключающее ИЛИ и первый 34 усилитель, генератор 32 псевдослучайной последовательности битов содержит первый 35 сдвиговый регистр и второй 36 элемент Иключающее ИЛИ, входы которого подключены к выходам первого 35 сдвигового регистра, а выход - к первому входу первого 33 элемента Иключающее ИЛИ и к входу последовательных данных первого 35 сдвигового регистра, вход синхронизации которого является входом 37 синхронизации скремблера 30, второй вход первого элемента Иключающее ИЛИ является входом 38 данных скремблера 30, выход первого 34 усилителя подключен к линии связи 29, блок 31 приема данных (дескремблер) содержит генератор 39 с фазовой автоподстройкой частоты, второй 40 сдвиговый регистр, третий 41 и четвертый 42 элементы Иключающее ИЛИ и второй 43 усилитель, вход которого подключен к линии связи 29, а выход - к входу генератора 39 с фазовой автоподстройкой частоты, выход которого является выходом 44 синхронизации дескремблера 31, выходы второго сдвигового регистра 40 соединены с входами третьего 41 элемента Иключающее ИЛИ, выход которого подключен к первому входу четвертого 42 элемента Иключающее ИЛИ.

В блоке 30 передачи данных выход первого 33 элемента Иключающее ИЛИ соединен с входом первого 34 усилителя. Блок 31 приема данных содержит также мультиплексор 45, выход которого соединен с входом последовательных данных регистра 40, а управляющий вход является управляющим входом 46 устройства 28. Первый вход данных мультиплексора 45 соединен с первым входом четвертого 42 элемента Иключающее ИЛИ. Второй вход данных мультиплексора 45 соединен со вторым входом четвертого 42 элемента Иключающее ИЛИ и с выходом второго 43 усилителя. Выход четвертого 42 элемента Иключающее ИЛИ является выходом 47 данных устройства 28. Вход синхронизации регистра 40 соединен с выходом 44 синхронизации устройства 28. Направления сдвига данных в регистрах 35 и 40 показаны стрелками 48. Внешний источник 49 данных (например, первый компьютер) подключен к входам 37 и 38 устройства 28.

Внешний приемник 50 данных (например, второй компьютер) подключен к выходам 44 и 47 и к входу 46 устройства 28.

Предлагаемое устройство для передачи данных (фиг.4) содержит подключенные к противоположным сторонам линии связи 51 блок 52 передачи данных и блок 53 приема данных, блок 52 передачи данных содержит скремблер 54, содержащий генератор 55 псевдослучайной последовательности битов, первый 56 элемент Иключающее ИЛИ и первый 57 усилитель, генератор 55 псевдослучайной последовательности битов содержит первый 58 сдвиговый регистр и второй 59 элемент Иключающее ИЛИ, входы которого подключены к выходам первого 58 сдвигового регистра, а выход - к первому входу первого 56 элемента Иключающее ИЛИ и к входу последовательных данных первого 58 сдвигового регистра, вход синхронизации которого является входом 60 синхронизации скремблера, второй вход первого элемента Иключающее ИЛИ является входом 61 данных скремблера, выход первого 57 усилителя подключен к линии связи 51, блок 53 приема данных содержит дескремблер 62, содержащий генератор 63 с фазовой автоподстройкой частоты, второй 64 сдвиговый регистр, третий 65 и четвертый 66 элементы Иключающее ИЛИ и второй 67 усилитель, вход которого подключен к линии связи 51, а выход - к входу генератора 63 с фазовой автоподстройкой частоты, выход которого является выходом 68 синхронизации дескремблера 62, выходы второго 64 сдвигового регистра соединены с входами третьего 65 элемента Иключающее ИЛИ, выход которого подключен к первому входу четвертого 66 элемента Иключающее ИЛИ.

Блок 52 передачи данных содержит также блок 69 стаффинга, первый вход 70 данных и первый выход 71 синхронизации которого являются входом данных и первым выходом синхронизации первого канала, второй вход 72 данных и второй выход 73 синхронизации блока 69 являются входом данных и первым выходом синхронизации второго канала, скремблер 54 дополнительно содержит третий 74 сдвиговый регистр, первый 75 дешифратор, первый 76 триггер и первый 77 инвертор, выход которого подключен к входу синхронизации первого 76 триггера, вход первого 77 инвертора соединен с входами синхронизации первого 58 и третьего 74 сдвиговых регистров, а также с третьим выходом синхронизации блока 69, управляющий вход первого 58 сдвигового регистра соединен с выходом первого 75 дешифратора и с управляющим входом 78 блока 69, выход данных которого соединен с входом 61 данных скремблера, вход последовательных данных третьего 74 сдвигового регистра соединен с выходом первого 56 элемента Иключающее ИЛИ и с входом данных первого 76 триггера, выход которого соединен с входом первого 57 усилителя, входы 79 параллельных данных первого 58 сдвигового регистра соединены с выходами первого 75 дешифратора, входы которого соединены с выходами третьего 74 сдвигового регистра.

Блок 53 приема данных содержит также блок 80 дестаффинга, первый 81 выход синхронизации которого является вторым выходом синхронизации первого канала, второй 82 выход синхронизации блока 80 является вторым выходом синхронизации второго канала, дескремблер 62 дополнительно содержит четвертый 83 сдвиговый регистр, второй 84 дешифратор, второй 85 и третий 86 триггеры и второй 87 инвертор, выход которого подключен к входу синхронизации второго 85 триггера и к входам синхронизации второго 64 и четвертого 83 сдвиговых регистров, управляющий вход второго 64 сдвигового регистра соединен с выходом второго 84 дешифратора и с управляющим входом 88 блока 80 дестаффинга, вход синхронизации которого соединен с выходом 68 синхронизации дескремблера, выход третьего 86 триггера является выходом 89 данных дескремблера и соединен с выходами 90 и 91 данных первого и второго каналов устройства, вход последовательных данных четвертого 83 сдвигового регистра соединен со вторым входом четвертого 66 элемента Иключающее ИЛИ и с выходом второго 85 триггера, вход данных которого соединен с выходом второго 67 усилителя, входы 92 параллельных данных второго 64 сдвигового регистра соединены с выходами второго 84 дешифратора, входы которого соединены с выходами четвертого 83 сдвигового регистра, вход последовательных данных второго 64 сдвигового регистра соединен с первым входом

четвертого 66 элемента Исключающее ИЛИ, выход которого соединен с входом данных третьего 86 триггера, вход синхронизации которого соединен с выходом 68 синхронизации дескремблера 62 и с входом второго 87 инвертора. Стрелки 93 показывают направления сдвига данных в регистрах 58, 64, 74 и 83.

5 Блок 69 стаффинга (фиг.5) содержит генератор 94 импульсов, инвертор 95, элемент 96 задержки, счетчик 97, первый 98 и второй 99 элементы И, первый 100, второй 101, третий 102, четвертый 103, пятый 104 триггеры и мультиплексор 105, входы данных которого являются первым 70 и вторым 72 входами данных блока 69, а управляющий вход соединен с выходом пятого 104 триггера, первый 71 выход синхронизации блока 69
10 соединен с выходом второго 99 элемента И, второй 73 выход синхронизации блока 69 соединен с выходом первого 98 элемента И и со счетным входом счетчика 97, входы установки нуля счетчика 97 и второго 101 триггера соединены с выходом четвертого 103 триггера и с входом элемента 96 задержки, выход которого соединен с входом установки нуля четвертого 103 триггера, вход данных которого соединен с выходом счетчика 97,
15 входы синхронизации первого 100 и четвертого 103 триггеров соединены с выходом инвертора 95, вход которого соединен с выходом генератора 94 импульсов, с входами синхронизации третьего 102 и пятого 104 триггеров и с первыми входами первого 98 и второго 99 элементов И и является третьим 60 выходом синхронизации блока 69, выход мультиплексора 105 соединен с входом данных третьего 102 триггера, выход которого
20 является выходом 61 данных блока 69, вход данных первого 100 триггера является управляющим входом 78 блока 69, выход первого 100 триггера соединен с входом синхронизации второго 101 триггера, вход данных которого подключен к шине 106 положительного напряжения, единичный выход второго 101 триггера соединен с вторым входом первого 98 элемента И и с входом данных пятого 104 триггера, нулевой выход
25 второго 101 триггера соединен с вторым входом второго 99 элемента И.

Блок 80 дестаффинга (фиг.6) содержит инвертор 107, элемент 108 задержки, счетчик 109, первый 110 и второй 111 элементы И, первый 112, второй 113 и третий 114 триггеры, вход инвертора 107 соединен с первыми входами первого 110 и второго 111 элементов И и является входом 68 синхронизации блока 80, вход данных первого 112
30 триггера является управляющим входом 88 блока 80, входы синхронизации первого 112 и третьего 114 триггеров соединены с выходом инвертора 107, входы установки нуля счетчика 109 и второго 113 триггера соединены с выходом третьего 114 триггера и с входом элемента 108 задержки, выход которого соединен с входом установки нуля третьего 114 триггера, вход данных которого соединен с выходом счетчика 109, счетный
35 вход которого соединен с выходом первого 110 элемента И и является вторым 82 выходом синхронизации блока 80, выход второго 111 элемента И является первым 81 выходом синхронизации блока 80, единичный и нулевой выходы второго 113 триггера соединены с вторыми входами первого 110 и второго 111 элементов И, вход данных второго 113 триггера подключен к шине 115 положительного напряжения, вход синхронизации второго
40 113 триггера подключен к нулевому выходу первого 112 триггера.

В таблице 116 (фиг.7, и) представлен список состояний генератора 55 псевдослучайной последовательности битов; диаграмма 117 состояний этого генератора (фиг.7, б) отражает перемещение указателя 118 текущего состояния по кольцевому пути; линии 119 и 120 разделяют диаграмму на четыре сектора. В таблице 121 (фиг.7, в) приведен пример
45 кодовой ситуации, поясняющий работу предлагаемого устройства.

Временные диаграммы 122 и 123 (фиг.8) соответствуют сигналам на входах 60 и 61 скремблера 54; диаграмма 124 - сигналу на выходе элемента Исключающее ИЛИ 59; диаграмма 125 - сигналу на выходе элемента Исключающее ИЛИ 56; диаграмма 126 - сигналам на выходах регистра 74; диаграмма 127 - сигналу на управляющем входе P/S регистра 58 (точка 78); диаграмма 128 - состояниям генератора 55 псевдослучайной
50 последовательности битов; диаграмма 129 - сигналу на входе усилителя 57.

Временная диаграмма 130 (фиг.9) соответствуют сигналу на выходе усилителя 67; диаграмма 131 - сигналу на выходе инвертора 87; диаграмма 132 - сигналу на выходе

триггера 85; диаграмма 133 - сигналам на выходах регистра 83; диаграмма 134 - сигналу на управляющем входе P/S* регистра 64 (точка 88); диаграмма 135 - состояниям регистра 64 генератора псевдослучайной последовательности битов дескремблера 62; диаграмма 136 - сигналу на выходе элемента Иключающее ИЛИ 65; диаграмма 137 - сигналу на выходе элемента Иключающее ИЛИ 66; диаграмма 138 - сигналу на входе инвертора 87; диаграмма 139 - сигналу на выходе 89 дескремблера 62.

Временные диаграммы 140 и 141 (фиг.10) соответствуют сигналам на входе и выходе инвертора 95 (фиг.5); диаграммы 142 и 143 - сигналам на входе данных и выходе триггера 100; диаграммы 144 и 145 - сигналам на единичном и нулевом выходах триггера 101; диаграмма 146 - сигналу на выходе триггера 104; диаграммы 147 и 148 - сигналам в точках 71 и 73; диаграммы 149, 150, 151 и 152 - сигналам L1, L2, L3 на выходах счетчика 97 и на его входе установки нуля; диаграммы 153 и 154 - сигналам в точках 70 и 72; диаграммы 155 и 156 - сигналам на входе данных и выходе триггера 102; диаграмма 157 - сигналу на входе усилителя 57 (фиг.4).

Временные диаграммы 158 и 159 (фиг.11) соответствуют сигналам на входе и выходе инвертора 95 (фиг.5); диаграммы 160 и 161 - сигналам на входе данных и выходе триггера 100; диаграммы 162 и 163 - сигналам на единичном и нулевом выходах триггера 101; диаграмма 164 - сигналу на выходе триггера 104; диаграммы 165 и 166 - сигналам в точках 71 и 73; диаграммы 167, 168, 169 и 170 - сигналам L1, L2, L3 на выходах счетчика 97 и на его входе установки нуля; диаграммы 171 и 172 - сигналам в точках 70 и 72; диаграммы 173 и 174 - сигналам на входе данных и выходе триггера 102; диаграмма 175 - сигналу на входе усилителя 57 (фиг.4).

Временные диаграммы 176, 177 и 178 (фиг.12) соответствуют сигналам на входе данных, входе синхронизации и выходе триггера 85; диаграмма 179 - сигналу во входном разряде регистра 83; диаграммы 180 и 181 - сигналам на входе данных и выходе триггера 112 (фиг.6); диаграммы 182 и 183 - сигналам на единичном и нулевом выходах триггера 113; диаграммы 184 и 185 - сигналам в регистре 64 и на выходе элемента Иключающее ИЛИ 65; диаграммы 186, 187 и 188 - сигналам на входе данных, входе синхронизации и выходе триггера 86; диаграммы 189 и 190 - сигналам в точках 81 и 82; диаграммы 191, 192, 193 и 194 - сигналам L1*, L2*, L3* на выходах счетчика 109 и на его входе установки нуля.

Временные диаграммы 195, 196 и 197 (фиг.13) соответствуют сигналам на входе данных, входе синхронизации и выходе триггера 85; диаграмма 198 - сигналу во входном разряде регистра 83; диаграммы 199 и 200 - сигналам на входе данных и выходе триггера 112 (фиг.6); диаграммы 201 и 202 - сигналам на единичном и нулевом выходах триггера 113; диаграммы 203 и 204 - сигналам в регистре 64 и на выходе элемента Иключающее ИЛИ 65; диаграммы 205, 206 и 207 - сигналам на входе данных, входе синхронизации и выходе триггера 86; диаграммы 208 и 209 - сигналам в точках 81 и 82; диаграммы 210, 211, 212 и 213 - сигналам L1*, L2*, L3* на выходах счетчика 109 и на его входе установки нуля.

Ниже приведено краткое описание работы известных устройств [1, 2].

Скремблеры и дескремблеры обычно содержат генераторы псевдослучайных последовательностей битов или фрагменты таких генераторов. Пример построения генератора псевдослучайной последовательности битов приведен на фиг.1 (см. кн.

П.Хоровиц, У.Хилл "Искусство схемотехники": В трех т. - М.: Мир, 1993. - 2 т.). Генератор 1 выполнен на основе сдвигового регистра 2 с логическим элементом Иключающее ИЛИ (XOR) 3 в цепи обратной связи.

В исходном состоянии в регистре 2 присутствует любой ненулевой код (цепь начальной установки регистра не показана). Под действием положительных фронтов синхросигнала CLK на входе 5 этот код циркулирует в генераторе и одновременно видоизменяется. В каждом такте (периоде сигнала CLK) код продвигается в регистре 2 в направлении, указанном стрелкой 6, при этом в освободившийся разряд регистра заносится бит данных с выхода 4. В качестве выхода генератора можно использовать выход элемента

Исключающее ИЛИ 3 или выход любого разряда регистра.

В общем случае при использовании М-разрядного регистра 2 цепь обратной связи подключается к разрядам с номерами М и N ($M > N$). Для того чтобы на выходе генератора формировалась псевдослучайная последовательность битов с периодом повторения, равным $2^M - 1$, следует выбирать точки подключения цепи обратной связи в соответствии с таблицей 7 (фиг.1, б), которая описывает ряд генераторов различной разрядности. При работе генератора в регистре 2 формируются все возможные М-разрядные коды, за исключением нулевого. (Отметим, что во всех описанных далее устройствах можно применять усовершенствованные генераторы, не имеющие запрещенных состояний, см., например, кн. Шевкопляс Б. В. "Микропроцессорные структуры. Инженерные решения": Справочник. - Дополнение первое. - М.: Радио и связь, 1993. - 256 с.).

Псевдослучайная последовательность битов с периодом повторения, равным $2^M - 1$, обладает следующими свойствами.

1. В полном цикле ($2^M - 1$ тактов) число лог.1, формируемых на выходе 4 генератора 1, на единицу больше, чем число лог.0. Добавочная лог.1 появляется за счет исключения состояния, при котором в регистре 2 присутствовал бы нулевой код. Это можно интерпретировать так, что вероятности появления лог.0 и лог.1 на выходе 4 генератора 1 практически одинаковы.

2. В полном цикле ($2^M - 1$ тактов) половина серий из последовательных лог.1 имеет длину 1, одна четвертая серий - длину 2, одна восьмая - длину 3 и т. д. Такими же свойствами обладают и серии из лог.0 с учетом пропущенного лог.0. Это говорит о том, что вероятности появления "орлов" и "решек" не зависят от исходов предыдущих "подбрасываний". Поэтому вероятность того, что серия из последовательных лог.1 или лог.0 закончится при следующем подбрасывании, равна $1/2$.

3. Если последовательность полного цикла ($2^M - 1$ тактов) сравнивать с этой же последовательностью, но циклически сдвинутой на любое число тактов W (W не является нулем или числом, кратным $2^M - 1$), то число несовпадений будет на единицу больше, чем число совпадений.

Наиболее распространены две основные схемы устройств для передачи данных (устройств типа "скремблер - дескремблер"): с неизолрованными и изолированными (от линии связи) генераторами псевдослучайных последовательностей битов.

В устройстве 8 (фиг.2 [1]) скремблер 10 и дескремблер 11 выполнены с использованием фрагментов рассмотренных ранее генераторов 1 псевдослучайных последовательностей битов (см. фиг.1). В цепь обратной связи генератора на основе сдвигового регистра 15 введен дополнительный элемент Исключающее ИЛИ 12. В дескремблере применен аналогичный генератор на основе сдвигового регистра 19 с разомкнутой цепью обратной связи.

Все процессы, протекающие в устройстве 8, синхронизируются от тактового генератора, размещенного во внешнем источнике данных 26 (возможно также его размещение в блоке 10). Тактовый генератор формирует сигнал CLK - непрерывную последовательность тактовых импульсов со скважностью, равной двум. В каждом такте на вход 17 скремблера 10 подается очередной бит передаваемых данных DATA, а в сдвиговом регистре 15 накопленный код продвигается на один разряд вправо (по стрелке 25).

Если предположить, что источник данных 26 посылает в скремблер 10 длинную последовательность лог.0 ($DATA=0$), то элемент Исключающее ИЛИ 12 можно рассматривать как повторитель сигнала Y1 с выхода элемента Исключающее ИЛИ 13. В этой ситуации регистр 15 фактически замкнут в кольцо и генерирует точно такую же псевдослучайную последовательность битов, как и в рассмотренной ранее схеме генератора 1 (фиг.1). Если от источника данных 26 поступает произвольная битовая последовательность, то она взаимодействует с последовательностью битов с выхода элемента Исключающее ИЛИ 13. В результате формируется новая (скремблированная) последовательность битов данных SCRD, по структуре близкая случайной. Эта последовательность, в свою очередь, продвигается по регистру 15, формирует поток

битов Y1 на выходе элемента Иключающее ИЛИ 13 и т.д.

Скремблированная последовательность битов SCRD проходит через усилитель 14, передается по линии связи 9 (например, по витой паре проводов многожильного кабеля городской телефонной сети) и поступает в дескремблер 11, где проходит через усилитель 22. С помощью генератора 18 с фазовой автоподстройкой частоты из входного сигнала SCRD* (с выхода усилителя 22) выделяется тактовый сигнал CLK*, который передается на синхронизирующий вход С регистра 19 и на выход 23 устройства 8.

Генератор 18 с фазовой автоподстройкой частоты может быть выполнен по одной из известных схем (см., например, пат. США №6215835 В1). Он предназначен для формирования высокостабильного синхросигнала CLK* на основе непрерывного слежения за входным сигналом SCRD*. В данном случае отрицательный фронт сигнала CLK* привязан к моментам изменения сигнала SCRD* (0→1 или 1→0), так что положительный фронт сигнала CLK* формируется в середине битового интервала сигнала SCRD*, что соответствует его установившемуся значению. Сдвиг данных в регистре 19 и прием очередного бита SCRD* в освободившийся разряд происходят по положительному фронту сигнала CLK*. Дескремблированные данные DATA* поступают в приемник данных 27 и фиксируются в нем по положительным фронтам сигнала CLK*.

Благодаря достаточной инерционности генератора 18 сигнал CLK* практически нечувствителен к "дрожанию фазы" сигнала SCRD* и иным его кратковременным искажениям, вызванным помехами в линии связи 9 (Такое использование стандартного генератора с фазовой автоподстройкой частоты в телекоммуникационных системах является общепринятым и далее не детализируется).

Потоки данных DATA и DATA* совпадают с точностью до задержки передачи. Действительно, в установившемся режиме в сдвиговых регистрах 15 и 19 присутствуют одинаковые коды, так как на входы D этих регистров поданы одни и те же данные SCRD=SCRD* (с учетом задержки передачи), а тактовая частота одна и та же. Поэтому Y2=Y1, и, с учетом этого,

$$DATA^*=SCRD^*\oplus Y2=SCRD\oplus Y2=(DATA\oplus Y1)\oplus Y2=DATA\oplus Y1\oplus Y1=DATA\oplus 0=DATA.$$

Рассмотренный способ скремблирования - дескремблирования данных не требует применения какой-либо специальной процедуры начальной синхронизации (как в устройстве [2]). После заполнения сдвигового регистра 19, как было показано, генераторы псевдослучайных битовых последовательностей на основе регистров 15 и 19 работают синхронно (их состояния всегда одинаковы) и формируют одинаковые сигналы Y1 и Y2. При появлении одиночной ошибки в линии связи 9 кодовая синхронизация (идентичность содержимого регистров 15 и 19) временно нарушается, но затем автоматически восстанавливается, как только правильные данные вновь заполняют регистр 19. Однако в процессе продвижения ошибочного бита по сдвиговому регистру 19, а именно, в периоды его попадания сначала на один, а затем на другой вход элемента Иключающее ИЛИ 20 сигнал Y2 дважды принимает неправильное значение. Это приводит к размножению одиночной ошибки - она впервые появляется в сигнале DATA* в момент поступления из линии и затем возникает еще два раза при последующем двукратном искажении сигнала Y.

В устройстве 28 (фиг.3 [2]) применены изолированные от линии связи 29 генераторы псевдослучайных битовых последовательностей. Их начальная кодовая синхронизация осуществляется с использованием аппаратных средств дескремблера и программных средств источника 49 и приемника 50 данных.

К аппаратным средствам относятся мультиплексор 45 (MLJX) и программно-управляемый выход 46 приемника 50 данных, на котором формируется управляющий сигнал F. При нормальной работе системы "скремблер - дескремблер" приемник данных 50 постоянно поддерживает на выходе сигнал F=0. На выход мультиплексора 45 транслируется сигнал Z2 с выхода элемента Иключающее ИЛИ 41, генератор псевдослучайной битовой последовательности на основе регистра 40 изолирован от внешних воздействий.

Предположим, что в исходном состоянии дескремблер не синхронизирован со скремблером. Такая ситуация может возникнуть, например, после включения напряжения питания аппаратуры приемной стороны, после ошибки в работе генератора 39 дескремблера из-за воздействия помех на линию связи или по иным причинам. В
 5 отсутствие кодовой синхронизации между скремблером и дескремблером содержимое регистров 35 и 40 не совпадает, поток принимаемых данных DATA* ошибочен и не совпадает с потоком передаваемых данных DATA.

При обнаружении устойчивого хаотического потока данных DATA* (в котором нет обусловленного протоколом обмена разделения на информационные кадры и т.п.)
 10 приемник формирует сигнал F=1. Вследствие этого мультиплексор 45 начинает транслировать на вход D регистра 40 сигнал скремблированных данных SCRD*, как в ранее рассмотренном устройстве [1] (см. фиг.2).

Протокол обмена предусматривает пересылку данных в виде последовательности кадров. Группы обычных кадров перемежаются со служебными кадрами. Например, после
 15 группы из 1000 обычных кадров следует один служебный. Он, в частности, содержит синхронизирующую последовательность из некоторого числа (например, 256) нулевых битов. При выдаче этих битов (DATA=0) в скремблер элемент Иключающее ИЛИ 33 выполняет функцию повторителя сигнала Z1 с выхода элемента Иключающее ИЛИ 36. Поэтому в данном случае скремблированный сигнал SCRD представляет собой фрагмент
 20 "истинной" псевдослучайной битовой последовательности, в том смысле, что она не смешана с потоком произвольных данных DATA и порождается только генератором 32 скремблера.

Эта последовательность автоматически загружается в регистр 40 и проходит через него, так как F=1. После того как содержимое регистров 35 и 40 оказывается
 25 одинаковым, сигнал Z2 начинает повторять сигнал Z1. Кодовая синхронизация достигнута. На вход приемника 50 данных подается непрерывная последовательность лог.0, так как DATA*=DATA=0. После уверенного обнаружения достаточно длинной (например, содержащей 180 бит) последовательности лог.0 приемник 50 формирует сигнал F=0 и тем самым возвращает генератор псевдослучайной последовательности битов дескремблера в
 30 режим изолированной работы. Теперь кодовая синхронизация не только достигнута, но и "сохранена" благодаря логической изоляции регистра 40 от линии связи 29. После окончания передачи служебного (синхронизирующего) кадра источник 49 данных приступает к передаче группы из 1000 обычных кадров согласно принятому в системе протоколу обмена.

Таким образом, в устройстве [2] для поддержания синхронной работы сдвиговых регистров скремблера и дескремблера (в случае нарушения синхронизации устройства или при начальном включении его приемной части) необходимо периодически прерывать передачу полезных данных и передавать по линии связи служебные информационные кадры, содержащие достаточно длинные цепочки синхронизирующих битов (DATA=0.). В
 40 результате уменьшается эффективная скорость передачи данных по линии, усложняется протокол обмена. Кроме того, с увеличением интервалов между служебными кадрами (что желательно для более эффективной передачи полезных данных) увеличивается время его ожидания дескремблером в случае потери кодовой синхронизации. В течение этого времени передача полезных данных невозможна.

В отличие от устройства [2], в предлагаемом устройстве (фиг.4) реализованы два усовершенствования, позволяющие повысить скорость передачи данных.

Первое усовершенствование заключается в том, что восстановление кодовой синхронизации между скремблером и дескремблером в случае ее потери происходит без
 50 передачи по линии связи каких-либо служебных синхронизирующих кодовых последовательностей. Поэтому поток полезных данных не прерывается, время восстановления синхронизации уменьшается.

Второе усовершенствование состоит в том, что информация о размещении кодов команд, внедренных в поток данных, в явном виде не передается по линии; носителями

этой информации служат случайные события, которые регистрируются одновременно блоками передачи и приема данных.

В общем виде идея первого усовершенствования состоит в следующем. Скремблер и дескремблер содержат изолированные от линии связи генераторы псевдослучайной последовательности битов с одинаковой структурой обратных связей. Скремблированный поток битов постоянно анализируется скремблером и дескремблером с целью отыскания в нем определенных кодов. Обнаружение каждого такого кода скремблером и дескремблером приводит к одновременной установке обоих генераторов псевдослучайной последовательности битов в определенное состояние, соответствующее этому коду. Таким образом, генераторы в случайные моменты одновременно устанавливаются в одинаковые состояния по мере передачи полезных данных. Эти события происходят сравнительно редко, т.е. большую часть времени генераторы работают в режиме "естественного" последовательного перехода от предыдущего состояния к последующему, как было показано при описании генератора 1 (фиг.1). Если кодовая синхронизация не была нарушена, то моменты установки генераторов лишь подтверждает ее. Если кодовая синхронизация была ранее потеряна, то она восстанавливается при первом же обнаружении одного из заданных кодов в потоке скремблированных данных. Таким образом, служебные биты синхронизации по линии связи не передаются.

Второе усовершенствование также основано на том, что блоки передачи и приема данных одновременно (с точностью до задержки передачи) обнаруживают в скремблированном потоке данных заранее заданные коды. Моменты обнаружения таких кодов представляют собой случайные события. Они используются для синхронизации работы блоков стаффинга и дестаффинга. Если эти блоки ранее работали несогласованно, то после одновременного обнаружения одного из упомянутых случайных событий правильная синхронизация восстанавливается - в дальнейшем блок дестаффинга формирует сигналы, позволяющие в нужные интервалы времени извлекать коды команд из битового потока и пересылать их во второй канал.

Ниже рассмотрена работа составных частей предлагаемого устройства.

Сдвиговые регистры 74 и 83 (фиг.4) предназначены для временного хранения фрагментов SDATA и SDATA* потока скремблированных данных. В установившемся режиме эти фрагменты одинаковы (совпадают с точностью до задержки передачи). Прием очередного бита в регистр 74 (83) происходит по положительному фронту сигнала на синхронизирующем входе С этого регистра. Одновременно с приемом очередного бита с входа D ранее хранимые данные сдвигаются на один разряд вправо (по стрелке 93). В данном примере построения устройства разрядность регистра 74 (83) выбрана равной восьми, хотя она может быть большей или меньшей. Динамику работы регистра 74 можно проследить по таблице 121 его состояний (фиг.7, в).

Генератор 55 псевдослучайной последовательности битов скремблера 54 содержит сдвиговый регистр 58 и элемент Иключающее ИЛИ 59. Аналогичный генератор псевдослучайной последовательности битов дескремблера 62 содержит сдвиговый регистр 64 и элемент Иключающее ИЛИ 65.

Сдвиговые регистры 58 и 64 предназначены для временного хранения псевдослучайных кодов SRND и SRND*. В установившемся режиме эти коды одинаковы (совпадают с точностью до задержки передачи). Прием очередного бита в регистр 58 (64) с входа D происходит по положительному фронту сигнала на синхронизирующем входе С при условии, что на его управляющем входе P/S (P/S*), задающем режим параллельного или последовательного приема данных, присутствует сигнал лог. 0. Одновременно с приемом очередного бита с входа D происходит сдвиг ранее хранимого кода на один разряд вправо (по стрелке 93). Если на управляющем входе P/S (P/S*) регистра 58 (64) присутствует сигнал лог. 1, то по положительному фронту сигнала на синхронизирующем входе С в регистр принимается параллельный код с группы входов 79 (92). В данном примере построения устройства разрядность регистра 58 (64) выбрана равной пяти, хотя она может быть большей или меньшей. При этом точки подключения входов элемента

Исключающее ИЛИ 59 (65) к регистру 58 (64) выбираются в соответствии с таблицей, представленной на фиг. 1, б.

Начальное состояние регистра 58 может быть любым, в том числе, нулевым. Выход из нулевого состояния происходит при записи в регистр параллельного кода с входов 79.

- 5 Программа инициализации скремблера предусматривает выдачу на его вход 61 некоторого кода $CODE_1$, который распознается дешифратором 75. Если в регистре 58 первоначально присутствовал нулевой код, то код $CODE_1$ без изменения проходит через элемент Исключающее ИЛИ 56 и последовательно загружается в регистр 74. Дешифратор 75 реагирует на него переводом регистра 58 в режим параллельной загрузки ($P/S=1$) и
- 10 формированием ненулевого кода $LOAD_1$, который затем принимается в регистр 58 с входов 79. Таким образом, генератор 55 выходит из запрещенного состояния 000...0. Если первоначальное состояние регистра 58, было ненулевым, то выдача кода $CODE_1$ на вход 61 оказывается бесполезной, но не приводит к каким-либо нежелательным последствиям. Возможна также и аппаратная установка регистра 58 в ненулевое состояние
- 15 (соответствующий вход установки регистра 58 в это состояние не показан).

Начальное состояние регистра 64 также может быть любым, в том числе нулевым. Это состояние обновляется (становится заведомо ненулевым) при обнаружении дешифратором 84 в скремблированном потоке данных одного из заранее заданных кодов ($CODE_1$ и, возможно, других).

- 20 Элемент Исключающее ИЛИ 56 (59, 65, 66) формирует на выходе сигнал лог.1 только в том случае, когда входные сигналы имеют противоположные логические значения (лог.0 и лог.1). Элементы Исключающее ИЛИ 59 и 65 формируют выходные сигналы RND и RND* генераторов псевдослучайных последовательностей битов скремблера 54 и дескремблера 62. Элементы Исключающее ИЛИ 56 и 66 формируют скремблированный SCRD и
- 25 дескремблированный DIN сигналы данных.

- Триггеры D-типа 76, 85 и 86 принимают биты данных с входа D по положительному фронту сигнала на входе синхронизации C. Триггеры 76 и 86 формируют выходные сигналы DLINE и $DATA^*$, в которых на границах между битовыми интервалами сигнал может измениться только один раз, в то время как входные сигналы SCRD и DIN этих
- 30 триггеров на границах между битовыми интервалами могут многократно изменяться из-за неодновременного протекания переходных процессов ("гонок" сигналов) в цепях 58-59-56; 61-56 и 64-65-66; 85-66. Триггер 85 в значительной степени устраняет джиттер входного сигнала ("дрожание" фронтов на границах между битовыми интервалами) благодаря тому, что прием бита в этот триггер происходит в центре битового интервала, когда
- 35 переходные процессы сигнала DLTNE* уже закончились. Остаточный джиттер сигнала SDIN на выходе триггера 85 определяется неидеальностью сигнала CLK^* на выходе генератора 63. Исходные состояния триггеров 76, 85 и 86 произвольны.

Инвертор 77 (87) преобразует входной сигнал лог.0 в выходной сигнал лог.1, и наоборот - входной сигнал лог.1 в выходной сигнал лог.0.

- 40 Генератор 63 с фазовой автоподстройкой частоты может быть выполнен по одной из известных схем (см., например, пат. США №6215835 В1). Он предназначен для формирования высокостабильного синхросигнала CLK^* на основе непрерывного слежения за входным сигналом DLINE*. Положительный фронт сигнала CLK^* привязан к моментам изменения сигнала DLINE* ($0 \rightarrow 1$ или $1 \rightarrow 0$), так что отрицательный фронт сигнала CLK^*
- 45 формируется в середине битового интервала сигнала DLINE*, что соответствует его установившемуся значению.

- Благодаря достаточной инерционности генератора 63 сигнал CLK^* практически нечувствителен к джиттеру сигнала DLINE* и иным его кратковременным искажениям, вызванным помехами в линии связи 51 (Такое использование стандартного генератора с
- 50 фазовой автоподстройкой частоты в телекоммуникационных системах является общепринятым и далее не детализируется).

Дешифратор 75 (84) предназначен для выделения в потоке скремблированных данных, проходящем через сдвиговый регистр 74 (83), определенных кодов $CODE_1$, $CODE_2$, ...,

СООЕ_к. При обнаружении дешифратором 75 (84) указанных кодов на его выходах 79 (92) формируется соответствующий V-разрядный код $LOAD_1, LOAD_2, \dots, LOAD_k$ для последующей параллельной загрузки сдвигового регистра 58 (64). В данном примере построения устройства $K=4, V=5$. При обнаружении любого кода $CODE_1, CODE_2, \dots, CODE_k$ дешифратор 75 (84) формирует также единичный сигнал на входе P/S (P/S*) управления режимом работы регистра 58 (64), подготавливая его к параллельному приему данных по положительному фронту очередного синхроимпульса на входе С.

Усилитель 57 (67) предназначен для передачи (приема) скремблированного сигнала данных в линию (из линии) 51. Параметры усилителей 57 и 67 определяются типом линии связи 51, которая в наиболее простом варианте может быть выполнена в виде витой пары проводов, коаксиального или оптоволоконного кабеля. Линия связи может содержать последовательно включенные ретрансляторы, в которых могут использоваться блоки буферной памяти. Поэтому задержка прохождения сигнала между блоком 52 передачи и блоком 53 приема данных может быть значительной и заранее не известной (но постоянной).

Генератор 94 синхросигналов, размещенный в блоке 69 стаффинга (фиг.5), задает темп работы всего устройства. На выходе 60 генератора 94 формируется непрерывная последовательность импульсов со скважностью, равной двум. В зависимости от состояния триггера 101 импульсы с выхода генератора 94 проходят через элемент И 99 или элемент И 98 и передаются либо в первый, либо во второй канал (в точки 71 или 73). В ответ на каждый импульс, переданный в соответствующий канал, внешние источники данных и команд (не показаны) формируют биты, которые поступают на входы 70 и 72 устройства.

По первому каналу передаются данные, по второму - команды. При получении импульсного сигнала $J=1$ блок 69 прекращает передачу данных из первого канала на четыре такта и заполняет полученную паузу четырьмя битами, принятыми из второго канала, после чего вновь возвращается к передаче данных из первого канала. Таким образом, поток данных DATA на выходе 61 блока 69 содержит вставки (четверки stuff-битов из второго канала), положение которых привязано к импульсам $J=1$.

Число битов во вставке определяется разрядностью счетчика 97. Счетчик прибавляет единицу к хранящемуся в нем коду по положительному фронту сигнала TxC2. Диапазон счета - от кода 000_2 до кода 100_2 , по достижении которого с задержкой на половину такта формируется сигнал RESET установки счетчика 97 и триггера 101 в нулевое состояние. Элемент 96 задерживает сигнал с выхода триггера 103 примерно на четверть периода синхросигнала CLK и задает длительность импульса RESET. Положительное напряжение +U на входе данных триггера 101 соответствует сигналу лог. 1.

Мультиплексор 105 при $H=0$ передает на вход данных триггера 102 сигнал TxD1 из первого канала, а при $H=1$ - сигнал TxD2 из второго канала.

В блоке дестаффинга 80 (фиг.6) осуществляется распределение синхросигнала CLK* по двум направлениям, соответствующим первому и второму каналам (выходы 81 и 82).

Приемники данных соответствующих каналов (не показаны) получают биты из общего потока данных DATA* (см. фиг.4, выходы 90 и 91) с использованием соответствующих синхросигналов RxC1 и RxC2.

Счетчик 109 и элемент задержки 108 аналогичны счетчику 97 и элементу задержки 96 блока 69 стаффинга (см. фиг.5). При получении импульсного сигнала $J^*=1$ блок 80 на четыре такта прекращает выдачу синхроимпульсов в первый канал и последующие четыре синхроимпульса выдает во второй канал, после чего вновь возвращается к обслуживанию первого канала. Таким образом, ранее вставленные в поток данных командные биты воспринимаются только внешней аппаратурой второго канала, что и требуется. Согласованная работа блоков 69 стаффинга и 80 дестаффинга осуществляется благодаря тому, что импульсы J и J^* формируются в этих блоках одновременно (с точностью до задержки передачи).

Далее приведено описание работы более крупного фрагмента предлагаемого устройства. В этот фрагмент входят скремблер 54, линия связи 51 и дескремблер 62.

Входные данные DATA и сопровождающий их сигнал CLK синхронизации поступают на входы 61 и 60 скремблера 54. Положительные фронты сигнала CLK (моменты T0, T1,..., T18 на фиг.8) соответствуют границам между битовыми интервалами сигнала данных DATA, как показано на диаграммах 122 и 123. По положительным фронтам сигнала CLK изменяется содержимое регистра 74 (диаграмма 126), генератор 55 переходит в новые состояния (диаграмма 128). При этом по каждому положительному фронту сигнала CLK формируется очередной псевдослучайный бит RND (диаграмма 124), который складывается по модулю два с битом данных DATA и преобразуется в скремблированный бит данных SCRD (диаграмма 125). По окончании переходных процессов, в момент формирования отрицательного фронта сигнала CLK бит SCRD принимается в триггер 76 (диаграмма 129 сигнала DLINE) и через усилитель 57 передается в линию связи 51.

В интервале времени T8-T9 (фиг.8) дешифратор 75 формирует сигнал J=1 на входе P/S управления режимом работы регистра 58 (диаграмма 127), подготавливая его к приему параллельных данных в момент T9.

В отсутствие параллельной загрузки генератор 55 псевдослучайной последовательности битов последовательно, циклически проходит через ряд состояний S1, S2, S3,..., S31, S1, S2 и т.д., как показано на фиг.7, а, б (таблица 116, диаграмма 117). В состоянии S1 (см. первую строку таблицы 116, а также указатель 118 на диаграмме 117) в регистре 58 хранится пятиразрядный двоичный код $11111_2 = 1F_{16}$, на выходе RND генератора 55 сформирован сигнал лог.0. В следующем такте указатель 118 перемещается по часовой стрелке и фиксируется на соседней позиции, генератор 55 переходит в состояние S2, при котором $SRND = 01111_2 = 0F_{16}$, $RND = 0$ и т.д. Этот процесс циклически повторяется, указатель 118 вращается по кругу, последовательно проходя все возможные состояния S_i .

Параллельная загрузка регистра 58 в произвольном такте приводит к принудительной установке генератора 55 в одно из заданных состояний, в данном примере, в состояния S3, S11, S19 или S27. Эти состояния, предпочтительно, выбираются так, чтобы на диаграмме 117 дуги S3-S11, S11-S19, S19-S27 и S27-S3 имели примерно равную длину (см. указатели 119 и 120, которые разделяют окружность на четыре примерно равные части). В процессе работы скремблера генератор 55 сравнительно редко, с равной вероятностью устанавливается в эти состояния, а в промежутках между такими установками указатель 118 продолжает равномерное (шаговое) вращение по часовой стрелке.

Выбор нескольких (а не одного) заданных состояний, в которые генератор 55 переходит в моменты его параллельной загрузки, целесообразен в тех случаях, когда число состояний генератора достаточно велико, и в течение полного оборота указателя 118 вероятность параллельной загрузки регистра 58 близка к единице. Поэтому если указатель 118 периодически "срывается" с равномерного вращения и попадает в одно и то же заданное состояние, то вероятность того, что он успеет совершить хотя бы один полный оборот, становится невысокой. Иными словами, некоторые состояния генератора 55 будут использоваться реже, чем другие, а тогда отмеченные ранее (при описании генератора 1, см. фиг.1) свойства "канонической" псевдослучайной последовательности битов будут в некоторой степени утрачены, что нежелательно. Наличие нескольких фиксированных точек установки, равномерно распределенных по диаграмме 117, выравнивает вероятности использования всех возможных состояний генератора 55.

Как показано на диаграммах 126 и 127 (фиг.8), одним из кодов, вызывающих принудительную установку генератора 55 в фиксированное состояние, является код $SDATA = CODE_1 = 62_{16} = 01100010_2$. Этот код присутствует в регистре 74 в интервале времени T8-T9 и, как уже отмечалось, дешифратор 75 реагирует на него подготовкой регистра 58 к приему параллельного кода $LOAD_1$ с входов 79. Этот код в данном примере равен $0E_{16} = 01110_2$ и соответствует состоянию S11 генератора 55 (см. табл. 116 на фиг.7, а). Таким образом, в момент T9 цепь последовательных переходов... S16, S17, ..., S23, S24 разрывается, и вместо перехода в очередное состояние S25 генератор 55 "перескакивает" в состояние S11. После этого формируется новая цепь последовательных переходов: S11, S12,..., S18, S19,... - вплоть до возникновения очередной ситуации,

при которой эта цепь разрывается, а затем образуется следующая цепь с одним из начальных состояний S3, S11, S19 или S27 и т.д.

Принятые из линии 51 скремблированные данные DLINE* синхронизируют генератор 63 с фазовой автоподстройкой частоты (фиг.4), в результате на его выходе формируется сигнал CLK*, а на выходе инвертора 89 - его инверсное значение (диаграммы 130, 138, 131 на фиг.9). Сигнал SDIN (диаграмма 132) на выходе триггера 85 повторяет сигнал DLINE* с задержкой на половину периода синхросигнала, при этом сигнал SDIN, как уже отмечалось, практически не содержит фазовых искажений (джиттера). Скремблированные данные SDIN последовательно проходят через регистр 83. После его заполнения данные SDATA* (диаграмма 133) с точностью до задержки передачи совпадают с данными SDATA в регистре 74 скремблера 54 (диаграмма 126).

Это следует из того, что, во-первых, источник данных для обоих регистров общий - выход элемента Иключающее ИЛИ 56, и, во-вторых, ничто не препятствует одновременному (с точностью до задержки передачи) заполнению обоих регистров одинаковыми данными. Так как дешифраторы 75 и 84 идентичны, а данные на их входах одинаковы, то сигналы на выходах этих дешифраторов также совпадают (с точностью до задержки передачи). Из этого следует, что рассмотренный ранее процесс установки генератора 55 в определенное состояние протекает также и в дескремблере 62, а именно, в интервале времени T8-T9 (фиг.9) на входе P/S* регистра 64 формируется сигнал J*=1 (диаграмма 134), в момент T9 в регистр 64 принимается параллельный код OE₁₆, соответствующий состоянию S11.

Независимо от предыстории состояния генератора псевдослучайной последовательности битов дескремблера 62, начиная с момента T9 (фиг.9), этот генератор синхронизируется с генератором 55 скремблера 54 в том смысле, что формируемые обоими генераторами последовательности битов совпадают. Неопределенные состояния и сигналы в начальный период, когда кодовая синхронизация между генераторами отсутствовала, помечены на диаграммах 135, 136, 137 и 139 символами "X".

Начиная с момента T9, скремблирующая RND (диаграмма 124 на фиг.8) и дескремблирующая RND* (диаграмма 136 на фиг.9) последовательности битов совпадают, поэтому сигнал DIN (диаграмма 137) дескремблированных данных совпадает с сигналом DATA (диаграмма 123) на входе 61 скремблера с точностью до задержки передачи. Выходной сигнал DATA* (диаграмма 139) данных, "очищенный" от возможных многократных переключений на границах между битовыми интервалами, поступает на выход 89 дескремблера и сопровождается сигналом CLK*. Таким образом, входные сигналы DATA и CLK преобразуются в совпадающие с ними (с точностью до задержки передачи) выходные сигналы DATA* и CLK*.

Частота следования моментов синхронной установки регистров 58 и 64 в одинаковые состояния (моментов кодовой синхронизации) зависит от скорости передачи данных, а также от разрядности и числа K кодов CODE₁, CODE₂, ..., CODE_K, распознаваемых дешифраторами 75 и 84.

При K=1 и разрядности регистра 74 (83), равной 8, в скремблированном потоке данных в среднем в каждой цепи из 256 бит будет встречаться один искомый код, равный CODE₁. При скорости передачи данных, равной 10 Мбит/с, средняя частота следования моментов синхронизации составляет 10000000/256=39 062,5 Гц. При K=4 частота моментов синхронизации увеличивается в четыре раза и составляет 156250 Гц.

Для уменьшения вероятности ложного распознавания кодов CODE₁, CODE₂, ..., CODE_K дешифратором 84 дескремблера в связи с поступлением из линии связи в регистр 83 ошибочных битов разрядность этого регистра (а также регистра 74) можно увеличить, например, до 20 бит.

Ниже рассмотрена работа предлагаемого устройства в целом.

Как уже отмечалось, устройство осуществляет синхронный прием потока данных из первого канала, вставку в этот поток командных битов из второго канала,

скремблирование полученного составного потока и его передачу по линии связи. На удаленной стороне происходит прием составного потока из линии, выделение из него синхросигнала, дескремблирование и распределение содержащихся в нем данных и командных битов по соответствующим каналам. Задача состоит в обеспечении

5 согласованной работы блоков передачи и приема данных. Ее решение основано на использовании "стохастической" синхронизации, не требующей введения служебной информации в поток битов, передаваемый по линии.

При такой синхронизации на приемной и передающей стороне одновременно регистрируются случайные события, связанные с "самопроизвольным" возникновением в

10 потоке скремблированных данных некоторых заданных кодов. Частота появления этих событий, как было показано, предсказуема и определяется выбранной скоростью передачи данных, а также разрядностью и числом заданных для распознавания кодов $CODE_1$, $CODE_2$, ..., $CODE_K$.

В установившемся режиме блок 69 стаффинга (фиг.5) транслирует на выход 61 поток

15 данных, поступающих из первого канала (см. фиг. 10, интервал времени T0-T5). На временных диаграммах, приведенных на фиг.10 - 13, биты, поступающие из первого и второго каналов, помечены цифрами 1 и 2.

Бит данных TxD1 (TxD2) формируется внешним источником (например, компьютером) и подается на вход 70 (72) устройства (фиг.4, 5) в ответ на положительный фронт сигнала

20 TxC1 (TxC2). Этот бит может поступать на вход данных триггера 102 с некоторой задержкой, которая на временных диаграммах (фиг.10, 11) не учитывается для повышения их наглядности. Допустимая задержка (обозначенная символом T^* в интервале T0-T1 на диаграмме 155, фиг.10) может приближаться к одному периоду синхросигнала CLK при условии сохранения достаточного для устойчивой работы триггера 102 времени

25 предустановки сигнала DAT на его входе данных. Время предустановки сигнала DAT представляет собой интервал между окончанием периода T^* и ближайшим положительным фронтом сигнала CLK (моментом T1).

Как показано на фиг.10, в процессе передачи заранее не известных данных случилось так, что в такте T4-T5 сформирован бит данных DATA, который в дальнейшем порождает

30 формирование импульсов J и J^* . Этот бит помечен на диаграмме 156 точкой и далее для краткости назван битом синхронизации. Следует помнить, что этот бит не служебный - он принадлежит потоку пользовательских или иных "полезных" данных, в данном случае передаваемых по первому каналу.

Бит синхронизации в этом же такте (T4-T5, фиг.10) скремблируется элементом

35 Исключающее ИЛИ 56, а в следующем такте (T5-T6) загружается в крайний левый разряд сдвигового регистра 74, при этом остальные биты перемещаются на одну позицию вправо. Полученный в такте T5-T6 код SDATA принадлежит множеству кодов $CODE_1$, $CODE_2$, ..., $CODE_K$ и, следовательно, он обнаруживается дешифратором 75, в результате на его выходе формируется сигнал $J=1$. Из этого сигнала формируются управляющие импульсы

40 (см. диаграммы 144-146) длительностью, равной четырем тактам (длительность определяется разрядностью счетчика 97).

Во время действия этих импульсов мультиплексор 105 переключается на прием данных TxD2 из второго канала, поток синхросигналов TxC1 прекращается и формируются четыре

45 импульса TxC2 (диаграммы 153, 154, 147, 148). По окончании действия управляющих импульсов (диаграммы 144-146) блок 69 стаффинга переходит в исходное состояние, при котором через него транслируются данные первого канала. При выдаче данных в линию 51 вслед за битом синхронизации "по инерции" передаются еще два бита из первого канала и лишь затем - четыре бита из второго канала (диаграмма 157).

Блок 69 нечувствителен к повторно формируемым импульсам J, если они поступают на

50 вход блока в тактах T6-T7, T7-T8, T8-T9 или T9-T10 (последний показан на диаграмме 142 штриховой линией), так как повторный положительный фронт сигнала F либо отсутствует, либо подтверждает ранее проведенную установку триггера 101 в единичное состояние, либо не воздействует на этот триггер из-за наличия импульса RESET. Если

повторно формируемый импульс J поступает на вход блока 69 в такте T10-T11 (фиг.11, диаграмма 160) или в последующих тактах, то вставка командных битов из второго канала повторяется (диаграммы 161-175). Отметим, что в повторно формируемый импульс J в данном случае порожден битом синхронизации из второго канала (помечен точкой на диаграмме 174). При выдаче данных в линию 51 вслед за битом синхронизации передаются еще два бита (один из второго и один из первого канала) и лишь затем - четыре бита из второго канала (диаграмма 175).

Бит синхронизации поступает по линии связи в дескремблер и вызывает формирование импульса J* (фиг.12, диаграммы 176-180). Нумерация моментов времени на диаграммах, описывающих работу блока 52 передачи данных (фиг.10 - 11), не связана с нумерацией моментов времени на диаграммах, описывающих работу блока 53 приема данных (фиг.12 - 13) (Напомним, что задержка передачи сигналов по линии 51 заранее не известна, так что системы отсчета времени в блоках 52 и 53 разные).

Из сигнала J*=1 формируются управляющие импульсы (см. диаграммы 182, 183) длительностью, равной четырем тактам (длительность определяется разрядностью счетчика 109). Во время действия этих импульсов поток синхросигналов RxC1 прекращается, и формируются четыре импульса RxC2 (диаграммы 189, 190). По окончании действия управляющих импульсов (диаграммы 182, 183) блок 80 дестаффинга переходит в исходное состояние, при котором формируются импульсы RxC1 синхронизации первого канала. При этом учитывается, что, как было показано, вслед за битом синхронизации по линии передаются два бита из первого канала и затем четыре бита из второго канала (диаграммы 176, 188). Нужные фрагменты составного потока данных DATA* фиксируются приемниками первого и второго каналов (приемники не показаны) по отрицательным фронтам соответствующих синхросигналов RxC1 и RxC2.

Блок 80 (так же как и блок 69) нечувствителен к повторно формируемым импульсам J*, если они поступают в соседних тактах T5'-T6', T6'-T7', T7'-T8' или T8'-T9' (последний показан на диаграмме 180 штриховой линией), так как повторный положительный фронт сигнала J** либо подтверждает ранее выполненную установку триггера 113 в единичное состояние, либо не воздействует на этот триггер из-за наличия импульса RESET*. Если повторно формируемый импульс J* поступает на вход блока 80 в такте T9'-T10' (фиг.13, диаграмма 199) или в последующих тактах, то выдача четверки синхроимпульсов RxC2 во второй канал повторяется (диаграммы 199-213).

Из сопоставления временных диаграмм, показанных на фиг.10, 11 и фиг.12, 13, следует, что работа блоков 69 и 80 согласована. В любой кодовой ситуации вставки битов из второго канала в поток данных, формируемый на передающей стороне, распознаются на приемной стороне, извлекаются из потока и пересылаются во второй канал.

Применение предлагаемого устройства позволяет повысить скорость передачи данных благодаря двум факторам. Первый фактор состоит в исключении из потока данных относительно большого объема служебной информации, предназначенной для синхронизации работы дескремблера со скремблером, а также в исключении из протоколов обмена соответствующих программных средств. Второй фактор - исключение из потока данных служебной информации, обозначающей принадлежность данных первому или второму каналу.

Источники информации

1. Патент США №5530959 (Fig.1).
2. Патент США №5530959 (Fig.5) (прототип).

Формула изобретения

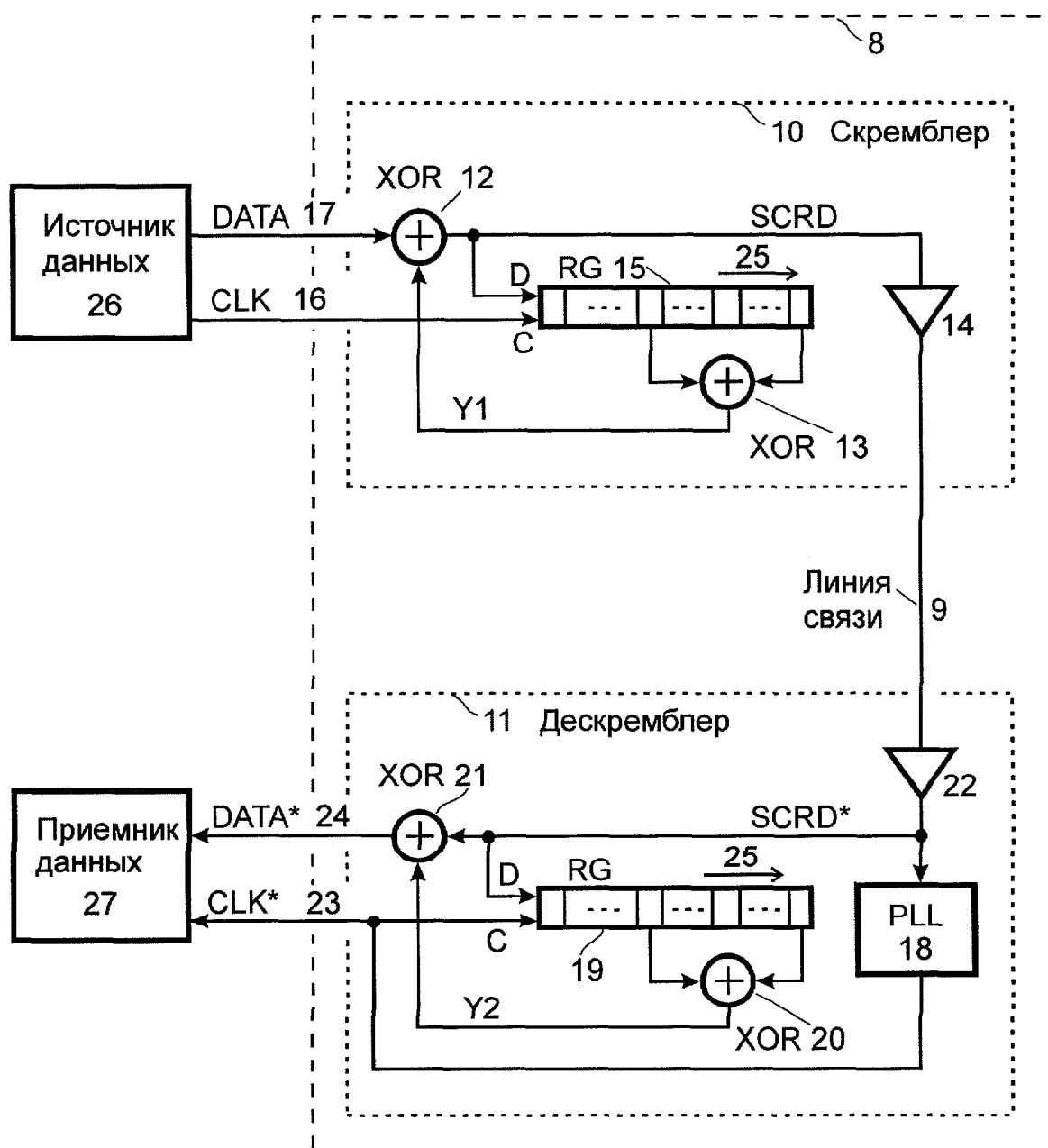
1. Устройство для передачи данных, содержащее подключенные к противоположным сторонам линии связи блок передачи данных и блок приема данных, блок передачи данных содержит скремблер, содержащий генератор псевдослучайной последовательности битов, первый элемент Исключающее ИЛИ и первый усилитель, генератор псевдослучайной

последовательности битов содержит первый сдвиговый регистр и второй элемент Иключающее ИЛИ, входы которого подключены к выходам первого сдвигового регистра, а выход - к первому входу первого элемента Иключающее ИЛИ и к входу последовательных данных первого сдвигового регистра, вход синхронизации которого является входом синхронизации скремблера, второй вход первого элемента Иключающее ИЛИ является входом данных скремблера, выход первого усилителя подключен к линии связи, блок приема данных содержит дескремблер, содержащий генератор с фазовой автоподстройкой частоты, второй сдвиговый регистр, третий и четвертый элементы Иключающее ИЛИ и второй усилитель, вход которого подключен к линии связи, а выход - к входу генератора с фазовой автоподстройкой частоты, выход которого является выходом синхронизации дескремблера, выходы второго сдвигового регистра соединены с входами третьего элемента Иключающее ИЛИ, выход которого подключен к первому входу четвертого элемента Иключающее ИЛИ, отличающееся тем, что блок передачи данных дополнительно содержит блок стаффинга, первый вход данных и первый выход синхронизации которого являются входом данных и первым выходом синхронизации первого канала, второй вход данных и второй выход синхронизации блока стаффинга являются входом данных и первым выходом синхронизации второго канала, скремблер дополнительно содержит третий сдвиговый регистр, первый дешифратор, первый триггер и первый инвертор, выход которого подключен к входу синхронизации первого триггера, вход первого инвертора соединен с входами синхронизации первого и третьего сдвиговых регистров, а также с третьим выходом синхронизации блока стаффинга, управляющий вход первого сдвигового регистра соединен с выходом первого дешифратора и с управляющим входом блока стаффинга, выход данных которого соединен с входом данных скремблера, вход последовательных данных третьего сдвигового регистра соединен с выходом первого элемента Иключающее ИЛИ и с входом данных первого триггера, выход которого соединен с входом первого усилителя, входы параллельных данных первого сдвигового регистра соединены с выходами первого дешифратора, входы которого соединены с выходами третьего сдвигового регистра, блок приема данных дополнительно содержит блок дестаффинга, первый выход синхронизации которого является вторым выходом синхронизации первого канала, второй выход синхронизации блока дестаффинга является вторым выходом синхронизации второго канала, дескремблер дополнительно содержит четвертый сдвиговый регистр, второй дешифратор, второй и третий триггеры и второй инвертор, выход которого подключен к входу синхронизации второго триггера и к входам синхронизации второго и четвертого сдвиговых регистров, управляющий вход второго сдвигового регистра соединен с выходом второго дешифратора и с управляющим входом блока дестаффинга, вход синхронизации которого соединен с выходом синхронизации дескремблера, выход третьего триггера является выходом данных дескремблера и соединен с выходами данных первого и второго каналов устройства, вход последовательных данных четвертого сдвигового регистра соединен со вторым входом четвертого элемента Иключающее ИЛИ и с выходом второго триггера, вход данных которого соединен с выходом второго усилителя, входы параллельных данных второго сдвигового регистра соединены с выходами второго дешифратора, входы которого соединены с выходами четвертого сдвигового регистра, вход последовательных данных второго сдвигового регистра соединен с первым входом четвертого элемента Иключающее ИЛИ, выход которого соединен с входом данных третьего триггера, вход синхронизации которого соединен с выходом синхронизации дескремблера и с входом второго инвертора.

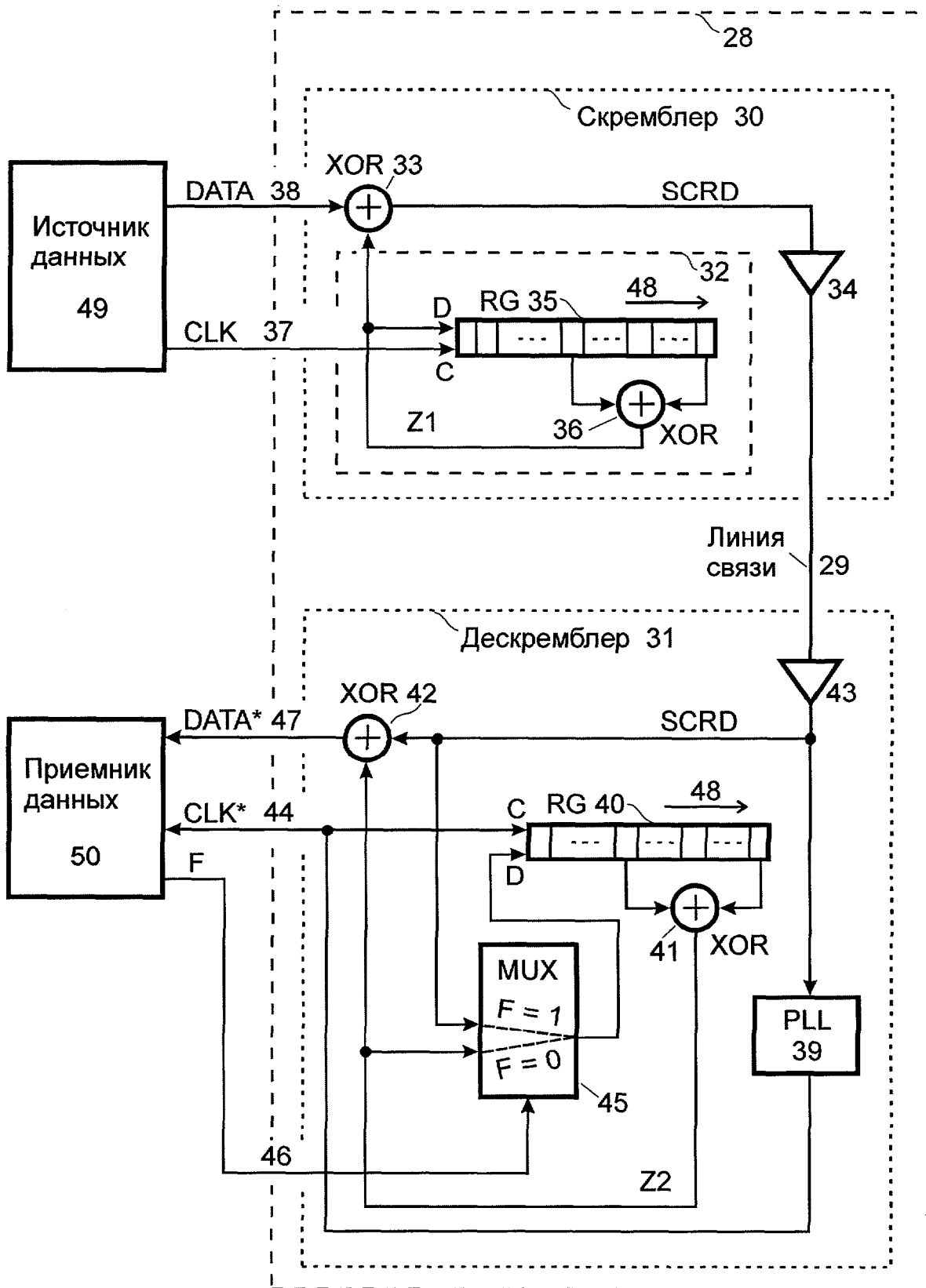
2. Устройство для передачи данных по п.1, отличающееся тем, что блок стаффинга содержит генератор импульсов, инвертор, элемент задержки, счетчик, первый и второй элементы И, первый - пятый триггеры и мультиплексор, входы данных которого являются первым и вторым входами данных блока, а управляющий вход соединен с выходом пятого триггера, первый выход синхронизации блока соединен с выходом второго элемента И, второй выход синхронизации блока соединен с выходом первого элемента И и со счетным

входом счетчика, входы установки нуля счетчика и второго триггера соединены с выходом четвертого триггера и с входом элемента задержки, выход которого соединен с входом установки нуля четвертого триггера, вход данных которого соединен с выходом счетчика, входы синхронизации первого и четвертого триггеров соединены с выходом инвертора, вход которого соединен с выходом генератора импульсов, с входами синхронизации третьего и пятого триггеров и с первыми входами первого и второго элементов И и является третьим выходом синхронизации блока, выход мультиплексора соединен с входом данных третьего триггера, выход которого является выходом данных блока, вход данных первого триггера является управляющим входом блока, выход первого триггера соединен с входом синхронизации второго триггера, вход данных которого подключен к шине положительного напряжения, единичный выход второго триггера соединен с вторым входом первого элемента И и с входом данных пятого триггера, нулевой выход второго триггера соединен с вторым входом второго элемента И.

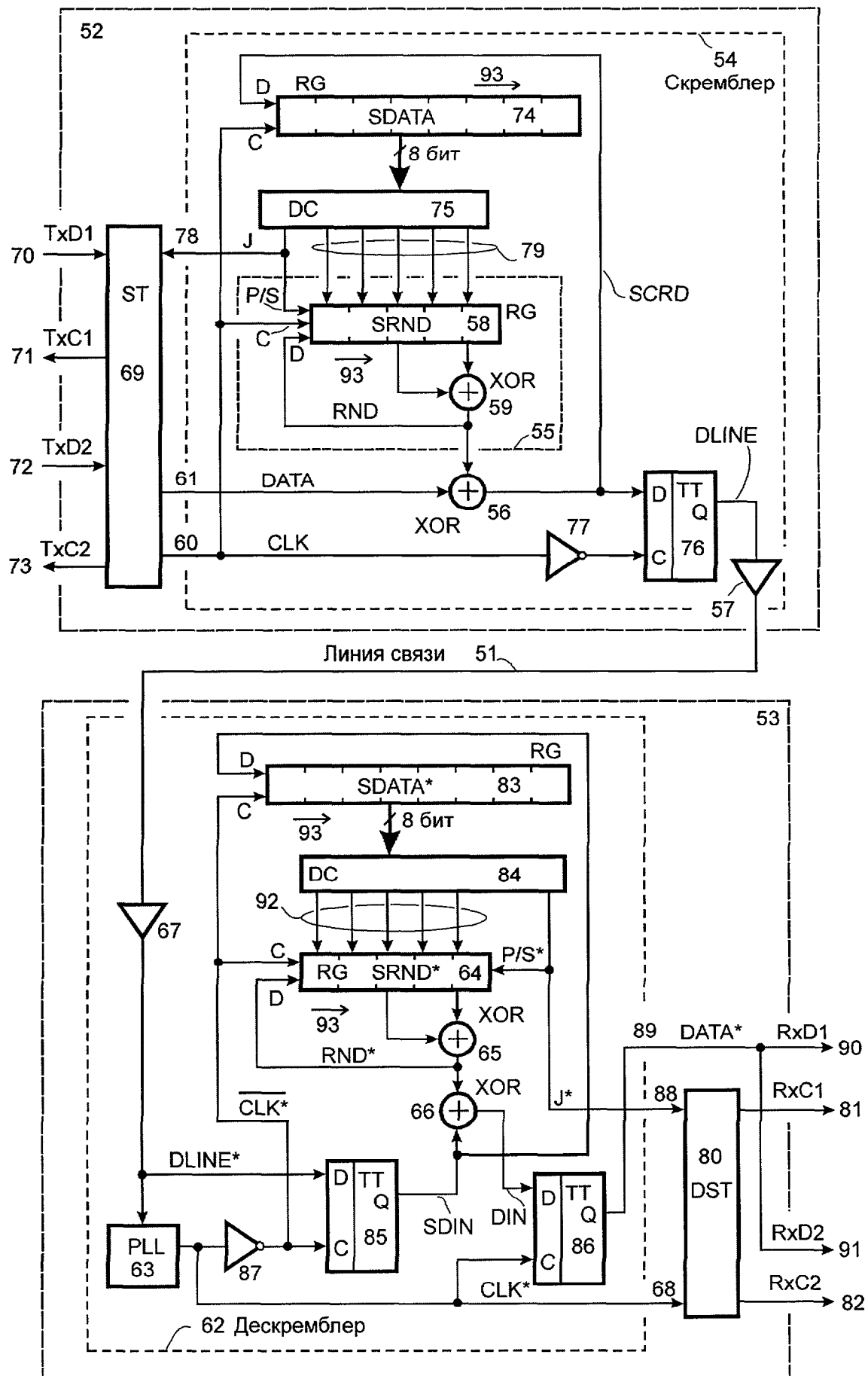
3. Устройство для передачи данных по п.1, отличающееся тем, что блок дестаффинга содержит инвертор, элемент задержки, счетчик, первый и второй элементы И, первый, второй и третий триггеры, вход инвертора соединен с первыми входами первого и второго элементов И и является входом синхронизации блока, вход данных первого триггера является управляющим входом блока, входы синхронизации первого и третьего триггеров соединены с выходом инвертора, входы установки нуля счетчика и второго триггера соединены с выходом третьего триггера и с входом элемента задержки, выход которого соединен с входом установки нуля третьего триггера, вход данных которого соединен с выходом счетчика, счетный вход которого соединен с выходом первого элемента И и является вторым выходом синхронизации блока, выход второго элемента И является первым выходом синхронизации блока, единичный и нулевой выходы второго триггера соединены с вторыми входами первого и второго элементов И, вход данных второго триггера подключен к шине положительного напряжения, вход синхронизации второго триггера подключен к нулевому выходу первого триггера.



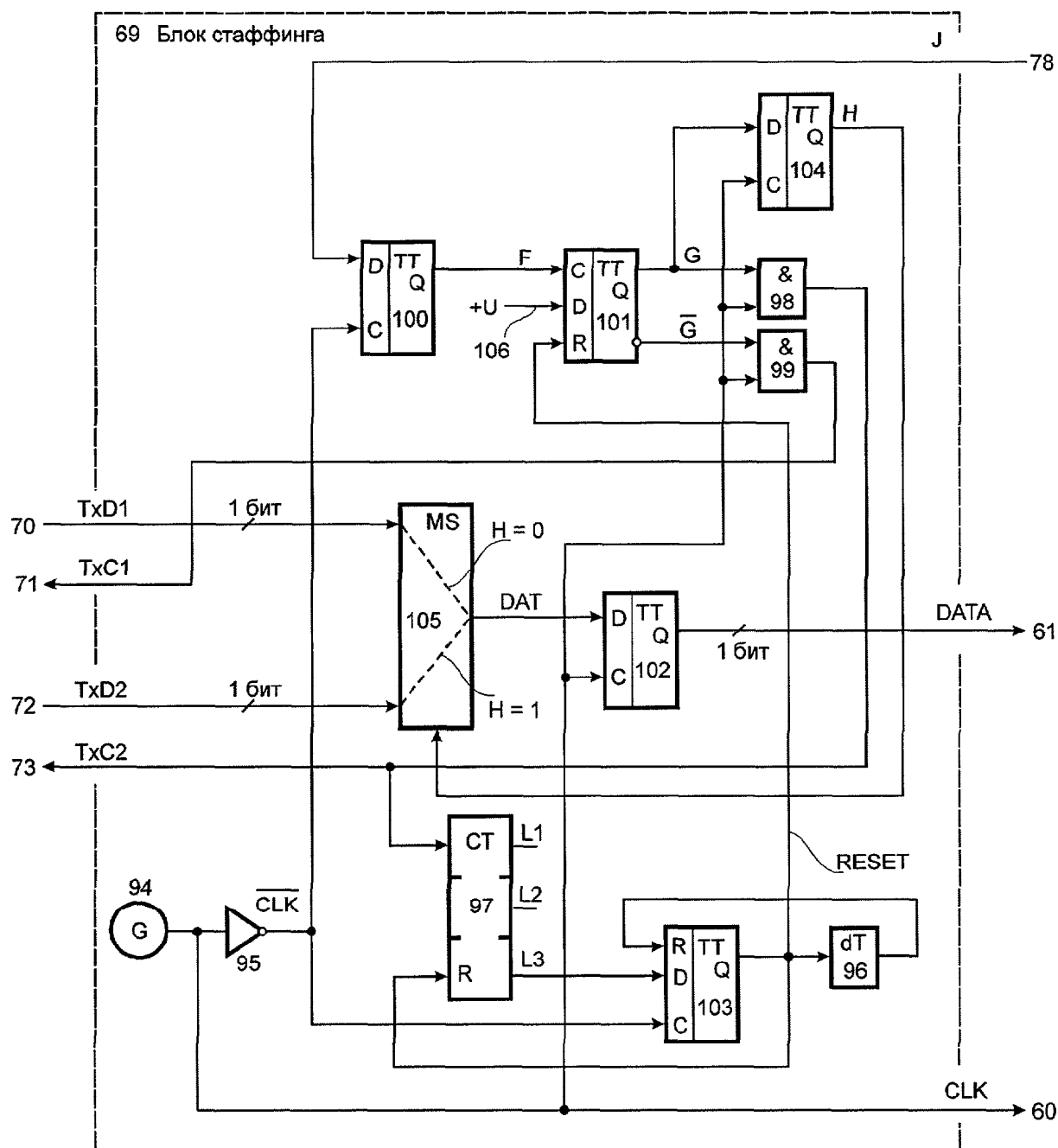
Фиг. 2



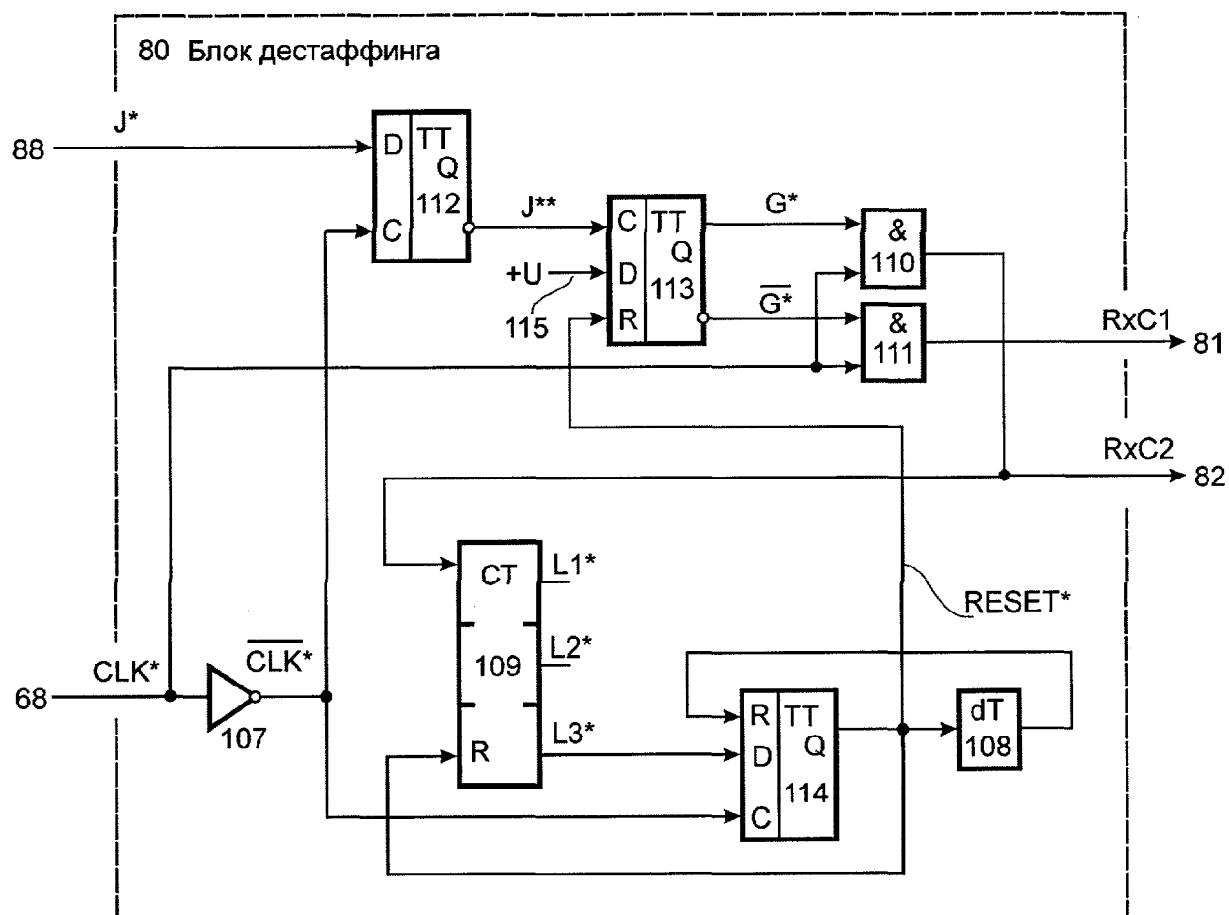
Фиг. 3



Фиг. 4



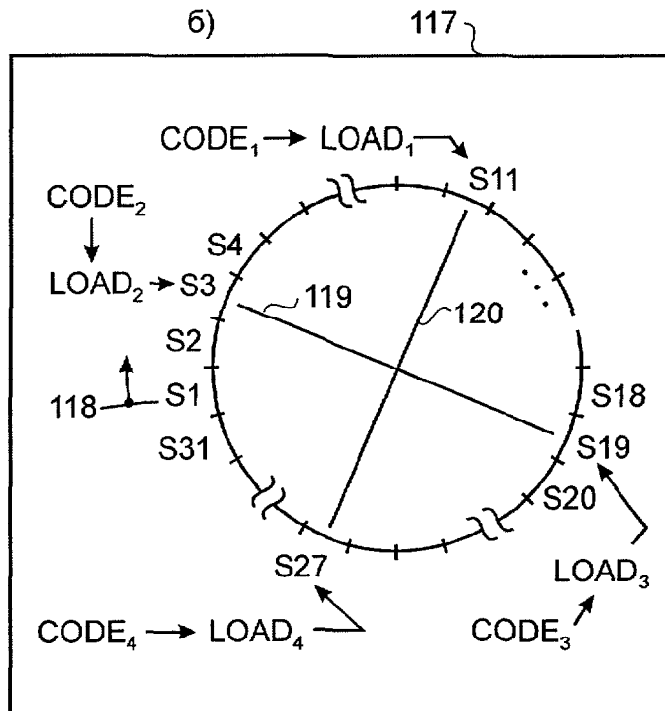
Фиг. 5



Фиг. 6

a) 116

STATE	SRND ₂	RND	SRND ₁₆
S1	11111	0	1F
S2	01111	0	0F
S3	00111	0	07
S4	00011	1	03
S5	10001	1	11
S6	11000	0	18
S7	01100	1	0C
S8	10110	1	16
S9	11011	1	1B
S10	11101	0	1D
S11	01110	1	0E
S12	10111	0	17
S13	01011	1	0B
S14	10101	0	15
S15	01010	0	0A
S16	00101	0	05
S17	00010	0	02
S18	00001	1	01
S19	10000	0	10
S20	01000	0	08
S21	00100	1	04
S22	10010	0	12
S23	01001	1	09
S24	10100	1	14
S25	11010	0	1A
S26	01101	0	0D
S27	00110	1	06
S28	10011	1	13
S29	11001	1	19
S30	11100	1	1C
S31	11110	1	1E
S1	11111	0	1F

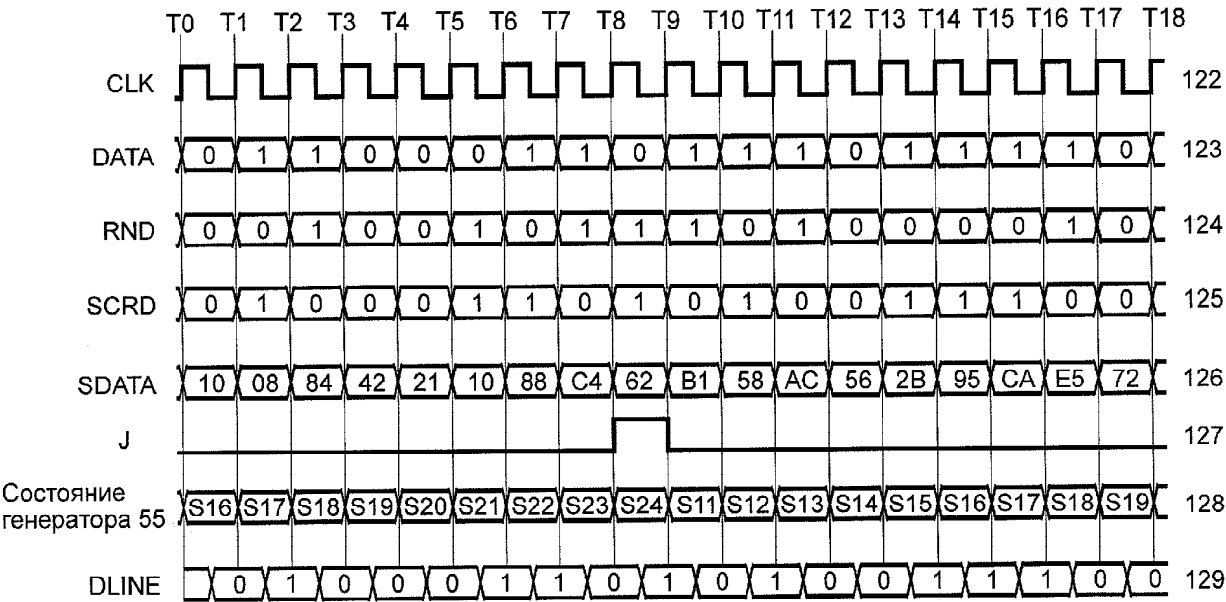


121

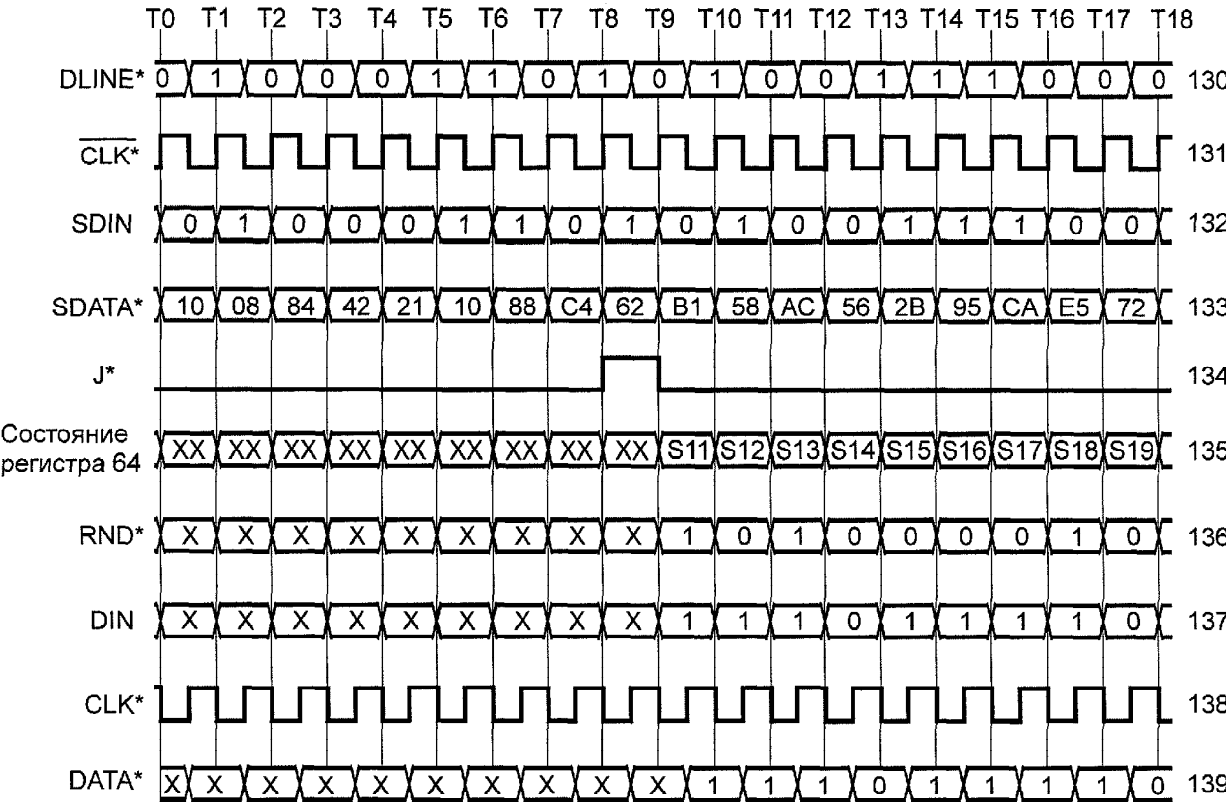
в)

SCRD	SDATA ₂	SDATA ₁₆
0	00010000	10
1	00001000	08
0	10000100	84
0	01000010	42
0	00100001	21
1	00010000	10
1	10001000	88
0	11000100	C4
1	01100010	62
0	10110001	B1
1	01011000	58
0	10101100	AC
0	01010110	56
1	00101011	2B
1	10010101	95
1	11001010	CA
0	11100101	E5
0	01110010	72

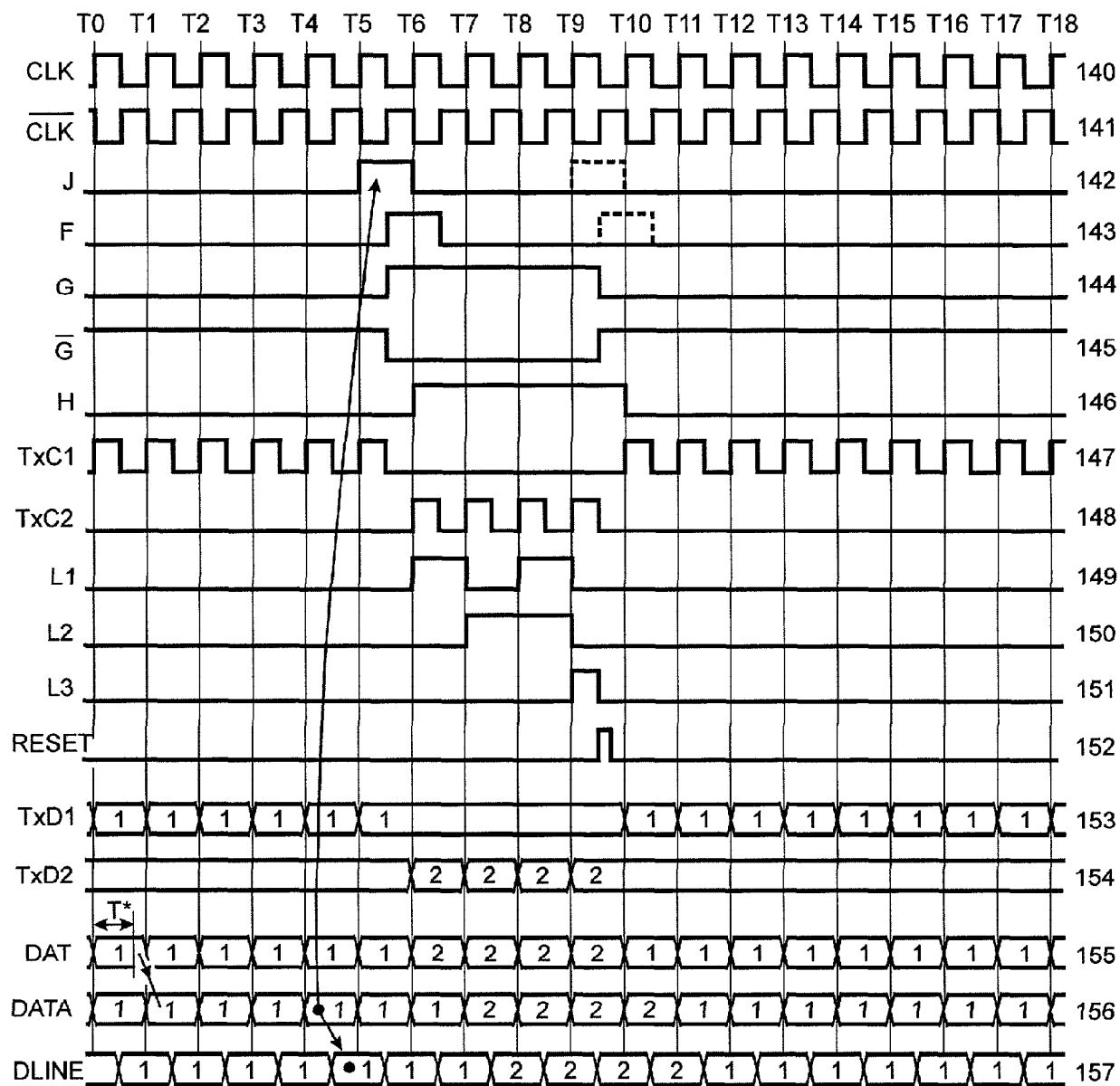
Фиг. 7



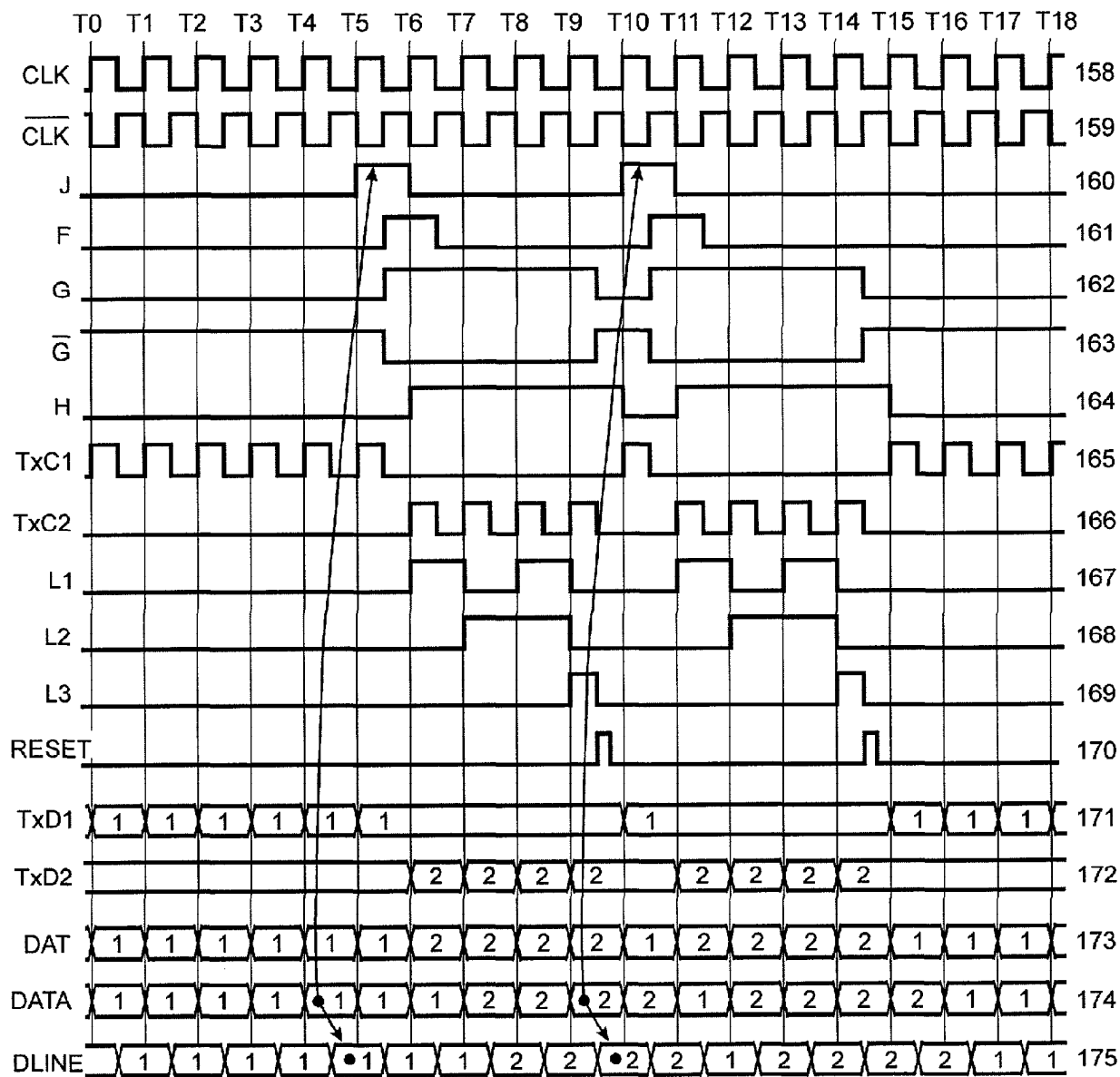
Фиг. 8



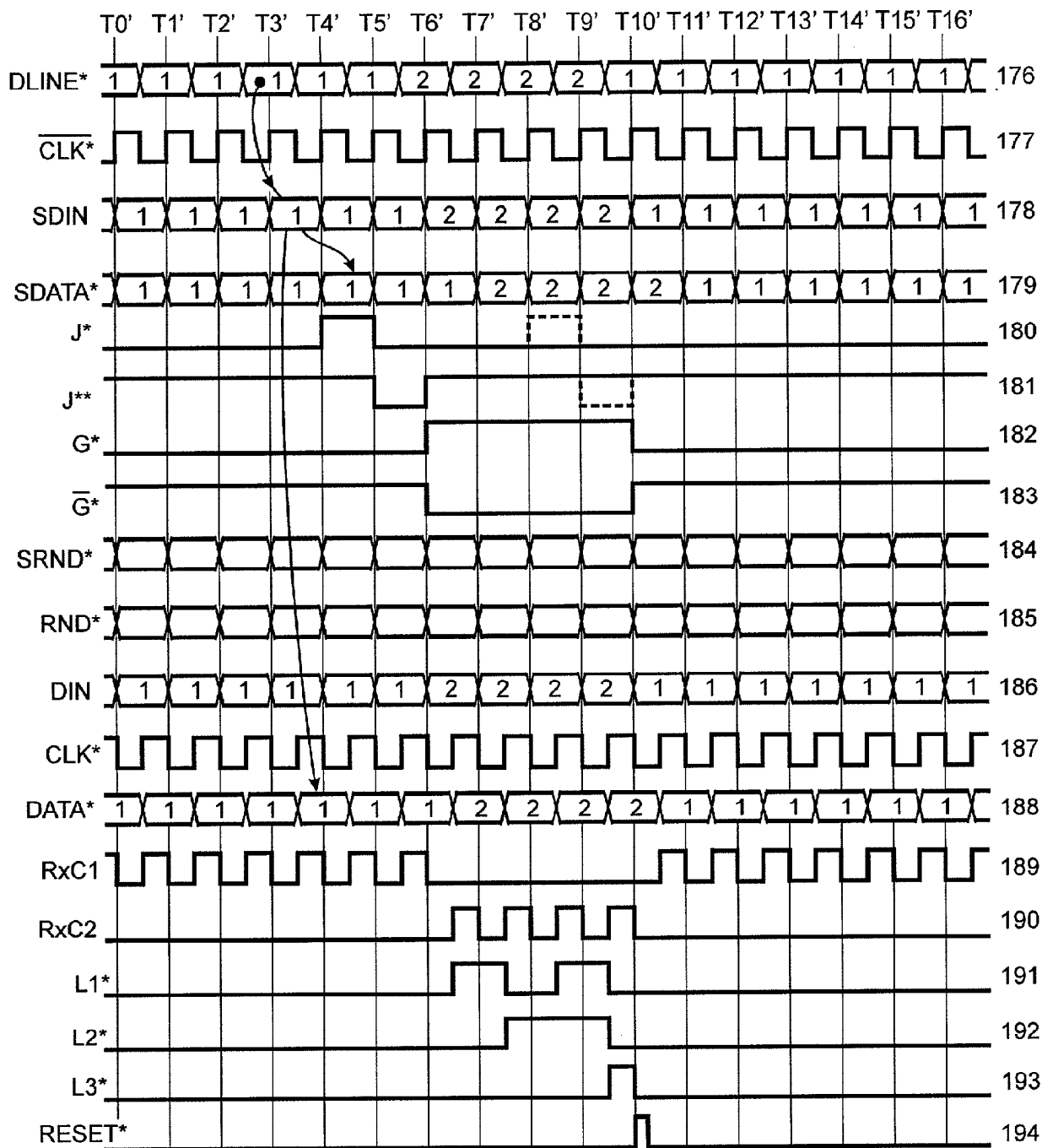
Фиг. 9



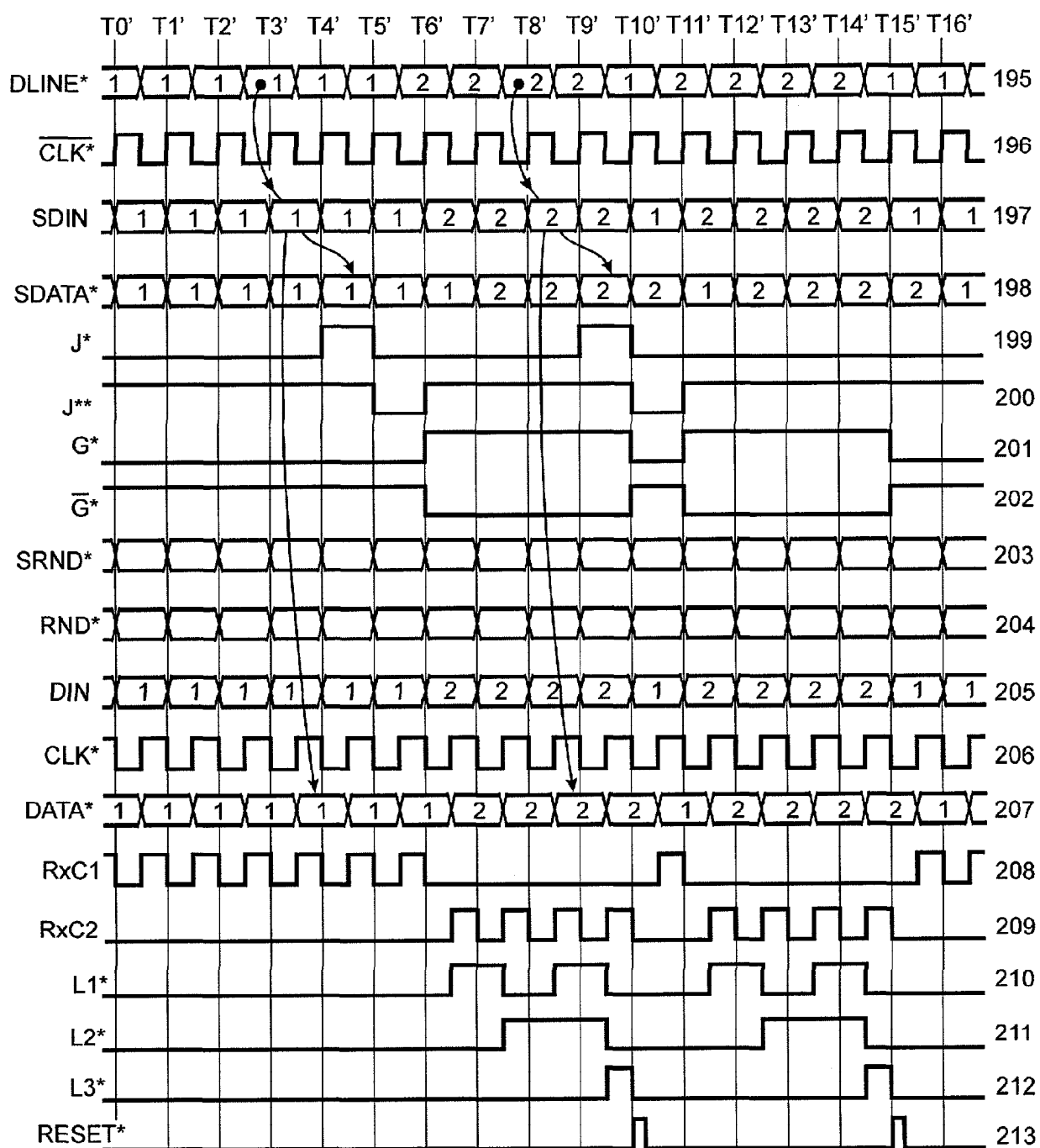
Фиг. 10



Фиг. 11



Фиг. 12



Фиг. 13