

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2012-191166
(P2012-191166A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 31/10 (2006.01)	H O 1 L 31/10 G	5 F 0 4 9
H O 3 F 3/10 (2006.01)	H O 3 F 3/10	5 F 0 8 9
H O 1 L 31/12 (2006.01)	H O 1 L 31/12 F	5 J 5 0 0

審査請求 有 請求項の数 12 O L (全 21 頁)

(21) 出願番号 特願2011-247689 (P2011-247689)	(71) 出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日 平成23年11月11日(2011.11.11)	
(31) 優先権主張番号 特願2011-36615 (P2011-36615)	(74) 代理人 100084146 弁理士 山崎 宏
(32) 優先日 平成23年2月23日(2011.2.23)	(74) 代理人 100081422 弁理士 田中 光雄
(33) 優先権主張国 日本国(JP)	(74) 代理人 100122286 弁理士 仲倉 幸典
	(72) 発明者 安川 光平 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
	(72) 発明者 岡田 教和 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

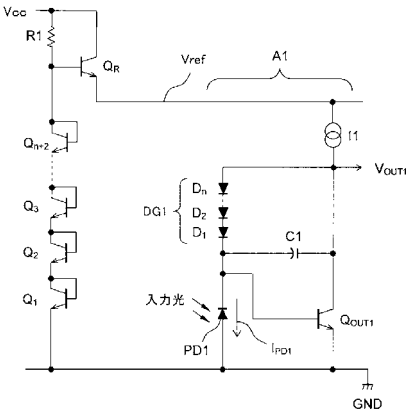
(54) 【発明の名称】 光センサおよび電子機器

(57) 【要約】

【課題】出力信号の電圧低下を招くことなく、十分なゲインを確保できる光センサを提供する。

【解決手段】アノードが接地されたフォトダイオードPD1と、フォトダイオードPD1のカソードに一端が接続されたダイオード群DG1と、ダイオード群DG1の他端に一端が接続された電流源I1と、電流源I1の他端に一定電圧を印加する電源部と、フォトダイオードPD1のカソードにベースが接続され、電流源I1の一端にコレクタが接続されたエミッタ接地型のNPNトランジスタQOUT1とを備える。上記ダイオード群DG1は、フォトダイオードPD1側に順方向が向くように直列に接続されたn個(nは2以上の整数)のダイオードD1,D2,⋯,Dnであり、ダイオード群DG1と電流源I1との接続点から、フォトダイオードPD1に流れる光電流が電圧に変換されて光電変換信号として出力される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

アノードが接地されたフォトダイオードと、
上記フォトダイオードのカソードに一端が接続された電流電圧変換部と、
上記電流電圧変換部の他端に一端が接続された電流源と、
上記電流源の他端に一定電圧を印加する電源部と、
上記フォトダイオードのカソードにベースまたはゲートが接続され、上記電流源の一端にコレクタまたはドレインが接続されたエミッタ接地型またはソース接地型の出力トランジスタと
を備え、

10

上記電流電圧変換部は、上記フォトダイオード側に順方向が向くように直列に接続された n 個 (n は 2 以上の整数) の PN 接合部を有する半導体素子群を含み、

上記電流電圧変換部と上記電流源との接続点から、上記フォトダイオードに流れる光電流が電圧に変換されて光電変換信号として出力されることを特徴とする光センサ。

【請求項 2】

請求項 1 に記載の光センサにおいて、

上記電源部は、順方向が同じ方向になるように直列に接続された $n + 2$ 個 (n は 2 以上の整数) の電源部用ダイオードを有し、上記直列に接続された $n + 2$ 個の電源部用ダイオードの順方向電圧に基づいて上記一定電圧を出力する定電圧回路であることを特徴とする光センサ。

20

【請求項 3】

請求項 1 または 2 に記載の光センサにおいて、

上記電流電圧変換部は、上記フォトダイオード側に順方向が向くように直列に接続された n 個 (n は 2 以上の整数) のダイオードであることを特徴とする光センサ。

【請求項 4】

請求項 1 から 3 までのいずれか 1 つに記載の光センサにおいて、

上記電流電圧変換部は、複数のトランジスタがダーリントン接続されたダーリントントランジスタであって、

上記ダーリントントランジスタのコレクタに上記電源部からの上記一定電圧が印加され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されていることを特徴とする光センサ。

30

【請求項 5】

請求項 1 から 3 までのいずれか 1 つに記載の光センサにおいて、

上記電流電圧変換部は、複数のトランジスタがダーリントン接続されたダーリントントランジスタであって、

上記ダーリントントランジスタのコレクタに上記電流源の一端が接続され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されていることを特徴とする光センサ。

40

【請求項 6】

請求項 1 から 3 までのいずれか 1 つに記載の光センサにおいて、

上記電流電圧変換部は、複数のトランジスタがダーリントン接続されたダーリントントランジスタであって、

上記ダーリントントランジスタに電流を供給する電流源回路を備え、

上記ダーリントントランジスタのコレクタに上記電流源回路の出力端が接続され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されていることを特徴とする光センサ。

【請求項 7】

50

請求項 4 に記載の光センサにおいて、

上記フォトダイオードのカソードにコレクタまたはドレインが接続され、上記出力トランジスタにベースまたはゲートが共通接続されたエミッタ接地型またはソース接地型のカレントミラー用トランジスタを備え、

上記ダーリントントランジスタと上記出力トランジスタと上記カレントミラー用トランジスタでウィルソン型カレントミラー回路を形成していることを特徴とする光センサ。

【請求項 8】

請求項 1 から 7 までのいずれか 1 つに記載の光センサにおいて、

上記光電変換信号が一方の入力端子に入力された比較器を備えたことを特徴とする光センサ。

10

【請求項 9】

請求項 1 から 3 までのいずれか 1 つに記載の光センサにおいて、

上記フォトダイオードと上記電流電圧変換部と上記出力トランジスタとを有する光電変換回路を 2 組備え、

上記 2 組の光電変換回路が形成された半導体基板を備え、

上記電流電圧変換部における上記半導体素子群は、上記直列に接続された 2 個の上記 P N 接合部を有し、

上記 2 組の光電変換回路のうちの一方からの上記光電変換信号が一方の入力端子に入力されると共に、上記 2 組の光電変換回路のうちの他方からの上記光電変換信号が他方の入力端子に入力された比較器を備え、

20

上記 2 組の光電変換回路の上記各電流電圧変換部における上記半導体素子群の 2 個の上記 P N 接合部は、上記半導体基板に交互にクロス状に配置されていることを特徴とする光センサ。

【請求項 10】

請求項 1 から 3 までのいずれか 1 つに記載の光センサにおいて、

上記フォトダイオードと上記電流電圧変換部と上記出力トランジスタとを有する光電変換回路を 2 組備え、

上記電流電圧変換部は、初段トランジスタと出力段トランジスタがダーリントン接続されたダーリントントランジスタであって、

上記ダーリントントランジスタのコレクタに上記電源部からの上記一定電圧が印加され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されており、

30

上記 2 組の光電変換回路のうちの一方からの上記光電変換信号が一方の入力端子に入力されると共に、上記 2 組の光電変換回路のうちの他方からの上記光電変換信号が他方の入力端子に入力された比較器を備え、

上記 2 組の光電変換回路のうちの一方は、上記フォトダイオードのカソードにコレクタまたはドレインが接続されたエミッタ接地型またはソース接地型の第 1 カレントミラー用トランジスタを備え、

上記 2 組の光電変換回路のうちの他方は、上記フォトダイオードのカソードにコレクタまたはドレインが接続され、ベースまたはゲートが上記コレクタまたはドレインに接続されたエミッタ接地型またはソース接地型の第 2 カレントミラー用トランジスタを備え、

40

上記第 2 カレントミラー用トランジスタのベースまたはゲートが上記第 1 カレントミラー用トランジスタのベースまたはゲートに接続され、上記ダーリントントランジスタと上記出力トランジスタと上記第 2 カレントミラー用トランジスタでウィルソン型カレントミラー回路を形成していることを特徴とする光センサ。

【請求項 11】

請求項 10 に記載の光センサにおいて、

上記 2 組の光電変換回路のうちの他方の上記フォトダイオードへの入力光を遮蔽する遮蔽部を備えたことを特徴とする光センサ。

50

【請求項 12】

請求項 1 から 11 までのいずれか 1 つに記載の光センサを用いたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、光センサおよび電子機器に関する。

【背景技術】

【0002】

従来、光センサとしては、2つのフォトダイオード電流をダイオードにて対数圧縮し、
差動比較出力することでゲインを確保するものがある(例えば、特開2006-2946
82号公報(特許文献1)および特開昭57-142523号公報(特許文献2)参照)。

【0003】

また、従来の他の光センサとしては、2つのフォトダイオードの光電流をダーリントン
接続により増幅し、高利得を得るものがある(例えば、特開平11-345995号公報(
特許文献3)参照)。

【0004】

物体検知に用いられるフォトインタラプタは、例えば複写機では紙が複写機内のさまざ
まな箇所を移動するため、数十個と多数使われる。このため、より安価で高性能な光セン
サが求められる。

【0005】

そこで、上記特許文献1および特許文献2に示されるような2つのフォトダイオードを
用い、ダイオードにて圧縮後に差動比較して、ゲインを稼ぐ方法が考えられるが、ダイオ
ードは $-2\text{ mV}/^{\circ}\text{C}$ の温度特性を有しており、 100°C 等の高温になると出力信号として
十分な電圧が取れないという問題がある。このために、後段の回路構成によっては誤動作
を生じたり、動作ばらつきを生じたりする。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-294682号公報

【特許文献2】特開昭57-142523号公報

【特許文献3】特開平11-345995号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

そこで、この発明の課題は、出力信号の電圧低下を招くことなく、十分なゲインを確保
できる光センサおよびそれを用いた電子機器を提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するため、この発明の光センサは、
アノードが接地されたフォトダイオードと、
上記フォトダイオードのカソードに一端が接続された電流電圧変換部と、
上記電流電圧変換部の他端に一端が接続された電流源と、
上記電流源の他端に一定電圧を印加する電源部と、
上記フォトダイオードのカソードにベースまたはゲートが接続され、上記電流源の一端
にコレクタまたはドレインが接続されたエミッタ接地型またはソース接地型の出力トラン
ジスタと
を備え、

上記電流電圧変換部は、上記フォトダイオード側に順方向が向くように直列に接続され
た n 個(n は2以上の整数)のPN接合部を有する半導体素子群を含み、

10

20

30

40

50

上記電流電圧変換部と上記電流源との接続点から、上記フォトダイオードに流れる光電流が電圧に変換されて光電変換信号として出力されることを特徴とする。

【0009】

上記構成によれば、電流電圧変換部において半導体素子群のPN接合部を直列に2段以上積むと、電流電圧変換部と電流源との接続点からの光電変換信号の電圧レベルは、PN接合部の段数により、整数倍に増える。したがって、出力される光電変換信号の電圧低下を招くことなく、十分なゲインを確保できる。また、上記フォトダイオードと電流電圧変換部と電流源と電源部と出力トランジスタとを半導体基板に形成することにより、電流電圧変換部に大きな抵抗を用いた場合よりもチップ面積を小さくでき、小型で低コストな光センサを実現できる。

10

【0010】

なお、半導体素子群の代わりに電流電圧変換部として抵抗を用いると、大きな抵抗が必要になり、面積が増えるため有益ではない。

【0011】

また、一実施形態の光センサでは、

上記電源部は、順方向が同じ方向になるように直列に接続された $n+2$ 個(n は2以上の整数)の電源部用ダイオードを有し、上記直列に接続された $n+2$ 個の電源部用ダイオードの順方向電圧に基づいて上記一定電圧を出力する定電圧回路である。

【0012】

上記実施形態によれば、定電圧回路において電源部用ダイオードを複数段($n+2$ 段)積むことで、直列に接続された $n+2$ 個の電源部用ダイオードの順方向電圧は、高温では低くなる一方、低温では高くなる。このように、順方向が同じ方向になるように直列に接続された $n+2$ 個の電源部用ダイオードを定電圧回路に用いることで、温度変化に追従して上記一定電圧が変化する。ここで、電流電圧変換部の半導体素子群のPN接合部が n 段であるのに対して、定電圧回路の電源部用ダイオードは $n+1$ 段以上とすることで、通常Si基板を用いたフォトダイオードには逆バイアスが与えられて、その上に n 段のPN接合部を積んで電流電圧変換を実施する構成を、上記定電圧回路が形成されたSi基板内で実現できる。

20

【0013】

また、一実施形態の光センサでは、

上記電流電圧変換部は、上記フォトダイオード側に順方向が向くように直列に接続された n 個(n は2以上の整数)のダイオードである。

30

【0014】

なお、この電流電圧変換部のダイオードは、ダイオード接続されたトランジスタを用いてもよい。

【0015】

上記実施形態によれば、簡単な構成で電流電圧変換部を実現できる。

【0016】

また、一実施形態の光センサでは、

上記電流電圧変換部は、複数のトランジスタがダーリントン接続されたダーリントントランジスタであって、

40

上記ダーリントントランジスタのコレクタに上記電源部からの上記一定電圧が印加され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されている。

【0017】

上記実施形態によれば、半導体素子群のPN接合部を複数段重ねることで、光電変換信号の電圧が高くなって尤度がなくなる場合、初段トランジスタと出力段トランジスタがダーリントン接続されたダーリントントランジスタで構成し、ダーリントントランジスタのベースから光電変換信号を出力することで、単に半導体素子群のPN接合部を複数段重ね

50

た場合に対して、光電変換信号の電圧を数十 mV ～ 数百 mV 下げることができ、電圧調整が可能となる。

【0018】

従来の光センサに用いられるダーリントン接続は、例えば、特許文献 3 (特開平 11-345995 号公報) において、フォトダイオードと回路をダーリントン接続するように、トランジスタのベースを入力として電流増幅するものであるに対して、本発明では入出力を逆として、ダーリントントランジスタのベースを電圧出力 (光電変換信号) として用いる。

【0019】

また、上記特許文献 3 のような電流増幅では、トランジスタの電流増幅率 h_{fe} に依存するため、特性ばらつきが非常に大きくなる。

10

【0020】

一方、ダーリントントランジスタのベースを電圧出力とする本発明では、例えば 2 段構成のダーリントントランジスタでは、トランジスタの熱電圧を V_T 、ベース・エミッタ間電圧を V_{BE} 、電流増幅率 h_{fe} とすると、光電変換信号の電圧は、

$$2 V_{BE} - V_T \times \ln(h_{fe})$$

で表される。例えば $h_{fe} = 30$ であれば、光電変換信号の電圧は、

$$V_T \times \ln(h_{fe}) = 26 \times 3.4 = 88 \text{ mV}$$

となり、 $h_{fe} = 25$ にばらついたとしても、

$$V_T \times \ln(h_{fe}) = 26 \times 3.2 = 84 \text{ mV}$$

20

に圧縮され、 $2 V_{BE} = \text{約 } 1 \text{ V}$ に対して、十分な尤度を有する。

【0021】

また、フォトダイオードへの入力光が AC (交流) 変動した場合、フォトダイオードに流れる光電流を I_{in} とすると、 dV_{BE}/dI_{in} は、

$$dV_{BE}/dI_{in} = 2 V_T / I_{in}$$

で表され、トランジスタの電流増幅率 h_{fe} に全く依存せず、交流信号を処理できる。

【0022】

また、一実施形態の光センサでは、

上記電流電圧変換部は、複数のトランジスタがダーリントン接続されたダーリントントランジスタであって、

30

上記ダーリントントランジスタのコレクタに上記電流源の一端が接続され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されている。

【0023】

上記実施形態によれば、ダーリントントランジスタのコレクタ電位が直接的に上記電源部の電圧の立ち上がりに関連することがないので、出力トランジスタのベース電位の瞬間的な持ち上がりが減少し、ダーリントントランジスタを構成する各トランジスタのベース電位の低下が抑制され、電源電圧の立ち上がり時に正常動作するまでにかかる起動時間を早くすることができる。

40

【0024】

また、一実施形態の光センサでは、

上記電流電圧変換部は、複数のトランジスタがダーリントン接続されたダーリントントランジスタであって、

上記ダーリントントランジスタに電流を供給する電流源回路を備え、

上記ダーリントントランジスタのコレクタに上記電流源回路の出力端が接続され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されている。

【0025】

50

上記実施形態によれば、ダーリントントランジスタのコレクタ電位が直接的に上記電源部の電圧の立ち上がりに連動されることがないので、出力トランジスタのベース電位の瞬時的な持ち上がりが減少し、ダーリントントランジスタを構成する各トランジスタのベース電位の低下が抑制され、電源電圧の立ち上がり時に正常動作するまでにかかる起動時間を早くすることができる。

【0026】

また、一実施形態の光センサでは、

上記フォトダイオードのカソードにコレクタまたはドレインが接続され、上記出力トランジスタにベースまたはゲートが共通接続されたエミッタ接地型またはソース接地型のカレントミラー用トランジスタを備え、

10

上記ダーリントントランジスタと上記出力トランジスタと上記カレントミラー用トランジスタでウィルソン型カレントミラー回路を形成している。

【0027】

上記実施形態によれば、ゲインの調整は、上記ウィルソン型カレントミラー回路で作られる定電流がダーリントントランジスタに流れることで可能となる。このダーリントントランジスタのベースへの入力電流を、ウィルソン型カレントミラー回路により抑制でき、上記入力電流を安定させることが可能となり、ゲインのばらつきを抑制することができる。

【0028】

また、一実施形態の光センサでは、

20

上記光電変換信号が一方の入力端子に入力された比較器を備えた。

【0029】

上記実施形態によれば、上記電流電圧変換部の半導体素子群の複数段のPN接合部で電流電圧変換された電圧出力(光電変換信号)を比較器に入力することで、電圧増幅やA/D変換が可能となる(比較器により差動入力レベルに比べて高い出力電圧を得たり、比較器により差動入力レベルを2値化したりできる)。このような比較器がバイポーラ素子で構成されている場合、温度特性はダイオードと一致することが可能であるため、複数段のダイオード構成としなくても安定動作可能である。また、MOS素子を用いた比較器では、MOSトランジスタのゲート・ソース間電圧VGSがトランジスタのベース・エミッタ電圧VBE変動と一致しないため、複数段のダイオードにて電圧変換された電圧を用いると有益である。

30

【0030】

また、一実施形態の光センサでは、

上記フォトダイオードと上記電流電圧変換部と上記出力トランジスタとを有する光電変換回路を2組備え、

上記2組の光電変換回路が形成された半導体基板を備え、

上記電流電圧変換部における上記半導体素子群は、上記直列に接続された2個の上記PN接合部を有し、

上記2組の光電変換回路のうちの一方からの上記光電変換信号が一方の入力端子に入力されると共に、上記2組の光電変換回路のうちの他方からの上記光電変換信号が他方の入力端子に入力された比較器を備え、

40

上記2組の光電変換回路の上記各電流電圧変換部における上記半導体素子群の2個の上記PN接合部は、上記半導体基板に交互にクロス状に配置されている。

【0031】

ここで、上記半導体素子群は、直列に接続された2個のダイオードであってもよいし、ダイオード接続されたトランジスタを2個直列に接続してもよく、さらに、2段構成のダーリントントランジスタであってもよい。

【0032】

上記実施形態によれば、電流電圧変換部における半導体素子群の2個のPN接合部の順方向電圧のばらつきを軽減するために、2組の光電変換回路の各電流電圧変換部における

50

半導体素子群の２個のPN接合部を半導体基板に交互にクロス状に配置することが有益である。これによって、素子を構成する不純物を拡散等で注入する際のばらつきや、ウエハ上にパターンニングするときのばらつきを最小限に軽減できる。

【0033】

また、一実施形態の光センサでは、

上記フォトダイオードと上記電流電圧変換部と上記出力トランジスタとを有する光電変換回路を２組備え、

上記電流電圧変換部は、初段トランジスタと出力段トランジスタがダーリントン接続されたダーリントントランジスタであって、

上記ダーリントントランジスタのコレクタに上記電源部からの上記一定電圧が印加され、上記ダーリントントランジスタのエミッタに上記フォトダイオードのカソードが接続され、上記ダーリントントランジスタのベースに上記出力トランジスタのコレクタまたはドレインが接続されており、

上記２組の光電変換回路のうちの一方からの上記光電変換信号が一方の入力端子に入力されると共に、上記２組の光電変換回路のうちの他方からの上記光電変換信号が他方の入力端子に入力された比較器を備え、

上記２組の光電変換回路のうちの一方は、上記フォトダイオードのカソードにコレクタまたはドレインが接続されたエミッタ接地型またはソース接地型の第１カレントミラー用トランジスタを備え、

上記２組の光電変換回路のうちの他方は、上記フォトダイオードのカソードにコレクタまたはドレインが接続され、ベースまたはゲートが上記コレクタまたはドレインに接続されたエミッタ接地型またはソース接地型の第２カレントミラー用トランジスタを備え、

上記第２カレントミラー用トランジスタのベースまたはゲートが上記第１カレントミラー用トランジスタのベースまたはゲートに接続され、上記ダーリントントランジスタと上記出力トランジスタと上記第２カレントミラー用トランジスタでウィルソン型カレントミラー回路を形成している。

【0034】

上記実施形態によれば、２組の光電変換回路からの光電変換信号を比較器に入力する場合、電流電圧変換部に流れる定電流は対称であることが望ましい。このため、上記２組の光電変換回路の第１、第２カレントミラー用トランジスタのベースまたはゲートの電位を共通とすることで、電流電圧変換部に流れる定電流のばらつき削減できる。

【0035】

また、一実施形態の光センサでは、

上記２組の光電変換回路のうちの他方の上記フォトダイオードへの入力光を遮蔽する遮蔽部を備えた。

【0036】

上記実施形態によれば、２組の光電変換回路のうちの一方のフォトダイオードだけを用いると共に、フォトダイオードへの入力光が遮蔽されている他方の光電変換回路の電流源を一方の光電変換回路でも用いるので、フォトダイオードへの光電流が変動することによる電流源の微小電流変動を抑制できる。

【0037】

また、この発明の電子機器では、

上記のいずれか１つの光センサを用いたことを特徴とする。

【0038】

上記実施形態によれば、出力信号の電圧低下を招くことなく、十分なゲインを確保できる上記光センサを用いることで、ばらつきが少なく信頼性の高い電子機器を実現できる。

【0039】

一般的に、このような光センサに用いる受光IC(Integrated Circuit: 集積回路)は 1 mm^2 以上の面積が必要であるが、 0.5 mm^2 以下で構成可能となる。

【発明の効果】

【0040】

以上より明らかなように、この発明の光センサよれば、出力信号の電圧低下を招くことなく、十分なゲインを確保できる光センサおよびそれを用いた電子機器を実現できる。

【0041】

また、この発明の電子機器では、上記光センサを用いることにより、ばらつきが少なく信頼性の高い電子機器を実現できる。

【図面の簡単な説明】

【0042】

【図1】図1はこの発明の第1実施形態の光センサの回路図である。

【図2】図2は上記光センサにおいてトランジスタを用いた例を示す回路図である。

10

【図3】図3は比較例の光センサの回路図である。

【図4】図4はダイオードの電圧－電流特性を示す図である。

【図5】図5はこの発明の第2実施形態の光センサの回路図である。

【図6】図6はこの発明の第3実施形態の光センサの回路図である。

【図7】図7はこの発明の第4実施形態の光センサの回路図である。

【図8】図8はこの発明の第5実施形態の光センサの回路図である。

【図9】図9はダーリントトランジスタの初段トランジスタと出力段トランジスタのクロス配置を示す平面図である。

【図10】図10はこの発明の第6実施形態の光センサの回路図である。

【図11】図11は上記光センサの変形例を示す回路図である。

20

【図12】図12は上記光センサのもう一つの変形例を示す回路図である。

【図13】図13は上記光センサのダミー容量を用いた他の変形例を示す回路図である。

【図14】図14は従来の光センサのシミュレーション結果を示す例である。

【図15】図15はこの発明の光センサのシミュレーション結果を示す例である。

【図16】図16は比較の光センサの回路図である。

【発明を実施するための形態】

【0043】

以下、この発明の光センサを図示の実施の形態により詳細に説明する。

【0044】

〔第1実施形態〕

30

図1はこの発明の第1実施形態の光センサの回路図を示している。

【0045】

この第1実施形態の光センサは、図1に示すように、グラウンドGNDにエミッタが接続され、ベースにコレクタが接続されたNPNトランジスタ Q_1 と、ベースにコレクタが接続されたNPNトランジスタ Q_2 と、ベースにコレクタが接続されたNPNトランジスタ Q_3 と、…、ベースにコレクタが接続されたNPNトランジスタ Q_{n+2} (n は2以上の整数)とを、エミッタをグラウンドGND側に向けて直列に接続している。そして、NPNトランジスタ Q_{n+2} のコレクタに抵抗 R_1 の一端を接続し、その抵抗 R_1 の他端に電源電圧 V_{cc} を印加している。また、抵抗 R_1 の一端にNPNトランジスタ Q_R のベースを接続し、NPNトランジスタ Q_R のコレクタに電源電圧 V_{cc} を印加している。抵抗 R_1 とNPNトランジスタ $Q_1, Q_2, Q_3, \dots, Q_{n+2}$ とNPNトランジスタ Q_R で電源部の一例としての定電圧回路を構成している。この定電圧回路のNPNトランジスタ Q_R のエミッタからは、 $n+1$ 段のダイオード($Q_1, Q_2, Q_3, \dots, Q_{n+1}$)の順方向電圧分に相当する一定電圧 V_{ref} を出力する。

40

【0046】

また、フォトダイオードPD1のアノードをグラウンドGNDに接続し、そのフォトダイオードPD1のカソードに、電流電圧変換部の一例としての直列接続されたダイオード $D_1, D_2, \dots, D_n$ のカソード側の端を接続している。このダイオード $D_1, D_2, \dots, D_n$ は、フォトダイオード側に順方向が向くように直列に接続された n 個のPN接合部を有する半導体素子群である。

50

【0047】

次に、フォトダイオードPD1のカソードに、エミッタ接地型の出力トランジスタの一例としてのNPNトランジスタ Q_{OUT1} のベースを接続し、NPNトランジスタ Q_{OUT1} のエミッタをグランドGNDに接続している。そして、NPNトランジスタ Q_{OUT1} のコレクタを電流源I1の一端に接続し、電流源I1の他端に一定電圧Vrefを印加している。また、電流源I1の一端に、直列接続されたダイオード $D_1, D_2, \dots, D_n$ のアノード側の端を接続している。

【0048】

また、NPNトランジスタ Q_{OUT1} のベースとコレクタとの間にコンデンサC1を接続している。

10

【0049】

この光センサは、 n 個のダイオード $D_1, D_2, \dots, D_n$ が直列接続されたダイオード群DG1のアノード側の端から光電変換信号 V_{OUT1} を出力する。

【0050】

上記フォトダイオードPD1と、ダイオード群DG1($D_1, D_2, \dots, D_n$)と、電流源I1と、NPNトランジスタ Q_{OUT1} と、コンデンサC1で光電変換回路A1を構成している。

【0051】

上記構成の光センサによれば、フォトダイオードPD1と n 段のダイオード $D_1, D_2, \dots, D_n$ で電圧出力(光電変換信号 V_{OUT1})を得る。これにより、従来の n 倍の電圧を得ることができる。

20

【0052】

図1に示すように、定電圧回路($R_1, Q_1, Q_2, Q_3, \dots, Q_{n+2}, Q_R$)において、 $n+2$ 段以上のダイオード($Q_1, Q_2, Q_3, \dots, Q_{n+2}$)と抵抗 R_1 に電源電圧 V_{CC} を与え、 $n+2$ 段のダイオード($Q_1, Q_2, Q_3, \dots, Q_{n+2}$)と抵抗 R_1 との間と、NPNトランジスタ Q_R のベースとを接続することで、 $n+1$ 段のダイオード($Q_1, Q_2, Q_3, \dots, Q_{n+2}$)の順方向電圧分に相当する一定電圧Vrefが得られる。

【0053】

上記構成の光センサにおいて、フォトダイオードPD1に入射光がない場合は、電流源I1からダイオード群DG1($D_1, D_2, \dots, D_n$)を介してNPNトランジスタ Q_{OUT1} にベース電流が流れる。よって、光電変換信号 V_{OUT1} の電圧は、NPNトランジスタ Q_{OUT1} のベース・エミッタ間電圧に、上記ベース電流がバイアスされた上記ダイオード群DG1($D_1, D_2, \dots, D_n$)の順方向電圧が足された電圧となる。一方、フォトダイオードPD1への入射光がある場合は、上記ダイオード群DG1($D_1, D_2, \dots, D_n$)にフォトダイオードPD1の光電流 I_{PD1} が流れることにより、上記順方向電圧が増加し、光電変換信号 V_{OUT1} の電圧レベルは入射光が無い場合に対して大きくなる。

30

【0054】

上記構成の光センサによれば、ダイオード群DG1($D_1, D_2, \dots, D_n$)でPN接合部を直列に2段以上積むと、光電変換信号の電圧レベルは、PN接合部(ダイオード $D_1, D_2, \dots, D_n$)の段数により整数倍に増える。したがって、出力される光電変換信号の電圧低下を招くことなく、十分なゲインを確保できる。

40

【0055】

通常、上記定電圧回路($R_1, Q_1, Q_2, Q_3, \dots, Q_{n+2}, Q_R$)が形成された半導体基板内に、フォトダイオードPD1に n 段のPN接合部を接続して電流電圧変換を実施する構成を実現できる。このように、上記定電圧回路と光電変換回路A1とを同一半導体基板に形成することにより、電流電圧変換部に大きな抵抗を用いた場合よりもチップ面積を小さくでき、小型で低コストな光センサを実現できる。

【0056】

ここで、図4に示すようにダイオードの順方向電圧は電流値により変動するため、定電圧回路側のダイオード(NPNトランジスタ $Q_1, Q_2, Q_3, \dots, Q_{n+2}$)には、 0.1 m

50

A～1 mA程度の電流を流すことで、1段あたり0.8 Vの電圧を得ることができる。

【0057】

逆に、フォトダイオードPD1の光電流 I_{PD1} は、1 nA～10 nA程度となるようにフォトダイオードサイズを調整することで、光電変換回路A1側のダイオード($D_1, D_2, \dots, D_n$)では1段あたり0.5 Vの電圧を得ることができる。このように、1段あたり、 $0.8 \text{ V} - 0.5 \text{ V} = 0.3 \text{ V}$ 程度の電圧差をつけることができる。例えば図2に示すように、定電圧 V_{ref} が3 V_{BE}で、光電変換信号 V_{OUT1} も3 V_{BE}となっても、トランジスタ Q_{A1}, Q_{A2} のV_{BE}2段分の上記電圧差、 $0.3 \text{ V} \times 2 = 0.6 \text{ V}$ の電圧尤度が生じ、後段への電圧出力が可能となる。

【0058】

図3は比較例の光センサの回路図を示しており、この比較例の光センサでは、常温にて電流電圧変換部がトランジスタ1段で0.5 Vの場合、高温では0.3 V程度と大幅に電圧が下がり、十分な出力電圧が得られないが、図1，図2に示すように、電流電圧変換部のPN接合部を複数段にすることで倍以上の出力電圧が得られる。

【0059】

〔第2実施形態〕

図5はこの発明の第2実施形態の光センサの回路図を示している。この第2実施形態の光センサは、ダーリントントランジスタを除いて第1実施形態の光センサと同一の構成をしており、同一構成部には同一参照番号を付している。

【0060】

この第2実施形態の光センサは、図5に示すように、定電圧回路の出力段のNPNトランジスタ Q_R のエミッタをダーリントントランジスタDT1のコレクタに接続し、ダーリントントランジスタDT1のエミッタをフォトダイオードPD1のカソードを接続している。そして、ダーリントントランジスタDT1のベースをNPNトランジスタ Q_{OUT1} のコレクタに接続している。

【0061】

上記ダーリントントランジスタDT1は、NPNトランジスタ Q_{OUT1} のコレクタにベースが接続された初段のNPNトランジスタ Q_{11} と、NPNトランジスタ Q_{11} のエミッタにベースが接続され、NPNトランジスタ Q_{11} のコレクタにコレクタが接続された出力段のNPNトランジスタ Q_{12} とを有する。

【0062】

上記フォトダイオードPD1と、ダーリントントランジスタDT1と、電流源I1と、NPNトランジスタ Q_{OUT1} と、コンデンサC1で光電変換回路A2を構成している。

【0063】

上記第2実施形態の光センサは、第1実施形態の光センサと同様の効果を有する。

【0064】

また、上記構成の光センサによれば、電流電圧変換部をダーリントントランジスタDT1とし、ダーリントントランジスタDT1のベースが出力となる回路構成にすることによって、初段のNPNトランジスタ Q_{11} と出力段のNPNトランジスタ Q_{12} のそれぞれの熱電圧を V_T とし、ベース・エミッタ間電圧を V_{BE} とし、電流増幅率を h_{fe} とするとき、出力される光電変換信号の電圧は、

$$2 V_{BE} - V_T \times \ln(h_{fe})$$

となる。したがって、光電変換信号の電圧を数十mV～数百mV下げることができるため、電圧調整が可能となる。

【0065】

〔第3実施形態〕

図6はこの発明の第3実施形態の光センサの回路図を示している。この第3実施形態の光センサは、ダーリントントランジスタDT1に供給する電流源回路への接続点を除いて第2実施形態の光センサと同一の構成をしており、同一構成部には同一参照番号を付している。

10

20

30

40

50

【0066】

この第3実施形態の光センサは、図6に示すように、上記電流源I1の一端とNPNトランジスタ Q_{OUT1} のコレクタの接続点にダーリントトランジスタDT1のコレクタを接続している。

【0067】

上記フォトダイオードPD1と、ダーリントトランジスタDT1と、電流源I1と、NPNトランジスタ Q_{OUT1} と、コンデンサC1で光電変換回路A10を構成している。

【0068】

上記第3実施形態の光センサは、第2実施形態の光センサと同様の効果を有する。

10

【0069】

また、上記構成の光センサによれば、電源電圧Vccの立ち上がり時に、正常動作するまでにかかる時間である起動時間を短縮させることができる。これについて以下に説明する。

【0070】

上記第2実施形態では、電源電圧Vccの立ち上がりとともに電源部(R1, Q_1 , Q_2 , Q_3 , ..., Q_{n+2} , Q_R)からの電圧Vrefも立ち上がる。このとき、NPNトランジスタQ12の寄生容量(コレクターエミッタ間容量)とNPNトランジスタ Q_{OUT1} のベースとグランドとの間の寄生容量により、電源電圧Vccが立ち上がった瞬間、NPNトランジスタ Q_{OUT1} のベースの電位が瞬間的に持ち上がる。このNPNトランジスタ Q_{OUT1} のベース電位の瞬間的な持ち上がりは、NPNトランジスタQ11のベース電位の低下を招くとともに、NPNトランジスタQ12のベース電位の低下を招く。上記ベース電位の低下を通常電位状態に回復させるバイアス電流は、NPNトランジスタQ11とQ12に流しているバイアス電流であるが、このバイアス電流が微小な場合、上記ベース電位の回復に時間を要する。以上の理由により、起動時間(電源電圧Vccの立ち上がり時に正常動作するまでにかかる時間)が長くなる可能性がある。

20

【0071】

そこで、上記起動時間の増加の問題を解決する手段として、図6のように、ダーリントトランジスタDT1のコレクタを、電流源I1の一端とNPNトランジスタ Q_{OUT1} のコレクタの接続点に接続する。これにより、ダーリントトランジスタDT1のコレクタ電位が直接的に上記電圧Vrefの電位の立ち上がりに連動されることがなくなる。よって、上記NPNトランジスタ Q_{OUT1} のベース電位の瞬間的な持ち上がりが減少し、NPNトランジスタQ11のベース電位の低下が抑制されると共に、NPNトランジスタQ12のベース電位の低下が抑制され、起動時間(電源電圧Vccの立ち上がり時に正常動作するまでにかかる時間)を早くすることができる。

30

【0072】

また、上記第3実施形態の例では、ダーリントトランジスタDT1のコレクタであるNPNトランジスタQ11とQ12のコレクタを、電流源I1の一端とNPNトランジスタ Q_{OUT1} のコレクタの接続点に接続したが、NPNトランジスタQ11のコレクタを定電圧回路の出力段のNPNトランジスタ Q_R のエミッタに接続し、NPNトランジスタQ12のコレクタのみ電流源I1の一端とNPNトランジスタ Q_{OUT1} のコレクタの接続点に接続しても上記同様の効果が得られる。

40

【0073】

〔第4実施形態〕

図7はこの発明の第4実施形態の光センサの回路図を示している。この第4実施形態の光センサは、ダーリントトランジスタDT1に供給する電流源回路を除いて第3実施形態の光センサと同一の構成をしており、同一構成部には同一参照番号を付している。

【0074】

この第4実施形態の光センサは、図7に示すように、ダーリントトランジスタDT1のコレクタに、ダーリントトランジスタDT1用に設けられた専用の電流源回路E1が

50

接続される。

【0075】

上記電流源回路E1は、エミッタが接地され、ベースとコレクタが接続されたNPNトランジスタ Q_{03} と、NPNトランジスタ Q_{03} のコレクタにエミッタが接続されたダーリントントランジスタDT0と、ダーリントントランジスタDT0のコレクタに一端が接続され、他端に一定電圧Vrefを印加された電流源I0とを有する。ダーリントントランジスタDT0は、電流源I0の一端にコレクタとベースが接続された初段のNPNトランジスタ Q_{01} と、NPNトランジスタ Q_{01} のエミッタにベースが接続され、NPNトランジスタ Q_{01} のコレクタにコレクタが接続された出力段のNPNトランジスタ Q_{02} とを有する。

10

【0076】

上記第4実施形態の光センサは、第3実施形態の光センサと同様の効果を有する。

【0077】

また、第3実施形態では、ダーリントントランジスタDT1に流す電流を電流源I1から供給しており、電流源I1はエミッタ接地型のNPNトランジスタ Q_{OUT1} のバイアス電流も供給している。よって、入力光を受けたフォトダイオードPD1に光電流 I_{PD1} が流れ、ダーリントントランジスタDT1に電流が流れると、NPNトランジスタ Q_{OUT1} のバイアス電流が、ダーリントントランジスタDT1に流れる電流分だけ減少することになる。これは、光電変換回路A10のAC特性の悪化を起し、フォトダイオードPD1の光電流 I_{PD1} が大きくなり、NPNトランジスタ Q_{OUT1} のバイアス電流が枯れないようにするには、電流源I1の電流を大きくしておく必要がある。

20

【0078】

そこで、上記問題を解決する手段として、図7に示すように、ダーリントントランジスタDT1に流す電流は、専用の電流源回路E1から供給されるようにする。図7の一例では、一定電圧VrefとグランドGNDとの間に電流源I0とNPNトランジスタ Q_{01} 、 Q_{02} で構成されたダーリントントランジスタDT2およびダイオード接続したNPNトランジスタ Q_{03} を直列に接続していて、電流源I0とダーリントントランジスタDT0との接続点から、ダーリントントランジスタDT1に電流を供給する構成としている。上記NPNトランジスタ Q_{01} 、 Q_{02} 、 Q_{03} で構成される回路部は、電流源I0およびダーリントントランジスタDT1が飽和状態にならないように調整されている。

30

【0079】

〔第5実施形態〕

図8はこの発明の第5実施形態の光センサの回路図を示している。この第5実施形態の光センサは、発光素子と受光素子との間にスリットを有する移動体を設けて、移動体のスリット動作を読み取る光学式エンコーダ用の受光回路に用いられる。

【0080】

上記第5実施形態の光センサは、第1実施形態の図1に示す定電圧回路(抵抗R1とNPNトランジスタ Q_1 、 Q_2 、 Q_3 、 $\dots$ 、 Q_{n+2} とNPNトランジスタ Q_R)および図1に示す第1の光電変換回路A1と、比較器CMP1と、光電変換回路A1と同じ構成の第2の光電変換回路B1を備えている。

40

【0081】

上記第2の光電変換回路B1は、フォトダイオードPD2と、ダイオード群DG2と、NPNトランジスタ Q_{OUT2} と、電流源I2と、コンデンサC2とを有する。また、比較器CMP1は、抵抗R11、R12と、MOSトランジスタM1、M2とMOS素子からなる電流源I3で構成されている。

【0082】

上記構成の光センサによれば、図8に示すように、第1、第2の光電変換回路A1、B1で電流電圧変換された電圧出力(光電変換信号)を比較器CMP1に入力することで、電圧増幅やA/D変換が可能となる。

【0083】

50

また、上記 2 組の光電変換回路 A 1, B 1 からの光電変換信号を、MOS 素子で構成される比較器 CMP 1 にそれぞれ入力することで、比較器 CMP 1 の入力部と定電流部の MOS 素子により高温でも比較器 CMP 1 の出力電圧を確保できる。

【0084】

図 8 の光電変換回路 A 1, B 1 のダイオード群 DG 1, DG 2 を $n = 2$ 段として光電変換を実施する場合、例として図 5 で示した 2 段構成のダーリントントランジスタの場合を例にとると、図 9 に示すように、一方の光電変換回路のダーリントントランジスタの初段トランジスタ Q_{11} , 出力段トランジスタ Q_{12} と、他方の光電変換回路のダーリントントランジスタの初段トランジスタ Q_{21} , 出力段トランジスタ Q_{22} を半導体基板に交互にクロス状に配置する。

10

【0085】

ここで、ダーリントントランジスタの初段トランジスタと出力段トランジスタは、上記最外周の n 型拡散領域がコレクタ、その内側の p 型拡散領域がベース、最内側の n 型拡散領域をエミッタとし、ベースとエミッタが接続されたトランジスタ(ダイオード)を構成する。

【0086】

このように、2 組の光電変換回路の各ダーリントントランジスタを構成する初段トランジスタと出力段トランジスタを半導体基板に交互にクロス状に配置することで、 n 型拡散領域や p 型拡散領域への不純物を拡散等で注入するときのばらつきや、ウエハ上にパターンニングするときのばらつきを抑制できる。

20

【0087】

なお、クロス状配置の説明として、2 段構成のダーリントントランジスタを例にとったが、直列に接続された 2 個のダイオードであってもよいし、ダイオード接続されたトランジスタを 2 個直列に接続したものでもよい。

【0088】

〔第 6 実施形態〕

図 10 はこの発明の第 6 実施形態の光センサの回路図を示している。この第 6 実施形態の光センサは、第 1 実施形態の図 1 に示す定電圧回路(抵抗 R_1 と NPN トランジスタ $Q_1, Q_2, Q_3, \dots, Q_{n+2}$ と NPN トランジスタ Q_R)および光電変換回路 A 3 と、比較器 CMP 2 と、光電変換回路 A 3 と同じ構成の光電変換回路 B 3 を備えている。上記比較器 CMP 2 の一方の入力端子に光電変換回路 A 3 からの光電変換信号 V_{OUT1} が入力され、比較器 CMP 2 の他方の入力端子に光電変換回路 B 3 からの光電変換信号 V_{OUT2} が入力される。

30

【0089】

この光電変換回路 A 3 は、NPN トランジスタ Q_{OUT11}, Q_{OUT12} を除いて第 2 実施形態の光電変換回路 A 2 と同一の構成をしており、同一構成部には同一参照番号を付している。

【0090】

この光電変換回路 A 3 では、ダーリントントランジスタ DT 1 のベースに、出力トランジスタの一例としての MOS トランジスタ Q_{OUT11} のドレインを接続し、MOS トランジスタ Q_{OUT11} のソースをグランドに接続している。また、MOS トランジスタ Q_{OUT11} のゲートをフォトダイオード PD 1 のカソードに接続している。さらに、フォトダイオード PD 1 のカソードに、カレントミラー用トランジスタの一例としての MOS トランジスタ Q_{OUT12} のドレインを接続し、その MOS トランジスタ Q_{OUT12} のゲートを MOS トランジスタ Q_{OUT11} のゲートに接続している。その MOS トランジスタ Q_{OUT12} のソースをグランドに接続している。

40

【0091】

上記ダーリントントランジスタ DT 1 と NPN トランジスタ Q_{OUT11}, Q_{OUT12} でウィルソン型カレントミラー回路を構成している。また、上記ダーリントントランジスタ DT 2 と NPN トランジスタ Q_{OUT21}, Q_{OUT22} でウィルソン型カレントミ

50

ラー回路を構成している。

【0092】

また、比較器CMP2は、MOSトランジスタで構成されたカレントミラー回路を電流源負荷として用いた一般的な比較器であり、説明は省略する。

【0093】

図10に示すように、ウィルソン型カレントミラー回路におけるベース電流補償用のダイオード部にフォトダイオードPD1, PD2を用いることで、例えば電流源I1を1 μ Aとして、ミラー比を1000:1にしてMOSトランジスタQOUT12に流れる電流を1 nAとすれば、光電変換のゲイン調整が可能となる。

【0094】

なお、光電変換回路A3, B3のMOSトランジスタによるウィルソン型カレントミラー回路の構成において、ミラー比はゲートの寸法比で決まる。

【0095】

上記光電変換回路A3, B3を高感度にするために、光無入力時のフォトダイオード電流をnAオーダーにする必要があり、それぞれのカレントミラー電流にばらつきが生じることでばらつきが大きくなる。

【0096】

このため、図11に示すように、光電変換回路A3のMOSトランジスタQOUT12のゲートを、MOSトランジスタQOUT11のゲートに接続せずに光電変換回路B3のMOSトランジスタQOUT22のゲートに接続する。このように、光電変換回路A3, B3において、ウィルソン型カレントミラー回路の基準となるゲート電位を共通にすることによって、光電変換回路A3, B3の特性ばらつきを抑制できる。

【0097】

光学式エンコーダのような隣り合う光の大小を比較するのではなく、物体の検知に用いるフォトダイオードインタラプタやフォトカプラ、照度センサ等のように1つのフォトダイオードを用いるセンサでは、片側をダミーフォトダイオードやダミー容量で構成するため、図12に示すように基準となるダミー側で基準電流を作ることによって、光量依存の影響をまったく受けることが無くなる。ここで、図12におけるダミー側は、ダミーフォトダイオード、すなわち、遮蔽部Sにより入力光が遮蔽されたフォトダイオードPD2ではなく、同等サイズとなるダミー容量CDでもよい(図13参照)。

【0098】

このように、本発明における複数段のダイオード導入により入力電圧レベルを調整したコンパレータ出力におけるヒステリシス特性のばらつき改善のシミュレーション結果(105℃)を図14, 図15に示す。図14は図16に示す比較例の光センサのシミュレーション結果であり、また、図15は図11に示す光センサのシミュレーション結果である。図16に示す比較例の光センサは、光電変換回路A4, B4において、ダーリントントランジスタDT1, DT2(図11に示す)の代わりにNPNトランジスタQA1, QA2が用いられている点異なる。

【0099】

図14, 図15において、横軸は、ヒステリシス比率[(非検知→検知)/(検知→非検知)]を表し、縦軸は個数を表している。この図14, 図15はヒステリシス比率のMOSばらつき分布を示している。なお、図14, 図15では、比較しやすくするため、ヒステリシス比率550E-3~950E-3の範囲を2つの縦線(実線)で示している(「E-3」は 10×10^{-3})。

【0100】

ここで、図14に示す比較例の光センサのシミュレーション結果では、「標準偏差 σ /平均」で表される変動係数が12.36%であるのに対して、図15に示す本発明の光センサでは、変動係数が4.16%となった。

【0101】

図14に示す比較例の光センサにおいて、MOSトランジスタは、ドレイン・ソース間

10

20

30

40

50

電圧 V_{DS} が小さくなると、ヒステリシス特性のばらつきが非常に大きくなり、特性が取れなかったのに対して、図 15 から明らかなように、本発明の光センサでは、定電流部を構成している MOS トランジスタを飽和特性領域で動作できることで十分なドレイン・ソース間電圧 V_{DS} が確保でき、変動係数が約 $1/3$ となり、ヒステリシス特性のばらつきが大幅に改善されることが分かる。

【0102】

本発明の光センサを用いた電子機器として、例えば、物体検出や物体動作速度を検出する装置として、高感度で小型化が必要とされるフォトインタラプタを用いている複写機、プリンタ、携帯機器、モーターを用いた電気製品等に用いると好適である。

【0103】

また、煙センサ、近接センサ、測距センサ等で高感度が必要なもの、もしくは光センサを組み込むのに十分な容積を確保できないような小型の電子機器に用いても好適である。

【0104】

上記第 1 ～ 第 6 実施形態では、電流電圧変換部として、直列接続されたダイオード $D_1, D_2, \dots, D_n$ 、NPN トランジスタ $Q_{11}, Q_{12}, Q_{11}, Q_{12}$ 、ダーリントントランジスタ $DT1, DT2$ を備えた光センサについて説明したが、電流電圧変換部はこれに限らず、フォトダイオード側に順方向が向くように直列に接続された n 個 (n は 2 以上の整数) の PN 接合部を有する半導体素子群を含むものであればよい。

【0105】

この発明の具体的な実施の形態について説明したが、この発明は上記第 1 ～ 第 6 実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

【符号の説明】

【0106】

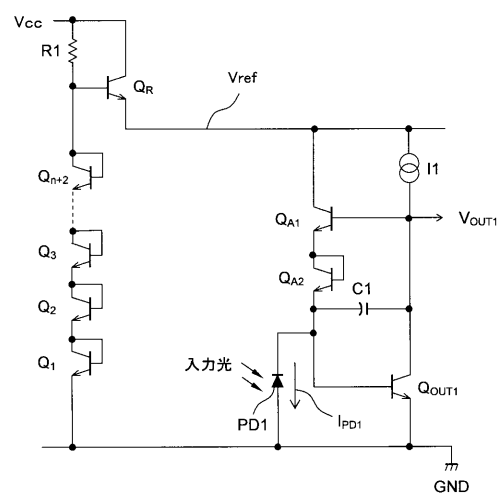
$PD1, PD2 \dots$ フォトダイオード
 $Q_1 \sim Q_{n+2} \dots$ NPN トランジスタ
 $Q_R \dots$ NPN トランジスタ
 $R1 \dots$ 抵抗
 $D_1, D_2, \dots, D_n \dots$ ダイオード
 $Q_{OUT1}, Q_{OUT2} \dots$ NPN トランジスタ
 $I1, I2, I3 \dots$ 電流源
 $C1 \dots$ コンデンサ
 $Q_{A1}, Q_{A2} \dots$ NPN トランジスタ
 $DG1, DG2 \dots$ ダイオード群
 $CMP1, CMP2 \dots$ 比較器
 $M1, M2 \dots$ MOS トランジスタ
 $DT0, DT1, DT2 \dots$ ダーリントントランジスタ
 $Q_{11}, Q_{12}, Q_{21}, Q_{22} \dots$ NPN トランジスタ
 $A1, A2, A3, A10, B1, B2, B3 \dots$ 光電変換回路
 $E1 \dots$ 電流源回路

10

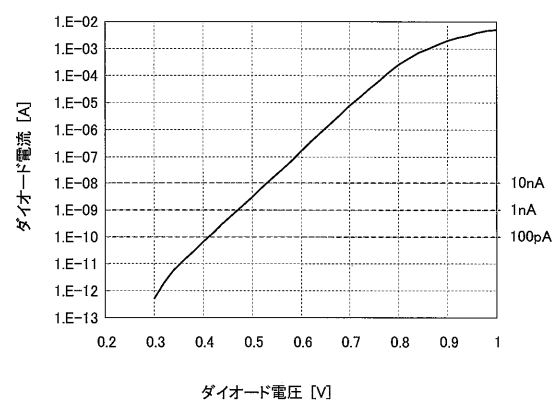
20

30

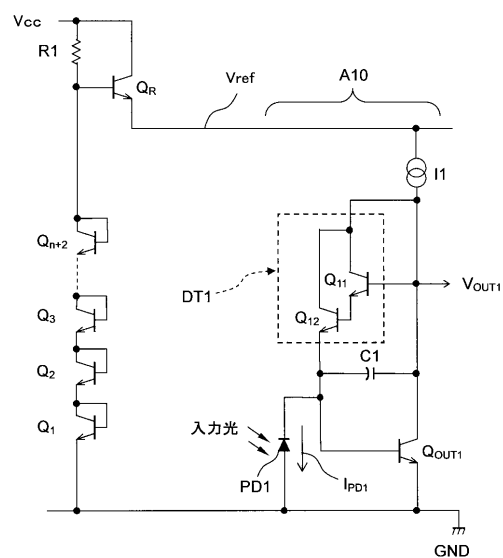
【図 2】



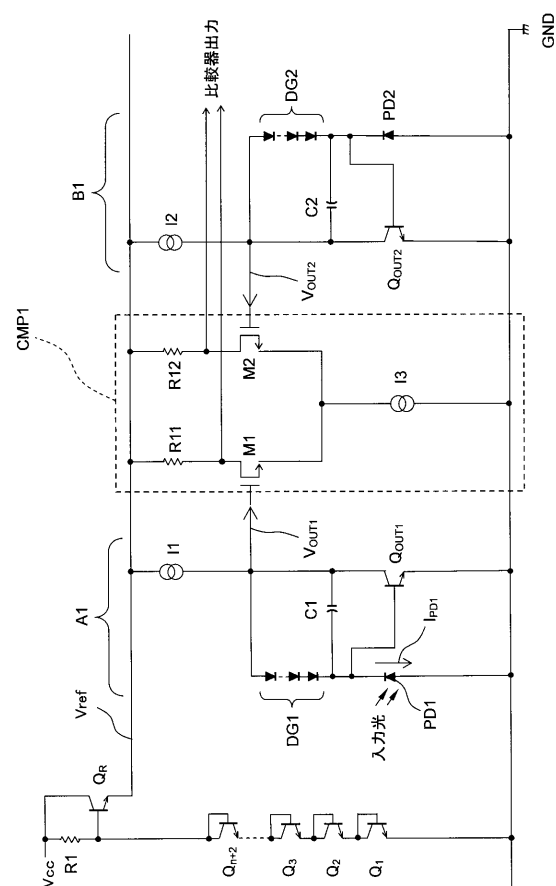
【图 4】



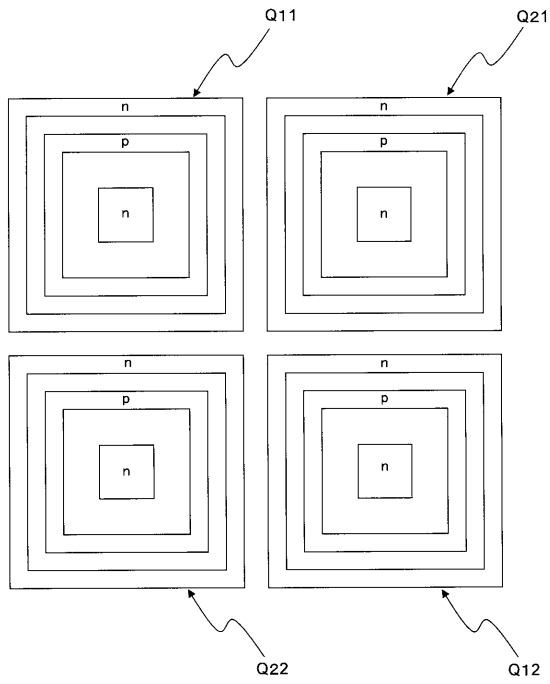
【図 6】



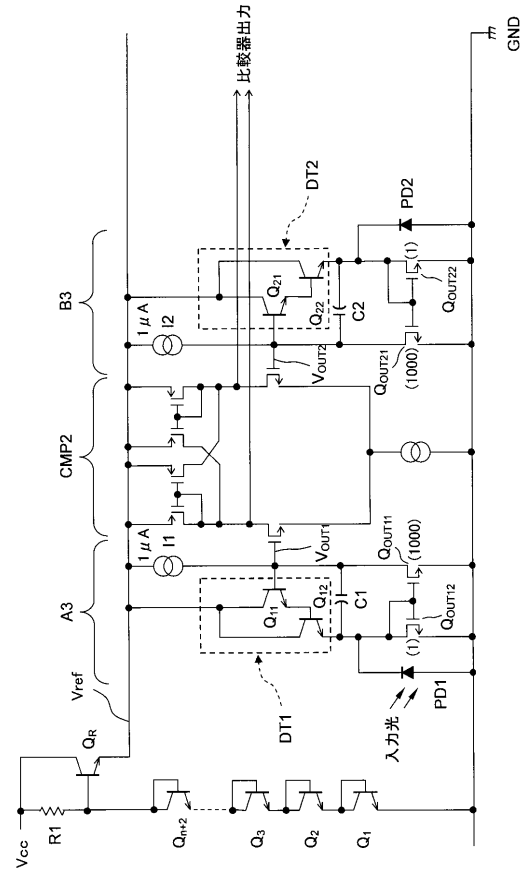
【图 8】



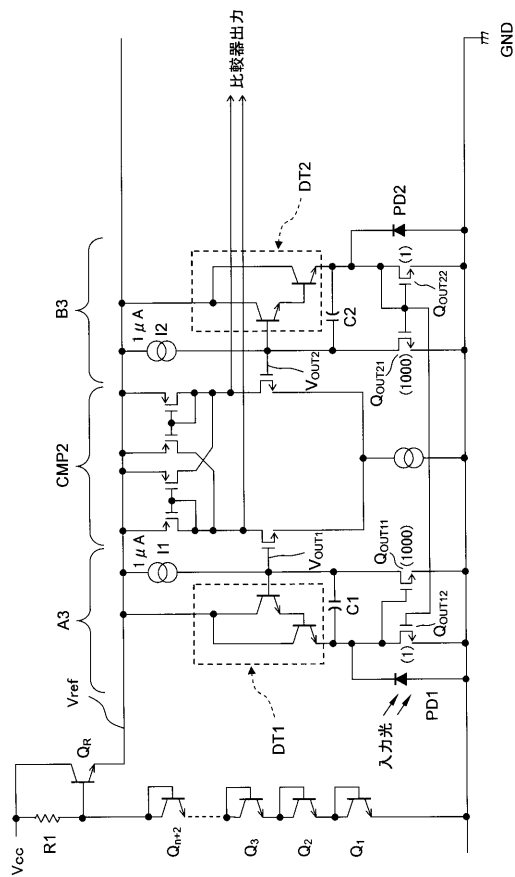
【図 9】



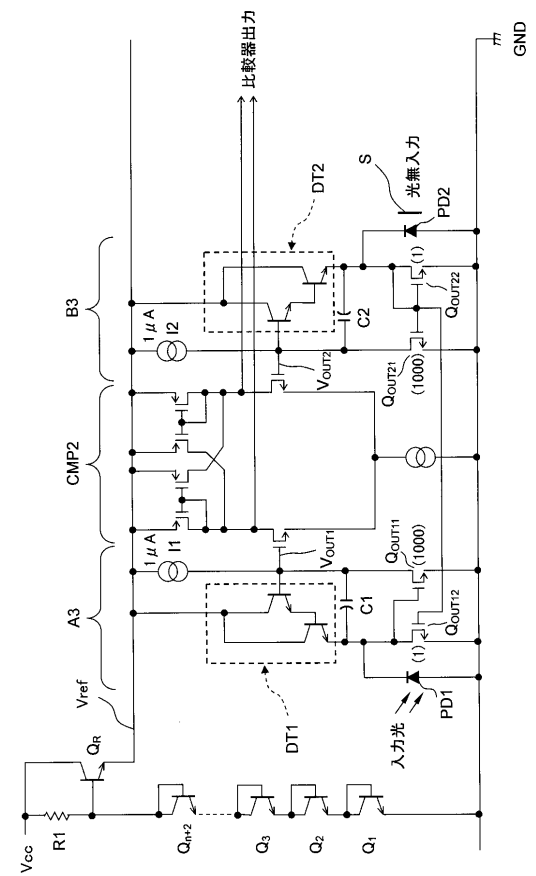
【図 10】



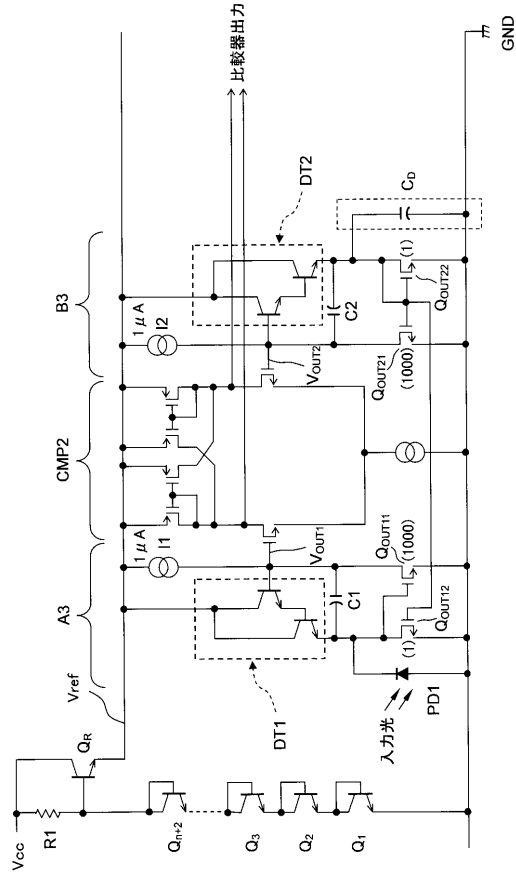
【図 11】



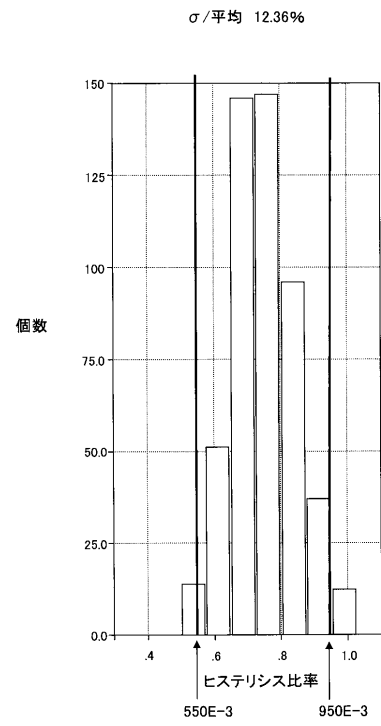
【図 12】



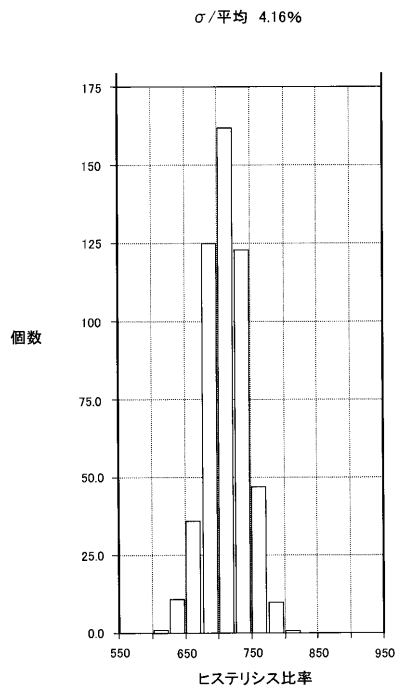
【図 13】



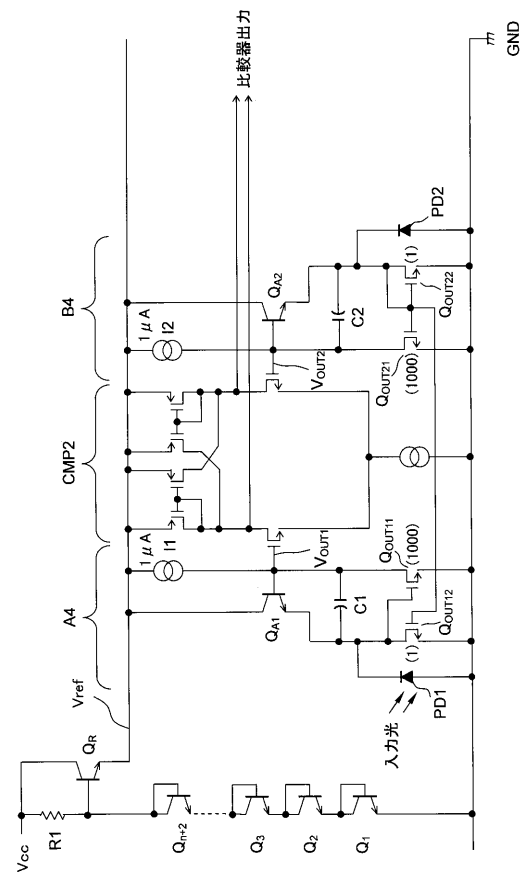
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 白坂 康之

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

Fターム(参考) 5F049 MA02 MB03 NA01 NB10 RA02 UA05

5F089 BA05 BC02 CA17 FA05

5J500 AA01 AA56 AC02 AC92 AF07 AF17 AH02 AH19 AH44 AK02

AK05 AK09 AK17 AM13 AS01 AT01 LU02