

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3925253号
(P3925253)

(45) 発行日 平成19年6月6日(2007.6.6)

(24) 登録日 平成19年3月9日(2007.3.9)

(51) Int. Cl.

F I

H O 1 L 29/80 (2006.01)

H O 1 L 29/80

C

H O 1 L 21/337 (2006.01)

請求項の数 76 (全 72 頁)

(21) 出願番号	特願2002-71944 (P2002-71944)	(73) 特許権者	000002130
(22) 出願日	平成14年3月15日(2002.3.15)		住友電気工業株式会社
(65) 公開番号	特開2003-273126 (P2003-273126A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成15年9月26日(2003.9.26)	(74) 代理人	100064746
審査請求日	平成14年10月21日(2002.10.21)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100091409
			弁理士 伊藤 英彦
		(74) 代理人	100099922
			弁理士 甲田 一幸

最終頁に続く

(54) 【発明の名称】 横型接合型電界効果トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に位置する第1導電型不純物を含む第1半導体層と、
 前記第1半導体層の上に位置し、前記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、
 前記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、
 前記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、
 前記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、
 前記第5半導体層中において所定の間隔を隔てて、下面が前記第2半導体層にまで延在するように設けられ、前記第2半導体層および前記第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、
 前記第3半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第2半導体層にまで延在するように設けられ、前記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、
 前記第5半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第4半導体層にまで延在するように設けられ、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層と、
 を備える横型接合型電界効果トランジスタ。

【請求項2】

前記第2半導体層と、前記第3半導体層と、前記第4半導体層と、前記第5半導体層との

10

20

不純物濃度と膜厚さとがほぼ同じである、請求項 1 に記載の横型接合型電界効果トランジスタ。

【請求項 3】

前記第 1 半導体層の最上部と前記第 1 ゲート電極層の最下部との間の間隔が、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、

前記第 3 半導体層の最上部と前記第 2 ゲート電極層の最下部との間の間隔が、前記第 4 半導体層と前記第 2 ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項 1 または 2 に記載の横型接合型電界効果トランジスタ。

【請求項 4】

前記第 3 半導体層と前記第 4 半導体層との間に、前記第 2 半導体層と前記第 3 半導体層と前記第 1 ゲート電極層とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える、請求項 1 から 3 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 5】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、

前記第 1 半導体層の上に位置し、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層と、

前記第 2 半導体層の上に位置し、第 1 導電型不純物を含む第 3 半導体層と、

前記第 3 半導体層の上に位置し、第 2 導電型不純物を含む第 4 半導体層と、

前記第 4 半導体層の上に位置し、第 1 導電型不純物を含む第 5 半導体層と、

前記第 5 半導体層中において所定の間隔を隔てて、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、

前記第 3 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、

前記第 5 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 4 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 2 ゲート電極層と、

前記第 1 半導体層と前記第 1 ゲート電極層とに挟まれた前記第 2 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 1 不純物注入領域と、

前記第 3 半導体層と前記第 2 ゲート電極層とに挟まれた前記第 4 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 2 不純物注入領域と、

を備える横型接合型電界効果トランジスタ。

【請求項 6】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層と、前記第 5 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 5 に記載の横型接合型電界効果トランジスタ。

【請求項 7】

前記第 1 半導体層の最上部と前記第 1 不純物注入領域の最下部との間の間隔が、前記第 2 半導体層と前記第 1 不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、

前記第 1 不純物注入領域の最上部と前記第 1 ゲート電極層の最下部との間の間隔が、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

前記第 3 半導体層の最上部と前記第 2 不純物注入領域の最下部との間の間隔が、前記第 4 半導体層と前記第 2 不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、

10

20

30

40

50

前記第 2 不純物注入領域の最上部と前記第 2 ゲート電極層の最下部との間の間隔が、前記第 4 半導体層と前記第 2 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 5 または 6 に記載の横型接合型電界効果トランジスタ。

【請求項 8】

前記第 2 半導体層には、前記第 1 不純物注入領域が複数層設けられ、前記第 4 半導体層には、前記第 2 不純物注入領域が複数層設けられる、請求項 5 から 7 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 9】

前記第 3 半導体層と前記第 4 半導体層との間に、前記第 2 半導体層と前記第 3 半導体層と前記第 1 ゲート電極層と前記第 1 不純物注入領域とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える、請求項 5 から 8 のいずれかに記載の横型接合型電界効果トランジスタ。

10

【請求項 10】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層と、
前記第 2 半導体層の上に位置し、第 1 導電型不純物を含む第 3 半導体層と、
前記第 3 半導体層の上に位置し、第 2 導電型不純物を含む第 4 半導体層と、
前記第 4 半導体層の上に位置し、第 1 導電型不純物を含む第 5 半導体層と、
前記第 5 半導体層中において所定の間隔を隔てて、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 3 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 2 半導体層にまで延在し、上面が前記第 4 半導体層にまで延在するように設けられ、前記第 2 半導体層および前記第 4 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、前記第 5 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 4 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 2 ゲート電極層と、
を備える横型接合型電界効果トランジスタ。

20

30

【請求項 11】

前記第 2 半導体層と前記第 3 半導体層と前記第 4 半導体層と、前記第 5 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 10 に記載の横型接合型電界効果トランジスタ。

【請求項 12】

前記第 1 半導体層の最上部と前記第 1 ゲート電極層の最下部との間の間隔が、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、
前記第 1 ゲート電極層の最上部と前記第 2 ゲート電極層の最下部との間の間隔が、前記第 4 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 10 または 11 に記載の横型接合型電界効果トランジスタ。

40

【請求項 13】

前記第 4 半導体層と前記第 5 半導体層との間に、前記第 3 半導体層と前記第 4 半導体層と前記第 1 ゲート電極層とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える、請求項 10 から 12 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 14】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層と、

50

前記第 2 半導体層の上に位置し、第 1 導電型不純物を含む第 3 半導体層と、
前記第 3 半導体層の上に位置し、第 2 導電型不純物を含む第 4 半導体層と、
前記第 4 半導体層の上に位置し、第 1 導電型不純物を含む第 5 半導体層と、
前記第 5 半導体層中において所定の間隔を隔てて、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 3 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 2 半導体層にまで延在し、上面が前記第 4 半導体層にまで延在するように設けられ、前記第 2 半導体層および前記第 4 半導体層の不純物濃度よりも高い不純物濃度を含む第 1 ゲート電極層と、
前記第 5 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 4 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 2 ゲート電極層と、
前記第 1 半導体層と前記第 1 ゲート電極層とに挟まれた前記第 2 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 1 不純物注入領域と、
前記第 1 ゲート電極層と前記第 2 ゲート電極層とに挟まれた前記第 4 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 不純物注入領域と、
を備える、横型接合型電界効果トランジスタ。

10

20

【請求項 1 5】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層と、前記第 5 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 1 4 に記載の横型接合型電界効果トランジスタ。

【請求項 1 6】

前記第 1 半導体層の最上部と前記第 1 不純物注入領域の最下部との間の間隔が、前記第 2 半導体層と前記第 1 不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、

前記第 1 不純物注入領域の最上部と前記第 1 ゲート電極層の最下部との間隔が、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

30

前記第 1 ゲート電極層の最上部と前記第 2 不純物注入領域の最下部との間の間隔が、前記第 4 半導体層と前記第 2 不純物注入領域との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

前記第 2 不純物注入領域の最上部と前記第 2 ゲート電極層の最下部との間の間隔が、前記第 4 半導体層と前記第 2 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 1 4 または 1 5 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 1 7】

前記第 2 半導体層には、前記第 1 不純物注入領域が複数層設けられ、前記第 4 半導体層には、前記第 2 不純物注入領域が複数層設けられる、請求項 1 4 から 1 6 のいずれかに記載の横型接合型電界効果トランジスタ。

40

【請求項 1 8】

前記第 4 半導体層と前記第 5 半導体層との間に、前記第 3 半導体層と前記第 4 半導体層と前記第 1 ゲート電極層と前記第 2 不純物注入領域とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える、請求項 1 4 から 1 7 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 1 9】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導

50

電型不純物を含む第 2 半導体層と、
前記第 2 半導体層の上に位置し、第 1 導電型不純物を含む第 3 半導体層と、
前記第 3 半導体層の上に位置し、第 2 導電型不純物を含む第 4 半導体層と、
前記第 4 半導体層の上に位置し、第 1 導電型不純物を含む第 5 半導体層と、
前記第 5 半導体層中において所定の間隔を隔てて、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 5 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、
前記第 5 半導体層中の前記ソース/ドレイン領域層の間において、下面が前記第 2 半導体層にまで延在するように前記第 1 ゲート電極層に隣接して設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 2 ゲート電極層と、
を備える横型接合型電界効果トランジスタ。

10

【請求項 2 0】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層と、前記第 5 半導体層との不純物濃度と膜厚とがほぼ同じである、請求項 1 9 に記載の横型接合型電界効果トランジスタ。

【請求項 2 1】

20

前記第 1 ゲート電極層と前記第 2 ゲート電極層との間の間隔が、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および前記第 4 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 1 9 または 2 0 に記載の横型接合型電界効果トランジスタ。

【請求項 2 2】

前記第 1 ゲート電極層と前記第 2 ゲート電極層との間に、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の不純物注入領域を 1 つ備える、請求項 1 9 から 2 1 のいずれかに記載の横型接合型電界効果トランジスタ。

30

【請求項 2 3】

前記第 1 ゲート電極層と前記不純物注入領域との間の間隔および前記不純物注入領域と前記第 2 ゲート電極層との間隔が、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および前記第 4 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 2 2 に記載の横型接合型電界効果トランジスタ。

【請求項 2 4】

前記不純物注入領域が 2 以上設けられる、請求項 2 3 に記載の横型接合型電界効果トランジスタ。

【請求項 2 5】

40

前記第 1 ゲート電極層に最も近接する前記不純物注入領域と前記第 1 ゲート電極層との間の間隔、前記不純物注入領域同士の間隔、および前記第 2 ゲート電極層に最も近接する前記不純物注入領域と前記第 2 ゲート電極層との間の間隔が、いずれも、前記第 2 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および前記第 4 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 2 4 に記載の横型接合型電界効果トランジスタ。

【請求項 2 6】

前記第 4 半導体層と前記第 5 半導体層との間に、前記第 3 半導体層と前記第 4 半導体層とほぼ同じ構造を 1 つ以上有する、請求項 1 9 から 2 5 のいずれかに記載の横型接合型電界

50

効果トランジスタ。

【請求項 27】

半導体基板上に位置する第1導電型不純物を含む第1半導体層と、
前記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、
前記第1半導体層の上に、かつ、前記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、
前記第2半導体層および前記第3半導体層中において所定の間隔を隔てて設けられ、前記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、
前記第2半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第3半導体層にまで延在するように設けられ、前記第1半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、
を備える横型接合型電界効果トランジスタ。

10

【請求項 28】

前記第2半導体層と、前記第3半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項27に記載の横型接合型電界効果トランジスタ。

【請求項 29】

前記ゲート電極層と、前記第3半導体層の前記ゲート電極層と接しない面との間隔が、前記第3半導体層と前記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項27または28に記載の横型接合型電界効果トランジスタ。

20

【請求項 30】

半導体基板上に位置する第1導電型不純物を含む第1半導体層と、
前記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、
前記第1半導体層の上に、かつ、前記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、
前記第1半導体層の上に、かつ、前記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、
前記第1半導体層の上に、かつ、前記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、
前記第2半導体層、前記第3半導体層、前記第4半導体層および前記第5半導体層中において所定の間隔を隔てて設けられ、前記第3半導体層および前記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、
前記第2半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第3半導体層にまで延在するように設けられ、前記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、前記第4半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第5半導体層にまで延在するように設けられ、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層と、を備える横型接合型電界効果トランジスタ。

30

【請求項 31】

前記第2半導体層と、前記第3半導体層と、前記第4半導体層と、前記第5半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項30に記載の横型接合型電界効果トランジスタ。

40

【請求項 32】

前記第1ゲート電極層と、前記第3半導体層の前記第1ゲート電極層と接しない面との間隔が、前記第3半導体層と前記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、
前記第2ゲート電極層と前記第5半導体層の前記第2ゲート電極層と接しない面との間隔が、前記第5半導体層と前記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項30または31に記載の横型接合型電界効

50

果トランジスタ。

【請求項 3 3】

前記第 3 半導体層と前記第 4 半導体層との間に、前記第 4 半導体層と前記第 5 半導体層と前記第 2 ゲート電極層とほぼ同じ構造である単位トランジスタ構造を 1 つ以上備える、請求項 2 0 から 3 2 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 3 4】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、前記第 2 導電型不純物を含む第 3 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 3 半導体層に隣接して位置し、第 1 導電型不純物を含む第 4 半導体層と、
前記第 2 半導体層、前記第 3 半導体層および前記第 4 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含むゲート電極層と、
を備える横型接合型電界効果トランジスタ。

10

【請求項 3 5】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 3 4 に記載の横型接合型電界効果トランジスタ。

20

【請求項 3 6】

前記ゲート電極層と前記第 4 半導体層との間の間隔が、前記第 3 半導体層と前記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項 3 4 または 3 5 に記載の横型接合型電界効果トランジスタ。

【請求項 3 7】

前記第 3 半導体層と前記第 4 半導体層との間に前記第 2 半導体層と前記第 3 半導体層と前記ゲート電極層とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える、請求項 3 4 から 3 6 のいずれかに記載の横型接合型電界効果トランジスタ。

30

【請求項 3 8】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、第 2 導電型不純物を含む第 3 半導体層と、
前記第 2 半導体層および前記第 3 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含むゲート電極層と、
前記ゲート電極層と前記第 3 半導体層の前記ゲート電極層と接しない面とに挟まれた前記第 3 半導体層に、前記ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の不純物注入領域と、
を備える横型接合型電界効果トランジスタ。

40

【請求項 3 9】

前記第 2 半導体層と、前記第 3 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 3 8 に記載の横型接合型電界効果トランジスタ。

【請求項 4 0】

前記ゲート電極層と前記不純物注入領域との最も大きく接する面同士の間隔が、前記第 3

50

半導体層と前記ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記不純物注入領域と、前記第3半導体層の前記ゲート電極層と接しない面との間の間隔が、前記第3半導体層と前記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項38または39に記載の横型接合型電界効果トランジスタ。

【請求項41】

前記第3半導体層には、前記不純物注入領域が複数層設けられる、請求項38から40のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項42】

半導体基板上に位置する第1導電型不純物を含む第1半導体層と、
前記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、
前記第1半導体層の上に、かつ、前記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、

前記第1半導体層の上に、かつ、前記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、

前記第1半導体層の上に、かつ前記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、

前記第2半導体層、前記第3半導体層、前記第4半導体層および前記第5半導体層中において所定の間隔を隔てて設けられ、前記第3半導体層および前記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、

前記第2半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第3半導体層にまで延在するように設けられ、前記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、

前記第4半導体層中の前記ソース/ドレイン領域層の間においてその一方の側面が前記第5半導体層にまで延在するように設けられ、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層と、

前記第4半導体層と前記第1ゲート電極層とに挟まれた前記第3半導体層に、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第1不純物注入領域と、

前記第2ゲート電極層と、前記第5半導体層の前記第2ゲート電極層と接しない面とに挟まれた前記第5半導体層に、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域と、
を備える横型接合型電界効果トランジスタ。

【請求項43】

前記第2半導体層と、前記第3半導体層と、前記第4半導体層と、前記第5半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項42に記載の横型接合型電界効果トランジスタ。

【請求項44】

前記第1ゲート電極層と前記第1不純物注入領域との最も近接する面同士の間隔が、前記第3半導体層と前記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記第1不純物注入領域と、前記第3半導体層の前記第1ゲート電極層と接しない面との間の間隔が、前記第3半導体層と前記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、

前記第2ゲート電極層と前記第2不純物注入領域との最も近接する面同士の間隔が、前記第5半導体層と前記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記第2不純物注入領域と、前記第5半導体層の前記第2ゲート電極層と接しない面との間の間隔が、前記第5半導体層と前記第2ゲート電極層との接合における拡散電位で広がる

10

20

30

40

50

る空乏層の間隔よりも小さいことを特徴とする、請求項 4 2 または 4 3 に記載の横型接合型電界効果トランジスタ。

【請求項 4 5】

前記第 3 半導体層には、前記第 1 不純物注入領域が複数層設けられ、前記第 5 半導体層には、前記第 2 不純物注入領域が複数層設けられる、請求項 4 2 から 4 4 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 4 6】

前記第 3 半導体層と前記第 4 半導体層との間に、前記第 4 半導体層と前記第 5 半導体層と前記第 2 ゲート電極層と前記第 2 不純物注入領域とほぼ同じ構造である単位トランジスタ構造を 1 つ以上備える、請求項 4 2 から 4 5 のいずれかに記載の横型接合型電界効果トランジスタ。

10

【請求項 4 7】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、第 2 導電型不純物を含む第 3 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 3 半導体層に隣接して位置し、第 1 導電型不純物を含む第 4 半導体層と、
前記第 2 半導体層、前記第 3 半導体層および前記第 4 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含むゲート電極層と、
前記第 4 半導体層と前記ゲート電極層とに挟まれた前記第 3 半導体層に、前記ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の不純物注入領域と、
を備える横型接合型電界効果トランジスタ。

20

【請求項 4 8】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層の不純物濃度と膜厚さとがほぼ同じである、請求項 4 7 に記載の横型接合型電界効果トランジスタ。

30

【請求項 4 9】

前記ゲート電極層と前記不純物注入領域との間の間隔が、前記第 3 半導体層と前記ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、
前記不純物注入領域と前記第 4 半導体層との間の間隔が、前記第 3 半導体層と前記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項 4 7 または 4 8 に記載の横型接合型電界効果トランジスタ。

【請求項 5 0】

前記第 3 半導体層には、前記不純物注入領域が複数層設けられる、請求項 4 7 から 4 9 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 5 1】

40

前記第 3 半導体層と前記第 4 半導体層との間に、前記第 2 半導体層と前記第 3 半導体層と前記ゲート電極層と前記不純物注入領域とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える、請求項 4 7 から 5 0 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 5 2】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、第 2 導電型不純物を含む第 3 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 3 半導体層に隣接して位置し、第 1 導電型不純物

50

を含む第 4 半導体層と、
前記第 2 半導体層、前記第 3 半導体層および前記第 4 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、
前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、
前記第 4 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 ゲート電極層と、
を備える横型接合型電界効果トランジスタ。

10

【請求項 5 3】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 5 2 に記載の横型接合型電界効果トランジスタ。

【請求項 5 4】

前記第 1 ゲート電極層と、前記第 2 ゲート電極層の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 5 2 または 5 3 に記載の横型接合型電界効果トランジスタ。

【請求項 5 5】

20

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、第 2 導電型不純物を含む第 3 半導体層と、
前記第 1 半導体層の上に、かつ前記第 3 半導体層に隣接して位置し、第 1 導電型不純物を含む第 4 半導体層と、
前記第 1 半導体層の上に、かつ前記第 4 半導体層に隣接して位置し、第 2 導電型不純物を含む第 5 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 5 半導体層に隣接して位置し、第 1 導電型不純物を含む第 6 半導体層と、

30

前記第 2 半導体層、前記第 3 半導体層、前記第 4 半導体層、前記第 5 半導体層および前記第 6 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層および前記第 5 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、

前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、

前記第 4 半導体層中の前記ソース/ドレイン領域層の間においてその一方の側面が前記第 3 半導体層にまで延在し、他方の側面が前記第 5 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 ゲート電極層と、

40

前記第 6 半導体層の前記ソース/ドレイン領域層の間においてその一方の側面が前記第 5 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 3 ゲート電極層と、
を備える横型接合型電界効果トランジスタ。

【請求項 5 6】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層と、前記第 5 半導体層と、前記第 6 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 5 5 に記載の横型接合型電界効果トランジスタ。

【請求項 5 7】

50

前記第 1 ゲート電極層と、前記第 2 ゲート電極層の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

前記第 2 ゲート電極層と前記第 3 ゲート電極層の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 55 または 56 に記載の横型接合型電界効果トランジスタ。

【請求項 58】

前記第 5 半導体層と前記第 6 半導体層との間に、前記第 4 半導体層と前記 5 半導体層と前記第 2 ゲート電極層とほぼ同じ構造である単位トランジスタ構造を 1 つ以上備える、請求項 55 から 57 のいずれかに記載の横型接合型電界効果トランジスタ。

10

【請求項 59】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、第 2 導電型不純物を含む第 3 半導体層と、

前記第 1 半導体層の上に、かつ、前記第 3 半導体層に隣接して位置し、第 1 導電型不純物を含む第 4 半導体層と、

前記第 2 半導体層、前記第 3 半導体層および前記第 4 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、

20

前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、

前記第 4 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 2 ゲート電極層と、

前記第 1 ゲート電極層と前記第 2 ゲート電極層とに挟まれた前記第 3 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の不純物注入領域と、

30

を備える横型接合型電界効果トランジスタ。

【請求項 60】

前記第 2 半導体層と前記第 3 半導体層と前記第 4 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 59 に記載の横型接合型電界効果トランジスタ。

【請求項 61】

前記第 1 ゲート電極層と、前記不純物注入領域の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

前記不純物注入領域と、前記第 2 ゲート電極層の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 59 または 60 に記載の横型接合型電界効果トランジスタ。

40

【請求項 62】

前記第 3 半導体層には、前記不純物注入領域が複数層設けられる、請求項 59 から 61 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 63】

半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、
前記第 1 半導体層の上に位置し、第 1 導電型不純物を含む第 2 半導体層と、
前記第 1 半導体層の上に、かつ、前記第 2 半導体層に隣接して位置し、第 2 導電型不純物を含む第 3 半導体層と、

50

前記第 1 半導体層の上にかつ前記第 3 半導体層に隣接して位置し、第 1 導電型不純物を含む第 4 半導体層と、

前記第 1 半導体層の上に、かつ、前記第 4 半導体層に隣接して位置し、第 2 導電型不純物を含む第 5 半導体層と、

前記第 1 半導体層の上に、かつ、前記第 5 半導体層に隣接して位置し、第 1 導電型不純物を含む第 6 半導体層と、

前記第 2 半導体層、前記第 3 半導体層、前記第 4 半導体層、前記第 5 半導体層および前記第 6 半導体層中において所定の間隔を隔てて設けられ、前記第 3 半導体層および前記第 5 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、

10

前記第 2 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在するように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、

前記第 4 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 3 半導体層にまで延在し、他方の側面が前記第 5 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 ゲート電極層と、

前記第 6 半導体層中の前記ソース/ドレイン領域層の間において、その一方の側面が前記第 5 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 3 ゲート電極層と、

20

前記第 1 ゲート電極層と前記第 2 ゲート電極層とに挟まれた前記第 3 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 1 不純物注入領域と、

前記第 2 ゲート電極層と前記第 3 ゲート電極層とに挟まれた前記第 5 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 不純物注入領域と、

を備える横型接合型電界効果トランジスタ。

【請求項 6 4】

前記第 2 半導体層と、前記第 3 半導体層と、前記第 4 半導体層と、前記第 5 半導体層と、前記第 6 半導体層との不純物濃度と膜厚さとがほぼ同じである、請求項 6 3 に記載の横型接合型電界効果トランジスタ。

30

【請求項 6 5】

前記第 1 ゲート電極層と、前記第 1 不純物注入領域の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

前記第 1 不純物注入領域と、前記第 2 ゲート電極層の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

前記第 2 ゲート電極層と、前記第 2 不純物注入領域の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さく、

40

前記第 2 不純物注入領域と、前記第 3 ゲート電極層の最も近接する面同士の間隔が、前記第 3 半導体層と前記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さいことを特徴とする、請求項 6 3 または 6 4 に記載の横型接合型電界効果トランジスタ。

【請求項 6 6】

前記第 3 半導体層には、前記第 1 不純物注入領域が複数層設けられる、前記第 5 半導体層には、前記第 2 不純物注入領域が複数層設けられる、請求項 6 3 から 6 5 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 6 7】

50

前記第 5 半導体層と前記第 6 半導体層との間に、前記第 4 半導体層と前記第 5 半導体層と前記第 2 ゲート電極層と前記第 2 不純物注入領域とほぼ同じ構造である単位トランジスタ構造を 1 つ以上備える、請求項 6 3 から 6 6 のいずれかに記載の横型接合型電界効果トランジスタ。

【請求項 6 8】

半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、
前記第 1 半導体層の上に、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層を形成する工程と、
前記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、
前記第 2 半導体層と前記第 3 半導体層とにまたがるように、第 3 半導体層の所定領域に不純物を導入して、前記第 2 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層を形成する工程と、
前記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、
前記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、
前記第 5 半導体層の所定領域に不純物を導入して、下面が前記第 4 半導体層にまで延在し、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 2 ゲート電極層を形成する工程と、
前記第 1 ゲート電極層および前記第 2 ゲート電極層の両側において、前記第 5 半導体層に不純物を導入して、下面が前記第 2 半導体層にまで延在し、前記第 2 半導体層および前記第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層を形成する工程と、
を備える、横型接合型電界効果トランジスタの製造方法。

【請求項 6 9】

半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、
前記第 1 半導体層の上に、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層を形成する工程と、
前記第 2 半導体層の所定領域に不純物を導入して、前記第 2 半導体層内に第 1 導電型の第 1 不純物注入領域を形成する工程と、
前記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、
前記第 2 半導体層と前記第 3 半導体層とにまたがるように不純物を導入して、前記第 2 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層を形成する工程と、
前記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、
前記第 4 半導体層の所定領域に不純物を導入して、前記第 4 半導体層内に前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 2 不純物注入領域を形成する工程と、
前記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、
前記第 5 半導体層の所定領域に不純物を導入して、下面が前記第 4 半導体層にまで延在するように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 2 ゲート電極層を形成する工程と、
前記第 1 ゲート電極層および前記第 2 ゲート電極層の両側において、前記第 5 半導体層の所定領域に不純物を導入して、下面が前記第 2 半導体層にまで延在するように設けられ、前記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層を形成する工程と、を備える横型接合型電界効果トランジスタの製造方法。

【請求項 7 0】

半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、
前記第 1 半導体層の上に、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層を形成する工程と、
前記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、

前記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、
前記第 4 半導体層の所定領域に不純物を導入し、下面が前記第 2 半導体層にまで延在し、
上面が前記第 4 半導体層にまで延在し、前記第 2 半導体層および前記第 4 半導体層の不
純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層を形成する工程と、
前記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、
前記第 5 半導体層の所定領域に不純物を導入し、下面が前記第 4 半導体層にまで延在する
ように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有
する第 2 ゲート電極層を形成する工程と、
前記第 1 ゲート電極層および前記第 2 ゲート電極層の両側において、前記第 5 半導体層の
所定領域に不純物を導入して、下面が前記第 2 半導体層にまで延在するように設けられ、
前記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物
を含むソース/ドレイン領域層と、
を備える横型接合型電界効果トランジスタの製造方法。

10

【請求項 7 1】

半導体基板の上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、
前記第 1 半導体層の上に、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不
純物を含む第 2 半導体層を形成する工程と、
前記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、
前記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、
前記第 4 半導体層の所定領域に不純物を導入して、下面が前記第 2 半導体層にまで延在し
、上面が前記第 4 半導体層にまで延在し、前記第 2 半導体層および前記第 4 半導体層の
不純物濃度よりも高い不純物濃度を含む第 1 ゲート電極層を形成する工程と、
前記第 2 半導体層の所定領域に不純物を導入して、前記第 2 半導体層内に、前記第 1 ゲ
ート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 1 不純物注入
領域を形成する工程と、
前記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、
前記第 5 半導体層の所定領域に不純物を導入して、下面が前記第 4 半導体層にまで延在す
るように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を
有する第 1 導電型の第 2 ゲート電極層を形成する工程と、
前記第 4 半導体層の所定領域に不純物を導入して、前記第 4 半導体層内に、前記第 1 ゲ
ート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 不純物注入
領域を形成する工程と、
前記第 1 ゲート電極層および前記第 2 ゲート電極層の両側において、下面が前記第 2 半導
体層にまで延在するように設けられ、前記第 2 半導体層および第 4 半導体層の不純物濃度
よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層を形成する工程と、
を備える、横型接合型電界効果トランジスタの製造方法。

20

30

【請求項 7 2】

半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、
前記第 1 半導体層の上に、前記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不
純物を含む第 2 半導体層を形成する工程と、
前記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、
前記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、
前記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、
前記第 5 半導体層中の所定領域に不純物を導入することにより、下面が前記第 2 半導体層
にまで延在するように設けられ、前記第 2 半導体層の不純物濃度よりも高い第 1 導電型の
不純物濃度を含み、前記基板の平面方向に沿って互いに所定の間隔を隔てて配置される第
1 ゲート電極層および第 2 ゲート電極層を形成する工程と、
前記第 5 半導体層中の所定領域に不純物を導入することにより、前記第 1 ゲート電極層お
よび前記第 2 ゲート電極層の配置方向に沿って前記第 1 ゲート電極層および前記第 2 ゲ
ート電極層を両側から挟みこみ、下面が前記第 2 半導体層にまで延在するように設けられ、

40

50

前記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程と、
を備える横型接合型電界効果トランジスタの製造方法。

【請求項73】

半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、
前記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、
前記半導体層中の所定領域に、前記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層と第2導電型不純物を含む第3半導体層とを形成する工程と、
前記第2半導体層および前記第3半導体層中の所定領域に不純物を導入することにより、
前記第2半導体層および前記第3半導体層にまたがるように設けられ、前記第1半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層を形成する工程と、
前記第2半導体層および前記第3半導体層の所定領域に不純物を導入することにより、前記第2半導体層および前記第3半導体層が配置される方向に沿うとともに、前記ゲート電極層を挟み込み、前記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程と、
を備える横型接合型電界効果トランジスタの製造方法。

10

【請求項74】

半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、
前記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、
前記半導体層中の所定領域に、前記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層と第2導電型不純物を含む第3半導体層とを形成する工程と、
前記第2半導体層および前記第3半導体層中の所定領域に不純物を導入することにより、
前記第2半導体層および前記第3半導体層にまたがるように設けられ、前記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、前記第3半導体層の中に、前記ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の不純物注入領域とを形成する工程と、
前記第2半導体層および前記第3半導体層の所定領域に不純物を導入することにより、前記第2半導体層および前記第3半導体層が配置される方向に沿うとともに、前記ゲート電極層および不純物注入領域を挟み込み、前記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程と、
を備える横型接合型電界効果トランジスタの製造方法。

20

30

【請求項75】

半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、
前記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、
前記半導体層中の所定領域に、前記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層、第2導電型不純物を含む第3半導体層、および、第1導電型不純物を含む第4半導体層を形成する工程と、
前記第2半導体層、前記第3半導体層、および、前記第4半導体層中の所定領域に不純物を導入することにより、前記第2半導体層および前記第3半導体層にまたがるように設けられ、前記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、前記第3半導体層および前記第4半導体層にまたがるように設けられ、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層とを形成する工程と、前記第2半導体層、前記第3半導体層、および、前記第4半導体層の所定領域に不純物を導入することにより、前記第2半導体層、前記第3半導体層、および、前記第4半導体層が配置される方向に沿うとともに、前記1ゲート電極層および前記第2ゲート電極層を挟み込み、前記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程と、

40

50

を備える横型接合型電界効果トランジスタの製造方法。

【請求項 7 6】

半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成すると、
前記第 1 半導体層の上に、第 2 導電型不純物を含む半導体層を形成する工程と、
前記半導体層中の所定領域に、前記基板の平面方向に沿って所定の間隔を隔てて第 1 導電型不純物を導入することにより、第 1 導電型不純物を含む第 2 半導体層、第 2 導電型不純物を含む第 3 半導体層、および、第 1 導電型不純物を含む第 4 半導体層を形成する工程と

、
前記第 2 半導体層、前記第 3 半導体層、および、前記第 4 半導体層中の所定領域に不純物を導入することにより、前記第 2 半導体層および前記第 3 半導体層にまたがるように設けられ、前記第 3 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、前記第 3 半導体層および前記第 4 半導体層にまたがるように設けられ、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の第 2 ゲート電極層と、前記第 1 ゲート電極層および前記第 2 ゲート電極層に挟まれた前記第 3 半導体層に、前記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第 1 導電型の不純物注入領域とを形成する工程と、

前記第 2 半導体層、前記第 3 半導体層、および、前記第 4 半導体層の所定領域に不純物を導入することにより、前記第 2 半導体層、前記第 3 半導体層、および、前記第 4 半導体層が配置される方向に沿うとともに、前記第 1 ゲート電極層、前記第 2 ゲート電極層および不純物注入領域を挟み込み、前記第 3 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層を形成する工程と、

を備える横型接合型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、横型接合型電界効果トランジスタに関し、より特定的には、良好な耐圧性能を維持したままオン抵抗を低減可能とする横型接合型電界効果トランジスタの構造およびその製造方法に関する。

【0002】

【従来の技術】

横型接合型電界効果トランジスタ（以下、J F E T (Junction Field Effect Transistor) と称する）は、キャリアが通過するチャネル領域の側部に設けられた p n 接合に、ゲート電極から逆バイアス電圧を印加することにより、p n 接合からの空乏層をチャネル領域へ広げ、チャネル領域のコンダクタンスを制御してスイッチング等の動作を行う。このうち、横型 J F E T は、チャネル領域においてキャリアが素子表面に平行に移動するものをいう。

【0003】

チャネルのキャリアは電子（n 型）でも正孔（p 型）でもよいが、通常、半導体基板に S i C を用いる J F E T においては、チャネル領域を n 型不純物領域とすることが多いため、以後の説明では便宜上、チャネルのキャリアは電子、したがってチャネル領域は n 型不純物領域として話を進めるが、チャネル領域を p 型不純物領域とする場合もあることは言うまでもない。

【0004】

図 7 2 は、従来の横型 J F E T を示す断面図である（米国特許登録番号 5,264,713 Junction Field-Effect Transistor Formed in Silicon Carbide）。n 型 S i C 基板 1 1 0 の上に p⁺ 型のエピタキシャル層 1 1 2 が配置され、その上に n-型のチャネル層 1 1 4 が形成されている。チャネル層 1 1 4 の上には、トレンチ 1 2 4 をはさんで、一方に n⁺ 型のソース領域 1 1 6 が、また他方には n⁺ 型のドレイン領域 1 1 8 が配置され、それぞれの上にソース電極 1 2 0 とドレイン電極 1 2 2 とが配置されている。S i C 基板 1 1 0 の裏面側には、ゲートコンタクト層 1 3 0 が形成され、その上にゲート電極（図示せず）が設け

10

20

30

40

50

られている。ソース/ドレイン領域 116, 118 を通りチャネル層 114 の中にいたる深さを有するトレンチ 124 が設けられ、トレンチ 124 の底部と第 1 導電型のエピタキシャル層 112 との間の、第 2 導電型のエピタキシャル層 114 にはチャネル (C) が形成されている。

【0005】

エピタキシャル層 112 における p 型不純物の濃度の値は、チャネルを含むエピタキシャル層 114 における n 型の濃度の値よりも高く、接合部への逆バイアス電圧の印加により空乏層がチャネルに向けて拡大する構成となっている。空乏層がチャネルを塞いだとき、電流がチャネルを通過することができないため、オフ状態となる。このため、逆バイアス電圧の大きさを加減することにより、空乏層がチャネル領域を遮断するか否か制御することが可能となる。この結果、たとえば、ゲート・ソース間の逆バイアス電圧を加減することにより、電流のオンオフ制御を行なうことが可能となる。

10

【0006】

また、Theory of Semiconductor Superjunction Devices (Jpn.J.Appl.Phys.Vol.36(1997) Part.1, No.10.Oct.1997 pp.6254-6262) には、MOS 型電界効果トランジスタのチャネル・ドレイン間を p 型半導体層と n 型半導体層とを交互に積み重ねた構造 (重接合構造) として、オフ状態でのドレインへの電圧印加時の電圧分布を平行平板コンデンサに近づけることにより、素子耐圧の向上とオン抵抗の増加抑制 / 低下とを両立することが可能であることが理論的に述べられている。

【0007】

20

【発明が解決しようとする課題】

しかしながら、上記構成からなる横型 JFET において、さらなる特性の向上の要求のひとつとして、オン抵抗の低下が挙げられる。特に、ノーマリオフ型タイプの横型 JFET においては、オン抵抗の低下が強く望まれている。

【0008】

しかし、図 72 に示す構造において、オン抵抗の低下を期待して、 p^+ 型のエピタキシャル層 112 の最上部とゲートコンタクト層 130 の最下部との間隔を広げると、オフするのに必要なゲート電圧の絶対値が大きくなるため、その間隔の拡大には限界があり、オン抵抗の低下にも限界がある。

【0009】

30

また、ノーマリオフ型とする場合、その間隔はチャネル層 114 とゲートコンタクト層 130 との接合における拡散電位で広がる空乏層の間隔よりも小さくする必要があるので、自ずとその間隔の拡大には限界があり、オン抵抗の低下にも限界が生じる。

【0010】

したがって、この発明は、上記課題を解決するためになされたものであり、良好な耐圧性能を維持したままオン抵抗を低減可能とする構造を有する横型接合型電界効果トランジスタを提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの 1 つの局面においては、半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、上記第 1 半導体層の上に位置し、上記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層と、上記第 2 半導体層の上に位置し、第 1 導電型不純物を含む第 3 半導体層と、上記第 3 半導体層の上に位置し、第 2 導電型不純物を含む第 4 半導体層と、上記第 4 半導体層の上に位置し、第 1 導電型不純物を含む第 5 半導体層と、上記第 5 半導体層中において所定の間隔を隔てて、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 2 半導体層および上記第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、上記第 3 半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 2 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層

40

50

と、上記第5半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層とを備える。

【0012】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法の1つの局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第2半導体層と上記第3半導体層とにまたがるように、第3半導体層の所定領域に不純物を導入して、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入して、下面が上記第4半導体層にまで延在し、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、上記第5半導体層に不純物を導入して、下面が上記第2半導体層にまで延在し、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

10

【0013】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

20

【0014】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0015】

また、上記発明においてさらに好ましくは、上記第1半導体層の最上部と上記第1ゲート電極の最下部との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第3半導体層の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

30

【0016】

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第2半導体層と上記第3半導体層と上記第1ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることが可能になる。

40

【0017】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第3半導体層中の上記ソース/ドレイン

50

領域層の間において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含有する第1ゲート電極層と、上記第5半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層と、上記第1半導体層と上記第1ゲート電極層とに挟まれた上記第2半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第1不純物注入領域と、上記第3半導体層と上記第2ゲート電極層とに挟まれた上記第4半導体層に、上記第1ゲート電極とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域とを備える。

【0018】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法の他の局面においては、半導体基板上に、第1導電型不純物を含有する第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含有する第2半導体層を形成する工程と、上記第2半導体層の所定領域に不純物を導入して、上記第2半導体層内に第1導電型の第1不純物注入領域を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含有する第3半導体層を形成する工程と、上記第2半導体層と上記第3半導体層とにまたがるように不純物を導入して、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含有する第1ゲート電極層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含有する第4半導体層を形成する工程と、上記第4半導体層の所定領域に不純物を導入して、上記第4半導体層内に上記第1ゲート電極とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含有する第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入して、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、上記第5半導体層の所定領域に不純物を導入して、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含有するソース/ドレイン領域層を形成する工程とを備える。

【0019】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

【0020】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚とがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0021】

上記発明において好ましくは、上記第1半導体層の最上部と上記第1不純物注入領域の最下部との間の間隔が、上記第2半導体層と上記第1不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第1不純物注入領域の最上部と上記第1ゲート電極層の最下部との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第3半導体層の最上部と上記第2不純物注入領域の最下部との間の間隔が、上記第4半導体層と上記第2不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2不純物注入領域の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【 0 0 2 2 】

また、好ましくは、上記第 2 半導体層には、上記第 1 不純物注入領域が複数層設けられ、上記第 4 半導体層には、上記第 2 不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、第 2 および第 4 半導体層を最大限に利用して、縦チャンネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

【 0 0 2 3 】

上記発明において好ましくは、上記第 3 半導体層と上記第 4 半導体層との間に、上記第 2 半導体層と上記第 3 半導体層と上記第 1 ゲート電極層と上記第 1 不純物注入領域とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを 3 以上積層させることが可能になる。

10

【 0 0 2 4 】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第 1 導電型不純物を含む第 1 半導体層と、上記第 1 半導体層の上に位置し、上記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層と、上記第 2 半導体層の上に位置し、第 1 導電型不純物を含む第 3 半導体層と、上記第 3 半導体層の上に位置し、第 2 導電型不純物を含む第 4 半導体層と、上記第 4 半導体層の上に位置し、第 1 導電型不純物を含む第 5 半導体層と、上記第 5 半導体層中において所定の間隔を隔てて、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層と、上記第 3 半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第 2 半導体層にまで延在し、上面が上記第 4 半導体層にまで延在するように設けられ、上記第 2 半導体層および上記第 4 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層と、上記第 5 半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第 4 半導体層にまで延在するように設けられ、上記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 2 ゲート電極層とを備える。

20

【 0 0 2 5 】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、上記第 1 半導体層の上に、上記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層を形成する工程と、上記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、上記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、上記第 4 半導体層の所定領域に不純物を導入し、下面が上記第 2 半導体層にまで延在し、上面が上記第 4 半導体層にまで延在し、上記第 2 半導体層および上記第 4 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含む第 1 ゲート電極層を形成する工程と、上記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、上記第 5 半導体層の所定領域に不純物を導入し、下面が上記第 4 半導体層にまで延在するように設けられ、上記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 2 ゲート電極層を形成する工程と、上記第 1 ゲート電極層および上記第 2 ゲート電極層の両側において、上記第 5 半導体層の所定領域に不純物を導入して、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層とを備える。

30

40

【 0 0 2 6 】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【 0 0 2 7 】

上記発明において好ましくは、上記第 2 半導体層と上記第 3 半導体層と上記第 4 半導体層

50

と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0028】

上記発明において好ましくは、上記第1半導体層の最上部と上記第1ゲート電極層の最下部との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第1ゲート電極層の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

10

【0029】

上記発明において好ましくは、上記第4半導体層と上記第5半導体層との間に、上記第3半導体層と上記第4半導体層と上記第1ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることが可能になる。

【0030】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第3半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第2半導体層にまで延在し、上面が上記第4半導体層にまで延在するように設けられ、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層と、上記第5半導体層中の上記ソース/ドレイン領域の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層と、上記第1半導体層と上記第1ゲート電極層とに挟まれた上記第2半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第1不純物注入領域と、上記第1ゲート電極層と上記第2ゲート電極層とに挟まれた上記第4半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2不純物注入領域とを備える。

20

30

【0031】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板の上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の所定領域に不純物を導入して、下面が上記第2半導体層にまで延在し、上面が上記第4半導体層にまで延在し、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層を形成する工程と、上記第2半導体層の所定領域に不純物を導入して、上記第2半導体層内に第1導電型の第1不純物注入領域を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入して、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層を形成する工程と、上記第4半導体層の所定領域に不純物を導入して、上記第4

40

50

半導体層内に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2不純物注入領域を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

【0032】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【0033】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0034】

また、上記発明においてさらに好ましくは、上記第1半導体層の最上部と上記第1不純物注入領域の最下部との間の間隔が、上記第2半導体層と上記第1不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第1不純物注入領域の最上部と上記第1ゲート電極層の最下部との間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第1ゲート電極層の最上部と上記第2不純物注入領域の最下部との間の間隔が、上記第4半導体層と上記第2不純物注入領域との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2不純物注入領域の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0035】

また、好ましくは、上記第2半導体層には、上記第1不純物注入領域が複数層設けられ、上記第4半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、第2および第4半導体層を最大限に利用して、総チャンネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

【0036】

また、上記発明においてさらに好ましくは、上記第4半導体層と上記第5半導体層との間に、上記第3半導体層と上記第4半導体層と上記第1ゲート電極層と上記第2不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることが可能になる。

【0037】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第5半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上

10

20

30

40

50

記第 5 半導体層中の上記ソース/ドレイン領域層の間において、下面が上記第 2 半導体層にまで延在するように上記第 1 ゲート電極層に隣接して設けられ、上記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の第 2 ゲート電極層とを備える。

【0038】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第 1 導電型不純物を含む第 1 半導体層を形成する工程と、上記第 1 半導体層の上に、上記第 1 半導体層の不純物濃度よりも高い濃度の第 2 導電型不純物を含む第 2 半導体層を形成する工程と、上記第 2 半導体層の上に、第 1 導電型不純物を含む第 3 半導体層を形成する工程と、上記第 3 半導体層の上に、第 2 導電型不純物を含む第 4 半導体層を形成する工程と、上記第 4 半導体層の上に、第 1 導電型不純物を含む第 5 半導体層を形成する工程と、上記第 5 半導体層中の所定領域に不純物を導入することにより、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 2 半導体層の不純物濃度よりも高い第 1 導電型の不純物濃度を含み、上記基板の平面方向に沿って互いに所定の間隔を隔てて配置される第 1 ゲート電極層および第 2 ゲート電極層を形成する工程と、上記第 5 半導体層中の所定領域に不純物を導入することにより、上記第 1 ゲート電極層および上記第 2 ゲート電極層の配置方向に沿って上記第 1 ゲート電極層および上記第 2 ゲート電極層を両側から挟みこみ、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 2 半導体層および第 4 半導体層の不純物濃度よりも高い濃度の第 2 導電型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

10

20

【0039】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、複数の横型 J F E T において p n 接合を縦方向に配置し、ゲート電極層を横方向に配置した構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

【0040】

上記発明において好ましくは、上記第 2 半導体層と、上記第 3 半導体層と、上記第 4 半導体層と、上記第 5 半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

30

【0041】

また、上記発明においてさらに好ましくは、上記第 1 ゲート電極層と上記第 2 ゲート電極層との間の間隔が、上記第 2 半導体層と上記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および上記第 4 半導体層と上記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0042】

また、上記発明においてさらに好ましくは、上記第 1 ゲート電極層と上記第 2 ゲート電極層との間に、下面が上記第 2 半導体層にまで延在するように設けられ、上記第 1 ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第 1 導電型の不純物注入領域を 1 つ備える。この構成によりチャネル数が増加し、さらにオン抵抗を下げることが可能になる。

40

【0043】

また、上記発明においてさらに好ましくは、上記第 1 ゲート電極層と上記不純物注入領域との間の間隔および上記不純物注入領域と上記第 2 ゲート電極層との間隔が、上記第 2 半導体層と上記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および上記第 4 半導体層と上記第 1 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0044】

50

また、上記発明においてさらに好ましくは、上記不純物注入領域が2以上設けられる。この構成によりチャネル数が増加し、さらにオン抵抗を下げる事が可能になる。

【0045】

また、上記発明においてさらに好ましくは、上記第1ゲート電極層に最も近接する上記不純物注入領域と上記第1ゲート電極層との間の間隔、上記不純物注入領域同士の間隔、および上記第2ゲート電極層に最も近接する上記不純物注入領域と上記第2ゲート電極層との間の間隔が、いずれも、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および上記第4半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させる事が可能になる。

10

【0046】

また、上記発明においてさらに好ましくは、上記第4半導体層と上記第5半導体層との間に、上記第3半導体層と上記第4半導体層とほぼ同じ構造を1つ以上有する。この構成により、半導体基板上において隣接する横方向に沿って配置されるトランジスタ構造の数が増加し、さらにオン抵抗を下げる事が可能になる。

【0047】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第2半導体層および上記第3半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第1半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層とを備える。

20

【0048】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層と第2導電型不純物を含む第3半導体層とを形成する工程と、上記第2半導体層および上記第3半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるように設けられ、上記第1半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層を形成する工程と、

30

上記第2半導体層および上記第3半導体層の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層が配置される方向に沿うとともに、上記ゲート電極層を挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

【0049】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

40

【0050】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0051】

また、上記発明においてさらに好ましくは、上記ゲート電極層と、上記第3半導体層の上

50

記ゲート電極層と接しない面との間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0052】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ、上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層および上記第5半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層とを備える。

10

【0053】

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

20

【0054】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0055】

また、上記発明においてさらに好ましくは、上記第1ゲート電極と、上記第3半導体層の上記第1ゲート電極層と接しない面との間の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2ゲート電極層と上記第5半導体層の上記第2ゲート電極層と接しない面との間隔が、上記第5半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

30

【0056】

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第4半導体層と上記第5半導体層と上記第2ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

40

【0057】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、上記第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高

50

い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層とを備える。

【0058】

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。

【0059】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層との不純物濃度と膜厚とがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0060】

また、上記発明においてさらに好ましくは、上記ゲート電極層と上記第4半導体層との間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0061】

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に上記第2半導体層と上記第3半導体層と上記ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

【0062】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第2半導体層および上記第3半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、上記ゲート電極層と上記第3半導体層の上記ゲート電極層と接しない面とに挟まれた上記第3半導体層に、上記ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の不純物注入領域とを備える。

【0063】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層と第2導電型不純物を含む第3半導体層とを形成する工程と、上記第2半導体層および上記第3半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、上記第3半導体層の中に、上記ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の不純物注入領域とを形成する工程と、上記第2半導体層および上記第3半導体層の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層が配置される方向に沿うとともに、上記ゲート電極層および不純物注入領域を挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電

10

20

30

40

50

型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

【0064】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【0065】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

10

【0066】

また、上記発明においてさらに好ましくは、上記ゲート電極層と上記不純物注入領域との最も大きく接する面同士の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記不純物注入領域と、上記第3半導体層の上記ゲート電極層と接しない面との間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0067】

また、好ましくは、上記第3半導体層には、上記不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

20

【0068】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層および上記第5半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース/ドレイン領域層の間においてその一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層と、上記第4半導体層と上記第1ゲート電極層とに挟まれた上記第3半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第1不純物注入領域と、上記第2ゲート電極層と、上記第5半導体層の上記第2ゲート電極層と接しない面とに挟まれた上記第5半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域とを備える。

30

40

【0069】

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【0070】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導

50

体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0071】

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と上記第1不純物注入領域との最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第1不純物注入領域と、上記第3半導体層の上記第1ゲート電極層と接しない面との間の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2ゲート電極層と上記第2不純物注入領域との最も近接する面同士の間隔が、上記第5半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2不純物注入領域と、上記第5半導体層の上記第2ゲート電極層と接しない面との間の間隔が、上記第5半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

10

【0072】

また、好ましくは、上記第3半導体層には、上記第1不純物注入領域が複数層設けられ、上記第5半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャンネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

20

【0073】

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第4半導体層と上記第5半導体層と上記第2ゲート電極層と上記第2不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

【0074】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、上記第4半導体層と上記ゲート電極層とに挟まれた上記第3半導体層に、上記ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の不純物注入領域とを備える。

30

【0075】

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

40

【0076】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層の不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0077】

また、上記発明においてさらに好ましくは、上記ゲート電極層と上記不純物注入領域との

50

間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記不純物注入領域と上記第4半導体層との間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0078】

また、好ましくは、上記第3半導体層には、上記不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

10

【0079】

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第2半導体層と上記第3半導体層と上記ゲート電極層と上記不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

【0080】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層とを備える。

20

30

【0081】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層、第2導電型不純物を含む第3半導体層、および、第1導電型不純物を含む第4半導体層を形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第3半導体層および上記第4半導体層にまたがるように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層とを形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層の所定領域に不純物を導入することにより、上記第2半導体層、上記第3半導体層、および、上記第4半導体層が配置される方向に沿うとともに、上記第1ゲート電極層および上記第2ゲート電極層を挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

40

【0082】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置さ

50

れることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【0083】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0084】

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記第2ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

10

【0085】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第1半導体層の上に、かつ、上記第5半導体層に隣接して位置し、第1導電型不純物を含む第6半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層、上記第5半導体層および上記第6半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース/ドレイン領域層の間においてその一方の側面が上記第3半導体層にまで延在し、他方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層と、上記第6半導体層の上記ソース/ドレイン領域層の間においてその一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第3ゲート電極層とを備える。

20

30

【0086】

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【0087】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層と、上記第6半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

40

【0088】

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記第2ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2ゲート電極層と上記第3ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

50

【0089】

また、上記発明においてさらに好ましくは、上記第5半導体層と上記第6半導体層との間に、上記第4半導体層と上記5半導体層と上記第2ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

【0090】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、
10
上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む
第1ゲート電極層と、上記第4半導体層中の上記ソース/ドレイン領域層の間において、
その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層と、上記第1ゲート電極層と上記第2ゲート電極層とに挟まれた上記第3半導体層に、上記第1ゲート電極
20
層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の不純物注入領域とを備える。

【0091】

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成すると、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層、第2導電型不純物を含む第3
30
半導体層、および、第1導電型不純物を含む第4半導体層を形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、
上記第3半導体層および上記第4半導体層にまたがるように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層と、上記第1ゲート電極層および上記第2ゲート電極層に挟まれた上記第3半導体層に、
上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の不
純物注入領域とを形成する工程と、上記第2半導体層、上記第3半導体層、および、上記
第4半導体層の所定領域に不純物を導入することにより、上記第2半導体層、上記第3半
導体層、および、上記第4半導体層が配置される方向に沿うとともに、上記1ゲート電極
層、上記第2ゲート電極層および不純物注入領域を挟み込み、上記第3半導体層の不純物
40
濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層を形成する工程とを備える。

【0092】

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

【0093】

上記発明において好ましくは、上記第2半導体層と上記第3半導体層と上記第4半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トラ

10

20

30

40

50

ンジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0094】

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記不純物注入領域の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記不純物注入領域と、上記第2ゲート電極の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0095】

また、好ましくは、上記第3半導体層には、上記不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

10

【0096】

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上にかつ上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ、上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第1半導体層の上に、かつ、上記第5半導体層に隣接して位置し、第1導電型不純物を含む第6半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層、上記第5半導体層および上記第6半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース/ドレイン領域層と、上記第2半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在し、他方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層と、上記第6半導体層中の上記ソース/ドレイン領域層の間において、その一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第3ゲート電極層と、上記第1ゲート電極層と上記第2ゲート電極層とに挟まれた上記第3半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第1不純物注入領域と、上記第2ゲート電極と上記第3ゲート電極層とに挟まれた上記第5半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2不純物注入領域とを備える。

20

30

【0097】

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

40

【0098】

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層と、上記第6半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

【0099】

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記第1不純物注

50

入領域の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第1不純物注入領域と、上記第2ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2ゲート電極層と、上記第2不純物注入領域の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2不純物注入領域と、上記第3ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

10

【0100】

また、好ましくは、上記第3半導体層には、上記第1不純物注入領域が複数層設けられる、上記第5半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、第2および第4半導体層を最大限に利用して、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

【0101】

また、上記発明においてさらに好ましくは、上記第5半導体層と上記第6半導体層との間に、上記第4半導体層と上記第5半導体層と上記第2ゲート電極層と上記第2不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

20

【0102】

【発明の実施の形態】

以下、本発明に基づいた各実施の形態における横型接合型電界効果トランジスタの構造およびその製造方法について、図を参照しながら説明する。

【0103】

（実施の形態1）

（横型接合型電界効果トランジスタ100の構造）

以下、実施の形態1における横型接合型電界効果トランジスタ100の構造について、図1を参照して説明する。なお、図1は本実施の形態における横型接合型電界効果トランジスタ100の構造を示す断面図である。

30

【0104】

本実施の形態における横型接合型電界効果トランジスタ100の構造的特徴は、pn接合およびゲート電極層を縦方向に配置するようにしたものである。ここで、本明細書中において、縦方向とは基板の深さ方向に沿った方向を意味し、横方向とは基板の主面に並行な方向を意味する。

【0105】

この横型接合型電界効果トランジスタ100は、Si等からなる半導体基板2の上に位置するp型不純物を含む第1半導体層11と、この第1半導体層11の上に、第1半導体層11の不純物濃度よりも高い濃度のn型不純物を含む第2半導体層12と、この第2半導体層12の上に位置し、p型不純物を含む第3半導体層13、この第3半導体層13の上に位置し、n型不純物を含む第4半導体層14と、この第4半導体層14の上に位置し、p型不純物を含む第5半導体層15とが設けられている。

40

【0106】

ここで、第1半導体層11の材質はSiC、膜厚は3 μ m～4 μ m程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層12、第3半導体層13、第4半導体層14、および、第5半導体層15の材質はSiC、膜厚は0.5 μ m～1.0 μ m程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

【0107】

第5半導体層15の中において所定の間隔を隔てて、下面が第2半導体層12にまで延在

50

するように設けられ、第2半導体層12および第4半導体層14の不純物濃度よりも高い濃度のn型の不純物を含むソース/ドレイン領域層6, 8が設けられる。ソース/ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0108】

第3半導体層13中のソース/ドレイン領域層6, 8の間には、第2半導体層12および第3半導体層13にまたがるように、下面が第2半導体層12にまで延在するように設けられ、第2半導体層12の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層18Aが設けられている。

【0109】

第5半導体層15中のソース/ドレイン領域層6, 8の間には、下面が第4半導体層14にまで延在するように設けられ、第1ゲート電極層18Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物を含む第2ゲート電極層18Bが設けられている。第1ゲート電極層18Aおよび第2ゲート電極層18Bの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0110】

なお、ソース領域層6の外側には、第1半導体層11にまで延在するp型の不純物濃度を含む不純物領域層4が設けられている。この不純物領域層4の不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0111】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1半導体層11の最上部と第1ゲート電極18Aの最下部との間の間隔(w_{11})が、第2半導体層12と第1ゲート電極層18Aとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第3半導体層13の最上部と上記第2ゲート電極層18Bの最下部との間の間隔 w_{12} が、第4半導体層14と第2ゲート電極層18Bとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設ければ良い。

【0112】

(横型接合型電界効果トランジスタ100の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ100の製造方法について、図2～図7を参照して説明する。なお、図2～図7は図1に示す断面構造にしたがった製造工程を示す断面図である。

【0113】

図2を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層11をエピタキシャル成長により形成する。その後、この第1半導体層11の上に、n型不純物を含む厚さ約 $0.5 \mu\text{m}$ 程度、不純物濃度が第1半導体層11よりも高い約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第2半導体層12をエピタキシャル成長により形成する。その後、第2半導体層12の上に、p型不純物を含む厚さ約 $0.5 \mu\text{m}$ 程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第3半導体層13をエピタキシャル成長により形成する。

【0114】

次に、図3を参照して、第3半導体層13の上に、所定の開口パターンを有する酸化膜200aを形成し、この酸化膜200aをマスクにして、p型の不純物を第3半導体層13に導入して、第2半導体層12と第3半導体層13とにまたがる領域に、第2半導体層12の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第1ゲート電極層18Aを形成する。なお、この時の、p型の不純物の注入は、注入エネルギー約 700 keV 、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ 、および、注入エネルギー約 500 keV 、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ の2段階に分けて行なう。

【0115】

次に、図4を参照して、酸化膜200aを除去した後、第3半導体層13の上に、n型不純物を含む厚さ $0.5 \mu\text{m}$ 程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからな

10

20

30

40

50

る第4半導体層14をエピタキシャル成長により形成する。その後、この第4半導体層14の上に、p型不純物を含む厚さ約0.5μm程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第5半導体層15を形成する。

【0116】

次に、図5を参照して、第5半導体層15の上に、所定の開口パターンを有する酸化膜201を形成し、この酸化膜201をマスクにして、p型の不純物を第5半導体層15に導入して、下面が第4半導体層14にまで延在し、第1ゲート電極層18Aとほぼ同じ $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含み、かつ、同電位を有する第2ゲート電極層18Bを形成する。なお、この時の、p型の不純物の注入は、第1段階が注入エネルギー約700keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ 、第2段階が注入エネルギー約500keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ 、第3段階が注入エネルギー約280keV、注入量約 $5 \times 10^{14} \text{ cm}^{-2}$ 、第4段階が注入エネルギー約140keV、注入量約 $5 \times 10^{14} \text{ cm}^{-2}$ 、第5段階が注入エネルギー約70keV、注入量約 $4 \times 10^{14} \text{ cm}^{-2}$ 、第6段階が注入エネルギー約30keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ の第6段階に分けて行なう。

【0117】

次に、図6を参照して、酸化膜201を除去した後、再び、第5半導体層15の上に、所定の開口パターンを有する酸化膜202を形成し、この酸化膜202をマスクにして、第1ゲート電極層18Aおよび第2ゲート電極層18Bの両側において、第5半導体層15に不純物を導入して、下面が第2半導体層12にまで延在し、第2半導体層12および前記第4半導体層14の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6, 8を形成する。

【0118】

次に、図7を参照して、酸化膜202を除去した後、再び、第5半導体層15の上に、所定の開口パターンを有する酸化膜203を形成し、この酸化膜202をマスクにして、ソース/ドレイン領域層6の外側の領域において、第5半導体層15に不純物を導入して、下面が第1半導体層11にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型の不純物を含む不純物領域層4を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成(OCDE等)、コンタクトホール開口・Al配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図1に示す本実施の形態における横型接合型電界効果トランジスタ100が完成する。

【0119】

(作用効果)

以上、上記構成からなる横型JFETおよびその製造方法によれば、複数の横型JFETが、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第2半導体層12と、第3半導体層13と、第4半導体層14と、第5半導体層15との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0120】

なお、第3半導体層13と第4半導体層14との間に、第2半導体層12と第3半導体層13と第1ゲート電極層18Aとほぼ同じ構造である単位トランジスタ構造を1つまたは2以上さらに設ける構造を採用することにより、横型JFETの特性をより向上させることが可能になる。

【0121】

(実施の形態2)

(横型接合型電界効果トランジスタ200の構造)

以下、実施の形態2における横型接合型電界効果トランジスタ200の構造について、図8を参照して説明する。なお、図8は本実施の形態における横型接合型電界効果トランジスタ200の構造を示す断面図である。

【0122】

本実施の形態における横型接合型電界効果トランジスタ 200 の構造的特徴は、上記横型接合型電界効果トランジスタ 100 と同様に、pn 接合およびゲート電極層を縦方向に配置するようにしたものである。

【0123】

この横型接合型電界効果トランジスタ 200 は、Si 等からなる半導体基板 2 の上に位置する p 型不純物を含む第 1 半導体層 21 と、この第 1 半導体層 21 の上に、第 1 半導体層 21 の不純物濃度よりも高い濃度の n 型不純物を含む第 2 半導体層 22 と、この第 2 半導体層 22 の上に位置し、p 型不純物を含む第 3 半導体層 23 と、この第 3 半導体層 23 の上に位置し、n 型不純物を含む第 4 半導体層 24 と、この第 4 半導体層 24 の上に位置し、p 型不純物を含む第 5 半導体層 25 とが設けられている。

10

【0124】

ここで、第 1 半導体層 21 の材質は SiC、膜厚は 3 μm から 4 μm 程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第 2 半導体層 22、第 3 半導体層 23、第 4 半導体層 24、および、第 5 半導体層 25 の材質は SiC、膜厚は 0.5 μm ~ 1.0 μm 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

【0125】

第 5 半導体層 25 中において所定の間隔を隔てて、下面が上記第 2 半導体層 22 にまで延在するように設けられ、第 2 半導体層 22 および第 4 半導体層 24 の不純物濃度よりも高い濃度の n 型の不純物を含むソース/ドレイン領域層 6, 8 が設けられる。ソース/ドレイン領域層 6, 8 の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

20

【0126】

第 3 半導体層 23 中のソース/ドレイン領域層 6, 8 の間には、下面が第 2 半導体層 22 にまで延在するように設けられ、第 2 半導体層 22 の不純物濃度よりも高い p 型の不純物濃度を含む第 1 ゲート電極層 28A が設けられている。

【0127】

第 5 半導体層 25 中のソース/ドレイン領域層 6, 8 の間には、下面が第 4 半導体層 24 にまで延在するように設けられ、第 1 ゲート電極層 28A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の不純物を含む第 2 ゲート電極層 28B が設けられている。第 1 ゲート電極層 28A および第 2 ゲート電極層 28B の不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

30

【0128】

また、第 1 半導体層 21 と第 1 ゲート電極層 28A とに挟まれた第 2 半導体層 22 には、第 1 ゲート電極層 28A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 1 不純物注入領域 29A が設けられている。さらに、第 3 半導体層 23 と第 2 ゲート電極層 28B とに挟まれた第 4 半導体層 24 に、第 1 ゲート電極 28A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 2 不純物注入領域 29B が設けられている。なお、図 8 においては、第 1 不純物注入領域 29A および第 2 不純物注入領域 29B を一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第 1 不純物注入領域 29A および第 2 不純物注入領域 29B をそれぞれ複数層設けることも可能である。

40

【0129】

なお、ソース領域層 6 の外側には、第 1 半導体層 21 にまで延在する p 型の不純物濃度を含む不純物領域層 4 が設けられている。この不純物領域層 4 の不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0130】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 半導体層 21 の最上部と第 1 不純物注入領域 29A の最下部との間の間隔 w_{21} が、第 2 半導体層 22 と第 1 不純物注入領域 29A との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第 1 不純物注入領域 29A の最上部と上記第 1 ゲート電極

50

層 2 8 A の最下部との間の間隔 (w 2 2) が、第 2 半導体層 2 2 と第 1 ゲート電極層 2 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設け、第 3 半導体層 2 3 の最上部と第 2 不純物注入領域 2 9 B の最下部との間の間隔 (w 2 3) が、第 4 半導体層 2 4 と第 2 不純物注入領域 2 9 B との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第 2 不純物注入領域 2 9 B の最上部と第 2 ゲート電極層 2 8 B の最下部との間の間隔 (w 2 4) が、第 4 半導体層 2 4 と第 2 ゲート電極層 2 8 B との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設ければ良い。

【0131】

(横型接合型電界効果トランジスタ 2 0 0 の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ 2 0 0 の製造方法について、図 9 ~ 図 1 6 を参照して説明する。なお、図 9 ~ 図 1 6 は図 8 に示す断面構造にしたがった製造工程を示す断面図である。

【0132】

図 9 を参照して、S i 等からなる半導体基板 2 上に、p 型不純物を含む厚さ $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度の S i C からなる第 1 半導体層 2 1 をエピタキシャル成長により形成する。その後、この第 1 半導体層 2 1 の上に、n 型不純物を含む厚さ約 $0.5 \mu\text{m}$ 程度、不純物濃度が第 1 半導体層 2 1 よりも高い約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度の S i C からなる第 2 半導体層 2 2 をエピタキシャル成長により形成する。

【0133】

次に、図 1 0 を参照して、第 2 半導体層 2 2 の上に、所定の開口パターンを有する酸化膜 2 0 4 a を形成し、この酸化膜 2 0 4 a をマスクにして、p 型の不純物を第 2 半導体層 2 2 に導入して、第 2 半導体層 2 2 内に、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の p 型不純物を含む第 1 不純物注入領域 2 9 A を形成する。なお、この時の、p 型の不純物の注入条件は、注入エネルギー約 270 keV 、注入量約 $7 \times 10^{13} \text{ cm}^{-2}$ 程度である。

【0134】

その後、図 1 1 を参照して、酸化膜 2 0 4 a を除去した後、第 2 半導体層 2 2 の上に、p 型不純物を含む厚さ約 $0.5 \mu\text{m}$ 程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度の S i C からなる第 3 半導体層 2 3 をエピタキシャル成長により形成する。

【0135】

次に、第 3 半導体層 2 3 の上に、所定の開口パターンを有する酸化膜 2 0 4 b を形成し、この酸化膜 2 0 4 b をマスクにして、p 型の不純物を第 3 半導体層 2 3 に導入して、第 2 半導体層 2 2 と第 3 半導体層 2 3 とにまたがる領域に、第 2 半導体層 2 2 の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の p 型不純物を含む第 1 ゲート電極層 2 8 A を形成する。なお、この時の、p 型の不純物の注入条件は、注入エネルギー約 350 keV 、注入量約 $1 \times 10^{14} \text{ cm}^{-2}$ 程度である。

【0136】

次に、図 1 2 を参照して、酸化膜 2 0 4 b を除去した後、第 3 半導体層 2 3 の上に、n 型不純物を含む厚さ約 $0.5 \mu\text{m}$ 程度、不純物濃度が第 1 半導体層 1 1 よりも高い $3 \times 10^{17} \text{ cm}^{-3}$ 程度の S i C からなる第 4 半導体層 2 4 を形成する。

【0137】

その後、第 4 半導体層 2 4 の上に、所定の開口パターンを有する酸化膜 2 0 5 a を形成し、この酸化膜 2 0 5 a をマスクにして、p 型の不純物を第 4 半導体層 2 4 に導入して、第 4 半導体層 2 4 内に、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の p 型不純物を含む第 2 不純物注入領域 2 9 B を形成する。なお、この時の、p 型の不純物の注入条件は、注入エネルギー約 270 keV 、注入量 $7 \times 10^{13} \text{ cm}^{-2}$ 程度である。

【0138】

次に、図 1 3 を参照して、第 4 半導体層 2 4 の上に、p 型不純物を含む厚さ約 $0.5 \mu\text{m}$ 程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度の S i C からなる第 5 半導体層 2 5 をエピタキシャル成長により形成する。

【0139】

次に、図14を参照して、第5半導体層25の上に、所定の開口パターンを有する酸化膜205bを形成し、この酸化膜205bをマスクにして、p型の不純物を第5半導体層25に導入して、第4半導体層24と第5半導体層25とにまたがる領域に、第2半導体層22の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第2ゲート電極層28Bを形成する。なお、この時の、p型の不純物の注入は、第1段階が注入エネルギー約350keV、注入量約 $1 \times 10^{14} \text{ cm}^{-2}$ 、第2段階が注入エネルギー約250keV、注入量約 $2 \times 10^{14} \text{ cm}^{-2}$ 、第3段階が注入エネルギー約140keV、注入量約 $5 \times 10^{14} \text{ cm}^{-2}$ 、第4段階が注入エネルギー約70keV、注入量約 $4 \times 10^{14} \text{ cm}^{-2}$ 、第5段階が注入エネルギー約30keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ の第5段階に分けて行なう。

10

【0140】

次に、図15を参照して、酸化膜205bを除去した後、再び、第5半導体層25の上に、所定の開口パターンを有する酸化膜206を形成し、この酸化膜206をマスクにして、第1不純物注入領域29A、第2不純物注入領域29B、第1ゲート電極層28A、および、第2ゲート電極層28Bの両側において、第5半導体層25に不純物を導入して、下面が第2半導体層22にまで延在し、第2半導体層22および前記第4半導体層24の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6、8を形成する。

【0141】

20

次に、図16を参照して、酸化膜206を除去した後、再び、第5半導体層25の上に、所定の開口パターンを有する酸化膜207を形成し、この酸化膜207をマスクにして、ソース/ドレイン領域層6の外側の領域において、第5半導体層25に不純物を導入して、下面が第1半導体層21にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型の不純物を含む不純物領域層4を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成(OCDE等)、コンタクトホール開口・Al配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図8に示す本実施の形態における横型接合型電界効果トランジスタ200が完成する。

【0142】

(作用効果)

30

以上、上記構成からなる横型JFETおよびその製造方法によれば、複数の横型JFETが、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第2半導体層22と、第3半導体層23と、第4半導体層24と、第5半導体層25との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0143】

なお、第3半導体層23と第4半導体層24との間に、第2半導体層22と第3半導体層23と第1ゲート電極層28Aと第1不純物注入領域29Aとほぼ同じ構造である単位トランジスタ構造を1つまたは2以上さらに設ける構造を採用することにより、横型JFETの特性をより向上させることが可能になる。

40

【0144】

(実施の形態3)

(横型接合型電界効果トランジスタ300の構造)

以下、実施の形態3における横型接合型電界効果トランジスタ300の構造について、図17を参照して説明する。なお、図17は本実施の形態における横型接合型電界効果トランジスタ300の構造を示す断面図である。

【0145】

本実施の形態における横型接合型電界効果トランジスタ300の構造的特徴は、上記横型接合型電界効果トランジスタ100と同様に、pn接合およびゲート電極層を縦方向に配

50

置するようにしたものである。

【0146】

この横型接合型電界効果トランジスタ300は、Si等からなる半導体基板2上に位置するp型不純物を含む第1半導体層31と、この第1半導体層31の上に、第1半導体層31の不純物濃度よりも高い濃度のn型不純物を含む第2半導体層32と、この第2半導体層32の上に位置し、p型不純物を含む第3半導体層33と、この第3半導体層33の上に位置し、n型不純物を含む第4半導体層34と、この第4半導体層34の上に位置し、p型不純物を含む第5半導体層35と、この第5半導体層35の上に位置し、n型不純物を含む第6半導体層36と、この第6半導体層36の上に位置し、p型不純物を含む第7半導体層37とが設けられている。

10

【0147】

ここで、第1半導体層31の材質はSiC、膜厚は $3\mu\text{m} \sim 4\mu\text{m}$ 程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層32、第3半導体層33、第4半導体層34、第5半導体層35、第6半導体層36、および、第7半導体層37の材質はSiC、膜厚は $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

【0148】

第7半導体層37中において所定の間隔を隔てて、下面が上記第2半導体層32にまで延在するように設けられ、上記第2半導体層32、第4半導体層34、および第6半導体層36の不純物濃度よりも高い濃度のn型の不純物を含むソース/ドレイン領域層6, 8が設けられる。ソース/ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

20

【0149】

第3半導体層33中のソース/ドレイン領域層6, 8の間には、下面が第2半導体層32にまで延在し、上面が第4半導体層34にまで延在するように設けられ、第2半導体層32および第4半導体層34の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層38Aが設けられている。

【0150】

第5半導体層35中のソース/ドレイン領域層6, 8の間には、下面が第4半導体層34にまで延在し、上面が第6半導体層36にまで延在するように設けられ、第4半導体層34および第6半導体層36の不純物濃度よりも高いp型の不純物濃度を含む第2ゲート電極層38Bが設けられている。

30

【0151】

第7半導体層37中のソース/ドレイン領域層6, 8の間には、下面が第6半導体層にまで延在するように設けられ、第1ゲート電極層38Aおよび第2ゲート電極層38Bとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物を含む第3ゲート電極層と38Cが設けられている。

【0152】

第1ゲート電極層38A、第2ゲート電極層38B、および、第3ゲート電極層38Cの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

40

【0153】

なお、ソース領域層6の外側には、第1半導体層31にまで延在するp型の不純物濃度を含む不純物領域層4が設けられている。この不純物領域層4の不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0154】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1半導体層31の最上部と第1ゲート電極層38Aの最下部との間の間隔(w_{31})が、第2半導体層32と第1ゲート電極層38Aとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第1ゲート電極層38Aの最上部と第2ゲート電極層38Bの最下部との間の間隔(w_{32})が、第4半導体層34と第1ゲート電極層38Aとの

50

接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設ければ良い。

【0155】

(横型接合型電界効果トランジスタ300の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ300の製造方法について、図18～図25を参照して説明する。なお、図18～図25は図17に示す断面構造にしたがった製造工程を示す断面図である。

【0156】

図18を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3\mu\text{m} \sim 4\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層31をエピタキシャル成長により形成する。その後、この第1半導体層31の上に、n型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が第1半導体層31よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第2半導体層32をエピタキシャル成長により形成する。その後、第2半導体層32の上に、p型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第3半導体層33をエピタキシャル成長により形成する。その後、第3半導体層33の上に、n型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第4半導体層34をエピタキシャル成長により形成する。

【0157】

次に、図19を参照して、第4半導体層34の上に、所定の開口パターンを有する酸化膜208を形成し、この酸化膜208をマスクにして、p型の不純物を第4半導体層34の所定領域に不純物を導入し、下面が第2半導体層32にまで延在し、上面が第4半導体層34にまで延在し、第2半導体層32および第4半導体層34の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第1ゲート電極層38Aを形成する。

【0158】

次に、図20を参照して、第4半導体層34の上に、p型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第5半導体層35を形成する。その後、第5半導体層35の上に、n型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第6半導体層36をエピタキシャル成長により形成する。

【0159】

次に、図21を参照して、第6半導体層36の上に、所定の開口パターンを有する酸化膜209を形成し、この酸化膜209をマスクにして、p型の不純物を第6半導体層36の所定領域に不純物を導入し、下面が第4半導体層34にまで延在し、上面が第6半導体層36にまで延在し、第4半導体層34および第6半導体層36の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第2ゲート電極層38Bを形成する。

【0160】

次に、図22を参照して、酸化膜209を除去した後、第6半導体層36の上に、p型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第7半導体層37をエピタキシャル成長により形成する。

【0161】

次に、図23を参照して、第7半導体層37の上に、所定の開口パターンを有する酸化膜210を形成し、この酸化膜210をマスクにして、p型の不純物を第7半導体層37の所定領域に不純物を導入し、下面が第6半導体層36にまで延在し、第6半導体層36の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第3ゲート電極層38Cを形成する。

【0162】

次に、図 2 4 を参照して、酸化膜 2 1 0 を除去した後、再び、第 7 半導体層 3 7 の上に、所定の開口パターンを有する酸化膜 2 1 1 を形成し、この酸化膜 2 1 1 をマスクにして、第 1 ゲート電極層 3 8 A、第 2 ゲート電極層 3 8 B、および、第 3 ゲート電極層 3 8 C の両側において、第 7 半導体層 3 7 に不純物を導入して、下面が第 2 半導体層 3 2 にまで延在し、第 2 半導体層 3 2 および前記第 4 半導体層 3 4 の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の n 型の不純物を含むソース/ドレイン領域層 6 , 8 を形成する。

【 0 1 6 3 】

次に、図 2 5 を参照して、酸化膜 2 1 1 を除去した後、再び、第 7 半導体層 3 7 の上に、所定の開口パターンを有する酸化膜 2 1 2 を形成し、この酸化膜 2 1 2 をマスクにして、ソース/ドレイン領域層 6 の外側の領域において、第 7 半導体層 3 7 に不純物を導入して、下面が第 1 半導体層 3 1 にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の p 型の不純物を含む不純物領域層 4 を形成する。その後、図示していないが、表面熱酸化・開口・N i 電極形成、絶縁層形成 (O C D 等)、コンタクトホール開口・A l 配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図 1 7 に示す本実施の形態における横型接合型電界効果トランジスタ 3 0 0 が完成する。

【 0 1 6 4 】

(作用効果)

以上、上記構成からなる横型 J F E T およびその製造方法によれば、複数の横型 J F E T が、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第 2 半導体層 3 2 と、第 3 半導体層 3 3 と、第 4 半導体層 3 4 と、第 5 半導体層 3 5 と、第 6 半導体層 3 6 と、第 7 半導体層 3 7 との不純物濃度および膜厚さを略同じ値にすることにより、横型 J F E T のオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【 0 1 6 5 】

なお、第 4 半導体層 3 4 と第 5 半導体層 3 5 との間に、第 3 半導体層 3 3 と第 4 半導体層 3 4 と第 1 ゲート電極層 3 8 A とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上さらに設ける構造を採用することにより、横型 J F E T の特性をより向上させることが可能になる。

【 0 1 6 6 】

(実施の形態 4)

(横型接合型電界効果トランジスタ 4 0 0 の構造)

以下、実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の構造について、図 2 6 を参照して説明する。なお、図 2 6 は本実施の形態における横型接合型電界効果トランジスタ 4 0 0 の構造を示す断面図である。

【 0 1 6 7 】

本実施の形態における横型接合型電界効果トランジスタ 4 0 0 の構造的特徴は、上記横型接合型電界効果トランジスタ 1 0 0 と同様に、p n 接合およびゲート電極層を縦方向に配置するようにしたものである。

【 0 1 6 8 】

この横型接合型電界効果トランジスタ 4 0 0 は、S i 等からなる半導体基板 2 の上に位置する p 型不純物を含む第 1 半導体層 4 1 と、この第 1 半導体層 4 1 の上に位置し、第 1 半導体層 4 1 の不純物濃度よりも高い濃度の n 型不純物を含む第 2 半導体層 4 2 と、この第 2 半導体層 4 2 の上に位置し、p 型不純物を含む第 3 半導体層 4 3 と、この第 3 半導体層 4 3 の上に位置し、n 型不純物を含む第 4 半導体層 4 4 と、この第 4 半導体層 4 4 の上に位置し、p 型不純物を含む第 5 半導体層 4 5 と、この第 5 半導体層 4 5 の上に位置し、n 型不純物を含む第 6 半導体層 4 6 と、この第 6 半導体層 4 6 の上に位置し、p 型不純物を含む第 7 半導体層 4 7 とが設けられている。

【 0 1 6 9 】

ここで、第 1 半導体層 4 1 の材質は S i C、膜厚は $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度は 1

10

20

30

40

50

$\times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層42、第3半導体層43、第4半導体層44、第5半導体層45、第6半導体層46、および、第7半導体層47の材質はSiC、膜厚は $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

【0170】

第7半導体層47において所定の間隔を隔てて、下面が第2半導体層42にまで延在するように設けられ、第2半導体層42、第4半導体層44、および、第6半導体層46の不純物濃度よりも高い濃度のn型の不純物を含むソース/ドレイン領域層6, 8が設けられる。ソース/ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

10

【0171】

第3半導体層43中のソース/ドレイン領域層6, 8の間には、下面が第2半導体層42にまで延在し、上面が上記第4半導体層44にまで延在するように設けられ、第2半導体層42、上記第4半導体層44、および、第6半導体層46の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層48Aが設けられている。

【0172】

第5半導体層45中のソース/ドレイン領域層6, 8の間には、下面が第4半導体層44にまで延在し、上面が上記第6半導体層46にまで延在するように設けられ、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物を含む第2ゲート電極層48Bが設けられている。

20

【0173】

第7半導体層47中のソース/ドレイン領域6, 8の間において、下面が第6半導体層46にまで延在するように設けられ、第1ゲート電極層48Aおよび第2ゲート電極層48Bとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3ゲート電極層48Cが設けられている。第1ゲート電極層48A、第2ゲート電極層48B、および、第3ゲート電極層48Cの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0174】

また、第1半導体層41と第1ゲート電極層48Aとに挟まれた第2半導体層42に、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第1不純物注入領域49Aが設けられ、第1ゲート電極層48Aと第2ゲート電極層48Bとに挟まれた第4半導体層44に、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2不純物注入領域49Bが設けられ、第2ゲート電極層48Bと第3ゲート電極層48Cとに挟まれた第6半導体層46に、第1ゲート電極層48Aおよび第2ゲート電極層48Bとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第3不純物注入領域49Cが設けられている。なお、図26においては、第1不純物注入領域49A、第2不純物注入領域49B、および、第3不純物注入領域49Cを一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第1不純物注入領域49A、第2不純物注入領域49B、および、第3不純物注入領域49Cをそれぞれ複数層設けることも可能である。

30

40

【0175】

なお、ソース領域層6の外側には、第1半導体層41にまで延在するp型の不純物濃度を含む不純物領域層4が設けられている。この不純物領域層4の不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0176】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1半導体層41の最上部と第1ゲート電極層48Aの最下部との間の間隔(w_{41})が、第2半導体層42と第1ゲート電極層48Aとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第1ゲート電極層48Aの最上部と第2ゲート電極層48Bの最下部との間の間隔(w_{42})が、第4半導体層44と第1ゲート電極層48Aとの

50

接合における拡散電位で広がる空乏層の間隔と、第4半導体層44と第2ゲート電極層48Bとの接合における拡散電位で広がる空乏層の間隔との和よりも小さくなるように設ければ良い。

【0177】

さらに好ましくは、第1半導体層41の最上部と第1不純物注入領域49Aの最下部との間の間隔(w43)が、第2半導体層42と第1不純物注入領域49Aとの接合における拡散電位で広がる空乏層の間隔よりも小さく、第1不純物注入領域49Aの最上部と第1ゲート電極層48Aの最下部との間隔(w44)が、第2半導体層42と第1ゲート電極層48Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設け、第1ゲート電極層48Aの最上部と第2不純物注入領域49Bの最下部との間の間隔(w45)が、第4半導体層と第2不純物注入領域49Bとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設け、第2不純物注入領域49Bの最上部と第2ゲート電極層48Bの最下部との間の間隔(w46)が、第4半導体層44と第2ゲート電極層48Bとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設ければ良い。

10

【0178】

(横型接合型電界効果トランジスタ400の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ400の製造方法について、図27～図37を参照して説明する。なお、図27～図37は図26に示す断面構造にしたがった製造工程を示す断面図である。

20

【0179】

図27を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3\mu\text{m} \sim 4\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層41をエピタキシャル成長により形成する。その後、この第1半導体層41の上に、n型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が第1半導体層41よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第2半導体層42をエピタキシャル成長により形成する。その後、第2半導体層42の上に、p型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第3半導体層43をエピタキシャル成長により形成する。その後、第3半導体層43の上に、n型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第4半導体層44をエピタキシャル成長により形成する。

30

【0180】

次に、図28を参照して、第4半導体層44の上に、所定の開口パターンを有する酸化膜213を形成し、この酸化膜213をマスクにして、p型の不純物を第4半導体層44の所定領域に不純物を導入し、下面が第2半導体層42にまで延在し、上面が第4半導体層44にまで延在し、第2半導体層42および第4半導体層44の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第1ゲート電極層48Aを形成する。

【0181】

次に、図29を参照して、引続き酸化膜213をマスクにして、p型の不純物を第2半導体層42内に導入し、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ同電位を有する、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第1不純物注入領域49Aを形成する。

40

【0182】

次に、図30を参照して、酸化膜213を除去した後、第4半導体層44の上に、p型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第5半導体層45を形成する。その後、第5半導体層45の上に、n型不純物を含む厚さ $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第6半導体層46を形成する。

50

【0183】

次に、図31を参照して、第6半導体層46の上に、所定の開口パターンを有する酸化膜214を形成し、この酸化膜214をマスクにして、p型の不純物を第6半導体層44の所定領域に不純物を導入し、下面が第4半導体層44にまで延在し、上面が第6半導体層46にまで延在し、第4半導体層44および第6半導体層46の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第2ゲート電極層48Bを形成する。

【0184】

次に、図32を参照して、引続き酸化膜214をマスクにして、p型の不純物を第4半導体層44内に導入し、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ同電位を有する、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第2不純物注入領域49Bを形成する。

10

【0185】

次に、図33を参照して、酸化膜214を除去した後、第6半導体層46の上に、p型不純物を含む厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第7半導体層47をエピタキシャル成長により形成する。

【0186】

次に、図34を参照して、第7半導体層47の上に、所定の開口パターンを有する酸化膜215を形成し、この酸化膜215をマスクにして、p型の不純物を第7半導体層47の所定領域に不純物を導入し、下面が第6半導体層46にまで延在し、第6半導体層46の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第3ゲート電極層48Cを形成する。

20

【0187】

次に、図35を参照して、引続き酸化膜215をマスクにして、p型の不純物を第6半導体層46内に導入し、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ同電位を有する、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第3不純物注入領域49Cを形成する。

【0188】

次に、図36を参照して、酸化膜215を除去した後、再び、第7半導体層47の上に、所定の開口パターンを有する酸化膜216を形成し、この酸化膜216をマスクにして、第1ゲート電極層48A、第2ゲート電極層48B、第3ゲート電極層48C、第1不純物注入領域49A、第2不純物注入領域49B、および、第3不純物注入領域49Cの両側において、第7半導体層47に不純物を導入して、下面が第2半導体層42にまで延在し、第2半導体層42および前記第4半導体層44の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6, 8を形成する。

30

【0189】

次に、図37を参照して、酸化膜216を除去した後、再び、第7半導体層47の上に、所定の開口パターンを有する酸化膜217を形成し、この酸化膜217をマスクにして、ソース/ドレイン領域層6の外側の領域において、第7半導体層47に不純物を導入して、下面が第1半導体層41にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型の不純物を含む不純物領域層4を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成(OCDE等)、コンタクトホール開口・Al配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図26に示す本実施の形態における横型接合型電界効果トランジスタ400が完成する。

40

【0190】

なお、上記実施の形態1~4において、図示していないが、ゲート間接続領域層の形成は、その深さによっては、複数回に分けてイオン注入を行なう必要がある。この場合、ゲート電極層および不純物注入領域の形成のためのイオン注入を行なう段階でも、ゲート間接続領域層の形成のための不純物注入を行なう。

50

【0191】

なお、ゲート間接続領域層とは、複数のゲート電極層および不純物注入領域を電氣的に接続し、同一の電位とするためのもので、デバイスの端などに、ゲート電極層および不純物注入領域を縦に貫いて設けられる接続層のことをいい、一般にこの接続層は、第1半導体層には達しないように設けられる。

【0192】

(作用効果)

以上、上記構成からなる横型JFETおよびその製造方法によれば、複数の横型JFETが、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第2半導体層42と、第3半導体層43と、第4半導体層44と、第5半導体層45と、第6半導体層46と、第7半導体層47との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

10

【0193】

なお、第4半導体層44と第5半導体層45との間に、第3半導体層43と第4半導体層44と第1ゲート電極層48Aと第2不純物注入領域49Bとほぼ同じ構造である単位トランジスタ構造を1つまたは2以上さらに設ける構造を採用することにより、横型JFETの特性をより向上させることが可能になる。

【0194】

(実施の形態5)

(横型接合型電界効果トランジスタ500の構造)

以下、実施の形態5における横型接合型電界効果トランジスタ500の構造について、図38から図40を参照して説明する。なお、図38は本実施の形態における横型接合型電界効果トランジスタ500の構造を示す断面図であり、図39は図38中XXXIX-XXXIX線矢視断面図であり、図40は図38中XXXIX-XXXIX線矢視断面図に対応する他の形態の構造を示す断面図である。

20

【0195】

本実施の形態における横型接合型電界効果トランジスタ500の構造的特徴は、pn接合を縦方向に配置し、ゲート電極層を横方向に配置するようにしたものである。

【0196】

この横型接合型電界効果トランジスタ500は、Si等からなる半導体基板2上に位置するp型不純物を含む第1半導体層51と、この第1半導体層51の上に位置し、第1半導体層の不純物濃度よりも高い濃度のn型不純物を含む第2半導体層52と、この第2半導体層52の上に位置し、p型不純物を含む第3半導体層53と、この第3半導体層53の上に位置し、n型不純物を含む第4半導体層54と、この第4半導体層54の上に位置し、p型不純物を含む第5半導体層55とが設けられている。

30

【0197】

ここで、第1半導体層51の材質はSiC、膜厚は $3\mu\text{m} \sim 4\mu\text{m}$ 程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層52、第3半導体層53、第4半導体層54、および、第5半導体層55の材質はSiC、膜厚は $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

40

【0198】

第5半導体層55中において所定の間隔を隔てて、下面が第2半導体層52にまで延在するように設けられ、第2半導体層52および第4半導体層54の不純物濃度よりも高い濃度のn型の不純物を含むソース/ドレイン領域層6, 8が設けられる。ソース/ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0199】

第5半導体層55中のソース/ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように設けられ、第2半導体層52の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層58Aが設けられている。

50

【0200】

また、第5半導体層55中のソース/ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように第1ゲート電極層58Aに所定の間隔を隔てて隣接して横方向に設けられ、第1ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第2ゲート電極層58Bが設けられている。

【0201】

また、第5半導体層55中のソース/ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように第2ゲート電極層58Bに所定の間隔を隔てて隣接して横方向に設けられ、第1ゲート電極層58Aおよび第2ゲート電極層58Bとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3ゲート電極層58Cが設けられている。

10

【0202】

また、第5半導体層55中のソース/ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように第3ゲート電極層58Cに所定の間隔を隔てて隣接して横方向に設けられ、第1ゲート電極層58A、第2ゲート電極層58B、および、第3ゲート電極層58Cとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第4ゲート電極層58Dが設けられている。

【0203】

第1ゲート電極層58A、第2ゲート電極層58B、第3ゲート電極層58C、および、第4ゲート電極層58Dの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

20

【0204】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1ゲート電極層58Aと第2ゲート電極層58Bとの間の間隔(w_{51})が、第2半導体層52と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔、および第4半導体層54と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設ければ良い。なお、第2ゲート電極層58Bと第3ゲート電極層58Cとの間の間隔、第3ゲート電極層58Cと第4ゲート電極層58Dとの間の間隔も同様である。

【0205】

(横型接合型電界効果トランジスタ500の製造方法)

30

次に、上記構成からなる横型接合型電界効果トランジスタ500の製造方法について、図41～図43を参照して説明する。なお、図41～図43は図38に示す断面構造にしたがった製造工程を示す断面図である。

【0206】

図41を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層51をエピタキシャル成長により形成する。その後、この第1半導体層51の上に、n型不純物を含む厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が第1半導体層51よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第2半導体層52をエピタキシャル成長により形成する。その後、第2半導体層52の上に、p型不純物を含む厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第3半導体層53をエピタキシャル成長により形成する。その後、第3半導体層53の上に、n型不純物を含む厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第4半導体層54をエピタキシャル成長により形成する。その後、第4半導体層54の上に、p型不純物を含む厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第5半導体層55をエピタキシャル成長により形成する。

40

【0207】

次に、図42を参照して、第5半導体層55の上に、所定の開口パターンを有する酸化膜を形成し(図示省略)、この酸化膜をマスクにして、第5半導体層55中の所定領域に不

50

純物を導入することにより、下面が前記第2半導体層52にまで延在するように設けられ、第2半導体層52の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含み、基板2の平面方向に沿って互いに所定の間隔を隔てて配置される、第1ゲート電極層58A、第2ゲート電極層58B、第3ゲート電極層58C、および、第4ゲート電極層58Dを形成する。

【0208】

次に、図43を参照して、第5半導体層55の上に、所定の開口パターンを有する酸化膜を形成し（図示省略）、この酸化膜をマスクにして、第1ゲート電極層58A、第2ゲート電極層58B、第3ゲート電極層58C、および、第4ゲート電極層58Dの配置方向に沿って第1ゲート電極層58A、第2ゲート電極層58B、第3ゲート電極層58C、
10
および、第4ゲート電極層58Dを両側から挟みこむように、第5半導体層55中の所定領域に不純物を導入して、下面が第2半導体層52にまで延在し、第2半導体層52および前記第4半導体層54の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6, 8を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成（OCID等）、コンタクトホール開口・A1配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図38に示す本実施の形態における横型接合型電界効果トランジスタ500が完成する。

【0209】

なお、上記実施の形態1～5においては、上記ゲート電極層、不純物注入領域は、その厚
20
みによっては、不純物の注入を複数回に分けて行なう場合が考えられる。また、この場合には、その前工程のn層、p層のエピタキシャル成長を一度停止して不純物の注入を行ない、その後エピタキシャル成長を再開する方法も考えられる。

【0210】

また、ソース/ドレイン領域層の形成は、その深さによっては、複数回の注入に分けて行なうことも考えられる。この場合、ゲート電極層および不純物注入領域の形成のための不純物注入を行なう段階でも、ソース/ドレイン領域層および不純物領域層の形成のための不純物注入を行なう場合が考えられる。

【0211】

（作用効果）

以上、上記構成からなる横型JFETおよびその製造方法によれば、複数の横型JFETにおいてpn接合を縦方向に配置し、ゲート電極層を横方向に配置した構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることも可能になる。また、第2半導体層52と、第3半導体層53と、第4半導体層54と、第5半導体層55との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0212】

なお、図40に示すように、さらにオン抵抗を下げるため、チャネル数を増加させる目的から、第1ゲート電極層58Aと第2ゲート電極層58Bとの間に、下面が第2半導体層52にまで延在するように設けられ、第1ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物注入領域59Aを設け、同様に、第2ゲート電極層58Bと第3ゲート電極層58Cとの間に、下面が第2半導体層52にまで延在するように設けられ、第1ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物注入領域59B、および、第3ゲート電極層58Cと第4ゲート電極層58Dとの間に、下面が第2半導体層52にまで延在するように設けられ、第1ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物注入領域59Cを設ける構造を採用することも可能である。

【0213】

また、図40に示す構造において、第1ゲート電極層58Aと不純物注入領域59Aとの間の間隔（ w_{51} ）および不純物注入領域59Aと第2ゲート電極層58Bとの間隔（ w 50

52) が、第2半導体層52と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔、および第4半導体層54と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けることで、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

【0214】

また、より好ましくは、第1ゲート電極層58Aに最も近接する上記不純物注入領域59Aと第1ゲート電極層58Aとの間の間隔(w51)、不純物注入領域同士の間隔(w53)、および第2ゲート電極層58Bに最も近接する不純物注入領域59Bと第2ゲート電極層58Bとの間の間隔w54が、いずれも、第2半導体層52と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔、および第4半導体層54と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことが好ましい。

10

【0215】

なお、ゲート電極層および不純物注入領域が設けられる数量については、横型JFETに要求される性能に応じて、適宜変更が可能である。

【0216】

なお、第4半導体層54と第5半導体層55との間に、第3半導体層53と第4半導体層54とほぼ同じ構造を1つ以上有する構造を採用することにより、横型JFETの特性をより向上させることが可能になる。

【0217】

20

(実施の形態6)

(横型接合型電界効果トランジスタ600の構造)

以下、実施の形態6における横型接合型電界効果トランジスタ600の構造について、図44および図45を参照して説明する。なお、図44は本実施の形態における横型接合型電界効果トランジスタ600の構造を示す断面図であり、図45は図44中XLV-XLV線矢視断面図である。

【0218】

本実施の形態における横型接合型電界効果トランジスタ600の構造的特徴は、pn接合およびゲート電極層を横方向に配置するようにしたものである。

【0219】

30

この横型接合型電界効果トランジスタ600は、Si等からなる半導体基板上2に位置するp型不純物を含む第1半導体層61と、この第1半導体層61の上に位置し、p型不純物を含む第2半導体層62と、第1半導体層61の上に、かつ、第2半導体層62の横方向に隣接して位置し、n型不純物を含む第3半導体層63と、第1半導体層61の上に、かつ、第3半導体層63の横方向に隣接して位置し、p型不純物を含む第4半導体層64と、第1半導体層61の上に、かつ、第4半導体層64の横方向に隣接して位置し、n型不純物を含む第5半導体層65と、第1半導体層61の上に、かつ、第5半導体層65の横方向に隣接して位置し、p型不純物を含む第6半導体層66と、第1半導体層61の上に、かつ、第6半導体層66の横方向に隣接して位置し、n型不純物を含む第7半導体層67とが設けられている。

40

【0220】

ここで、第1半導体層61の材質はSiC、膜厚は3 μ m~4 μ m程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層62、第3半導体層63、第4半導体層64、第5半導体層65、第6半導体層66、および、第7半導体層67の材質はSiC、膜厚は0.5 μ m~1.0 μ m程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。なお、第2半導体層62~第7半導体層67の膜厚は、図44の奥行き方向の厚みを示す。

【0221】

2半導体層62、3半導体層63、第4半導体層64、第5半導体層65、第6半導体層66および第7半導体層67中において所定の間隔を隔てて設けられ、第3半導体層6

50

3、第5半導体層65、および、第7半導体層67の不純物濃度よりも高い濃度のn型の不純物を含むソース/ドレイン領域層6, 8が設けられる。ソース/ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0222】

第2半導体層62中のソース/ドレイン領域層6, 8の間には、その一方の側面が第3半導体層63にまで延在するように設けられ、第3半導体層63の不純物濃度よりも高いp型の不純物濃度を有する第1ゲート電極層68Aが設けられている。

【0223】

また、第4半導体層64中のソース/ドレイン領域層6, 8の間には、その一方の側面が第5半導体層65にまで延在するように設けられ、第1ゲート電極層68Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第2ゲート電極層68Bが設けられている。

10

【0224】

また、第6半導体層66中のソース/ドレイン領域層6, 8の間には、その一方の側面が第7半導体層67にまで延在するように設けられ、第1ゲート電極層68Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3ゲート電極層68Cが設けられている。

【0225】

第1ゲート電極層68A、第2ゲート電極層68B、および、第3ゲート電極層68Cの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

20

【0226】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1ゲート電極68Aと、第3半導体層63の第1ゲート電極層68Aと接しない面との間の間隔(w61)が、第3半導体層63と第1ゲート電極層68Aとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設けられ、第2ゲート電極層68Bと第5半導体層65の第2ゲート電極層68Bと接しない面との間隔(w62)が、第5半導体層65と第2ゲート電極層68Bとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設ければ良い。

【0227】

(横型接合型電界効果トランジスタ600の製造方法)

30

次に、上記構成からなる横型接合型電界効果トランジスタ600の製造方法について、図46～図50を参照して説明する。なお、図46～図50は図44に示す断面構造にしたがった製造工程を示す断面図である。

【0228】

図46を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層61をエピタキシャル成長により形成する。

【0229】

次に、図47を参照して、この第1半導体層61の上に、n型不純物を含む厚さ $1 \mu\text{m} \sim 2 \mu\text{m}$ 程度、不純物濃度が第1半導体層61よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる半導体層60Aをエピタキシャル成長により形成する。

40

【0230】

次に、図48を参照して、半導体層60A中の所定領域に、基板2の平面方向(奥行き方向)に沿って所定の間隔を隔ててp型不純物を導入することにより、それぞれ奥行き方向の膜厚さが $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度の、p型第2半導体層62、n型第3半導体層63、p型第4半導体層64、n型第5半導体層65、p型第6半導体層66、および、n型第7半導体層67を形成する。

【0231】

次に、図49を参照して、第2半導体層62、第3半導体層63、第4半導体層64、第

50

5 半導体層 6 5、第 6 半導体層 6 6、および、第 7 半導体層 6 7 中の所定領域に p 型の不純物を導入することにより、第 2 半導体層 6 2 と第 3 半導体層 6 3 との間、第 4 半導体層 6 4 と第 5 半導体層 6 5 との間、第 6 半導体層 6 6 と第 7 半導体層 6 7 との間において、それぞれの領域をまたがるように、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第 1 ゲート電極層 6 8 A、第 2 ゲート電極層 6 8 B、および、第 3 ゲート電極層 6 8 C を形成する。

【0232】

次に、図 5 0 を参照して、第 2 半導体層 6 2、第 3 半導体層 6 3、第 4 半導体層 6 4、第 5 半導体層 6 5、第 6 半導体層 6 6、および、第 7 半導体層 6 7 中の所定領域に n 型の不純物を導入することにより、第 2 半導体層 6 2、第 3 半導体層 6 3、第 4 半導体層 6 4、第 5 半導体層 6 5、第 6 半導体層 6 6、および、第 7 半導体層 6 7 が配置される方向に沿うとともに、第 1 ゲート電極層 6 8 A、第 2 ゲート電極層 6 8 B、および、第 3 ゲート電極層 6 8 C を挟み込み、第 3 半導体層 6 3 の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の n 型の不純物を含むソース/ドレイン領域層 6 , 8 を形成する。その後、図示していないが、表面熱酸化・開口・Ni 電極形成、絶縁層形成 (OCD 等)、コンタクトホール開口・Al 配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図 4 4 に示す本実施の形態における横型接合型電界効果トランジスタ 6 0 0 が完成する。

【0233】

(作用効果)

以上、上記構成からなる横型 J F E T およびその製造方法によれば、半導体基板 2 上に設けられる各半導体層が、半導体基板 2 上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。また、第 2 半導体層 6 2 と、第 3 半導体層 6 3 と、第 4 半導体層 6 4 と、第 5 半導体層 6 5 と、第 6 半導体層 6 6 と、第 7 半導体層 6 7 との不純物濃度および膜厚さを略同じ値にすることにより、横型 J F E T のオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0234】

なお、半導体層およびゲート電極層を設ける数量については、横型 J F E T に要求される性能によって決定されることができ、たとえば、半導体層を 3 層、ゲート電極層を 2 層設ける構造や、半導体層を 4 層、ゲート電極層を 3 層設ける構造の採用が可能である。

【0235】

(実施の形態 7)

(横型接合型電界効果トランジスタ 7 0 0 の構造)

以下、実施の形態 7 における横型接合型電界効果トランジスタ 7 0 0 の構造について、図 5 1 および図 5 2 を参照して説明する。なお、図 5 1 は本実施の形態における横型接合型電界効果トランジスタ 7 0 0 の構造を示す断面図であり、図 5 2 は図 5 1 中 L I I - L I I 線矢視断面図である。

【0236】

本実施の形態における横型接合型電界効果トランジスタ 7 0 0 の構造的特徴は、上記横型接合型電界効果トランジスタ 6 0 0 と同様に、p n 接合およびゲート電極層を横方向に配置するようにしたものである。

【0237】

この横型接合型電界効果トランジスタ 7 0 0 は、Si 等からなる半導体基板 2 上に位置する p 型不純物を含む第 1 半導体層 7 1 と、この第 1 半導体層 7 1 の上に位置し、p 型不純物を含む第 2 半導体層 7 2 と、第 1 半導体層 7 1 の上に、かつ、第 2 半導体層 7 2 の横方向に隣接して位置し、n 型不純物を含む第 3 半導体層 7 3 と、第 1 半導体層 7 1 の上に、かつ、第 3 半導体層 7 3 の横方向に隣接して位置し、p 型不純物を含む第 4 半導体層 7 4 と、第 1 半導体層 7 1 の上に、かつ第 4 半導体層 7 4 の横方向隣接して位置し、n 型不純物を含む第 5 半導体層 7 5 と、第 1 半導体層 7 1 の上に、かつ、第 5 半導体層 7 5 の横方

10

20

30

40

50

向に隣接して位置し、p型不純物を含む第6半導体層76と、第1半導体層71の上に、かつ第6半導体層76の横方向に隣接して位置し、n型不純物を含む第7半導体層77とが設けられている。

【0238】

ここで、第1半導体層71の材質はSiC、膜厚は $3\mu\text{m} \sim 4\mu\text{m}$ 程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76、および、第7半導体層77の材質はSiC、膜厚は $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。なお、第2半導体層72～第7半導体層77の膜厚は、図51の奥行き方向の厚みを示す。

10

【0239】

第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76および第7半導体層77中において所定の間隔を隔てて設けられ、第3半導体層73、第5半導体層75、および、第7半導体層77の不純物濃度よりも高い濃度のn型の不純物を含むソース/ドレイン領域層6, 8が設けられる。ソース/ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0240】

第2半導体層72中のソース/ドレイン領域層6, 8の間には、その一方の側面が第3半導体層73にまで延在するように設けられ、第3半導体層73の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層78Aが設けられている。

20

【0241】

また、第4半導体層74中のソース/ドレイン領域層6, 8の間には、その一方の側面が第5半導体層75にまで延在するように設けられ、第1ゲート電極層78Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2ゲート電極層78Bが設けられている。

【0242】

また、第6半導体層76中のソース/ドレイン領域層6, 8の間には、その一方の側面が第7半導体層77にまで延在するように設けられ、第1ゲート電極層78Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第3ゲート電極層78Cが設けられている。

【0243】

また、第4半導体層74と第1ゲート電極層78Aとに挟まれた第3半導体層73には、第1ゲート電極層78Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第1不純物注入領域79Aが設けられている。

30

【0244】

また、第2ゲート電極層78Bと、第5半導体層75の第2ゲート電極層78Bと接しない面とに挟まれた第5半導体層75には、第1ゲート電極層78Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第2不純物注入領域79Bが設けられている。

【0245】

また、第3ゲート電極層78Cと、第7半導体層77の第3ゲート電極層78Cと接しない面とに挟まれた第7半導体層77には、第1ゲート電極層78Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3不純物注入領域79Cが設けられている。

40

【0246】

なお、図51においては、第1不純物注入領域79A、第2不純物注入領域79B、および、第3不純物注入領域79Cを一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第1不純物注入領域79A、第2不純物注入領域79B、および、第3不純物注入領域79Cをそれぞれ複数層設けることも可能である。

【0247】

なお、第1ゲート電極層78A、第2ゲート電極層78B、第3ゲート電極層78C、第1不純物注入領域79A、第2不純物注入領域79B、および、第3不純物注入領域79Cの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

50

【0248】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1ゲート電極層78Aと第1不純物注入領域79Aとの最も近接する面同士の間隔(w_{71})が、第3半導体層73と第1ゲート電極層78Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第1不純物注入領域79Aと、第3半導体層73の第1ゲート電極層78Aと接しない面との間隔(w_{72})が、第3半導体層73と第1ゲート電極層78Aとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設けられ、第2ゲート電極層78Bと第2不純物注入領域79Bとの最も近接する面同士の間隔(w_{73})が、第5半導体層75と第2ゲート電極層78Bとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第2不純物注入領域79Bと、第5半導体層75の第2ゲート電極層78Bと接しない面との間隔 w_{74} が、第5半導体層75と第2ゲート電極層78Bとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設ければ良い。

10

【0249】

(横型接合型電界効果トランジスタ700の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ700の製造方法について、図53～図57を参照して説明する。なお、図53～図57は図51に示す断面構造にしたがった製造工程を示す断面図である。

【0250】

図53を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3\mu\text{m} \sim 4\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層71をエピタキシャル成長により形成する。

20

【0251】

次に、図54を参照して、この第1半導体層71の上に、n型不純物を含む厚さ $1\mu\text{m} \sim 2\mu\text{m}$ 程度、不純物濃度が第1半導体層71よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる半導体層70Aをエピタキシャル成長により形成する。

【0252】

次に、図55を参照して、半導体層70A中の所定領域に、基板2の平面方向(奥行き方向)に沿って所定の間隔を隔ててp型不純物を導入することにより、それぞれ奥行き方向の膜厚さが $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度の、p型第2半導体層72、n型第3半導体層73、p型第4半導体層74、n型第5半導体層75、p型第6半導体層76、および、n型第7半導体層77を形成する。

30

【0253】

次に、図56を参照して、第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76、および、第7半導体層77中の所定領域にp型の不純物を導入することにより、第2半導体層72と第3半導体層73との間、第4半導体層74と第5半導体層75との間、第6半導体層76と第7半導体層77との間において、それぞれの領域をまたがるように、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第1ゲート電極層78A、第2ゲート電極層78B、および、第3ゲート電極層78Cを形成する。また、同時に、第3半導体層73、第5半導体層75、および、第7半導体層77の中に、第1ゲート電極層78A、第2ゲート電極層78B、および、第3ゲート電極層78Cとほぼ同じ $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度不純物濃度えお有し、かつ、同電位を有する第1不純物注入領域79A、第2不純物注入領域79B、および、第3不純物注入領域79Cを形成する。

40

【0254】

次に、図57を参照して、第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76、および、第7半導体層77中の所定領域にn型の不純物を導入することにより、第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76、および、第7半導体層77が配置される方向に沿

50

うとともに、第1ゲート電極層78A、第2ゲート電極層78B、第3ゲート電極層78C、第1不純物注入領域79A、第2不純物注入領域79B、および、第3不純物注入領域79Cを挟み込み、第3半導体層73の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6, 8を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成(OC D等)、コンタクトホール開口・Al配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図51に示す本実施の形態における横型接合型電界効果トランジスタ700が完成する。

【0255】

(作用効果)

以上、上記構成からなる横型JFETおよびその製造方法によれば、半導体基板2上に設けられる各半導体層が、半導体基板2上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第2半導体層72と、第3半導体層73と、第4半導体層74と、第5半導体層75と、第6半導体層76と、第7半導体層77との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0256】

なお、半導体層、ゲート電極層、および不純物注入領域を設ける数量については、横型JFETに要求される性能によって決定されることができ、たとえば、半導体層を3層、ゲート電極層を2層、不純物注入領域を1層設ける構造や、半導体層を4層、ゲート電極層を2層、不純物注入領域を2層設ける構造の採用が可能である。

【0257】

(実施の形態8)

以下、実施の形態8における横型接合型電界効果トランジスタ800の構造について、図58および図59を参照して説明する。なお、図58は本実施の形態における横型接合型電界効果トランジスタ800の構造を示す断面図であり、図59は図58中LIX-LIX線矢視断面図である。

【0258】

本実施の形態における横型接合型電界効果トランジスタ800の構造的特徴は、上記横型接合型電界効果トランジスタ600と同様に、pn接合およびゲート電極層を横方向に配置するようにしたものである。

【0259】

この横型接合型電界効果トランジスタ800は、Si等からなる半導体基板2上に位置するp型不純物を含む第1半導体層81と、この第1半導体層81の上に位置し、p型不純物を含む第2半導体層82と、第1半導体層81の上に、かつ、第2半導体層82の横方向に隣接して位置し、n型不純物を含む第3半導体層83と、第1半導体層81の上に、かつ第3半導体層83の横方向に隣接して位置し、p型不純物を含む第4半導体層84と、第1半導体層81の上に、かつ第4半導体層84の横方向に隣接して位置し、n型不純物を含む第5半導体層85と、第1半導体層81の上に、かつ、第5半導体層85の横方向に隣接して位置し、p型不純物を含む第6半導体層と、第1半導体層81の上に、かつ第6半導体層86の横方向に隣接して位置し、n型不純物を含む第7半導体層87と、第1半導体層81の上に、かつ、第7半導体層87の横方向に隣接して位置し、p型不純物を含む第8半導体層(88)とが設けられている。

【0260】

ここで、第1半導体層81の材質はSiC、膜厚は $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層82、第3半導体層83、第4半導体層84、第5半導体層85、第6半導体層86、第7半導体層87、および、第8半導体層88の材質はSiC、膜厚は $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。なお、第2半導体層82～第8半導体層87の

10

20

30

40

50

膜厚は、図 5 8 の奥行き方向の厚みを示す。

【 0 2 6 1 】

第 2 半導体層 8 2、第 3 半導体層 8 3、第 4 半導体層 8 4、第 5 半導体層 8 5、第 6 半導体層 8 6、第 7 半導体層 8 7、および、第 8 半導体層 8 8 中において所定の間隔を隔てて設けられ、第 3 半導体層 8 3、第 5 半導体層 8 5、および、第 7 半導体層 8 7 の不純物濃度よりも高い濃度の n 型の不純物を含むソース/ドレイン領域層 6，8 が設けられる。ソース/ドレイン領域層 6，8 の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【 0 2 6 2 】

第 2 半導体層 8 2 中のソース/ドレイン領域層 6，8 の間には、その一方の側面が上記第 3 半導体層 8 3 にまで延在するように設けられ、第 3 半導体層 8 3 の不純物濃度よりも高い p 型の不純物濃度を含む第 1 ゲート電極層 8 8 A が設けられている。

10

【 0 2 6 3 】

また、第 4 半導体層 8 4 中のソース/ドレイン領域層 6，8 の間には、その一方の側面が第 3 半導体層 8 3 にまで延在し、他方の側面が第 5 半導体層 8 5 にまで延在するように設けられ、第 1 ゲート電極層 8 8 A とほぼ同じ不純物濃度を有し、かつ同電位を有する p 型の第 2 ゲート電極層 8 8 B が設けられている。

【 0 2 6 4 】

また、第 6 半導体層 8 6 中のソース/ドレイン領域層 6，8 の間には、その一方の側面が第 5 半導体層 8 5 にまで延在し、他方の側面が第 7 半導体層 8 7 にまで延在するように設けられ、第 1 ゲート電極層 8 8 A とほぼ同じ不純物濃度を有し、かつ同電位を有する p 型の第 3 ゲート電極層 8 8 C が設けられている。

20

【 0 2 6 5 】

また、第 8 半導体層 8 8 中のソース/ドレイン領域層 6，8 の間には、その一方の側面が第 7 半導体層 8 7 にまで延在するように設けられ、第 1 ゲート電極層 8 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 4 ゲート電極層 8 8 D が設けられている。

【 0 2 6 6 】

なお、第 1 ゲート電極層 8 8 A、第 2 ゲート電極層 8 8 B、第 3 ゲート電極層 8 8 C、および、第 4 ゲート電極層 8 8 D の不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

30

【 0 2 6 7 】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 ゲート電極層 8 8 A と、第 2 ゲート電極層 8 8 B の最も近接する面同士の間隔 (w 8 1) が、第 3 半導体層 8 3 と第 1 ゲート電極層 8 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設けられ、第 2 ゲート電極層 8 8 B と第 3 ゲート電極層 8 8 C の最も近接する面同士の間隔 (w 8 2) が、第 3 半導体層 8 3 と第 1 ゲート電極層 8 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設ければ良い。

【 0 2 6 8 】

40

(横型接合型電界効果トランジスタ 8 0 0 の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ 8 0 0 の製造方法について、図 6 0 ~ 図 6 4 を参照して説明する。なお、図 6 0 ~ 図 6 4 は図 5 8 に示す断面構造にしたがった製造工程を示す断面図である。

【 0 2 6 9 】

図 6 0 を参照して、S i 等からなる半導体基板 2 上に、p 型不純物を含む厚さ $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度の S i C からなる第 1 半導体層 8 1 をエピタキシャル成長により形成する。

【 0 2 7 0 】

次に、図 6 1 を参照して、この第 1 半導体層 8 1 の上に、n 型不純物を含む厚さ $1 \mu\text{m} \sim$

50

2 μm 程度、不純物濃度が第1半導体層81よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる半導体層80Aをエピタキシャル成長により形成する。

【0271】

次に、図62を参照して、半導体層80A中の所定領域に、基板2の平面方向（奥行き方向）に沿って所定の間隔を隔ててp型不純物を導入することにより、それぞれ奥行き方向の膜厚さが0.5 $\mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度の、p型第2半導体層82、n型第3半導体層83、p型第4半導体層84、n型第5半導体層85、p型第6半導体層86、n型第7半導体層87、および、p型第7半導体層88を形成する。

【0272】

次に、図63を参照して、第2半導体層82、第3半導体層83、第4半導体層84、第5半導体層85、第6半導体層86、および、第7半導体層87中の所定領域にp型の不純物を導入することにより、第2半導体層82と第3半導体層83との間、第3半導体層84と第5半導体層85との間、第5半導体層85と第7半導体層87との間、第7半導体層87と第8半導体層88との間において、それぞれの領域をまたがるように、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第1ゲート電極層88A、第2ゲート電極層88B、第3ゲート電極層88C、および、第4ゲート電極層88Dを形成する。

【0273】

次に、図64を参照して、第2半導体層82、第3半導体層83、第4半導体層84、第5半導体層85、第6半導体層86、第7半導体層87、および、第8半導体層88中の所定領域にn型の不純物を導入することにより、第2半導体層82、第3半導体層83、第4半導体層84、第5半導体層85、第6半導体層86、第7半導体層87、および、第8半導体層88が配置される方向に沿うとともに、第1ゲート電極層88A、第2ゲート電極層88B、第3ゲート電極層88C、および第4ゲート電極層88Dを挟み込み、第3半導体層83の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6, 8を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成（OCD等）、コンタクトホール開口・Al配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図51に示す本実施の形態における横型接合型電界効果トランジスタ800が完成する。

【0274】

（作用効果）

以上、上記構成からなる横型JFETによれば、半導体基板2上に設けられる各半導体層が、半導体基板2上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第2半導体層82と、第3半導体層83と、第4半導体層84と、第5半導体層85と、第6半導体層86と、第7半導体層87、第8半導体層88との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0275】

なお、半導体層およびゲート電極層を設ける数量については、横型JFETに要求される性能によって決定されることができ、たとえば、半導体層を3層、ゲート電極層を2層設ける構造や、半導体層を4層、ゲート電極層を3層設ける構造の採用が可能である。

【0276】

なお、上記実施の形態6～8に示す製造方法においては、デバイスの厚み（第2半導体層の図中の縦方向の厚み）によっては、複数回に分けてのイオン注入を行なうことも考えられる。この場合、各半導体層、各ゲート電極層、ソース/ドレイン領域層の各工程を複数回繰返して行ない、所望の厚みのデバイスを形成することになる。

【0277】

10

20

30

40

50

(実施の形態 9)

(横型接合型電界効果トランジスタ 900 の構造)

以下、実施の形態 9 における横型接合型電界効果トランジスタ 900 の構造について、図 65 および図 66 を参照して説明する。なお、図 65 は本実施の形態における横型接合型電界効果トランジスタ 900 の構造を示す断面図であり、図 66 は図 65 中 L X V I - L X V I 線矢視断面図である。

【0278】

本実施の形態における横型接合型電界効果トランジスタ 900 の構造的特徴は、上記横型接合型電界効果トランジスタ 600 と同様に、p n 接合およびゲート電極層を横方向に配置するようにしたものである。

10

【0279】

この横型接合型電界効果トランジスタ 900 は、Si 等からなる半導体基板 2 上に位置する p 型不純物を含む第 1 半導体層 91 と、この第 1 半導体層 91 上に位置し、p 型不純物を含む第 2 半導体層 92 と、第 1 半導体層 91 の上に、かつ、第 2 半導体層 92 の横方向に隣接して位置し、n 型不純物を含む第 3 半導体層 93 と、第 1 半導体層 91 の上に、かつ、第 3 半導体層 93 の横方向に隣接して位置し、p 型不純物を含む第 4 半導体層 94 と、第 1 半導体層 91 の上に、かつ、第 4 半導体層 94 の横方向に隣接して位置し、n 型不純物を含む第 5 半導体層 95 と、第 1 半導体層 91 の上に、かつ、第 5 半導体層 95 の横方向に隣接して位置し、p 型不純物を含む第 6 半導体層 96 とが設けられている。

【0280】

20

ここで、第 1 半導体層 91 の材質は SiC、膜厚は $3\ \mu\text{m} \sim 4\ \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{16}\ \text{cm}^{-3}$ 程度に設けられ、第 2 半導体層 92、第 3 半導体層 93、第 4 半導体層 94、第 5 半導体層 95、および、第 6 半導体層 96 の材質は SiC、膜厚は $0.5\ \mu\text{m} \sim 1.0\ \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17}\ \text{cm}^{-3} \sim 3 \times 10^{17}\ \text{cm}^{-3}$ 程度に設けられる。なお、第 2 半導体層 92 ~ 第 6 半導体層 96 の膜厚は、図 14 の奥行き方向の厚みを示す。

【0281】

第 2 半導体層 92、第 3 半導体層 93、第 4 半導体層 94、第 5 半導体層 95、および、第 6 半導体層 96 中において所定の間隔を隔てて設けられ、第 3 半導体層 93 および第 5 半導体層 95 の不純物濃度よりも高い濃度の n 型の不純物を含むソース/ドレイン領域層 6, 8 が設けられる。ソース/ドレイン領域層 6, 8 の不純物濃度は $1 \times 10^{19}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ 程度に設けられる。

30

【0282】

第 2 半導体層 92 中のソース/ドレイン領域層 6, 8 の間には、その一方の側面が第 3 半導体層 93 にまで延在するように設けられ、第 3 半導体層 93 の不純物濃度よりも高い p 型の不純物濃度を含む第 1 ゲート電極層 98A が設けられている。

【0283】

また、第 4 半導体層 94 中のソース/ドレイン領域層 6, 8 の間には、その一方の側面が第 3 半導体層 93 にまで延在し、他方の側面が第 5 半導体層 95 にまで延在するように設けられ、第 1 ゲート電極層 98A とほぼ同じ不純物濃度を有し、かつ同電位を有する p 型の第 2 ゲート電極層 98B が設けられている。

40

【0284】

また、第 6 半導体層 96 中のソース/ドレイン領域層 6, 8 の間には、その一方の側面が第 5 半導体層 95 にまで延在するように設けられ、第 1 ゲート電極層 98A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 3 ゲート電極層 98C が設けられている。

【0285】

また、第 1 ゲート電極層 98A と第 2 ゲート電極層 98B とに挟まれた第 3 半導体層 98B には、第 1 ゲート電極層 98A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 1 不純物注入領域 99A が設けられている。

50

【0286】

また、第2ゲート電極層98Bと第3ゲート電極層98Cとに挟まれた第5半導体層95には、第1ゲート電極層98Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2不純物注入領域99Bが設けられている。

【0287】

なお、図65においては、第1不純物注入領域99A、および、第2不純物注入領域99Bを一層設ける場合を図示しているが、総チャンネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第1不純物注入領域99A、および、第2不純物注入領域99Bをそれぞれ複数層設けることも可能である。

10

【0288】

なお、第1ゲート電極層98A、第2ゲート電極層98B、第3ゲート電極層98C、第1不純物注入領域99A、第2不純物注入領域99B、および、第3不純物注入領域99Cの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

【0289】

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1ゲート電極層98Aと、第1不純物注入領域99Aの最も近接する面同士の間隔(w_{91})が、第3半導体層93と第1ゲート電極層98Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第1不純物注入領域99Aと、第2ゲート電極層98Bの最も近接する面同士の間隔(w_{92})が、第3半導体層93と第1ゲート電極層98Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第2ゲート電極層98Bと、第2不純物注入領域99Bの最も近接する面同士の間隔(w_{93})が、第3半導体層93と第1ゲート電極層98Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第2不純物注入領域99Bと、第3ゲート電極層98Cの最も近接する面同士の間隔(w_{94})が、第3半導体層93と第1ゲート電極層98Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設ければ良い。

20

【0290】

(横型接合型電界効果トランジスタ900の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ900の製造方法について、図67～図71を参照して説明する。なお、図67～図71は図65に示す断面構造にしたがった製造工程を示す断面図である。

30

【0291】

図67を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層91をエピタキシャル成長により形成する。

【0292】

次に、図68を参照して、この第1半導体層91の上に、n型不純物を含む厚さ $1 \mu\text{m} \sim 2 \mu\text{m}$ 程度、不純物濃度が第1半導体層91よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる半導体層90Aをエピタキシャル成長により形成する。

40

【0293】

次に、図69を参照して、半導体層90A中の所定領域に、基板2の平面方向(奥行き方向)に沿って所定の間隔を隔ててp型不純物を導入することにより、それぞれ奥行き方向の膜厚さが $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度の、p型第2半導体層92、n型第3半導体層93、p型第4半導体層94、n型第5半導体層95、および、p型第6半導体層96を形成する。

【0294】

次に、図69を参照して、第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96の所定領域にp型の不純物を導入することにより、第2半導体層92と第3半導体層93との間、第3半導体層93と第5半導体層

50

95との間、第5半導体層95と第6半導体層96との間において、それぞれの領域をまたがるように、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の第1ゲート電極層98A、第2ゲート電極層98B、および、第3ゲート電極層98Cを形成する。また、同時に、第3半導体層93、および、第5半導体層95の中に、第1ゲート電極層98A、第2ゲート電極層98B、および、第3ゲート電極層98Cとほぼ同じ $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度不純物濃度を有し、かつ、同電位を有する第1不純物注入領域99A、および、第2不純物注入領域99Bを形成する。

【0295】

次に、図70を参照して、第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96の所定領域にn型の不純物を導入することにより、第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96が配置される方向に沿うとともに、第1ゲート電極層98A、第2ゲート電極層98B、第3ゲート電極層98C、第1不純物注入領域99A、および、第2不純物注入領域99Bを挟み込み、第3半導体層93の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース/ドレイン領域層6, 8を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成(OCID等)、コンタクトホール開口・Al配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図65に示す本実施の形態における横型接合型電界効果トランジスタ900が完成する。

【0296】

(作用効果)

以上、上記構成からなる横型JFETおよびその製造方法によれば、半導体基板2上に設けられる各半導体層が、半導体基板2上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。また、第2半導体層92と、第3半導体層93と、第4半導体層94と、第5半導体層95と、第6半導体層96との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

【0297】

なお、半導体層、ゲート電極層、および不純物注入領域を設ける数量については、横型JFETに要求される性能によって決定されることができ、たとえば、半導体層を3層、ゲート電極層を2層、不純物注入領域を1層設ける構造や、半導体層を4層、ゲート電極層を2層、不純物注入領域を2層設ける構造の採用が可能である。

【0298】

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0299】

【発明の効果】

この発明に基づいた横型接合型電界効果トランジスタおよびその製造方法の1つの局面によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。

【0300】

また、この発明に基づいた横型接合型電界効果トランジスタおよびその製造方法の他の局面によれば、複数の横型JFETにおいてpn接合を縦方向に配置し、ゲート電極層を横方向に配置した構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げるのが可能になる。

【0301】

また、この発明に基づいた横型接合型電界効果トランジスタおよびその製造方法のさらに他の局面によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

【図面の簡単な説明】

【図１】 実施の形態１における横型接合型電界効果トランジスタ１００の構造を示す断面図である。

【図２】 実施の形態１における横型接合型電界効果トランジスタ１００の製造方法を示す第１工程断面図である。

10

【図３】 実施の形態１における横型接合型電界効果トランジスタ１００の製造方法を示す第２工程断面図である。

【図４】 実施の形態１における横型接合型電界効果トランジスタ１００の製造方法を示す第３工程断面図である。

【図５】 実施の形態１における横型接合型電界効果トランジスタ１００の製造方法を示す第４工程断面図である。

【図６】 実施の形態１における横型接合型電界効果トランジスタ１００の製造方法を示す第５工程断面図である。

【図７】 実施の形態１における横型接合型電界効果トランジスタ１００の製造方法を示す第６工程断面図である。

20

【図８】 実施の形態２における横型接合型電界効果トランジスタ２００の構造を示す断面図である。

【図９】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第１工程断面図である。

【図１０】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第２工程断面図である。

【図１１】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第３工程断面図である。

【図１２】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第４工程断面図である。

30

【図１３】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第５工程断面図である。

【図１４】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第６工程断面図である。

【図１５】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第７工程断面図である。

【図１６】 実施の形態２における横型接合型電界効果トランジスタ２００の製造方法を示す第８工程断面図である。

【図１７】 実施の形態３における横型接合型電界効果トランジスタ３００の構造を示す断面図である。

40

【図１８】 実施の形態３における横型接合型電界効果トランジスタ３００の製造方法を示す第１工程断面図である。

【図１９】 実施の形態３における横型接合型電界効果トランジスタ３００の製造方法を示す第２工程断面図である。

【図２０】 実施の形態３における横型接合型電界効果トランジスタ３００の製造方法を示す第３工程断面図である。

【図２１】 実施の形態３における横型接合型電界効果トランジスタ３００の製造方法を示す第４工程断面図である。

【図２２】 実施の形態３における横型接合型電界効果トランジスタ３００の製造方法を示す第５工程断面図である。

50

【図 2 3】 実施の形態 3 における横型接合型電界効果トランジスタ 3 0 0 の製造方法を示す第 6 工程断面図である。

【図 2 4】 実施の形態 3 における横型接合型電界効果トランジスタ 3 0 0 の製造方法を示す第 7 工程断面図である。

【図 2 5】 実施の形態 3 における横型接合型電界効果トランジスタ 3 0 0 の製造方法を示す第 8 工程断面図である。

【図 2 6】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の構造を示す断面図である。

【図 2 7】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 1 工程断面図である。

10

【図 2 8】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 2 工程断面図である。

【図 2 9】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 3 工程断面図である。

【図 3 0】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 4 工程断面図である。

【図 3 1】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 5 工程断面図である。

【図 3 2】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 6 工程断面図である。

20

【図 3 3】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 7 工程断面図である。

【図 3 4】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 8 工程断面図である。

【図 3 5】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 9 工程断面図である。

【図 3 6】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 1 0 工程断面図である。

【図 3 7】 実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の製造方法を示す第 1 1 工程断面図である。

30

【図 3 8】 実施の形態 5 における横型接合型電界効果トランジスタ 5 0 0 の構造を示す断面図である。

【図 3 9】 図 3 8 中 X X X I X - X X X I X 線矢視断面図である。

【図 4 0】 図 3 8 中 X X X I X - X X X I X 線矢視断面図に対応する他の形態の構造を示す断面図である。

【図 4 1】 実施の形態 5 における横型接合型電界効果トランジスタ 5 0 0 の製造方法を示す第 1 工程断面図である。

【図 4 2】 実施の形態 5 における横型接合型電界効果トランジスタ 5 0 0 の製造方法を示す第 2 工程断面図である。

【図 4 3】 実施の形態 5 における横型接合型電界効果トランジスタ 5 0 0 の製造方法を示す第 3 工程断面図である。

40

【図 4 4】 実施の形態 6 における横型接合型電界効果トランジスタ 6 0 0 の構造を示す断面図である。

【図 4 5】 図 4 4 中 X L V - X L V 線矢視断面図である。

【図 4 6】 実施の形態 6 における横型接合型電界効果トランジスタ 6 0 0 の製造方法を示す第 1 工程断面図である。

【図 4 7】 実施の形態 6 における横型接合型電界効果トランジスタ 6 0 0 の製造方法を示す第 2 工程断面図である。

【図 4 8】 実施の形態 6 における横型接合型電界効果トランジスタ 6 0 0 の製造方法を示す第 3 工程断面図である。

50

【図４９】 実施の形態６における横型接合型電界効果トランジスタ６００の製造方法を示す第４工程断面図である。

【図５０】 実施の形態６における横型接合型電界効果トランジスタ６００の製造方法を示す第５工程断面図である。

【図５１】 実施の形態７における横型接合型電界効果トランジスタ７００の構造を示す断面図である。

【図５２】 図５１中ＬＩＩ－ＬＩＩ線矢視断面図である。

【図５３】 実施の形態７における横型接合型電界効果トランジスタ７００の製造方法を示す第１工程断面図である。

【図５４】 実施の形態７における横型接合型電界効果トランジスタ７００の製造方法を示す第２工程断面図である。 10

【図５５】 実施の形態７における横型接合型電界効果トランジスタ７００の製造方法を示す第３工程断面図である。

【図５６】 実施の形態７における横型接合型電界効果トランジスタ７００の製造方法を示す第４工程断面図である。

【図５７】 実施の形態７における横型接合型電界効果トランジスタ７００の製造方法を示す第５工程断面図である。

【図５８】 実施の形態８における横型接合型電界効果トランジスタ８００の構造を示す断面図である。

【図５９】 図５８中ＬＩＸ－ＬＩＸ線矢視断面図である。 20

【図６０】 実施の形態８における横型接合型電界効果トランジスタ８００の製造方法を示す第１工程断面図である。

【図６１】 実施の形態８における横型接合型電界効果トランジスタ８００の製造方法を示す第２工程断面図である。

【図６２】 実施の形態８における横型接合型電界効果トランジスタ８００の製造方法を示す第３工程断面図である。

【図６３】 実施の形態８における横型接合型電界効果トランジスタ８００の製造方法を示す第４工程断面図である。

【図６４】 実施の形態８における横型接合型電界効果トランジスタ８００の製造方法を示す第５工程断面図である。 30

【図６５】 実施の形態９における横型接合型電界効果トランジスタ９００の構造を示す断面図である。

【図６６】 図６５中ＬＸＶＩ－ＬＸＶＩ線矢視断面図である。

【図６７】 実施の形態９における横型接合型電界効果トランジスタ９００の製造方法を示す第１工程断面図である。

【図６８】 実施の形態９における横型接合型電界効果トランジスタ９００の製造方法を示す第２工程断面図である。

【図６９】 実施の形態９における横型接合型電界効果トランジスタ９００の製造方法を示す第３工程断面図である。

【図７０】 実施の形態９における横型接合型電界効果トランジスタ９００の製造方法を示す第４工程断面図である。 40

【図７１】 実施の形態９における横型接合型電界効果トランジスタ９００の製造方法を示す第５工程断面図である。

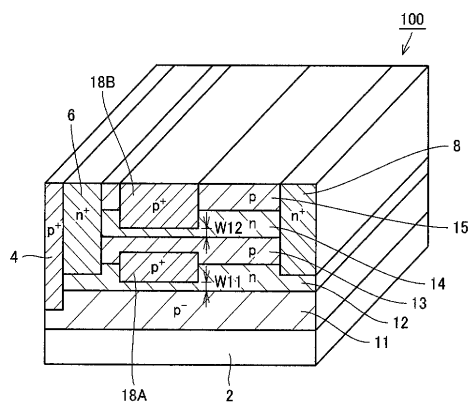
【図７２】 従来の技術における横型接合型電界効果トランジスタの構造を示す断面図である。

【符号の説明】

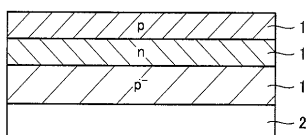
２ 半導体基板、４ 不純物領域層、６，８ ソース／ドレイン領域層、１１，２１，３１，４１，５１，６１，７１，８１，９１ 第１半導体層、１２，２２，３２，４２，５２，６２，７２，８２，９２ 第２半導体層、１３，２３，３３，４３，５３，６３，７３，８３，９３ 第３半導体層、１４，２４，３４，４４，５４，６４，７４，８４，９ 50

4 第4半導体層、15, 25, 35, 45, 55, 65, 75, 85, 95 第5半導体層、18A, 28A, 38A, 48A, 58A, 68A, 78A, 88A, 98A 第1ゲート電極層、18B, 28B, 38B, 48B, 58B, 68B, 78B, 88B, 98B 第2ゲート電極層、38C, 48C, 58C, 68C, 78C, 88C, 98C 第3ゲート電極層、58D, 88D 第4ゲート電極層、29A, 49A, 59A, 79A, 99A 第1不純物注入領域、29B, 49B, 59B, 79B, 99B 第2不純物注入領域、49C, 59C, 79C 第3不純物注入領域、100, 200, 300, 400, 500, 600, 700, 800, 900 横型接合型電界効果トランジスタ。

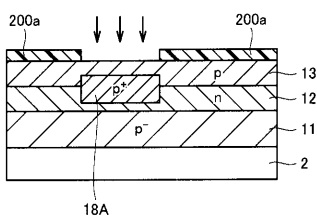
【図1】



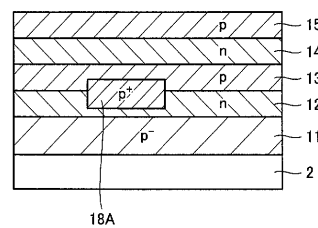
【図2】



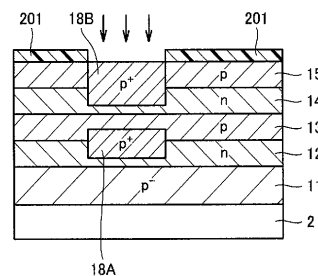
【図3】



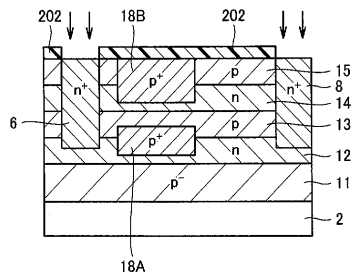
【図4】



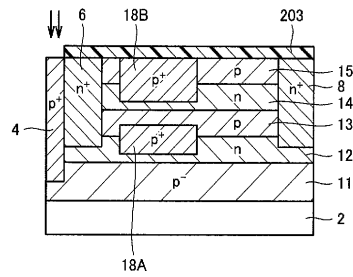
【図5】



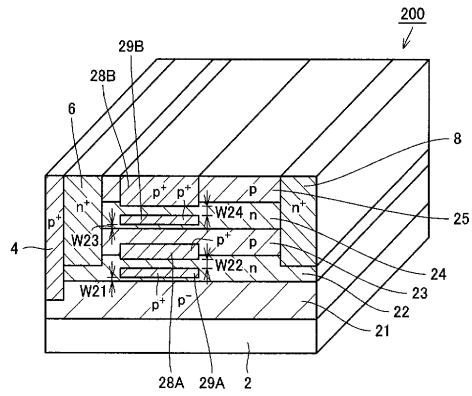
【図 6】



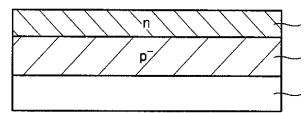
【図 7】



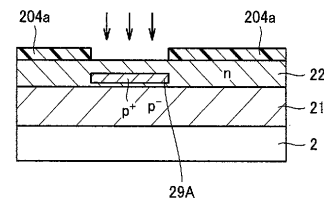
【図 8】



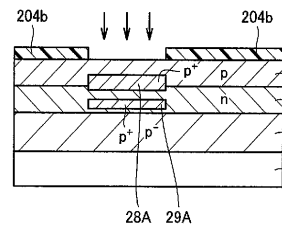
【図 9】



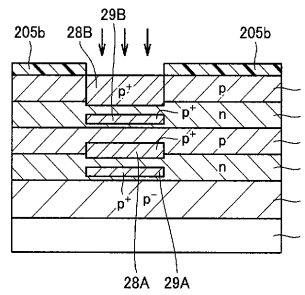
【図 10】



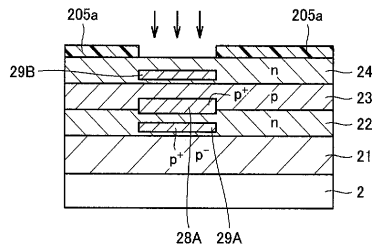
【図 11】



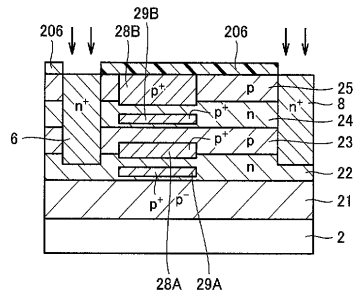
【図 14】



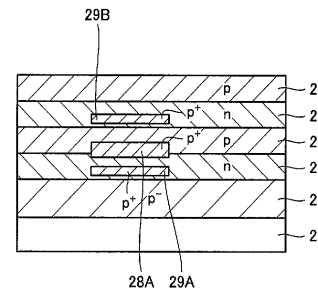
【図 12】



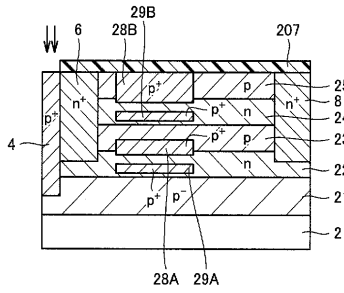
【図 15】



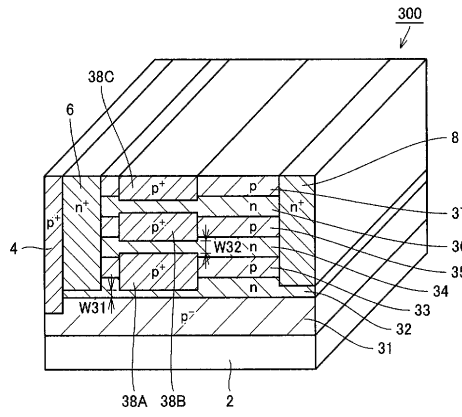
【図 13】



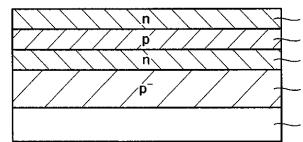
【 図 1 6 】



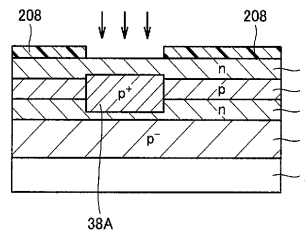
【 図 1 7 】



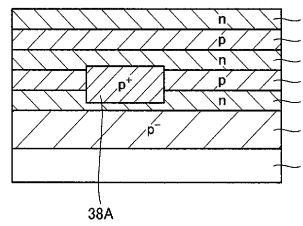
【 図 1 8 】



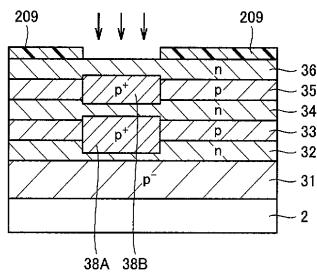
【 図 1 9 】



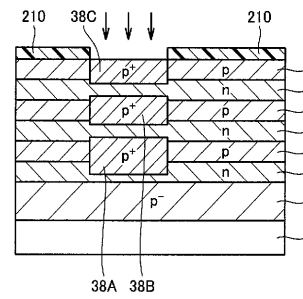
【 ㄨ 2 0 】



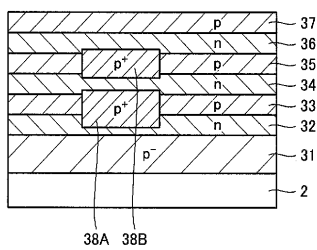
【 図 2 1 】



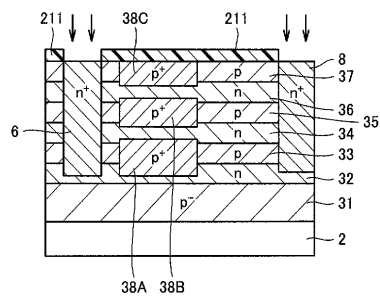
【 図 2 3 】



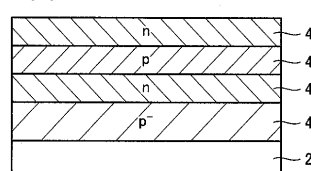
【 図 2 2 】



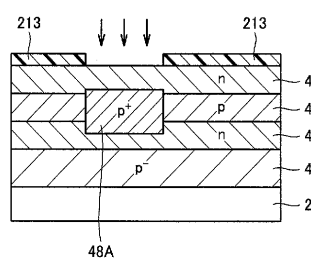
【 ㄨ 2 4 】



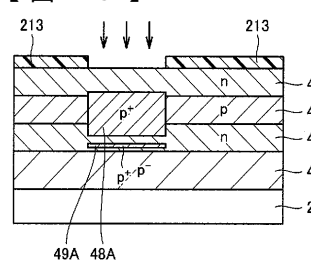
【 図 2 7 】



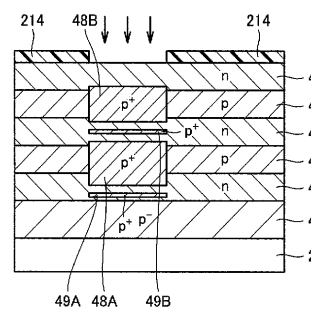
【 図 2 8 】



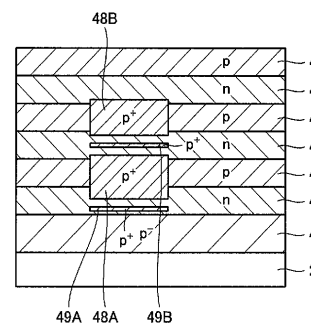
【 図 2 9 】



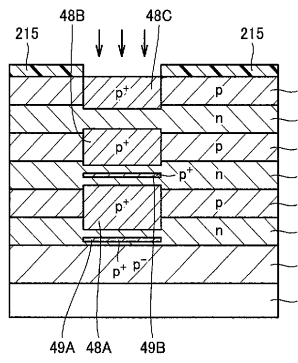
【 図 3 2 】



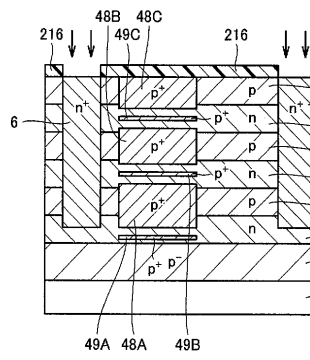
【 図 3 3 】



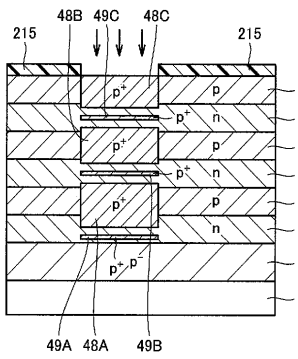
【図 3 4】



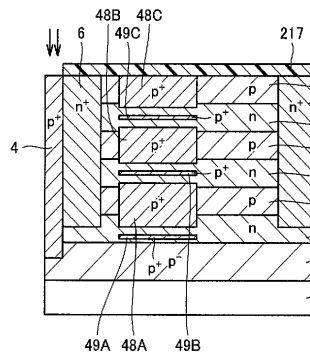
【図 3 6】



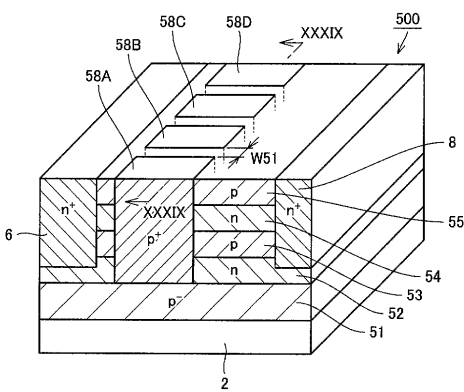
【図 3 5】



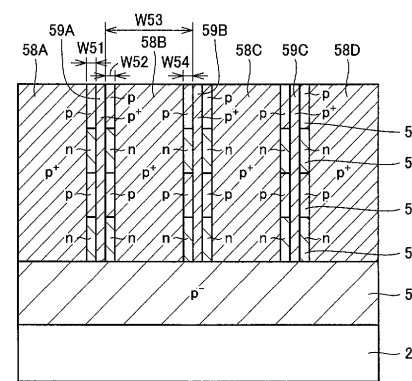
【図 3 7】



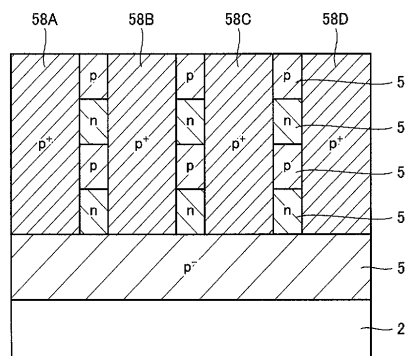
【図 3 8】



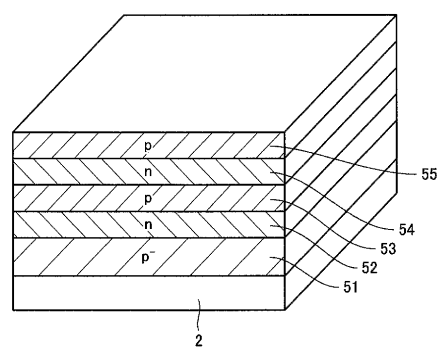
【図 4 0】



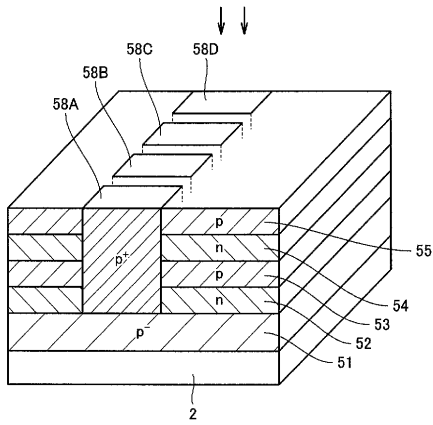
【図 3 9】



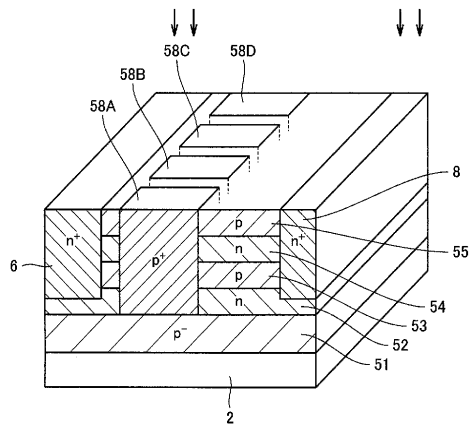
【図 4 1】



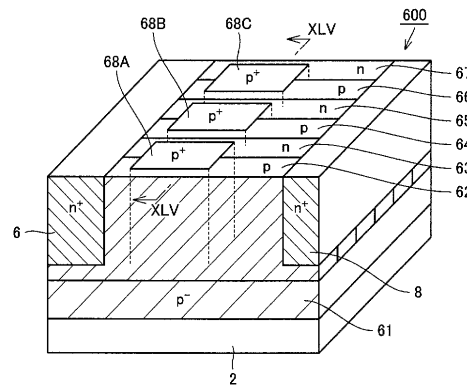
【 図 4 2 】



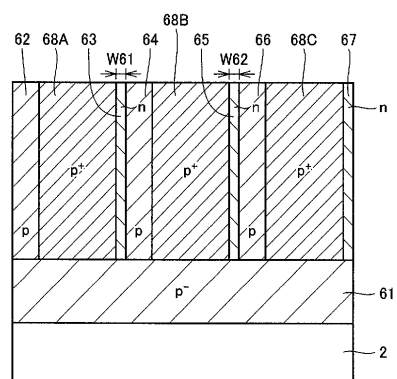
【 図 4 3 】



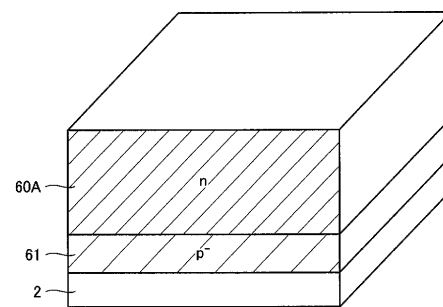
【 図 4 4 】



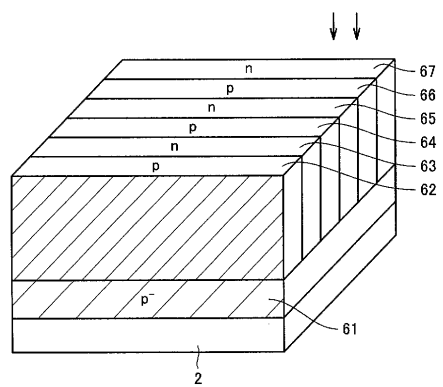
【 図 4 5 】



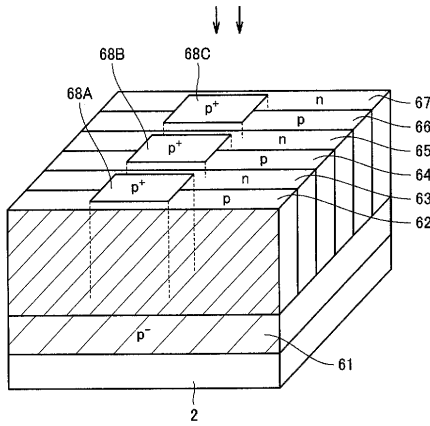
【 図 4 7 】



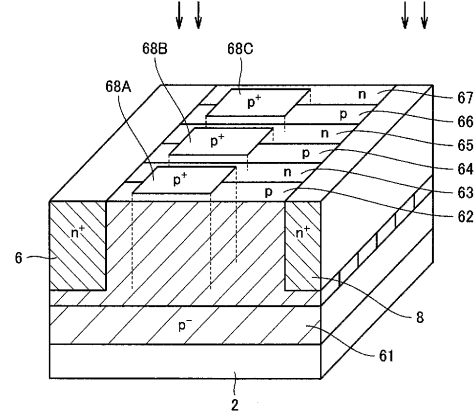
【 図 4 8 】



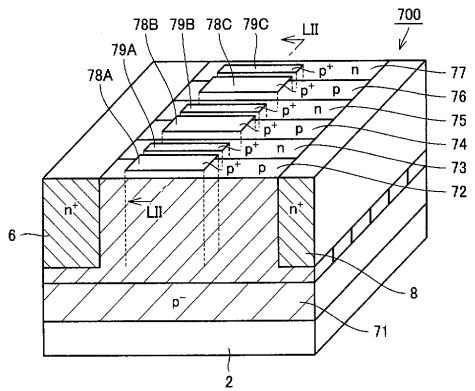
【図 49】



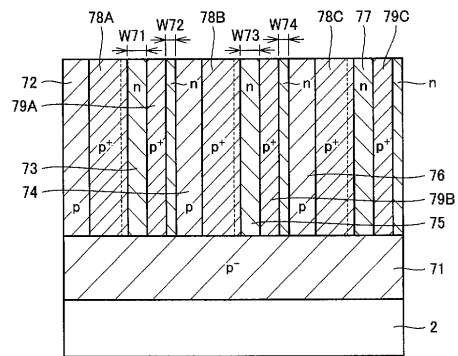
【図 50】



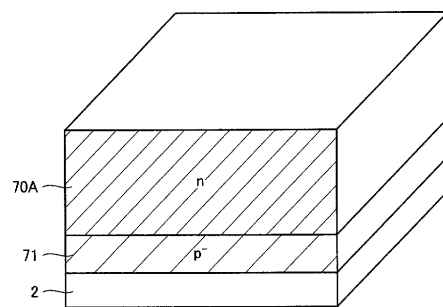
【図 51】



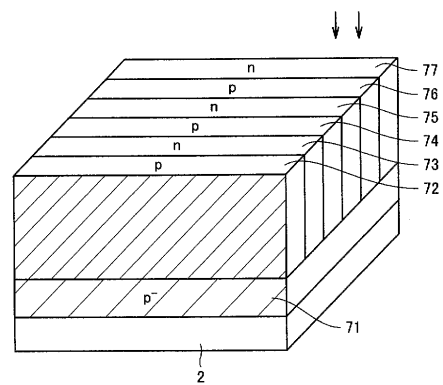
【図 52】



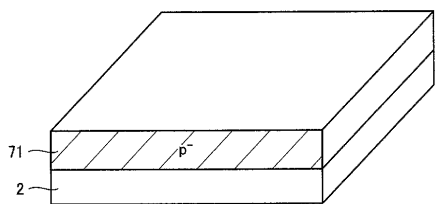
【図 54】



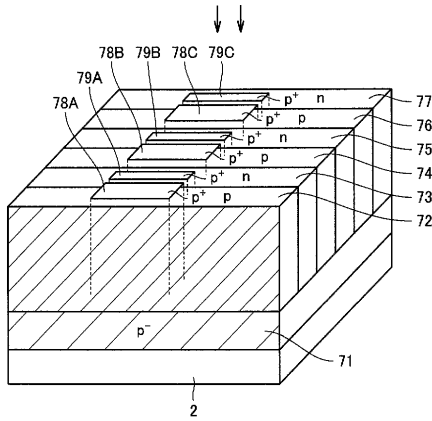
【図 55】



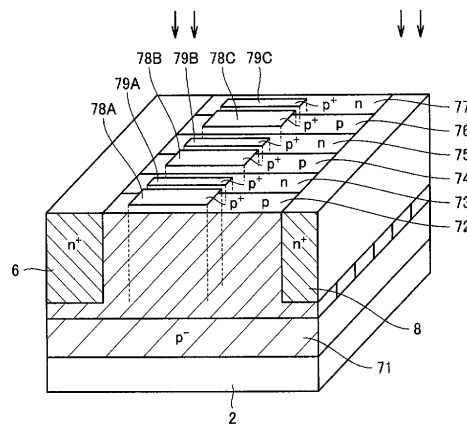
【図 53】



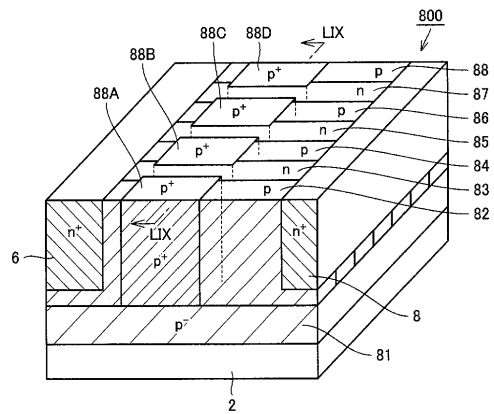
【図 56】



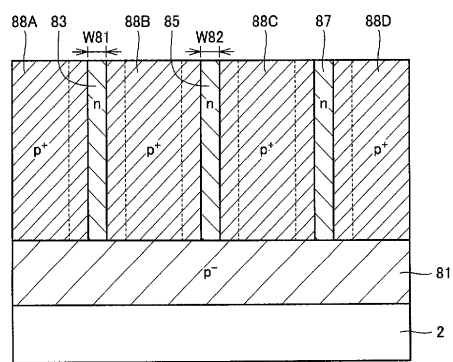
【図 57】



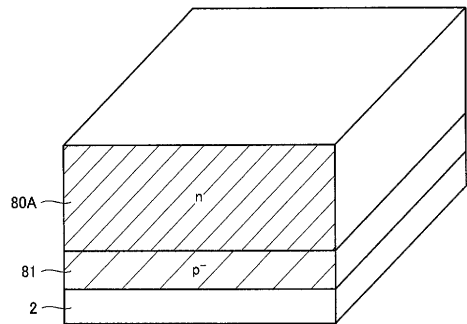
【図 58】



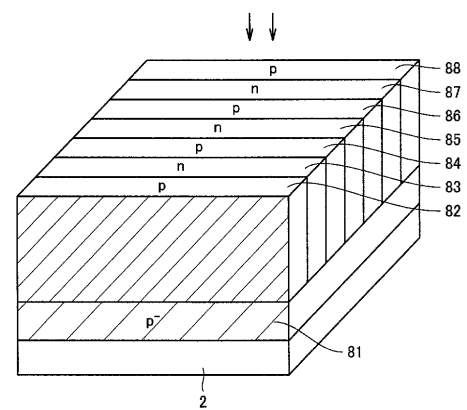
【図 59】



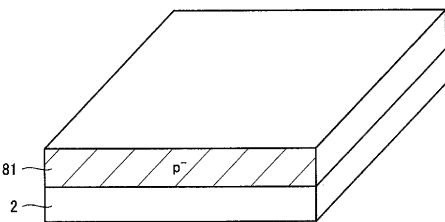
【図 61】



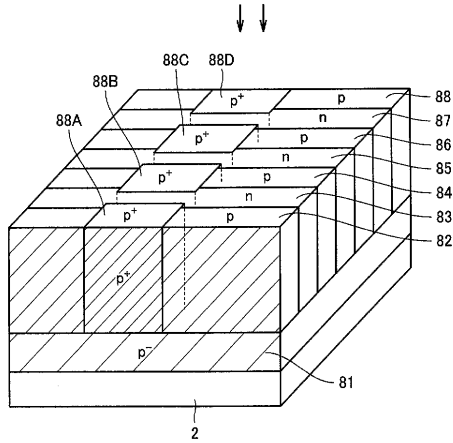
【図 62】



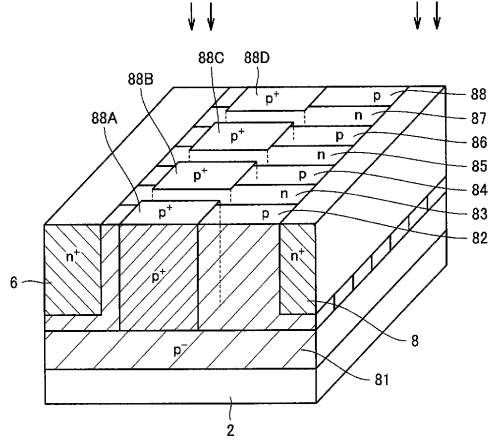
【図 60】



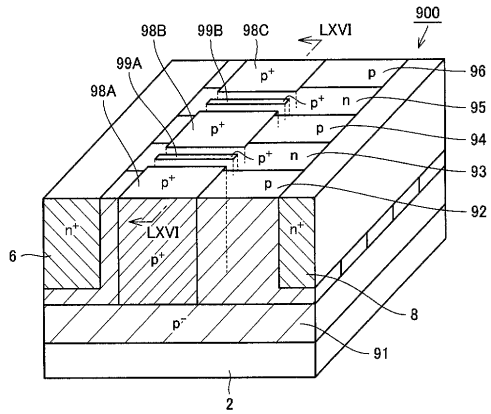
【図 6 3】



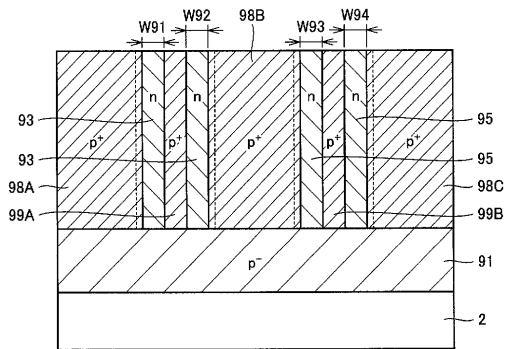
【図 6 4】



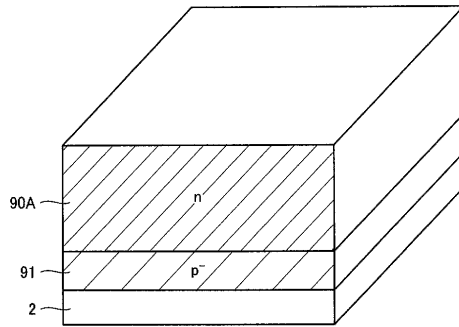
【図 6 5】



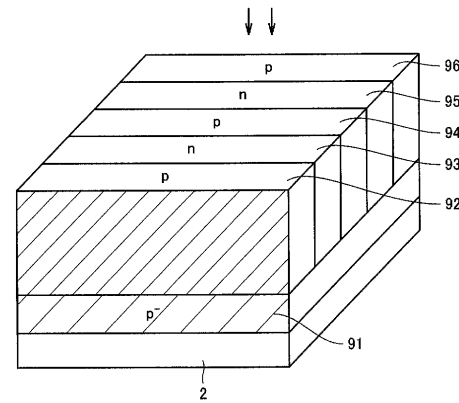
【図 6 6】



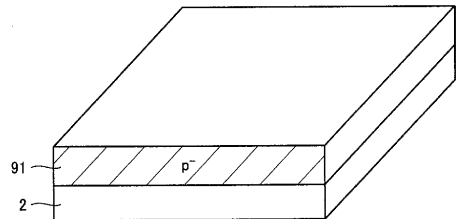
【図 6 8】



【図 6 9】



【図 6 7】



フロントページの続き

- (72)発明者 藤川 一洋
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
- (72)発明者 原田 真
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
- (72)発明者 弘津 研一
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
- (72)発明者 初川 聡
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
- (72)発明者 星野 孝志
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
- (72)発明者 松波 弘之
京都府八幡市西山足立1-9
- (72)発明者 木本 恒暢
京都市伏見区桃山町松平筑前1-39-605

審査官 小川 将之

- (56)参考文献 特開平6-84948(JP,A)
特開昭54-12680(JP,A)
特開昭63-131579(JP,A)
特開平2-5533(JP,A)
特開2001-274414(JP,A)
特開平8-330601(JP,A)
T.Fujihiro, Theory of semiconductor superjunction devices, Japanese Journal of Applied Physics, 1997年10月, vol.36, part 1, no.10, pp.6254-6262
F.Moranco et al., A new generation of power lateral and vertical floating islands MOS structures, Microelectronics Journal, 2001年, vol.32, pp.509-516

(58)調査した分野(Int.Cl., DB名)

H01L 21/337
H01L 29/808
IEEE
Science Direct