

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6701380号
(P6701380)

(45) 発行日 令和2年5月27日 (2020.5.27)

(24) 登録日 令和2年5月8日 (2020.5.8)

(51) Int.Cl.

F I

G 0 6 F 12/0862 (2016.01)

G 0 6 F 12/0862 1 0 5

請求項の数 15 (全 16 頁)

(21) 出願番号	特願2018-555743 (P2018-555743)	(73) 特許権者	591016172
(86) (22) 出願日	平成28年9月15日 (2016.9.15)		アドバンスト・マイクロ・ディバイス・
(65) 公表番号	特表2019-521408 (P2019-521408A)		インコーポレイテッド
(43) 公表日	令和1年7月25日 (2019.7.25)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2016/051850		CES INCORPORATED
(87) 国際公開番号	W02017/218025		アメリカ合衆国 95054 カリフォル
(87) 国際公開日	平成29年12月21日 (2017.12.21)		ニア州、 サンタ クララ、 オーガスティ
審査請求日	令和1年9月12日 (2019.9.12)		ン ドライブ 2485
(31) 優先権主張番号	15/180,806	(74) 代理人	100108833
(32) 優先日	平成28年6月13日 (2016.6.13)		弁理士 早川 裕司
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100111615
			弁理士 佐野 良太
		(74) 代理人	100162156
			弁理士 村雨 圭介
早期審査対象出願			
			最終頁に続く

(54) 【発明の名称】 アップ／ダウンプリフェッチャ

(57) 【特許請求の範囲】

【請求項 1】

キャッシュ (104) を備える処理システム (100) において、
スレッドに関するサンプリングキャッシュアクセスのセットのターゲットとされるキャッシュラインに対して第1方向に隣接するキャッシュラインを対象とする前記スレッドに関する要求キャッシュアクセスの数である第1ランニングカウントを決定することによって、前記スレッドに関する要求キャッシュアクセスを監視することと、

前記第1ランニングカウントが第1閾値 (228) を超えていることを判定したことに
 応じて、受信した前記スレッドに関する要求キャッシュアクセスが、当該要求キャッシュ
 アクセスによってターゲットとされるキャッシュラインに対して前記第1方向に隣接する
 キャッシュラインに関するプリフェッチ要求 (234) をトリガする、第1プリフェッチ
 モードを有効にすることと、を含む、

方法。

【請求項 2】

前記第1方向は次のキャッシュライン方向を含む、
 請求項1の方法。

【請求項 3】

前記第1方向は前のキャッシュライン方向を含む、
 請求項1の方法。

【請求項 4】

前記サンプリングキャッシュアクセスを含むサンプリングキャッシュアクセスのセットを決定するために、サンプリングスキーム(205)に従って前記スレッドに関するキャッシュアクセスをサンプリングすることをさらに含む、

請求項1の方法。

【請求項5】

前記サンプリングスキームは、前記キャッシュにおいてキャッシュヒットをもたらすキャッシュアクセスに対して、前記キャッシュにおいてキャッシュミスをもたらすキャッシュアクセスのサンプリングを優先する、

請求項4の方法。

【請求項6】

前記第1プリフェッチモードが有効になっていること、及び、前記スレッドに関する要求キャッシュアクセスを受信したことに応じて、前記要求キャッシュアクセスによってターゲットとされるキャッシュラインに対して前記第1方向に隣接するキャッシュラインを識別し、前記識別されたキャッシュラインに関するプリフェッチ要求(234)を発行することをさらに含む、

請求項1の方法。

【請求項7】

前記第1プリフェッチモードが有効になっていること、前記スレッドに関する要求キャッシュアクセスを受信したこと、及び、前記要求キャッシュアクセスに応じて前記処理システム(100)の別のプリフェッチャ(130, 132)がプリフェッチ要求を発行しないという指標に応じて、前記要求キャッシュアクセスによってターゲットとされるキャッシュラインに対して前記第1方向に隣接するキャッシュラインを識別し、前記識別されたキャッシュラインに関するプリフェッチ要求を発行することと、

前記第1プリフェッチモードが有効になっていること、前記スレッドに関する要求キャッシュアクセスを受信したこと、及び、前記要求キャッシュアクセスに応じて前記処理システムの別のプリフェッチャがプリフェッチ要求を発行するという指標に応じて、前記要求キャッシュアクセスによってターゲットとされるキャッシュラインに対して前記第1方向に隣接するキャッシュラインに関するプリフェッチ要求の発行を抑制することと、をさらに含む、

請求項1の方法。

【請求項8】

前記スレッドに関するサンプリングキャッシュアクセスのセットのターゲットとされるキャッシュラインに対して第2方向に隣接するキャッシュラインを対象とする前記スレッドに関する要求キャッシュアクセスの数である第2ランニングカウントを決定することによって、前記スレッドに関する要求キャッシュアクセスを監視することと、

前記第2ランニングカウントが第2閾値を超えていることを判定したことに応じて、受信した前記スレッドに関する要求キャッシュアクセスが、当該要求キャッシュアクセスによってターゲットとされるキャッシュラインに対して前記第2方向に隣接するキャッシュラインに関するプリフェッチ要求をトリガする、第2プリフェッチモードを有効にすることと、をさらに含む、

請求項1の方法。

【請求項9】

システム(100)であって、

キャッシュアクセスを処理するキャッシュコントローラ(118)を備えるキャッシュ(104)と、

前記キャッシュコントローラに接続されたアップ/ダウンプリフェッチャ(128)であって、前記アップ/ダウンプリフェッチャは、スレッドに関するサンプリングキャッシュアクセスのセットのターゲットとされるキャッシュラインに対して第1方向に隣接するキャッシュラインを対象とする前記スレッドに関する要求キャッシュアクセスの数である第1ランニングヒットカウントを決定することによって、前記スレッドに関する要求キャッシュ

10

20

30

40

50

ッシユアクセスを監視し、前記第1ランニングヒットカウントが第1閾値を超えていることを判定したことに応じて、受信した前記スレッドに関する要求キャッシュアクセスが、当該要求キャッシュアクセスによってターゲットとされるキャッシュラインに対して前記第1方向に隣接するキャッシュラインに関するプリフェッチ要求(234)をキャッシュコントローラにトリガする、第1プリフェッチモードを実行する、アップ/ダウンプリフェッチャ(128)と、を備える、
システム(100)。

【請求項10】

前記第1方向は次のキャッシュライン方向を含む、又は、前記第1方向は前のキャッシュライン方向を含む、

請求項9のシステム。

【請求項11】

前記アップ/ダウンプリフェッチャは、

前記サンプリングキャッシュアクセスを含むサンプリングキャッシュアクセスのセットを決定するために、サンプリングスキーム(205)に従って前記スレッドに関するキャッシュアクセスをサンプリングするサンプリングモジュール(202)を含む、

請求項9のシステム。

【請求項12】

前記アップ/ダウンプリフェッチャは、

前記サンプリングモジュールに接続されたアドレスバッファ(204)であって、前記サンプリングキャッシュアクセスによってターゲットとされるキャッシュラインに関連するアドレスを記憶するように構成された複数のエントリ(214)を有するアドレスバッファ(204)と、

前記アドレスバッファに接続され、複数のエントリ(216)を有するヒットバッファ(206)であって、前記アドレスバッファの対応するエントリに関連し、前記スレッドに関する要求キャッシュアクセスの回数を表す第1ヒットカウントを記憶するように構成されている前記ヒットバッファの各エントリは、前記アドレスバッファの関連するエントリに記憶されたアドレスによって表されるキャッシュラインに対して前記第1方向に隣接するキャッシュラインをターゲットとしている、ヒットバッファ(206)と、を備える、

請求項11のシステム。

【請求項13】

前記アップ/ダウンプリフェッチャは、

前記ヒットバッファに接続されたヒット合計モジュール(208)であって、前記ヒットバッファの複数のエントリの前記第1ヒットカウントの合計に基づいて、前記第1ランニングヒットカウントを決定する、ヒット合計モジュール(208)を備える、

請求項12のシステム。

【請求項14】

前記アップ/ダウンプリフェッチャは、

前記ヒット合計モジュールに接続された比較モジュール(210)であって、前記第1閾値に対する前記第1ランニングヒットカウントの比較に応じて、第1プリフェッチモードの実行を有効にする比較モジュール(210)を備える、

請求項13のシステム。

【請求項15】

前記アップ/ダウンプリフェッチャは、

前記スレッドに関するサンプリングキャッシュアクセスのセットのターゲットとされるキャッシュラインに対して第2方向に隣接するキャッシュラインを対象とする前記スレッドに関する要求キャッシュアクセスの数である第2ランニングヒットカウントを決定することによって、前記スレッドに関する要求キャッシュアクセスを監視し、

前記第2ランニングヒットカウントが第2閾値を超えていることを判定したことに応じ

10

20

30

40

50

て、受信した前記スレッドに関する要求キャッシュアクセスが、当該要求キャッシュアクセスによってターゲットとされるキャッシュラインに対して前記第2方向に隣接するキャッシュラインに関するプリフェッチ要求をキャッシュコントローラにトリガする、第2プリフェッチモードを実行する、

請求項9のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、処理システムに関し、より具体的には、処理システムにおけるデータのプリフェッチに関する。

【背景技術】

【0002】

データプリフェッチは、メモリに記憶されたデータへのアクセスに関連する待機状態又は他の遅延を低減するために、処理システムにおいて頻繁に利用されている。一般的に、処理システムは、1つ以上のプリフェッチャを用いてデータアクセスを監視し、監視されたデータアクセスから近い将来に処理システムによって必要とされるデータアクセスを予測し、低レベルキャッシュ又はシステムメモリから予測データの投機的フェッチ (speculative fetching) を開始する。従来のプリフェッチャは、通常、スレッドによるデータアクセスのパターンにおいて「ストライド」又は「ストリーム」を識別することを試み、このストライド又はストリームを使用して、要求される次のデータを予測する。しかしながら、多くの場合、係る従来のプリフェッチャは、典型的には、サイズ制限 (例えば、プリフェッチャが記憶可能なアクセス「履歴」の量)、所定のメモリページ内で動作するストリームの数、又は、常にではないが頻繁にローカルキャッシュ内でヒットするストリームの結果として、「動作の遅い (slow-moving)」ストライドパターン又はストリームパターンを正確に検出することができない。結果として、従来のプリフェッチャは、データの投機的プリフェッチに関する適切な基礎としての役割を果たし得る、他の有効なストライド又はストリームを識別することができない場合がある。

【0003】

本開示は、添付の図面を参照することによって、より良く理解することができ、その多くの特徴及び利点が当業者に明らかになるであろう。異なる図面における同じ参照記号の使用は、類似又は同一のアイテムを示す。

【図面の簡単な説明】

【0004】

【図1】いくつかの実施態様による、アップ/ダウンプリフェッチャを使用する処理システムのブロック図である。

【図2】いくつかの実施態様による、図1のアップ/ダウンプリフェッチャの実施例を示すブロック図である。

【図3】いくつかの実施態様による、図1及び図2のアップ/ダウンプリフェッチャの動作方法を示すフロー図である。

【図4】いくつかの実施態様による、図1及び図2のアップ/ダウンプリフェッチャを含むプリフェッチャのセットを使用するプリフェッチ方法を示すフロー図である。

【発明を実施するための形態】

【0005】

本明細書に説明されるように、処理システムは、スレッドによるデータアクセスの「動作の遅い」ストライドパターン又はストリームパターンを識別し、このように識別されたストライドパターン又はストリームパターンに基づいて投機的プリフェッチアクセスを生成するために、アップ/ダウンプリフェッチャ (UDP) を使用する。少なくとも1つの実施形態では、UDPは、スレッドによってアクセスされるデータセットが比較的ゆっくりと昇順又は降順にアクセスされている場合を識別しようと試みる。UDPは、スレッドの要求キャッシュアクセス (キャッシュヒット及びキャッシュミスの両方) をサンプリン

10

20

30

40

50

グし、サンプリングされた要求キャッシュアクセスによってターゲットとされたキャッシュラインのアドレスをアドレスバッファに記憶することによって、上記の識別を行う。同時に、UDPによって観察される要求キャッシュアクセス毎に、UDPは、要求キャッシュアクセスが、アドレスバッファ内のアドレスによって表されるキャッシュラインに隣接するキャッシュライン宛てであるかどうかを判定する。要求キャッシュアクセスのアドレスが、バッファされたアドレスエントリのキャッシュラインに対して上方向（すなわち、より高いメモリアドレス）に隣接するキャッシュラインを対象とする場合には、バッファされたアドレスエントリに関連するアップ（+）ヒットカウントがインクリメントされる。同様に、要求キャッシュアクセスのアドレスが、バッファされたアドレスエントリのキャッシュラインに対して下方向（すなわち、より低いメモリアドレス）に隣接するキャッシュラインを対象とする場合には、バッファされたアドレスエントリに関連するダウン（-）ヒットカウントがインクリメントされる。

【0006】

UDPは、指定された数の要求キャッシュアクセスが評価された後、又は、別のトリガイベントに応じて、アップヒットカウントの全ての値を合計し、ダウンヒットカウントの全ての値を合計して、アップヒットカウントの合計及びダウンヒットカウントの合計の各々を判定する。アップヒットカウントの合計が指定された閾値以上である場合、UDPは、「アップ」プリフェッチを有効にし、スレッドによる要求キャッシュアクセス毎に、要求キャッシュアクセスによってターゲットとされたキャッシュラインの上方向に隣接するキャッシュラインのプリフェッチをトリガする。同様に、ダウンヒットカウントの合計が指定された閾値（アップカウントの閾値と同じであってもよいし、異なってもよい）以上である場合、UDPは、「ダウン」プリフェッチを有効にし、スレッドによる要求キャッシュアクセス毎に、要求キャッシュアクセスによってターゲットとされたキャッシュラインの下方向に隣接するキャッシュラインのプリフェッチをトリガする。いくつかの実施形態では、UDPは、アッププリフェッチ又はダウンプリフェッチが、場合によっては、他のプリフェッチャが要求キャッシュアクセスに応じてプリフェッチをトリガしなかった場合にのみトリガされるように、他のプリフェッチャと協働する。

【0007】

ここで、図1を参照すると、本開示の少なくとも1つの実施形態によるアップ/ダウンプリフェッチを使用する処理システム100が示されている。処理システム100は、例えば、サーバ、デスクトップコンピュータ、ノートコンピュータ、タブレットコンピュータ、コンピューティング可能携帯電話（例えば、「スマートフォン」）、コンピューティング可能時計や他のウェアラブルアイテム、パーソナルデジタルアシスタント（PDA）、ゲーム機等の様々なコンピューティング可能電子デバイスの何れかによって実装することができる。図示された例では、処理システム100は、少なくとも1つの計算複合体（compute complex）102と、キャッシュ階層104と、メモリコントローラ106と、を含み、メモリコントローラ106は、処理システム100の残りの部分と「オンチップ」であるか、又は、外部構成要素として実装されるシステムメモリ108に接続されてもよい。

【0008】

計算複合体102は、図示された例では4つのプロセッサコア111, 112, 113, 114等の1つ以上のプロセッサコアを含む。プロセッサコアは、中央処理ユニット（CPU）コア、グラフィックス処理ユニット（GPU）コア、デジタル信号プロセッサ（DSP）コア、又は、これらの組み合わせを含むことができる。キャッシュ階層104は、メモリ108からアクセスされたデータであって、1つ以上のプロセッサコア111～114によるアクセスのために一時的に記憶されるデータをキャッシュする1つ以上のレベルのキャッシュを含む。この特定の例では、キャッシュ階層104は、4つのレベル1（L1）キャッシュ121, 122, 123, 124のセットと、レベル2（L2）キャッシュ116と、を含み、L1のキャッシュ121～124の各々は、プロセッサコア111～114の何れか1つに対応するプライベートキャッシュであり、計算複合体102

10

20

30

40

50

の一部である。一方、L2キャッシュ116は、プロセッサコア111~114間で共有される。別のキャッシュレベルのキャッシュ(レベル3(L3)キャッシュ等)も同様に使用可能であることが理解されるであろう。この例では、本明細書で説明されるアップ/ダウンプリフェッチプロセスは、L2キャッシュレベルで行われる。しかしながら、アップ/ダウンプリフェッチプロセスは、L2キャッシュレベルに限定されず、代わりに、本明細書で提供されるガイドラインを使用して、L1キャッシュレベル又はL3キャッシュレベル等の任意のキャッシュレベルで実施され得ることが理解されるであろう。

【0009】

L2キャッシュ116は、コントローラ118と、タグアレイ及び対応するデータアレイ(本明細書では、まとめて「データ/タグアレイ120」と呼ぶ)と、プリフェッチブロック126と、を含む。コントローラ118は、データ/タグアレイ120内のL2キャッシュ116にキャッシュされたキャッシュラインに関するデータ/タグアレイ120のエントリを維持し、L1キャッシュ121~124及びメモリコントローラ106からのプローブ及び他のキャッシュアクセスを処理するように動作する。プリフェッチブロック126は、L2キャッシュ116によって処理される要求キャッシュアクセスを監視し、L2コントローラ118によって適切に処理される投機的プリフェッチ要求をトリガするための1つ以上のプリフェッチャを含む。このため、プリフェッチブロック126は、少なくともアップ/ダウンプリフェッチャ(UDP)128を含む。図示された例では、プリフェッチブロック126は、従来のストリームパターン分析に基づいて投機的プリフェッチをトリガするように動作するストリームプリフェッチャ130と、従来のストライドパターン分析に基づいて投機的プリフェッチをトリガするように動作するストライドプリフェッチャ132と、をさらに含む。

【0010】

一般的な動作概要として、キャッシュ階層104は、プロセッサコア111~114によって使用されるデータを一時的にキャッシュするように動作する。いくつかの実施形態では、要求キャッシュアクセスに応じて、すなわち、プロセッサコア111~114の何れか1つからのデータに関する特定の非投機的要求に応じて、データがキャッシュされる。係るキャッシュ要求アクセスは、キャッシュ階層104を介して、低レベルキャッシュ(L2キャッシュ116)から高レベルキャッシュ(L1キャッシュ121~124)に伝わる。各キャッシュレベルにおいて、当該レベルのキャッシュがプローブ(検査)され、要求されたデータの有効なコピーが当該レベルでキャッシュされているか否かが判別される。有効なコピーが存在する場合、キャッシュヒットが通知され、データのコピーがプローブ元又は要求元に提供される。有効なコピーが存在しない場合、キャッシュミスが通知され、キャッシュアクセスは、次の高いキャッシュレベルに伝えられて当該プロセスが繰り返される。要求データがキャッシュ階層104に存在しない場合、メモリコントローラ106は、システムメモリ108から要求データにアクセスするようにタスクされ、システムメモリ108からアクセスされたデータは、キャッシュ階層104内の1つのキャッシュにキャッシュされる。

【0011】

同時に、プリフェッチブロック126のプリフェッチャ128, 130, 132は、L2コントローラ118によって処理されるキャッシュアクセスのストリーム(このストリームは矢印134で表され、本明細書では「ストリーム134」と呼ばれる)を監視する。プリフェッチャ128, 130, 132の各々は、計算複合体102で実行されるスレッド毎に対応するアクセスパターンを検出しようと試み、特定のアクセスパターンが検出された場合に、検出されたアクセスパターンに従って投機的プリフェッチ要求の発行を開始する。いくつかの実施形態では、プリフェッチャ128, 130, 132は、プリフェッチャ128, 130, 132のサブセット(例えば、1つだけ)が、要求キャッシュアクセスから投機的プリフェッチをトリガできるように、プリフェッチ活動を優先順位付け又は調整する。上述したように、ストリームプリフェッチャ130及びストライドプリフェッチャ132は、周知の従来のプリフェッチ技術を利用する。UDP128のパターン

10

20

30

40

50

検出及びプリフェッチ開始プロセスの例は、図2～図4を参照して以下に詳細に説明される。

【0012】

図2は、少なくとも1つの実施形態による処理システム100のUDP128の例示的構成を示す図である。図示された実施形態では、UDP128は、サンプリングモジュール202と、1つ以上のスレッド特有のアップ/ダウンカウントコンポーネント203と、を含む。すなわち、UDP128は、アップ/ダウンカウントコンポーネント203の特定の数のインスタンスを実装することができ、各インスタンスは、計算複合体102で実行される対応するスレッドへの割り当てに利用可能である。したがって、UDP128がアップ/ダウンカウントコンポーネント203の4つのインスタンスを実装する場合、最大4つのスレッドをUDP128によって個別に追跡することができる。サンプリングモジュール202は、L2キャッシュ116におけるキャッシュアクセスのストリーム134を監視するコントローラ118に接続された入力と、ストリーム134のキャッシュアクセスをサンプリングモジュール202がサンプリングするサンプリングスキームを表すサンプリングスキーム構成データ205を受信する入力と、サンプリングされたキャッシュアクセスに関連する特定のスレッドのアップ/ダウンカウントコンポーネント203のインスタンスに対する各サンプリングキャッシュアクセスを対象とするキャッシュラインを表すメモリアドレス（又はその一部）を提供する出力と、を含む。

【0013】

アップ/ダウンカウントコンポーネント203の各インスタンスは、アップ/ダウンアドレスバッファ204と、アップ/ダウンヒットバッファ206と、ヒット制御モジュール207と、ヒット合計モジュール208と、比較モジュール210と、プリフェッチ発行モジュール212と、を含む。アップ/ダウンアドレスバッファ204は、複数のエントリ214（例えば、16エントリ）を有するコンテンツアドレス可能メモリ（CAM）を含み、各エントリ214は、メモリアドレスの少なくとも一部を記憶するように構成されている。例示すると、この例では、UDP128は、キャッシュラインに基づいて動作し、48ビットの物理アドレスの6～47ビット（すなわち、PA[47:6]）がメモリ内のデータのキャッシュラインのアドレスを指すと仮定すると（一方、PA[5:0]はキャッシュライン内のバイトを指す）、識別されたキャッシュアクセス（以下に説明する）の物理アドレス部分PA[47:6]は、アップ/ダウンアドレスバッファ204の対応するエントリ214に記憶されてもよい。ヒット合計モジュール208は、複数のエントリ216（各エントリ216は、アップ/ダウンアドレスバッファ204のエントリ214のうち対応する1つのエントリに関連付けられており、2つのサブエントリを含む）と、対応するエントリ214に記憶されたアドレスのアップヒットカウントを記憶するアップヒットカウントサブエントリ218と、対応するエントリ214に記憶されたアドレスのダウンヒットカウントを記憶するダウンヒットカウントサブエントリ220と、を含む。

【0014】

例示の便宜上、ヒット合計モジュール208及び比較モジュール210の各々の単一のインスタンスが図2に示されているが、各アップ/ダウンカウントコンポーネント203は、2つのインスタンス（ヒット合計モジュール208及び比較モジュール210）と、アップヒットカウントサブエントリ218のアップヒットカウントを使用して「アップ」ヒットの数を集計及び評価するための1つのヒット合計モジュール208及び比較モジュール210と、ダウンヒットカウントサブエントリ220のダウンヒットカウントを使用して「ダウン」ヒットの数を集計及び評価するためのもう1つのヒット合計モジュール208及び比較モジュール210と、を含む。アップ/ダウンヒットコンポーネント203に実装される2つのヒット合計モジュール208の各々は、マルチプレクサ222と、加算器モジュール224と、集計モジュール226と、を含む。マルチプレクサ222は、複数の入力（各々が対応するサブエントリ218, 220に接続されている）と、加算器モジュール224の入力に接続された出力と、を有する。加算器モジュール224は、集

計モジュール 2 2 6 の入力に接続された出力と、集計モジュール 2 2 6 の出力に接続された入力と、を含む。集計モジュール 2 2 6 は、後述するように、アップ/ダウンヒットバッファ 2 0 6 に表されるアップヒット又はダウンヒットの合計数を表すランニングアップヒットカウント又はランニングダウンヒットカウントを記憶するラッチ又は他のストレージコンポーネントを含むことができる。比較モジュール 2 1 0 は、トリガイベントに応じて、集計モジュール 2 2 6 に記憶されているランニングアップ/ダウンヒットカウントを、指定された閾値 2 2 8 (例えば、コンフィギュレーションレジスタ、ハードコード等に記憶され得る閾値)と比較するように動作し、これに応じて有効/無効信号 2 3 0 を制御する。

【0015】

10

プリフェッチ発行モジュール 2 1 2 は、有効/無効信号 2 3 0 を受信する入力と、ストリーム 1 3 4 のキャッシュアクセスを受信する入力と、これらの入力に基づいてプリフェッチ要求を選択的に発行する出力と、を含む。さらに、いくつかの実施形態では、UDP 1 2 8 の動作は、プリフェッチブロック 1 2 6 の他のプリフェッチャ 1 3 0 , 1 3 2 の動作と調整され、この場合、プリフェッチ発行モジュール 2 1 2 は、プリフェッチ状態情報 2 3 2 を他のプリフェッチャから受信する入力を含み、プリフェッチ状態情報 2 3 2 は、もう一つのプリフェッチャが、ストリーム 1 3 4 内で観察された要求キャッシュアクセスのプリフェッチ要求を有しているかどうか、又は、それを発行するかどうかを示す。

【0016】

20

図 3 は、いくつかの実施態様による、図 2 の UDP 1 2 8 の動作の方法 3 0 0 を示すフロー図である。図示されるように、UDP 1 2 8 の動作は、キャッシュアクセス監視プロセス 3 0 1 と、ヒットカウントプロセス 3 0 2 と、アッププリフェッチ制御プロセス 3 0 3 と、ダウンプリフェッチ制御プロセス 3 0 4 と、を含む少なくとも 4 つの個別のプロセスが並行して実行されることを含む。一般的な概要として、プロセス 3 0 1 , 3 0 2 は、スレッドに関する UDP 1 2 8 の繰り返しトレーニングを表しており、プロセス 3 0 3 , 3 0 4 は、プロセス 3 0 1 , 3 0 2 中に取得されたトレーニング情報に基づいて、スレッドに関するアップ/ダウンプリフェッチを有効にするか無効にするかについて、UDP 1 2 8 によって繰り返して使用される決定プロセスを表している。

【0017】

30

キャッシュアクセス監視プロセス 3 0 1 は、UDP 1 2 8 がキャッシュアクセスのストリーム 1 3 4 を監視し、そこからキャッシュアクセスをサンプリングし、それに応じてアップ/ダウンアドレスバッファ 2 0 4 を更新するプロセスを表す。したがって、ブロック 3 1 1 において、サンプリングモジュール 2 0 2 は、サンプリングスキーム構成データ 2 0 5 によって指定されたサンプリングスキームに基づいて、キャッシュアクセスをストリーム 1 3 4 からサンプリングする。少なくとも 1 つの実施形態では、サンプリングは、キャッシュヒット及びキャッシュミスの両方から行われるが、キャッシュミスは、投機的プリフェッチデータの必要性をより示す傾向があるので、サンプリングスキームにおいて強調されるか優先順位付けされ得る。また、より高いキャッシュレベル(例えば、L 1 キャッシュ 1 2 1 ~ 1 2 4)からの投機的プリフェッチを表すキャッシュアクセスは、一般的に、サンプリングから除外される。さらに、サンプリングキャッシュアクセスの割合は、アップ/ダウンアドレスバッファ 2 0 4 内のエントリ 2 1 4 の数、UDP 1 2 8 によって検出されるのが予想されるアクセスパターンの「割合」等を含むいくつかの考慮事項に基づくことができる。一例として、サンプリングスキームは、投機的プリフェッチを表す全てのキャッシュアクセスを低レベルキャッシュから除去し、L 2 キャッシュ 1 1 6 におけるキャッシュヒットである 8 つのキャッシュアクセスのうち 7 つのキャッシュアクセスを除去し、フィルタリングされたキャッシュアクセスストリームから 5 1 2 回のキャッシュアクセスのうち 1 回のキャッシュアクセスのサンプリングを行うようにサンプリングモジュール 2 0 2 を構成する。

40

【0018】

そのように選択されたサンプリングキャッシュアクセスにより、ブロック 3 1 2 におい

50

て、サンプリングモジュール 202 は、サンプリングキャッシュアクセスによってターゲットとされたキャッシュラインのメモリアドレス部 PA [47 : 6] をアップ/ダウアドレスバッファ 204 のエントリ 214 に書き込む。少なくとも 1 つの実施形態では、アップ/ダウアドレスバッファ 204 は、ラウンドロビン又は先入れ先出し (F I F O) 方式で動作し、全てのエントリ 214 が満たされると、最も古いエントリ 214 が、新たなサンプリングキャッシュアクセスによってターゲットとされるキャッシュラインのメモリアドレス部分で上書きするために選択される。しかしながら、エントリ 214 を上書きすることは、ブロック 313 , 314 によって表されるプロセスをトリガして、上書きされたエントリ 214 に関連するアップ/ダウンヒットカウントを、スレッドに関して維持されているランニングアップヒットカウント及びランニングダウンヒットカウントに組み込む。このプロセスは、エントリのアップ/ダウンヒットカウントを生成するプロセスの説明に続いて、以下に説明される。何れにしても、サンプリングキャッシュアクセスが処理された後、プロセス 301 は、ストリーム 134 からサンプリングされる次のキャッシュアクセスのために、ブロック 311 に戻る。

【 0019 】

ここで、ヒットカウントプロセス 302 を参照すると、このプロセスは、アップ/ダウアドレスバッファ 204 に表されたキャッシュラインに隣接するキャッシュラインをターゲットとするキャッシュアクセスの数をカウントする役割を果たす。したがって、ヒット制御モジュール 207 は、キャッシュアクセスのストリーム 134 を監視する。要求キャッシュアクセスが検出されると、ブロック 321 において、ヒット制御モジュール 207 は、キャッシュアクセスがアップ/ダウアドレスバッファ 204 に表されたキャッシュラインの何れかに隣接するキャッシュラインをターゲットとしているかどうかを判定する。このプロセスを行うために、ヒット制御モジュール 207 は、要求キャッシュアクセスによってターゲットとされるキャッシュラインの物理メモリアドレス部分 A を判定し、アップ/ダウアドレスバッファ 204 内で 2 つのルックアップを行う。ブロック 322 での第 1 ルックアップは、要求キャッシュアクセスによってターゲットとされるキャッシュラインに以前に隣接していた (すなわち、下方向に隣接している) キャッシュラインのアドレスを表すメモリアドレス部分 A - 1 に関するものであり、ブロック 323 での第 2 ルックアップは、要求キャッシュアクセスによってターゲットとされるキャッシュラインに続いて隣接する (すなわち、上方向に隣接する) キャッシュラインのアドレスを表すメモリアドレス部分 A + 1 に関するものである。説明を容易にするために、ブロック 322 及びブロック 323 が連続して発生するように示されているが、これらのブロックによって表されるルックアップは同時に行われてもよいことに留意されたい。

【 0020 】

ブロック 322 によって表されるように、第 1 ルックアップがアップ/ダウアドレスバッファ 204 のエントリ 214 にヒットした場合には、ヒットエントリ 214 に表されるキャッシュラインの直後のキャッシュラインに対する要求キャッシュアクセスであったことを示す。すなわち、要求キャッシュアクセスは、ヒットエントリ 214 によって表されるキャッシュラインから「上」又はその直後のキャッシュラインをターゲットとしたものである。したがって、これに応じて、ヒット制御モジュール 207 は、ブロック 324 において、ヒットエントリ 214 に関連するアップヒットカウントサブエントリ 218 に記憶されたアップヒットカウントをインクリメントする。すなわち、ヒット制御モジュール 207 は、要求キャッシュアクセスが、アップ/ダウアドレスバッファ 204 に表されるキャッシュラインから「上」の 1 つのキャッシュラインを対象とすることを識別し、これに応じて、この一致を記録するためにアップ/ダウアドレスバッファ 204 のキャッシュラインのアップヒットカウントを 1 つだけインクリメントする。或いは、ブロック 323 に示すように、第 2 ルックアップがアップ/ダウアドレスバッファ 204 のエントリ 214 にヒットする場合には、ヒットエントリ 214 に表されたキャッシュラインの直前のキャッシュラインに対する要求キャッシュアクセスであったことを示す。すなわち、要求キャッシュアクセスは、ヒットエントリ 214 によって表されるキャッシュライン

10

20

30

40

50

から「下」又はその直前のキャッシュラインをターゲットとしたものである。したがって、これに応じて、ヒット制御モジュール207は、ブロック325において、ヒットエントリ214に関連するダウンヒットカウントサブエントリ220に記憶されたダウンヒットカウントをインクリメントする。すなわち、ヒット制御モジュール207は、要求キャッシュアクセスが、アップ/ダウンアドレスバッファ204に表されるキャッシュラインから「下」の1つのキャッシュラインを対象とすることを識別し、これに応じて、この一致を記録するためにアップ/ダウンアドレスバッファ204のキャッシュラインのダウンヒットカウントを1つだけインクリメントする。両方のルックアップがミスした場合には、要求キャッシュアクセスは、アップ/ダウンアドレスバッファ204に表されるキャッシュラインの何れかに直接隣接するキャッシュラインを対象としていないため、アップ/ダウンヒットカウントに影響を及ぼさないことを示している。

10

【0021】

処理302によって示されるように、アップヒットカウントサブエントリ218に記憶されたアップヒットカウントは、アップヒットカウントサブエントリ218に関連するエントリ214によって表されるキャッシュラインから「上」のキャッシュラインをターゲットとする要求キャッシュアクセスの発生数を表す。ダウンヒットカウントサブエントリ220に記憶されたダウンヒットカウントは、アップヒットカウントサブエントリ218に関連するエントリ214によって表されるキャッシュラインから「下」のキャッシュラインをターゲットとする要求キャッシュアクセスの発生数に相当するように表す。このように、有効なキャッシュラインアドレスを記憶するエントリ214が上書きされる前に、このキャッシュラインに関連するアップヒットカウント及びダウンヒットカウントは、スレッドのランニングアップヒットカウント及びランニングダウンヒットカウントの各々に含まれる。したがって、プロセス301に戻り、サンプリングモジュール202が新たなサンプリングキャッシュアクセスのキャッシュラインアドレスをアップ/ダウンアドレスバッファ204の識別されたエントリ214に記憶する場合、ブロック313において、サンプリングモジュール202は、有効なキャッシュラインが識別されたエントリ214に上書きされようとしているかどうかを判別する。上書きされない場合、未だ考慮されていない有効なアップ/ダウンヒットカウントがないので、キャッシュラインアドレスは、さらなるアクション無しにエントリ214に記憶され得る。

20

【0022】

しかしながら、識別されたエントリ214に既に記憶された有効なキャッシュラインアドレスがある場合、ブロック314において、有効なキャッシュラインの上書きは、識別されたエントリ214に関連するサブエントリ218, 220のアップヒットカウント及びダウンヒットカウントの各々をランニングアップヒットカウント及びランニングダウンヒットカウントに組み込むように、ヒット合計モジュール208のトリガイイベントとして動作し得る。したがって、アップヒットカウントの場合、サンプリングモジュール202は、識別されたエントリ214のインデックスを、ランニングアップヒットカウントに関するヒット合計モジュール208のマルチプレクサ222に通知する。これに応じて、マルチプレクサ222は、この同じインデックスでアップヒットカウントサブエントリ218に記憶されたアップヒットカウントにアクセスし、アクセスのアップヒットカウントを加算器モジュール224に転送する。次に、加算器モジュール224は、このアップヒットカウントを、集計モジュール226内に記憶されたランニングヒットカウントの現在の値に加算し、その結果を、そこに記憶されたランニングヒットカウントに対する更新として集計モジュール226に記憶する。同様の処理がヒット合計モジュール208によって実行され、ヒット合計モジュール208は、示されたインデックスでサブエントリ220に記憶されたランニングダウンヒットカウント及びダウンヒットカウントに関するランニングダウンヒットカウントを維持する。さらに、アップヒットカウント及びダウンヒットカウントがランニングアップヒットカウント及びランニングダウンヒットカウントにそれぞれ追加された後に、インデックスのサブエントリ218, 220は、新たなキャッシュラインアドレスが対応するエントリ214に記憶されるために、ゼロにリセットされる。

30

40

50

【 0 0 2 3 】

上述したように、プロセス 3 0 3 , 3 0 4 は、アップ / ダウンヒット合計モジュール 2 0 8 に記憶されたランニングアップ / ダウンヒットカウントに基づいて、アッププリフェッチ及びダウンプリフェッチを周期的に選択的に有効 / 無効にするプロセスを表す。プロセス 3 0 3 は、アッププリフェッチを有効にするプロセスを表す。したがって、プロセス 3 0 1 のブロック 3 1 1、又は、いくつかの他のトリガイベント（例えば、カウントダウンタイマのアクティブ化）において特定の数のキャッシュアクセスがプロセス 3 0 1 のブロック 3 1 1 でサンプリングされた後に、「アップ」インスタンスに関する比較モジュール 2 1 0 が有効になる。有効になると、ブロック 3 3 1 において、比較モジュール 2 1 0 は、現在のランニングアップヒットカウントを集計モジュール 2 2 6 から受信し、現在のランニングヒットカウントを「アップ」キャッシュラインヒットに関する特定の閾値 2 2 8 と比較する。少なくとも 1 つの実施形態では、特定の閾値 2 2 8 は、スレッドのアップキャッシュラインヒットの数に関する水準を表す。例示のために、閾値 2 2 8 は、アッププリフェッチが有効になる前に、4 8 個のアップヒットに設定されてもよい。特定の閾値 2 2 8 の特定の値は、モデリング、経験的分析等によって選択されてもよい。デフォルトでは、アッププリフェッチは無効であり、ブロック 3 3 2 に示すように、ランニングアップヒットカウントが閾値 2 2 8 未満の間、アッププリフェッチは無効のままであり、プロセス 3 0 3 は別のポーリングサイクルの間繰り返される。しかしながら、ブロック 3 3 3 に示すように、ランニングアップヒットカウントが閾値 2 2 8 以上に上昇すると、アッププリフェッチを有効にするのに適しているとみなされる最小数のアップキャッシュラインヒットが発生し、比較モジュール 2 1 0 は、アッププリフェッチがスレッドに対して有効になったことを示すように、アッププリフェッチに関する有効 / 無効信号 2 3 0 を生成する。

10

20

【 0 0 2 4 】

プロセス 3 0 4 は、ダウンプリフェッチを有効にするためのプロセスを表し、プロセス 3 0 3 と同様の方法で進行する。したがって、プロセス 3 0 1 のブロック 3 1 1 で特定の数のキャッシュアクセスがサンプリングされた後に、「ダウン」インスタンスに関する比較モジュール 2 1 0 が有効になる。プロセス 3 0 4 のキャッシュアクセスの特定の数がプロセス 3 0 3 における数と異なる場合があることに留意されたい。有効になると、「ダウン」インスタンスに関する比較モジュール 2 1 0 は、ポーリングサイクルを開始する。ポーリングサイクル毎に、ブロック 3 4 1 において、比較モジュール 2 1 0 は、現在のランニングダウンヒットカウントを集計モジュール 2 2 6 から受信し、現在のランニングダウンカウントを、「ダウン」キャッシュラインヒットに関する特定の閾値 2 2 8 と比較する。「ダウン」キャッシュラインヒットに関する閾値 2 2 8 が「アップ」キャッシュラインヒットに関する閾値 2 2 8 と異なる場合があることに留意されたい。アッププリフェッチと同様に、ダウンプリフェッチは、デフォルトで無効にされてもよく、ブロック 3 4 2 に示すように、ランニングダウンヒットカウントが閾値 2 2 8 未満の間、ダウンプリフェッチは無効のままであり、プロセス 3 0 4 は別のポーリングサイクルの間繰り返される。しかしながら、ブロック 3 4 3 に示すように、ランニングダウンヒットカウントが閾値 2 2 8 以上に上昇すると、ダウンプリフェッチを有効にするのに適しているとみなされる最小数のダウンキャッシュラインヒットが発生し、比較モジュール 2 1 0 は、ダウンプリフェッチがスレッドに対して有効になったことを示すように、ダウンプリフェッチに関する有効 / 無効信号 2 3 0 を生成する。

30

40

【 0 0 2 5 】

図 4 は、少なくとも 1 つの実施態様による、図 3 の処理 3 0 1 ~ 3 0 4 と連携するプリフェッチ発行モジュール 2 1 2 の動作の方法 4 0 0 を示すフロー図である。上述したように、プリフェッチブロック 1 2 6 の U D P 1 2 8 及び他のプリフェッチャ 1 3 0 , 1 3 2 は、スレッドに関するキャッシュアクセスのパターンを検出し、これらのパターンから、スレッドによって必要と予測されるデータを投機的に予測し、この予測されたデータに関する投機的プリフェッチ要求を発行するように動作する。特に、U D P 1 2 8 は、スレ

50

ドがデータのブロックを通して移動し、「アップ」シーケンス（すなわち、より低いメモリアドレスからより高いメモリアドレスまで、隣接するキャッシュラインにアクセスすること）又は「ダウン」シーケンス（すなわち、より高いメモリアドレスからより低いメモリアドレスまで、隣接するキャッシュラインにアクセスすること）の何れかとして順番にキャッシュラインにアクセスする比較的動作の遅いパターンを検出するように動作する。係るパターンが検出されると、プロセス303, 304で表されるように、UDP128は、アッププリフェッチ又はダウンプリフェッチの何れかを検出されたパターンの方向から適切に有効にし、スレッドに関して検出された要求キャッシュアクセス毎に、隣接するキャッシュラインに関する投機的プリフェッチを選択的にトリガする。

【0026】

したがって、方法400は、ブロック402で開始し、プリフェッチ発行モジュール212において、スレッドに関する要求キャッシュアクセスの受信又は通知を開始する。ブロック404において、プリフェッチ発行モジュール212は、「アップ」インスタンスに関する有効/無効信号230の状態と、「ダウン」インスタンスに関する有効/無効信号230の状態と、を評価して、アッププリフェッチ又はダウンプリフェッチの何れが有効にされているかどうかを判定する。上述したように、ブロック405に示すように、スレッドに関連するアップ/ダウンカウントコンポーネント203は、以前の隣接するキャッシュラインにヒットする要求キャッシュアクセスの数のランニングカウント（ランニングダウンヒットカウント）と、次に隣接するキャッシュラインにヒットするデマンドキャッシュアクセスの数のランニングカウント（ランニングアップヒットカウント）とを維持し、ランニングアップヒットカウント又はランニングダウンヒットカウントの何れかがその関連する閾値228を超えると、対応する隣接アクセスパターンが検出され、アッププリフェッチ又はダウンプリフェッチの何れかが有効になる。少なくとも1つの実施形態では、2つのプリフェッチモードのうち1つのみが任意の所定の時間で有効にされてもよく、この場合、他のプリフェッチモードの有効化が抑制される。

【0027】

アッププリフェッチ及びダウンプリフェッチの何れも有効にならない場合、ブロック406において、プリフェッチ発行モジュール212は、ブロック402で受信された要求キャッシュアクセスに応じたアクションをとらない。それ以外の場合、アッププリフェッチ又はダウンプリフェッチの何れかが有効である場合、ブロック408において、プリフェッチ発行モジュール212は、プリフェッチブロック126のプリフェッチャ128, 130, 132によって交換されるプリフェッチ状態情報232を分析して、ブロック402で受信される要求キャッシュアクセスに応じて、もう1つのプリフェッチャがプリフェッチ要求を発行するかどうかを判定する。少なくとも1つの実施形態では、UDP128は、プリフェッチャ130, 132に対する「バックアップ」プリフェッチャとして動作し、これらのプリフェッチャの1つが、プリフェッチャが要求キャッシュアクセスに関するプリフェッチ要求を有している又はこれを発行することを通知する場合、ブロック406で再び示すように、UDP128は、さらなるアクションをとらないことによって、それ自体のプリフェッチ要求の発行を抑制する。

【0028】

それ以外の場合、UDP128がプリフェッチャ130, 132に対して優先されない場合、又は、他のプリフェッチャが要求キャッシュアクセスを処理していない場合、ブロック410において、プリフェッチ発行モジュール212は、何れのタイプのプリフェッチャがスレッドに関してUDP128で有効になるかを判定する。アッププリフェッチが有効にされる場合、ブロック412において、プリフェッチ発行モジュール212は、ブロック402で受信される要求キャッシュアクセスのターゲットとなるキャッシュラインの後に隣接する（すなわち、上方向に隣接する）キャッシュラインに関する投機的プリフェッチ要求234（図2）を発行する。逆に、ダウンプリフェッチが有効にされる場合、ブロック414において、プリフェッチ発行モジュール212は、ブロック402で受信される要求キャッシュアクセスのターゲットとなるキャッシュラインの前に隣接する（すな

10

20

30

40

50

わち、下方方向に隣接する）キャッシュラインに関する投機的プリフェッチ要求 2 3 4（図 2）を発行する。ブロック 4 1 2 又はブロック 4 1 4 の何れかで発行されるプリフェッチ要求 2 3 4 の結果として、隣接するキャッシュラインは、L 2 キャッシュ 1 1 6 にプリフェッチされ、検出された隣接アクセスパターンが正確であれば計算複合体 1 0 2 によって利用可能になり、隣接するキャッシュラインに関するキャッシュアクセスがキャッシュミスを生じさせ、これにより、隣接するキャッシュラインがシステムメモリ 1 0 8 からフェッチされるまでスレッドを待機状態にする場合に生じる遅延を低減又は排除する。したがって、独立したプリフェッチャ又は他のプリフェッチャに対するバックアップとして機能する U D P 1 2 8 は、従来のストライド/ストリームプリフェッチャによって検出される、かなり多くのアクセスに亘る（すなわち、かなり「動作の遅い」）隣接アクセスパターンを識別するように動作することができ、これにより、キャッシュ階層 1 0 4 が、より効率的なデータアクセス及び処理に関する計算複合体 1 0 2 のデータアクセスの必要性をより良好に予測することを可能にする。

【 0 0 2 9 】

いくつかの実施形態では、上述した装置及び技術は、図 1 ~ 図 4 を参照して上述した処理システム等の 1 つ以上の集積回路（I C）デバイス（集積回路パッケージ又はマイクロチップとも呼ばれる）を含むシステムに実装される。これらの I C デバイスの設計及び製造には、電子設計自動化（E D A）及びコンピュータ支援設計（C A D）ソフトウェアツールを使用することができる。これらの設計ツールは、通常、1 つ以上のソフトウェアプログラムとして表される。1 つ以上のソフトウェアプログラムは、コンピュータシステムによって実行可能なコードを含み、コンピュータシステムを操作して、1 つ以上の I C デバイスの回路を表すコード上で動作し、回路を製造する製造システムを設計又は適合させるプロセスの少なくとも一部を実行する。このコードには、命令、データ、又は、命令及びデータの組み合わせが含まれる。設計ツール又は製造ツールを表すソフトウェア命令は、通常、コンピューティングシステムにアクセス可能なコンピュータ可読記憶媒体に記憶される。同様に、I C デバイスの設計又は製造の 1 つ以上のフェーズを表すコードは、同じコンピュータ可読記憶媒体又は異なるコンピュータ可読記憶媒体に記憶され、これらからアクセスされてもよい。

【 0 0 3 0 】

非一時的なコンピュータ可読記憶媒体は、使用中にコンピュータシステムによってアクセス可能であり、命令及び/又はデータをコンピュータシステムに提供する任意の非一時的な記憶媒体又は非一時的な記憶媒体の組み合わせを含むことができる。係る記憶媒体には、限定はしないが、光媒体（例えば、コンパクトディスク（C D）、デジタル多用途ディスク（D V D）、ブルーレイ（登録商標））、磁気媒体（例えば、フロッピー（登録商標）ディスク、磁気テープ又は磁気ハードドライブ）、揮発性メモリ（例えば、ランダムアクセスメモリ（R A M）又はキャッシュ）、不揮発性メモリ（例えば、読取専用メモリ（R O M）又はフラッシュメモリ）、微小電気機械システム（M E M S）ベースの記憶媒体が含まれる。コンピュータ可読記憶媒体は、コンピューティングシステム（例えば、システム R A M 又は R O M）に埋設されてもよいし、コンピューティングシステム（例えば、磁気ハードドライブ）に固定的に取り付けられてもよいし、コンピューティングシステム（例えば、光ディスク又はユニバーサルシリアルバス（U S B）ベースのフラッシュメモリ）に取り外し可能に取り付けられてもよく、有線又は無線ネットワーク（例えば、ネットワークアクセス可能ストレージ（N A S））を介してコンピュータシステムに接続されてもよい。

【 0 0 3 1 】

いくつかの実施形態では、上述した技術の特定の態様は、ソフトウェアを実行する処理システムの 1 つ以上のプロセッサによって実施されてもよい。ソフトウェアは、非一時的なコンピュータ可読記憶媒体に記憶されてもよいし、有形に具体化された実行可能な命令の 1 つ以上のセットを含む。ソフトウェアは、1 つ以上のプロセッサによって実行されると、1 つ以上のプロセッサを操作して、上述した技術の 1 つ以上の態様を実行する命令及

10

20

30

40

50

びデータを含むことができる。非一時的なコンピュータ可読記憶媒体は、例えば、磁気若しくは光ディスクストレージデバイス、フラッシュメモリ等のソリッドステートストレージデバイス、キャッシュ、ランダムアクセスメモリ（RAM）、他の不揮発性メモリデバイス等を含むことができる。非一時的なコンピュータ可読記憶媒体に記憶される実行可能な命令は、ソースコード、アセンブリ言語コード、オブジェクトコード、又は、1つ以上のプロセッサによって解釈若しくは他の方法で実行可能な他の命令フォーマットであってもよい。

【0032】

一般的な説明において上記で説明したアクティビティ又は要素の全てが必要であるとは限らず、特定のアクティビティ若しくはデバイスの一部が必要でなくてもよいこと、1つ以上のさらなるアクティビティが実行され得ること、1つ以上のさらなる要素が説明されたものに加えて含まれることと、に留意されたい。また、アクティビティが列挙される順序は、必ずしも、そのアクティビティが行われる順序ではない。さらに、これらの概念は、特定の実施形態を参照して説明されている。しかし、当業者であれば、以下の特許請求の範囲に記載された本発明の範囲から逸脱することなく、様々な修正及び変更を行うことができることを理解するであろう。したがって、明細書及び図は、限定的な意味ではなく例示的な意味で考慮されるべきであり、このような変更の全ては、本発明の範囲に含まれることが意図される。

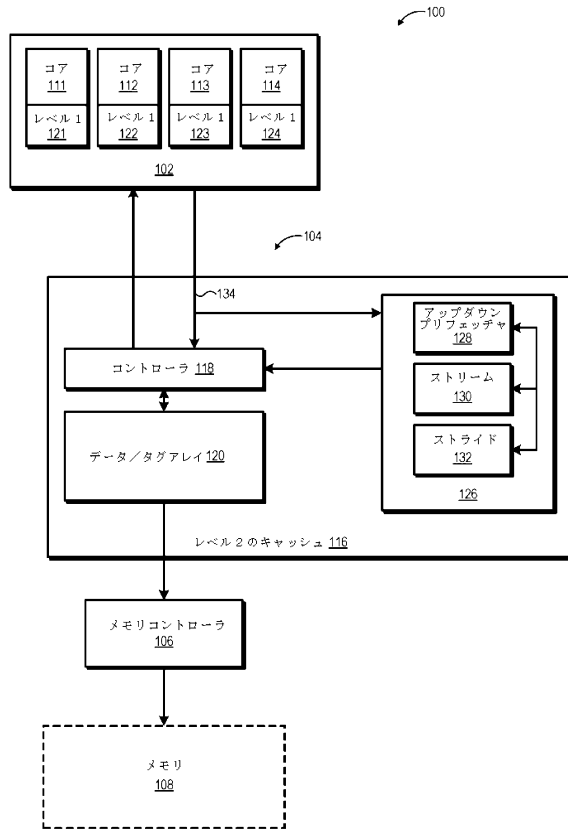
10

【0033】

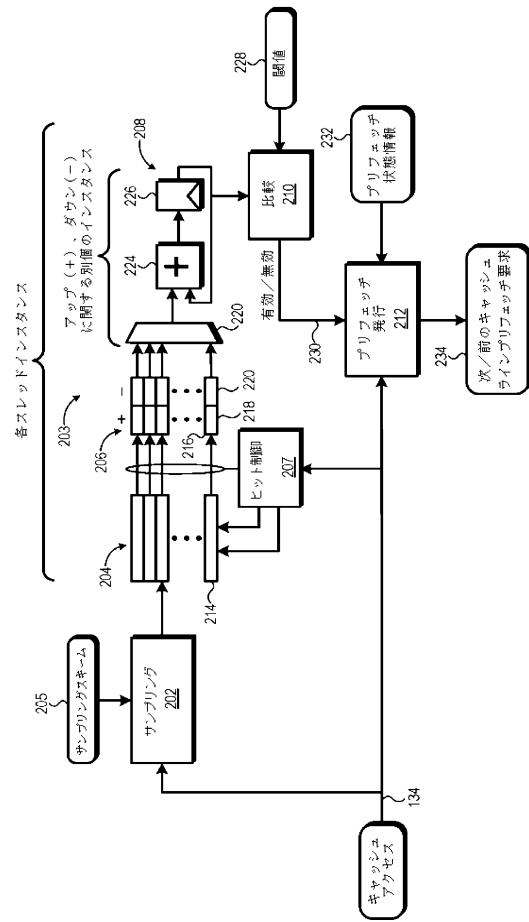
利益、他の利点及び問題に対する解決手段は、特定の実施形態に関して上述されている。しかし、何れかの利益、利点若しくは解決手段を発生させ得る、又は、顕著になる可能性のある機能は、何れか又は全ての重要な、必須の、不可欠な特徴と解釈されるべきではない。さらに、開示された発明は、本明細書の教示の利益を享受する当業者には明らかであるが、異なるが同等の方法で修正され実施され得るので、上述した特定の実施形態は例示に過ぎない。以下の特許請求の範囲に記載されているもの以外の、ここに示された構成又は設計の詳細に制限はない。したがって、上述した特定の実施形態は、変更又は修正されてもよく、そのような変更の全てが開示された発明の範囲にあると考えられることが明らかである。したがって、本明細書で求められる保護は、以下の特許請求の範囲に記載されている。

20

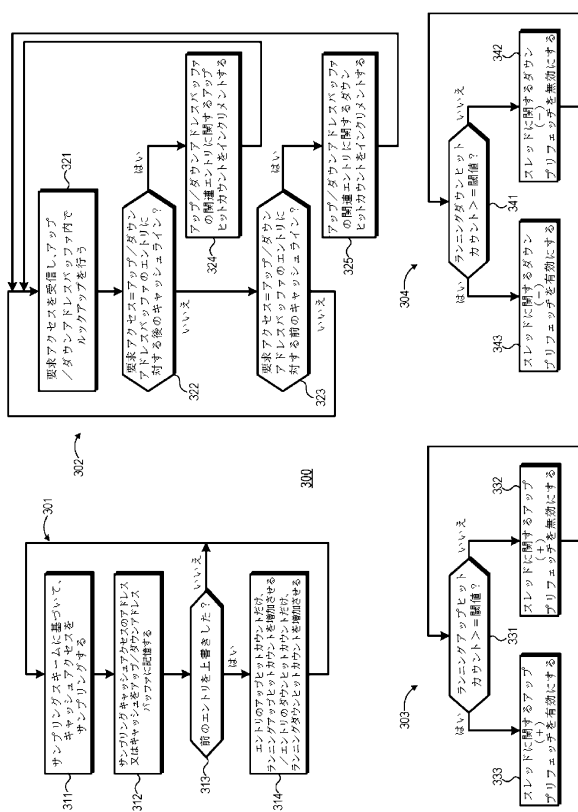
【 図 1 】



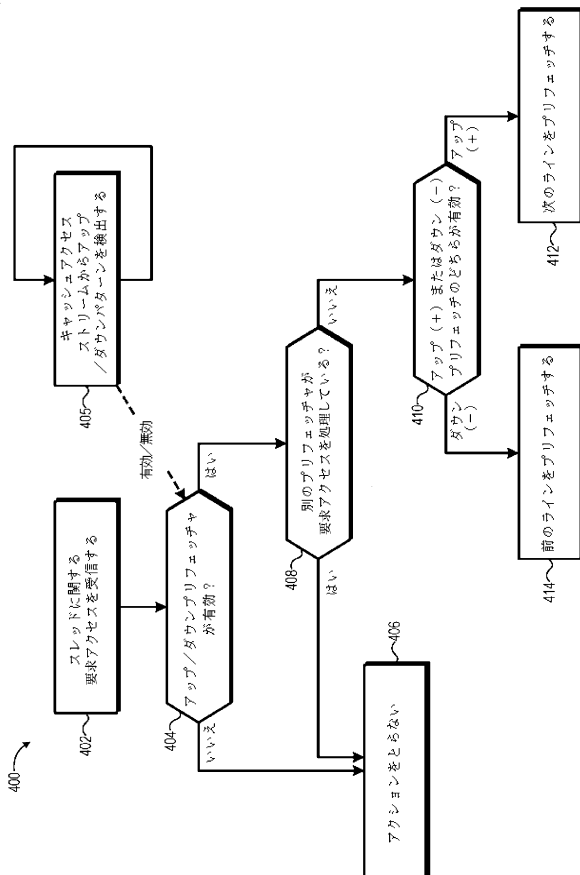
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 ウィリアム エヴァン ジョーンズ 3世
アメリカ合衆国 95054 カリフォルニア州、サンタ クララ、オーガスティン ドライブ
2485

審査官 境 周一

(56)参考文献 特開2008-102745(JP,A)
米国特許出願公開第2011/0238922(US,A1)
米国特許出願公開第2012/0066455(US,A1)

(58)調査した分野(Int.Cl., DB名)
G06F 12/00 - 12/128