

(43) 国際公開日
2006年12月7日 (07.12.2006)

PCT

(10) 国際公開番号
WO 2006/129339 A1(51) 国際特許分類:
G11C 16/30 (2006.01) H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2005/009860

(22) 国際出願日: 2005年5月30日 (30.05.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).

(72) 発明者; および

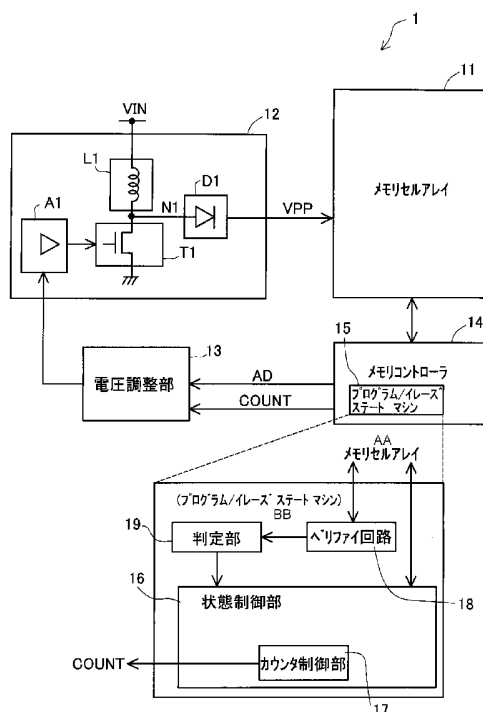
(75) 発明者/出願人 (米国についてのみ): 荒川 秀貴

(ARAKAWA, Hideki) [JP/JP]; 〒9650845 福島県
会津若松市門田町工業団地6番 Spansion
Japan 株式会社内 Fukushima (JP).(74) 代理人: 特許業務法人コスモス特許事務所 (COSMOS
PATENT OFFICE); 〒4600003 愛知県名古屋市中区錦
二丁目2番22号名古屋センタービル別館2階 Aichi
(JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

/続葉有/

(54) Title: STORAGE APPARATUS AND METHOD FOR CONTROLLING STORAGE APPARATUS

(54) 発明の名称: 記憶装置、および記憶装置の制御方法



11.. MEMORY CELL ARRAY
13.. VOLTAGE ADJUSTING PART
14.. MEMORY CONTROLLER
15.. PROGRAM/ERASE STATE MACHINE
AA.. MEMORY CELL ARRAY
BB.. PROGRAM/ERASE STATE MACHINE
19.. DETERMINING PART
18.. VERIFYING CIRCUIT
16.. STATE CONTROL PART
17.. COUNTER CONTROL PART

(57) Abstract: The conduction/non-conduction control of a first switch circuit (T1) is periodically performed in accordance with an error amplifying circuit (A1), thereby discharging a power, which has been stored from an input voltage (VIN) into an inductance circuit (L1), to a memory cell array (11) via a rectifying circuit (D1) to supply a bias voltage (VPP) that has been boosted up to a set value. At this moment, a voltage adjusting part (13) directly adjusts the voltage value of the bias voltage (VPP) by operating the error amplifying circuit (A1) of a boosted voltage supplying part (12) in accordance with counter information (COUNT) and positional information (AD) of target memory cells to which the bias voltage (VPP) is to be applied. In this way, even if the storage capacity is to be enlarged, a bias voltage, which has been boosted by a sufficient supply capability, can be supplied to the memory cell array. Moreover, the set voltage can be adjusted in accordance with the positions of target memory cells, thereby supplying thereto the suitable boosted voltage regardless of the positions and number of the target memory cells.

(57) 要約: 誤差増幅回路A1に応じて第1スイッチ回路T1の導通/非導通の制御を周期的に行なうことにより、入力電圧VINからインダクタンス回路L1に蓄積される電力を、整流回路D1を介してメモリセルアレイ11に放出して、設定電圧に昇圧されたバイアス電圧VPPを供給する。このとき、電圧調整部13が、バイアス電圧VPPの印加対象メモリセルの位置情報ADおよびカウンタ情報COUNTに応じて昇圧電圧供給部12の誤差増幅回路A1に作用し、バイアス電圧VPPの電圧値を直接に調整する。記憶容量が大容量化された場合にも、メモリセルアレイに対して十分な供給能力で昇圧されたバイアス電圧を供給することができると共に、対象メモリセルの位置に応じて設定電圧を調整して、対象メモリセル数、位置に関わらず好適な昇圧電圧を供給することができる。



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

記憶装置、および記憶装置の制御方法

技術分野

- [0001] 本発明は、メモリセルアレイにバイアス電圧を供給する構成を有する記憶装置、およびその制御方法に関するものであり、特に、大容量化されたメモリセルアレイに対して、十分な供給能力を有すると共にメモリセルアレイ内のメモリセル位置に応じたバイアス電圧を供給する記憶装置、およびその制御方法に関するものである。

背景技術

- [0002] 特許文献1に開示されているメモリ回路は、電源VCCから昇圧され、書き換え動作や消去動作において必要とされる昇圧電圧が、図7に示すブースト回路200よりメモリセルアレイに供給される。ブースト回路200は、インダクタ素子210、スイッチングトランジスタT1、ダイオードD1、キャパシタC2を備えており、周期的な制御信号がスイッチングトランジスタT1を周期的に導通させる。スイッチングトランジスタT1の導通状態では、電源VCCから、インダクタ素子210およびスイッチングトランジスタT1を介して接地電位に電流が流れる。これによりインダクタ素子210はエネルギーを蓄積する。スイッチングトランジスタT1が非導通状態になると、スイッチングトランジスタT1のドレイン端子電圧が上昇し、ダイオードD1を介してキャパシタC2にエネルギーが移送される。これによりキャパシタC2の端子電圧が電源VCCより昇圧され、出力端子Outputから昇圧電圧が供給される。
- [0003] また、特許文献2を図8に示す。ここでは不揮発性メモリについてプログラム回路部分のみを示す。メモリセルM1～M8が例示的に示されており、ワード線W0～Wmおよびデータ線D0、D1、Dj、Dj+1によりメモリアレイが構成されている。
- [0004] 各データ線D0～Dj+1は、選択信号Y0、Y1、Yj、Yj+1を受ける列選択スイッチMOSFETQ20、Q21、Q24、Q25を介して、共通データ線CDに接続される。共通データ線CDは、書き込み負荷回路WA0の出力端子に接続されている。
- [0005] 書き込み負荷回路WA0は、書き込み用のデータ入力バッファの出力信号DD1を受けるMOSFETQ15、可変抵抗回路VR、および制御信号PROGを受けるMOSF

ETQ17からなる直列回路から構成され、高電圧端子VPPの電圧を共通データ線CDに伝える。ここで、データ線の近端側のメモリセルと遠端側のメモリセルとで書き込み深さが異なることを防ぐため、メモリアレイがデータ線方向に分けられたメモリブロック(不図示)を選択するブロック選択アドレスAXをブロックデコーダ回路DEに入力し、選択されるメモリブロックに応じて可変抵抗VRの抵抗値を調整してデータ線の抵抗成分による電圧降下分を補うような書き込み電圧を形成する。

[0006] 図9は書き込み負荷回路WA0の具体例である。ブロックデコーダ回路DEは、2ビットのアドレス信号A8B、A9Bを受けて3通りの選択信号SS0～SS2を形成する。可変抵抗VRは、並列形態にされたMOSFETQ1～Q4から構成される。MOSFETQ1のゲートには、定常的にバイアス電圧VPが供給される。MOSFETQ1は最大抵抗値を設定する。アドレス信号A8B、A9Bに応じてハイレベルとなる選択信号SS0～SS2の組み合わせが変わって導通するMOSFETの数が変化する。これにより、可変抵抗VRの抵抗値が調整される。

[0007] 特許文献1: 米国特許第6744669B2号明細書

特許文献2: 特開平6-150670号公報

発明の開示

発明が解決しようとする課題

[0008] フラッシュメモリ等を備える従来の記憶装置においては、書き換え動作や消去動作等に代表される動作の際、メモリセルに対して必要となる昇圧電圧は、チャージポンプ機能を利用した昇圧電圧生成回路により供給されてきた。これに対して特許文献1のブースト回路200では、インダクタ素子210に周期的にエネルギーを蓄積し、そのエネルギーをキャパシタC2に移送することで、出力端子Outputに昇圧電圧を供給する。チャージポンプ機能による昇圧電圧生成回路に比して大きな電力を供給することが可能となり、記憶容量が大容量化された際にも、メモリセルアレイに対して有効な昇圧電圧の供給を図るものではある。

[0009] しかしながら、記憶容量が大容量化される場合、メモリセルアレイの配置領域は広がらざるを得ない。このため、書き換え動作や消去動作の対象となるメモリセルは、メモリセルアレイ内での位置に応じてブースト回路200からの距離が異なることとなる。

対象のメモリセルに至るまでの昇圧電圧の径路での電圧降下により、メモリセルに印加される昇圧電圧が降圧してしまうおそれがある。この場合、同一の動作に対してメモリセルの位置ごとに異なる電圧値が印加されてしまい問題である。

[0010] ここで、特許文献2を利用すれば、ブースト回路200から出力される昇圧電圧の径路上の抵抗値を可変とすることができ、メモリセルに印加される電圧値を調整することは可能ではある。

[0011] しかしながら、特許文献2は、ブースト回路200から出力される昇圧電圧の電圧値を直接調整するものではない。高電圧端子VPPに入力された昇圧電圧が負荷回路W A0の可変抵抗VRを介してメモリセルに至る際に流れる電流により、電圧降下を生成して電圧値を調整するものである。このため、昇圧電圧が高抵抗ノードへの電圧印加であり電圧の印加に伴い印加径路に電流が流れない場合には、可変抵抗VRによる電圧降下は発生しない。この場合、メモリセル位置に応じた電圧調整を行なうことができず問題である。

[0012] また、同時に複数のメモリセルに対して昇圧電圧の印加が行われる場合、電圧印加に伴いメモリセルが所定の状態（プログラム完了または消去完了）に至り電圧印加動作が完了するまでの時間は、メモリセルごとに異なることが一般的である。このため、電圧印加動作が完了したと判断されるメモリセルの数は、電圧印加の初期段階からの時間経過と共に増えていくこととなる。電圧印加動作の完了が確認されたメモリセルに対しては、更なる電圧印加は行なわないとすれば、印加径路に流れる電流は時間経過と共に徐々に減少することとなる。アドレス信号によりメモリセル位置に応じて可変抵抗VRの抵抗値を調整したとしても、時間経過と共に昇圧電圧が変化してしまい、メモリセル位置に応じた昇圧電圧を確定することができず問題である。

課題を解決するための手段

[0013] 本発明は前記背景技術の少なくとも1つの問題点に鑑みなされたものであり、記憶容量が大容量化された場合にも、入力電圧からインダクタンス素子に蓄積された電力を出力側に放出する動作を、出力電圧が設定電圧に維持されるように周期的に行なう制御により、メモリセルアレイに対して十分な供給能力を有する昇圧電圧を供給すると共に、メモリセルアレイ内の対象となるメモリセル位置に応じて昇圧電圧を供給

する回路の設定電圧を直接調整することで、電圧印加される対象メモリセル数や配置位置に関わらず、好適な昇圧電圧を供給することが可能な記憶装置、およびその制御方法を提供することを目的とする。

また、前記メモリセルアレイに対して十分な供給能力を有する昇圧電圧を供給すると共に、必要に応じて昇圧電圧を供給する回路の設定電圧を直接調整することで、好適な昇圧電圧を供給することが可能な記憶装置、およびその制御方法を提供することを目的とする。

[0014] 前記目的を達成するためになされた本発明の記憶装置は、メモリセルアレイと、メモリセルアレイに、入力電圧に対して昇圧されたバイアス電圧を供給する昇圧電圧供給部と、メモリセルアレイにおけるバイアス電圧の供給位置前記バイアス電圧の印加回数、前記バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて、バイアス電圧の電圧値を設定する設定電圧を調整し、または／および設定電圧とバイアス電圧との少なくとも何れか一方に基づき調整された調整電圧を出力する電圧調整部とを備え、昇圧電圧供給部は、調整された、設定電圧または／および調整電圧に基づき、バイアス電圧の設定電圧からの誤差電圧を増幅する誤差増幅回路と、入力電圧と第1ノードとの間を接続するインダクタンス回路と、第1ノードと基準電圧との間を接続する第1スイッチ回路と、第1ノードとメモリセルアレイとの間を接続し、第1ノードからメモリセルアレイに向かって導通する整流回路とを備え、誤差増幅回路に応じて、第1スイッチ回路、または第1スイッチ回路および整流回路を、周期的に導通制御することを特徴とする。

[0015] 本発明の記憶装置では、第1スイッチ回路の導通により、入力電圧から第1ノードを経て基準電圧に至る電流経路が形成されインダクタンス回路に電力が蓄積される。第1スイッチ回路の非導通により、インダクタンス回路に蓄積されている電力は、第1ノードから整流回路を経て、メモリセルアレイにバイアス電圧として供給される。電圧調整部が、バイアス電圧の供給位置前記バイアス電圧の印加回数、前記バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて設定電圧を調整し、または／および設定電圧とバイアス電圧との少なくとも何れか一方に基づき調整された調整電圧を出力する。調整された、設定電圧または／および調整電圧が誤差増幅

回路に供給され、バイアス電圧の設定電圧からの誤差電圧が増幅される。誤差増幅回路の出力信号に応じて第1スイッチ回路、または第1スイッチ回路および整流回路が導通制御され、周期的に電力の移送動作が行われる。

[0016] また、本発明の記憶装置の制御方法は、メモリセルアレイにおけるバイアス電圧の供給位置、バイアス電圧の印加回数、バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて、バイアス電圧の設定電圧を調整するステップと、バイアス電圧を、入力電圧の電力を周期的にインダクタンス回路に蓄積した上でメモリセルアレイに供給することにより、設定電圧に制御するステップとを有することを特徴とする。

[0017] 本発明の記憶装置の制御方法では、メモリセルアレイに供給されるバイアス電圧の供給対象であるメモリセルアレイ内のメモリセルの位置、バイアス電圧の印加回数、バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて、バイアス電圧の設定電圧を調整した上で、バイアス電圧を、入力電圧の電力を周期的にインダクタンス回路に蓄積した上でメモリセルアレイに供給することにより、設定電圧に制御する。

発明の効果

[0018] これにより、記憶容量が大容量化された場合にも、入力電圧からインダクタンス回路に蓄積された電力をメモリセルアレイに向けて放出する動作を、バイアス電圧が設定電圧に維持されるように周期的に制御して、メモリセルアレイに対して十分な供給能力を有するバイアス電圧を供給することができる。加えて、メモリセルアレイ内の対象となるメモリセル位置、バイアス電圧の印加回数、バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて設定電圧を調整することにより、バイアス電圧を直接調整して、インダクタンス回路に蓄積された電力を整流回路からメモリセルアレイに向けて放出することができる。バイアス電圧を印加している対象メモリセルの数に関わらず、メモリセル位置に応じて好適なバイアス電圧を供給することができる。

図面の簡単な説明

[0019] [図1]本発明の原理を説明するブロック図である。

[図2]実施形態のメモリセルアレイの概略ブロック図である。

[図3]昇圧電圧供給部および電圧調整部の回路ブロック図である。

[図4]セクタ位置に応じたバイアス電圧の調整を示す図である。

[図5]第2スイッチ回路を選択するデコーダに関する他の実施形態である。

[図6]昇圧電圧供給部のコントローラについての他の実施形態を示すブロック図である。

[図7]特許文献1の回路ブロック図である。

[図8]特許文献2の回路ブロック図である。

[図9]特許文献2の書き込み負荷回路WA0の具体例である。

符号の説明

- [0020]
- 11 メモリセルアレイ
 - 12 昇圧電圧供給部
 - 13 電圧調整部
 - 14 メモリコントローラ
 - 21、26 デコーダ
 - 23 Yデコーダ
 - 24 コントローラ
 - 25 ドライバ
 - 27 セレクタ
 - 28 PWM制御部
 - 29 VFM制御部
 - A1 誤差増幅回路
 - D1 整流回路
 - L1 インダクタンス回路
 - N1 第1ノード
 - RS0～RS3 冗長セクタ
 - S00～S3f セクタ
 - SW0～SW3 第2スイッチ回路
 - T1 第1スイッチ回路

AD 印加対象メモリセルの位置情報
ADD、ADa、ADb、ADc、ADd アドレス信号
RED 冗長信号
S2～S0 調整信号
SEL0～SEL3 選択信号
SLD 負荷信号
VFB フィードバック電圧
VIN 入力電圧
VL0～VL7 調整レベル
VPP バイアス電圧
VRF1 設定電圧

発明を実施するための最良の形態

[0021] 以下、本発明の記憶装置、および記憶装置の制御方法について具体化した実施形態を図1乃至図6に基づき図面を参照しつつ詳細に説明する。

[0022] 図1に示す本発明の原理を説明するブロック図では、メモリセルアレイ11、メモリセルアレイ11に昇圧されたバイアス電圧VPPを供給する昇圧電圧供給部12、昇圧電圧供給部12が供給するバイアス電圧VPPの電圧値を調整する電圧調整部13、およびメモリセルアレイ11を制御するメモリコントローラ14を備えている。

[0023] また、メモリコントローラ14にはメモリセルアレイ内のメモリセルをプログラムまたは消去する時のプログラム／イレース・ステート・マシン15を備える。プログラム／イレース・ステート・マシン15は、カウンタ制御部17を含む状態制御部16、ベリファイ回路18、判定部19を備える。

[0024] 状態制御部16は、プログラムまたはイレース時、メモリセルへ物理的作用によりホットエレクトロンやホットキャリアなどを注入放出させるための複数回の電圧印加とベリファイ機能を制御する。

[0025] ベリファイ回路18は、プログラムまたはイレース時、電圧印加毎または複数回の電圧印加を1セットとしたサイクル毎に、メモリセルのプログラム状態または消去状態を期待値と比較検証する。

- [0026] 判定部19は、ベリファイ回路18の比較検証データをもとに、プログラム／イレース対象である複数メモリセルすべてがプログラム状態またはイレース状態になったか否かを判定する。
- [0027] カウンタ制御部17は、前記電圧印加の回数を設定し、または／およびベリファイ動作を監視する。
- [0028] 状態制御部16は、判定部19の結果とカウンタ制御部17の情報を元に、プログラムまたはイレースを終了するか／プログラムまたはイレースのための更なる電圧印加を追加実施するかを判断する。また、メモリセルへの電圧印加を制御する。状態制御部16による制御に応じて行なわれる、バイアス電圧VPPのパルス印加やベリファイ動作を、カウンタ制御部17が監視し、設定されたパルス回数または／および検出されたベリファイ動作に応じてカウンタ情報COUNTを出力する。
- [0029] 例えば、印加電圧をパルス状に複数回与えた後、ベリファイを実施する。この場合の複数回の制御はカウンタ制御部17で行われる。パルスの電圧は、パルス回数 n ($n \geq 1$) 毎に印加電圧を調整して変更する場合が一般的であり、ステップパルス印加と呼ぶ。もう一つの例としては、前記プログラムまたはイレースのための更なる電圧印加を追加実施する毎に、印加電圧を調整して変更する場合である。ベリファイ毎に印加電圧の設定値が変更されることから、ベリファーステップ印加と呼ぶ。両者共に、メモリセルへの前記物理的作用を効果的にして、プログラム／イレース特性を向上するために実施される。ステップパルス印加時のバイアス電圧VPPまたはベリファーステップ印加時のバイアス電圧VPPは、後述する昇圧電圧供給部12により生成される。
- [0030] 昇圧電圧供給部12は、バイアス電圧VPPの設定電圧からの誤差電圧を増幅する誤差増幅回路A1、入力電圧VINと第1ノードN1との間を接続するインダクタンス回路L1、第1ノードN1と接地電圧との間を接続し、誤差増幅回路A1に応じて周期的に導通制御される第1スイッチ回路T1、および第1ノードN1からメモリセルアレイ11に向かって導通する整流回路D1を備えている。
- [0031] 誤差増幅回路A1に応じて第1スイッチ回路T1を導通し、入力電圧VINからインダクタンス回路L1を介して接地電圧に至る電流経路を形成して、インダクタンス回路L1に電力を蓄積する。その後、第1スイッチ回路T1を非導通とし、入力電圧VINから

インダクタンス回路L1を介して接地電圧に至る電流径路を遮断する。電流径路の遮断に応じて、インダクタンス回路L1に蓄積されていた電力が、整流回路D1を介してメモリセルアレイ11に放出される。第1スイッチ回路T1の導通／非導通の制御を周期的に行なうことにより、メモリセルアレイ11にバイアス電圧VPPが供給される。

[0032] 電圧調整部13は、メモリコントローラ14から入力される、バイアス電圧VPPの印加対象メモリセルの位置情報ADおよびカウンタ情報COUNTに応じて、昇圧電圧供給部12に対して信号を出力する。この信号は昇圧電圧供給部12の誤差増幅回路A1に作用し、バイアス電圧VPPの電圧値が調整される。ここで、位置情報ADとは、例えば、バイアス電圧VPPが印加される対象メモリセルのアドレス情報である。

[0033] 入力電圧VINから供給される電力を、インダクタンス回路L1に蓄積した上で整流回路D1を介して放出することにより、昇圧されたバイアス電圧VPPを供給することができる。容量結合による電荷の移動を利用したチャージポンプ機能での昇圧動作に比して、大きな電力を効率的に放出して昇圧動作を行なうことができる。

[0034] また、バイアス電圧VPPの供給対象であるメモリセルの位置情報ADおよびカウンタ情報COUNTに応じて、昇圧電圧供給部12から出力されるバイアス電圧VPPの電圧値を直接に制御することができる。バイアス電圧VPPが供給されるメモリセルアレイでの負荷の多寡に関わらず、すなわち、昇圧電圧供給部12からメモリセルアレイ11に向けて必要とされる電流量に関わらず、所定の電圧値を有するバイアス電圧VPPを供給することができる。

[0035] 図2は、メモリセルアレイ11の概略ブロック図である。メモリセルアレイ11において、メモリセル(不図示)がマトリクス状に縦横に並べて配置されており、更にセクタS00～S3fが構成されている。セクタS00～S3fはメモリセルへのアクセス制御上、または／および回路・レイアウト構成上、所定数のメモリセルごとに区画された単位である。例えば、不揮発性メモリにおいては一括消去動作やプログラム動作などの基本単位として扱われる。

[0036] 図2では、横方向に4セクタ、縦方向に16セクタが配置され、総数で64セクタが配置されている。また、アドレス信号ADa、ADbを含むアドレス信号ADDをデコードするYデコーダ23、バイアス電圧VPPの供給線を横方向に並ぶ各セクタ列に接続する

第2スイッチ回路SW0～SW3、およびアドレス信号ADa、ADbをデコードし、第2スイッチ回路SW0～SW3に選択信号SEL0～SEL3を出力するデコーダ21を備えている。また、横方向に並ぶセクタ列には、列ごとに冗長セクタRS0～RS3が配置されている。Yデコーダ23でデコードされるタテ列に属するセクタ群は、共通ビット線に接続される。この共通ビット線には配線径路上に寄生抵抗が付加している。

[0037] 縦横にマトリクス状に配置されたセクタS00～S3fは、アドレス信号ADa、ADbにより横方向に並ぶ各セクタ列が識別される。アドレス信号(ADa、ADb) = (0, 0)のセクタ列は、セクタS00～S0fおよび冗長セクタRS0が配置され、(ADa、ADb) = (0, 1)のセクタ列は、セクタS10～S1fおよび冗長セクタRS1が配置され、(ADa、ADb) = (1, 0)のセクタ列は、セクタS20～S2fおよび冗長セクタRS2が配置され、(ADa、ADb) = (1, 1)のセクタ列は、セクタS30～S3fおよび冗長セクタRS3が配置されている。また、アドレス信号ADc、ADdにより縦方向に並ぶセクタのうち隣接する4セクタごとに識別される。アドレス信号(ADc、ADd) = (0, 0)には、セクタS_x0～S_x3 (x=0～3)が区画され、アドレス信号(ADc、ADd) = (0, 1)には、セクタS_x4～S_x7 (x=0～3)が区画され、アドレス信号(ADc、ADd) = (1, 0)には、セクタS_x8～S_xb (x=0～3)が区画され、アドレス信号(ADc、ADd) = (1, 1)には、セクタS_{xc}～S_{xf} (x=0～3)が区画されている。

[0038] バイアス電圧VPPを印加する動作の際、アドレス信号ADa～ADdを含むアドレス信号により、対象となるメモリセル(不図示)が指定される。デコーダ21では、アドレス信号ADa、ADbがデコードされ、対象のメモリセルが配置されている横方向に並ぶセクタ列にある第2スイッチ回路SW0～SW3が選択される。バイアス電圧VPPは、選択された第2スイッチ回路、Yデコーダ23を介して、対象のメモリセルにビット線を経由して供給される。

[0039] ここで、不良メモリセル、不良セクタ等については、不図示の冗長判定回路に応じて所定の冗長セクタRS0～RS3に置換される。図2では、不良セクタ等は同一のセクタ列にある冗長セクタに置換されるとして構成されているものとする。デコーダ21においてデコードされ選択される第2スイッチ回路SW0～SW3は、冗長セクタへの置換の有無に関わらず同一のセクタ列を選択すればよい。

- [0040] 冗長構成または／および冗長制御方法によっては、対象のメモリセルと置換される冗長セクタのセクタ列が異なる場合も考えられる。各列に冗長セクタを備えるのではなく複数セクタ列間で1つの冗長セクタを共有する場合や、冗長救済効率を高めるために不良セクタ等が配置されているセクタ列とは異なるセクタ列に配置されている冗長セクタに置換を行なういわゆるフレキシブル冗長の場合である。
- [0041] この場合、デコーダ21に、冗長判定信号(不図示)や置換先の冗長セクタが配置されているセクタ列のアドレス情報等を入力してやればよい。これにより、例えば、複数セクタ列間で冗長セクタを共有する場合には、冗長判定信号の入力に応じて、アドレス信号ADa、ADbのデコードに関わらず冗長セクタの配置されている所定セクタ列を選択することができる。また、異なるセクタ列の冗長セクタに置換する場合には、冗長判定信号の入力に応じて、アドレス信号ADa、ADbに代えて冗長セクタが配置されているセクタ列のアドレス情報等をデコードして冗長セクタの配置されているセクタ列を選択することができる。
- [0042] アドレス信号ADa、ADbにより横方向に並ぶセクタ列が識別されると共に、アドレス信号ADc、ADdにより縦方向において4セクタごとに識別される。アドレス信号ADa～ADdに応じて、各セクタ列に対して4セクタごとにメモリセルの配置領域が区画される。区画されたメモリセルの配置領域に応じて昇圧電圧供給部12からの距離が異なり経路上の負荷が異なる。また、冗長セクタRS0～RS3についてもセクタ列ごとに昇圧電圧供給部12からの距離が異なり経路上の負荷が異なる。したがって、後述するように、アドレス信号ADa～ADdまたは置換される冗長セクタに応じて、出力されるバイアス電圧VPPの電圧値を調整することが有効である。
- [0043] 図3に実施形態の昇圧電圧供給部12および電圧調整部13を示す。昇圧電圧供給部12は、誤差増幅器A11、インダクタンス素子L11、スイッチング素子T11、整流素子D11、およびキャパシタ素子C11を備えている。インダクタンス素子L11とスイッチング素子T11とは第1ノードN1で接続されている。インダクタンス素子L11の他端は入力電圧VINに接続され、スイッチング素子T11の他端は接地電圧に接続されている。また、整流素子D11は、アノード端子が第1ノードN1に接続されカソード端子が出力端子VPPに接続されている。キャパシタ素子C11は、出力端子VPPと接地電

圧との間に接続されている。誤差増幅器A11には、出力されるバイアス電圧VPPがフィードバックされたフィードバック電圧VFBと設定電圧VRF1とが入力される。設定電圧VRF1からのフィードバック電圧(調整電圧)VFBの誤差電圧が増幅される。ここで、フィードバック電圧VFBは、バイアス電圧VPPを抵抗分圧により調整した調整電圧である。また、図示されてはいないが、設定電圧VRF1を抵抗分圧等により調整して調整電圧とすることもできる。更に、設定電圧VRF1自体を調整することもできる。

[0044] また、コントローラ24、およびドライバ25が備えられており、スイッチング素子T11を導通制御する。誤差増幅器A11の出力信号がコントローラ24に入力され、誤差電圧に応じて出力される制御信号がドライバ25を介してスイッチング素子T11を制御する。

[0045] コントローラ24から出力され、スイッチング素子T11を導通制御する制御信号は、出力されるバイアス電圧VPPが所定電圧値を維持するように周期的に制御される。例えば、所定の周波数で導通と非導通とが繰り返されて出力端子に電力を放出することにより、バイアス電圧VPPを所定電圧値に維持する制御方法がある。いわゆるPWM制御と称されるスイッチング制御である。所定周期ごとにスイッチング素子T11が導通制御され毎周期電力が供給されるため、供給されるバイアス電圧VPPにおいて電力消費が大なる場合に有効な制御方法である。バイアス電圧VPPとして十分な電力を供給することができる。

[0046] これに対して、バイアス電圧VPPの低下に応じて導通制御を行なう制御方式がある。バイアス電圧VPPを監視しておき、所定値を下回って電圧低下が生じた場合にスイッチング制御を行なう制御方法である。いわゆるVFM制御と称されるスイッチング制御である。バイアス電圧VPPが十分な電圧値を有し更なる電力の供給が不要な場合には、スイッチング動作が行なわれないため、不要な回路動作を抑制することができる。供給されるバイアス電圧VPPにおいて電力消費が小なる場合に有効な制御方法である。不要な電力消費が抑制される。

[0047] 電圧調整部13は、バイアス電圧VPPを分圧する抵抗素子R1、R2、R20～R26を備えている。抵抗素子R1の一端にはバイアス電圧VPPが入力される。抵抗素子R1の他端は、抵抗素子R2に接続され、抵抗素子R2の他端と接地電圧との間には、抵

抗素子R20およびスイッチトランジスタT20～抵抗素子R26およびスイッチトランジスタT26が各々直列接続されている。更に、スイッチトランジスタT27が接続されている。スイッチトランジスタT20～T27は、デコーダ26により択一に導通制御される。デコーダ26には、アドレス信号ADa～ADdおよび冗長信号REDが入力される。

[0048] 抵抗素子R20～R26は各々異なる抵抗値を有しており、スイッチトランジスタT20～T26の導通制御に応じて、抵抗素子R2に加算され抵抗素子R1との間でバイアス電圧VPPを分圧する。スイッチトランジスタT27の径路は抵抗素子R2に加算される抵抗値がない径路である。これにより、抵抗素子R1とR2との接続点から出力されるフィードバック電圧(調整電圧)VFBは、バイアス電圧VPPが分圧された電圧となるが、スイッチトランジスタT20～T27のうち導通制御される径路により形成される分圧比に応じた電圧となる。スイッチトランジスタT27が導通制御される場合を最大電圧として、抵抗素子R20～R26の抵抗値が大きくなるに応じて、フィードバック電圧(調整電圧)VFBが順次低い電圧値に調整される。

[0049] デコーダ26は、バイアス電圧VPPの印加対象であるメモリセルの配置セクタを識別するアドレス信号ADa～ADd、冗長信号RED、カウンタ情報COUNTに応じて、好適な電圧値を確定した上で、スイッチトランジスタT20～T27の何れか一つを導通する。

[0050] 図4は、デコーダ26のうち、セクタの位置情報とカウンタ情報COUNT(1～3)に対して好適なバイアス電圧VPPの対応を示す例である。第1の対応表では、アドレス信号ADa、ADbとアドレス信号ADc、ADdとにより、横方向に並ぶセクタ列ごとおよび縦方向に隣接する4セクタの区画ごとに、バイアス電圧VPPが調整される。バイアス電圧VPPは、3ビットの調整信号S2～S0により、調整レベルVL0～VL7の8段階に調整される。調整信号S2～S0は、更にデコードされて、スイッチトランジスタT20～T27のうち、何れか一つを同通制御する。具体的には、(S0, S1, S2) = (0, 0, 0)の場合に、バイアス電圧VPPが最大電圧となるスイッチトランジスタT27が導通制御され、(S0, S1, S2)の同化に従い、スイッチトランジスタT20～T27のうち何れか一つが導通制御される。

尚、第1の対応表は、カウンタ情報COUNTに対応して複数(COUNT1～COUN

T3)備える。

- [0051] 第2の対応表では、冗長セクタRS0～RS3に関して、配置されているセクタ列ごとに、3ビットの調整信号S2～S0により、調整レベルVL4～VL7に調整される。第1の対応表においてアドレス信号ADa～ADdに対応して、また冗長セクタが選択される場合には、第2の対応表において冗長セクタRS0～RS3に対応して、調整信号S2～S0が選択される。尚、第2の対応表は、カウンタ情報COUNTに対応して複数(COUNT1～COUNT3)備える。
- [0052] 図2に示すブロック図では、バイアス電圧VPPは、アドレス信号(ADa, ADb) = (1, 1)で識別されるセクタ列のうち冗長セクタRS3側から供給される。このため、アドレス信号(ADa, ADb) = (1, 1)で識別されるセクタ列および冗長セクタRS3が、昇圧電圧供給部12に最も近接することとなる。セクタまでの径路上の負荷(バイアス電圧VPPの電源線とビット線の総寄生抵抗値など)が最小になり、調整レベルは最小の電圧レベルで足りる。より遠い位置に配置されているセクタ(最遠地のセクタはセクタS00)に対しては、より高い電圧レベルに調整すればよく、アドレス信号ADa, ADbが(ADa, ADb) = (1, 1) → (1, 0) → (0, 1) → (0, 0)の順に、高い電圧レベルに調整されると共に、アドレス信号ADc, ADdが(ADc, ADd) = (1, 1) → (1, 0) → (0, 1) → (0, 0)の順に、高い電圧レベルに調整される。
- [0053] 具体的には、第1の対応表では、(ADa, ADb) = (1, 1)のセクタ列で、(ADc, ADd) = (1, 1) → (1, 0) → (0, 1) → (0, 0)に従い、調整レベルがVL6 → VL5 → VL4 → VL3として順に高い電圧に調整される。以下同様に、(ADa, ADb) = (1, 0)のセクタ列でVL5 → VL4 → VL3 → VL2に、(ADa, ADb) = (0, 1)のセクタ列でVL4 → VL3 → VL2 → VL1に、(ADa, ADb) = (0, 0)のセクタ列でVL3 → VL2 → VL1 → VL0に調整される。また、第2の対応表では、冗長セクタに関して、RS3 → RS2 → RS1 → RS0に従い、VL7 → VL6 → VL5 → VL4の順に高い電圧に調整される。
- [0054] 第1の対応表において選択された調整信号S2～S0、および第2の対応表において選択された調整信号S2～S0の何れか一方が、セクタ27において選択される。セクタ27での選択は、冗長信号REDにより行われる。すなわち、冗長信号REDが非活性の状態であり対象となるセクタが冗長されていない場合には、第1の対応表が

選択される。冗長信号REDが活性の状態であり対象となるセクタが冗長されている場合には、第2の対応表が選択される。

尚、複数の第1／2の対応表は、カウンタ情報COUNTに対応してどれか一つの対応表に従って調整信号S2～S0が出力される。詳細には、最初のプログラム電圧印加サイクルでは、カウンタ情報COUNT1内の第1／2の対応表が選択され、2回目のプログラム電圧印加サイクルでは、カウンタ情報COUNT2内の第1／2の対応表が選択され、3回目のプログラム電圧印加サイクルでは、カウンタ情報COUNT3内の第1／2の対応表が選択される。これにより、プログラム電圧印加サイクル毎に、セクタの位置情報による好適なバイアス電圧VPPとカウンタ情報COUNTによる好適なバイアス電圧VPPの両者を含めた好適なバイアス電圧VPPを生成することが出来る。

[0055] 図5は、デコーダ21についての他の実施形態を示す。図2では、デコーダ21においてアドレス信号ADa、ADbがデコードされ、横方向に並ぶセクタ列が選択される場合を説明した。図5では、アドレス信号ADa、ADbのデコードに加え、バイアス電圧VPPの電圧値を検出して所定電圧値を越える場合に選択信号SEL0～SEL3が出力される場合である。

[0056] アドレス信号ADa、ADbおよび反転アドレス信号／ADa、／ADbの各組み合わせがアンドゲートA0～A3に入力され、アンドゲートA0～A3からはデコードされた選択信号SEL0～SEL3が出力される。アンドゲートA0には反転アドレス信号／ADa、／ADbが入力され、選択信号SEL0が出力されて第2スイッチ回路SW0が選択される。アンドゲートA1には反転アドレス信号／ADaおよびアドレス信号ADbの入力に対して選択信号SEL1が出力されて第2スイッチ回路SW1が出力される。アンドゲートA2にはアドレス信号ADaおよび反転アドレス信号／ADbの入力に対して選択信号SEL2が出力されて第2スイッチ回路SW2が出力される。アンドゲートA3にはアドレス信号ADa、ADbの入力に対して選択信号SEL3が出力されて第2スイッチ回路SW3が出力される。

[0057] アンドゲートA0～A3には、更に比較器CMPからの出力信号が入力される。比較器CMPの入力端子については、非反転入力端子は抵抗素子R3およびR4の接続点が接続され、反転入力端子には参照電圧VRF2が入力される。抵抗素子R3の他

端にはバイアス電圧VPPが入力され、抵抗素子R4の他端は接地電圧が接続されている。比較器CMPにおいて、抵抗素子R3、R4によるバイアス電圧VPPの分圧電圧が参照電圧VRF2と比較される。分圧電圧が参照電圧VRF2を上回ると比較器CMPの出力信号がハイレベルとなり、各アンドゲートA0～A3によるデコード動作が可能となる。すなわち、バイアス電圧VPPが参照電圧VRF2で定められる所定電圧値を上回ることによりデコード動作が可能となる。

尚、各アンドゲートA0～A3は、カウンタ情報COUNTに対応して複数備えることができる。

[0058] これにより、対象のメモリセルに対してバイアス印加の動作が開始されると、昇圧電圧供給部12の動作が開始されバイアス電圧VPPの電圧レベルが上昇する。バイアス電圧VPPが参照電圧VRF2に応じて定められる所定の電圧値を上回った時点で、アンドゲートA0～A3によるデコード動作が行なわれ、第2スイッチ回路SW0～SW3が選択されて導通する。バイアス電圧VPPが所定の電圧レベルに達するまでは、選択信号SEL0～SEL3が活性化されることはなく、メモリセルにバイアス電圧VPPが印加されることはない。

[0059] メモリセルが不揮発性メモリセルである場合、プログラム動作や消去動作等において、所定電圧に達しないバイアス電圧VPPがメモリセルに印加されることはない。プログラム動作や消去動作等において規定外の電圧値のバイアス電圧VPPが印加されることはなく、確実な動作が可能となる。

[0060] 図6は、昇圧電圧供給部12のコントローラ24についての他の実施形態を示す。図3では、コントローラ24は、バイアス電圧VPPが所定電圧値に維持するための周期的な制御として、バイアス電圧VPPの電力消費が大なる場合に有効なPWM制御や、バイアス電圧VPPの電力消費が小なる場合に有効なVFM制御を例示して説明した。図6では、バイアス電圧VPPの負荷状況に応じて制御が切り替わる場合である。

[0061] コントローラ24は、PWM制御部28およびVFM制御部29を備え、各出力信号はドライバ25に供給される。PWM制御部28およびVFM制御部29には、各々、イネーブル端子(EN)が備えられており、PWM制御部28のイネーブル端子(EN)には負荷信号SLDが、VFM制御部29のイネーブル端子(EN)には負荷信号SLDがイン

バータゲートI1により反転された信号が入力されている。ハイレベルの負荷信号SLDに応じてPWM制御部28が活性化され、ローレベルの負荷信号SLDに応じてVFM制御部29が活性化される。

- [0062] 負荷信号SLDは、例えば、同時にバイアス供給の対象とされるメモリセル数に応じて定義することができる。すなわち、同時にバイアス供給が行われるメモリセル数が所定数以上の場合には、バイアス電圧VPPの電力消費が大であるとして負荷信号をハイレベルとする。これにより、PWM制御部28が活性化され、昇圧電圧供給部12はPWM制御によりバイアス電圧VPPを供給する。同時にバイアス供給が行われるメモリセル数が所定数以下の場合には、バイアス電圧VPPの電力消費が小であるとして負荷信号をローレベルとする。これにより、VFM制御部28が活性化され、昇圧電圧供給部12はVFM制御によりバイアス電圧VPPを供給する。
- [0063] 負荷信号SLDの論理レベルは、例えば、以下のように設定することができる。
- [0064] 一回の動作で対象とするメモリセルの数を選択できる場合、多数のメモリセルを選択する動作モードが設定されることに応じて負荷信号SLDをハイレベルに設定する。メモリセルの書き換え動作の場合に同時にアクセスするビット幅を選択できる場合や、不揮発性メモリにおいてプログラム動作や消去動作を行なう場合に一括動作する範囲を可変とする場合等が考えられる。
- [0065] また、一括して多数のメモリセルに対してバイアス電圧VPPを印加する動作で、動作完了までの時間がメモリセルごとに異なる場合、バイアス印加の数に応じて負荷信号SLDを変更する。多数のメモリセルへのバイアス電圧VPPが必要とされるバイアス供給の初期段階においては負荷信号をハイレベルとし、所定時間の経過後、または／およびバイアス供給が完了したメモリセルの増加に伴い、負荷信号SLDをローレベルにシフトする。多数のメモリセルに対してプログラム動作や消去動作を行なう場合には、プログラムや消去が完了するまでの時間はメモリセルごとに異なることが一般的である。プログラムや消去の完了を確認するベリファイ動作によりメモリセルの状態を検出し、所定数のメモリセルに対してベリファイが完了したことを検出することに応じて負荷信号SLDをハイレベルからローレベルにシフトすることができる。
- [0066] 更に、整流回路はダイオードに限られず、同期整流トランジスタでもよい。この場合

、第1スイッチ回路または／および整流回路を、メモリセルアレイにおける前記バイアス電圧の供給位置に応じて制御する。また、前記PWM制御とVFM制御を第1スイッチ回路または／および整流回路と組み合わせることができる。

[0067] 以上の説明から明らかなように本実施形態によれば、記憶容量が大容量化された場合にも、入力電圧VINからインダクタンス回路L1に蓄積された電力をメモリセルアレイ11に向けて放出する動作を、昇圧されたバイアス電圧VPPが設定電圧に維持されるように周期的に制御して、メモリセルアレイ11に対して十分な供給能力を有するバイアス電圧VPPを供給することができる。加えて、メモリセルアレイ11内のバイアス印加対象のメモリセル位置、印加電圧回数、ベリファイ動作等に応じて設定電圧を調整するので、バイアス電圧VPPを直接調整して、インダクタンス回路L1に蓄積された電力を整流回路D1からメモリセルアレイ11に向けて放出することができる。バイアス電圧VPPの印加対象メモリセルの数に関わらず、メモリセル位置に応じて好適なバイアス電圧VPPを供給することができる。

加えて、バイアス電圧VPPが所定の電圧値であることに応じて第2スイッチ回路SW0～SW3がメモリセルへバイアス電圧VPPを制御するので、理想的な動作が可能となる。

加えて、同時にバイアス電圧を与えるメモリセル数などの負荷状況を示す負荷信号SLDによってPWM制御部28およびVFM制御部29を選択的に切り替えるので、効率的で理想的な動作が可能となる。

整流回路が同期整流トランジスタの場合、第1スイッチ回路または／および整流回路を、メモリセルアレイにおける前記バイアス電圧の供給位置に応じて制御することで、効率的で理想的な動作が可能となる。

[0068] 尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、バイアス電圧VPPを調整する電圧調整部13として、バイアス電圧VPPの分圧比を可変に設定してフィードバック電圧(調整電圧)VFBを調整する場合を例に説明したが、本発明はこれに限定されるものではない。設定電圧VRF1を調整すること、また設定電圧VRF1およびフィードバック電圧(調整電圧)VFBを共に調整すること

とも可能である。

また、実施形態では、バイアス電圧VPPを分圧して誤差増幅器A11に入力する場合を例に説明したが、本発明はこれに限定されるものではない。バイアス電圧を所定ゲインで変換した電圧を誤差増幅器A11に入力してやれば、設定電圧からの誤差電圧を増幅できることは言うまでもない。

また、実施形態では、セクタの位置情報とカウント情報に対して好適なバイアス電圧VPPの生成制御を例に説明したが、これらを分離して制御してもよい。

[0069] 更に、不揮発性メモリにおいては一括消去動作やプログラム動作などの基本単位としてセクタS00を扱ったが、揮発性メモリも含めてページリードやバーストリード動作を基本単位としたメモリセル数のブロックであってもよい。

更に、図2では、各タテ列のセクタ列に対して4セクタごとにメモリセルの配置領域が区画されたが、各タテ列のセクタ列で2セクタ毎でも良いし、各タテ列のセクタに対して4セクタを選択し2列のタテ列セクタ列で一纏めにしてもよい。これらは、アドレスの縮退制御などで可能である。

更に、第2スイッチ回路SW0～SW3とYデコーダ23は、共通にすることも可能である。

更に、電圧調整部13は、抵抗素子R2に加減算され抵抗素子R1との間でバイアス電圧VPPを分圧する回路であっても良い。

[0070] 更に、記憶装置にはメモリセルアレイ11、昇圧電圧供給部12、電圧調整部13、メモリコントローラ14を備えるが、これらは1つまたは複数の半導体装置で構成される場合がある。インダクタンス回路やキャパシタ素子C11などは必ずしも半導体に限定されず、また半導体装置内に含まれる必要はない。1つのシリコンバルクまたは複数のシリコンバルクと、いわゆるディスクリート部品との組み合わせによって構成される記憶装置であればよく、その装置形態は、シングルパッケージ／マルチチップパッケージ、ハイブリッド形態など、様々である。

請求の範囲

- [1] メモリセルアレイと、
前記メモリセルアレイに、入力電圧に対して昇圧されたバイアス電圧を供給する昇圧電圧供給部と、
前記メモリセルアレイにおける前記バイアス電圧の供給位置、前記バイアス電圧の印加回数、前記バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて、前記バイアス電圧の電圧値を設定する設定電圧を調整し、または／および前記設定電圧と前記バイアス電圧との少なくとも何れか一方に基づき調整された調整電圧を出力する電圧調整部とを備え、
前記昇圧電圧供給部は、
調整された、前記設定電圧または／および前記調整電圧に基づき、前記バイアス電圧の前記設定電圧からの誤差電圧を増幅する誤差増幅回路と、
前記入力電圧と第1ノードとの間を接続するインダクタンス回路と、
前記第1ノードと基準電圧との間を接続する第1スイッチ回路と、
前記第1ノードと前記メモリセルアレイとの間を接続し、前記第1ノードから前記メモリセルアレイに向かって導通する整流回路とを備え、
前記誤差増幅回路に応じて、前記第1スイッチ回路、または前記第1スイッチ回路および前記整流回路を、周期的に導通制御することを特徴とする記憶装置。
- [2] 前記電圧調整部は、前記バイアス電圧の供給位置にあるメモリセルの位置情報であるアドレス情報に応じて、前記バイアス電圧を調整することを特徴とする請求項1に記載の記憶装置。
- [3] 前記電圧調整部は、前記メモリセルが冗長救済されている場合には、前記アドレス情報に代えて冗長情報に応じて、前記バイアス電圧を調整することを特徴とする請求項2に記載の記憶装置。
- [4] 前記メモリセルアレイは複数の区画に分割されてなり、
前記アドレス情報は前記複数の区画の各々を識別する位置情報であって、前記冗長情報は冗長メモリセルの配置されている前記区画を識別する位置情報を含むことを特徴とする請求項3に記載の記憶装置。

- [5] 前記電圧調整部は、前記バイアス電圧の印加回数、または／および前記バイアス電圧の印加後のベリファイ動作を指示するカウント情報に応じて、前記バイアス電圧を調整することを特徴とする請求項1に記載の記憶装置。
- [6] 前記カウンタ情報は、プログラムまたはイレースを制御するプログラム／イレース・ステート・マシンに接続されることを特徴とする請求項5に記載の記憶装置。
- [7] 前記電圧調整部は、前記誤差増幅回路に供給される、前記設定電圧または／および前記バイアス電圧のゲインを調整することを特徴とする請求項1に記載の記憶装置。
- [8] 前記設定電圧または／および前記バイアス電圧は、分圧された上で前記誤差増幅回路に供給され、
前記電圧調整部は、前記設定電圧または／および前記バイアス電圧の分圧比を調整することを特徴とする請求項7に記載の記憶装置。
- [9] 前記整流回路と前記メモリセルアレイとの間に第2スイッチ回路を備え、
前記整流回路を介して供給される前記バイアス電圧が所定電圧である場合に、導通することを特徴とする請求項1に記載の記憶装置。
- [10] 前記メモリセルアレイが要求する前記バイアス電圧の負荷量が所定値以下または所定値を下回る場合に、前記第1スイッチ回路を導通制御する第1制御部と、
前記メモリセルアレイが要求する前記バイアス電圧の負荷量が所定値を上回りまたは所定値以上の場合に、前記第1スイッチ回路を導通制御する第2制御部とを備えることを特徴とする請求項1に記載の記憶装置。
- [11] 前記負荷量の所定値は、同時に前記バイアス電圧の供給対象とされるメモリセルの数に応じて設定されることを特徴とする請求項10に記載の記憶装置。
- [12] 前記第1制御部はVFM制御部であり、前記第2制御部はPWM制御部であることを特徴とする請求項10に記載の記憶装置。
- [13] メモリセルアレイにおけるバイアス電圧の供給位置、前記バイアス電圧の印加回数、前記バイアス電圧の印加後のベリファイ動作のうち少なくとも何れか一つに応じて、前記バイアス電圧の設定電圧を調整するステップと、
前記バイアス電圧を、入力電圧の電力を周期的にインダクタンス回路に蓄積した上

で前記メモリセルアレイに供給することにより、前記設定電圧に制御するステップとを有することを特徴とする記憶装置の制御方法。

[14] 前記調整のステップでは、前記バイアス電圧の供給位置にあるメモリセルの位置情報であるアドレス情報に応じて、前記バイアス電圧を調整することを特徴とする請求項13に記載の記憶装置の制御方法。

[15] 前記調整のステップでは、前記メモリセルが冗長救済されている場合には、前記アドレス情報に代えて冗長情報に応じて、前記バイアス電圧を調整することを特徴とする請求項14に記載の記憶装置の制御方法。

[16] 前記調整のステップでは、前記バイアス電圧の印加回数、または／および前記バイアス電圧の印加後のベリファイ動作に応じて、前記バイアス電圧を調整することを特徴とする請求項13に記載の記憶装置の制御方法。

[17] 前記調整のステップは、設定電圧または／および前記バイアス電圧のゲインを調整するステップを有し、

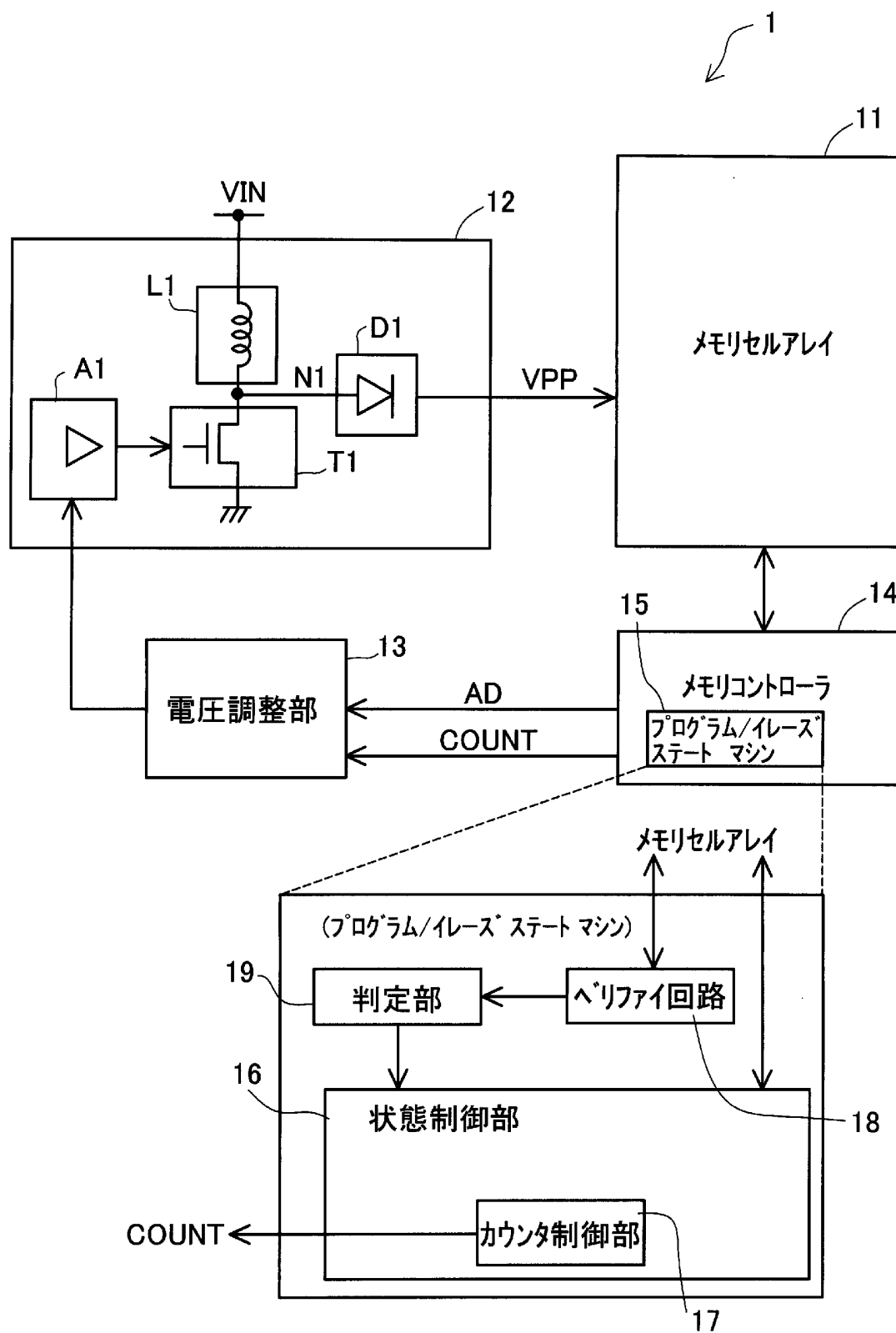
前記バイアス電圧を供給するステップは、調整された、前記設定電圧または／および前記調整電圧に基づき、前記バイアス電圧の前記設定電圧からの誤差電圧を増幅するステップを有することを特徴とする請求項13に記載の記憶装置の制御方法。

[18] 前記メモリセルアレイが要求する前記バイアス電圧の負荷量が所定値以下または所定値を下回る場合に、前記インダクタンス回路が第1周期で電力を蓄積するステップと、

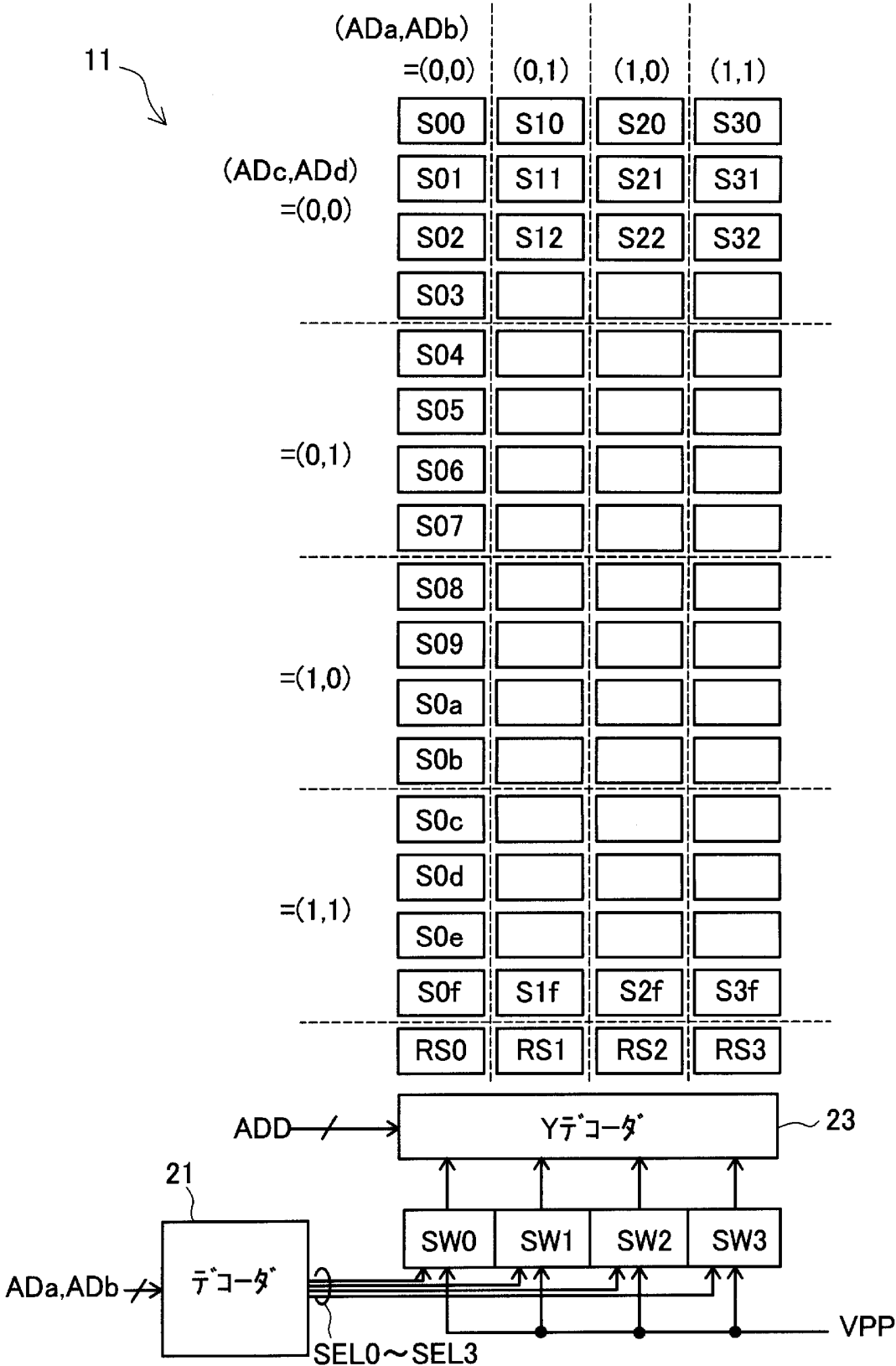
前記メモリセルアレイが要求する前記バイアス電圧の負荷量が所定値を上回りまたは所定値以上の場合に、前記インダクタンス回路が第2周期で電力を蓄積するステップとを有することを特徴とする請求項13に記載の記憶装置の制御方法。

[19] 前記第1周期は、VFM制御に応じて定められる周期であり、前記第2周期は、PWM制御に応じて定められる周期であることを特徴とする請求項18に記載の記憶装置の制御方法。

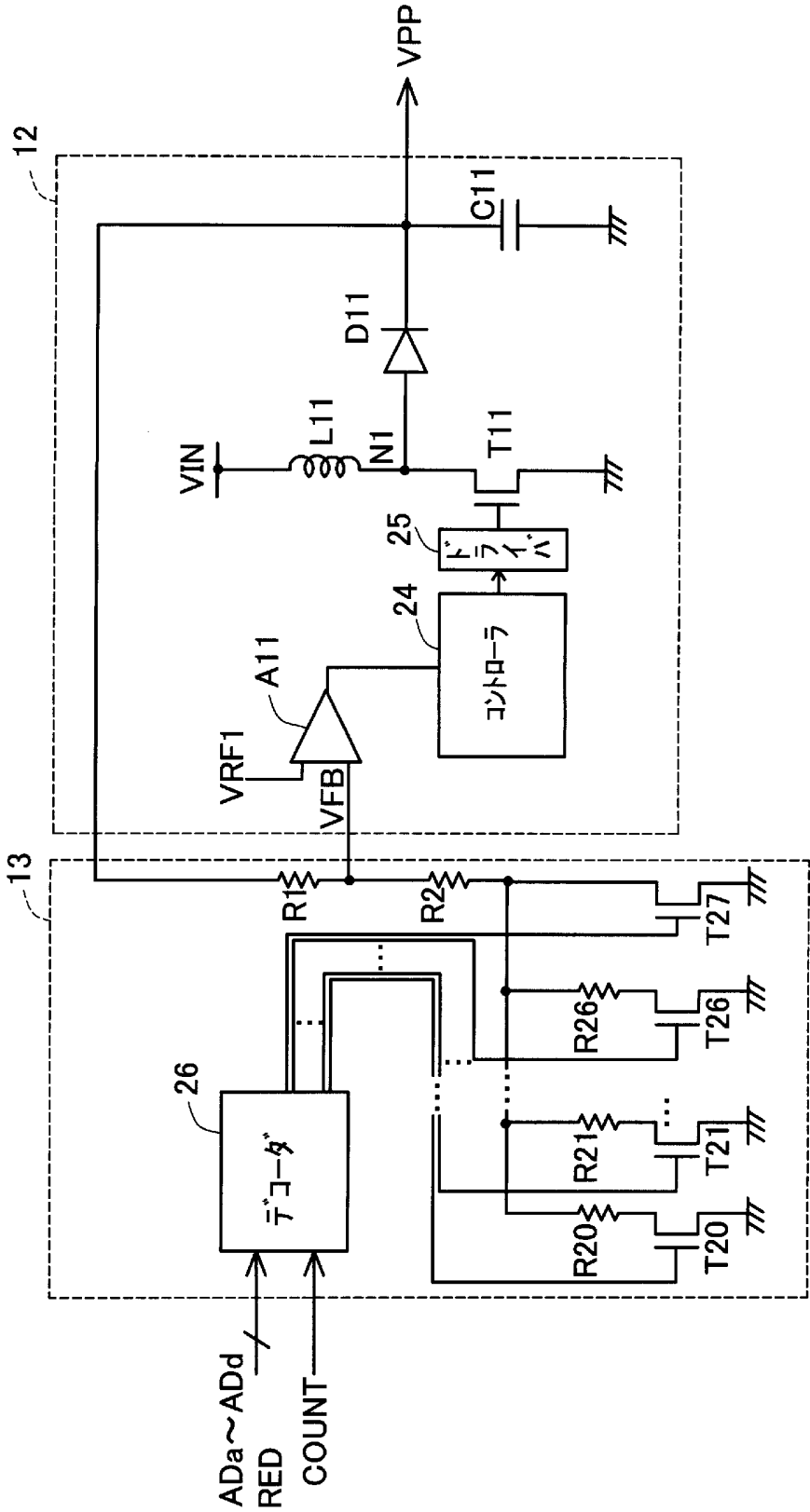
[図1]



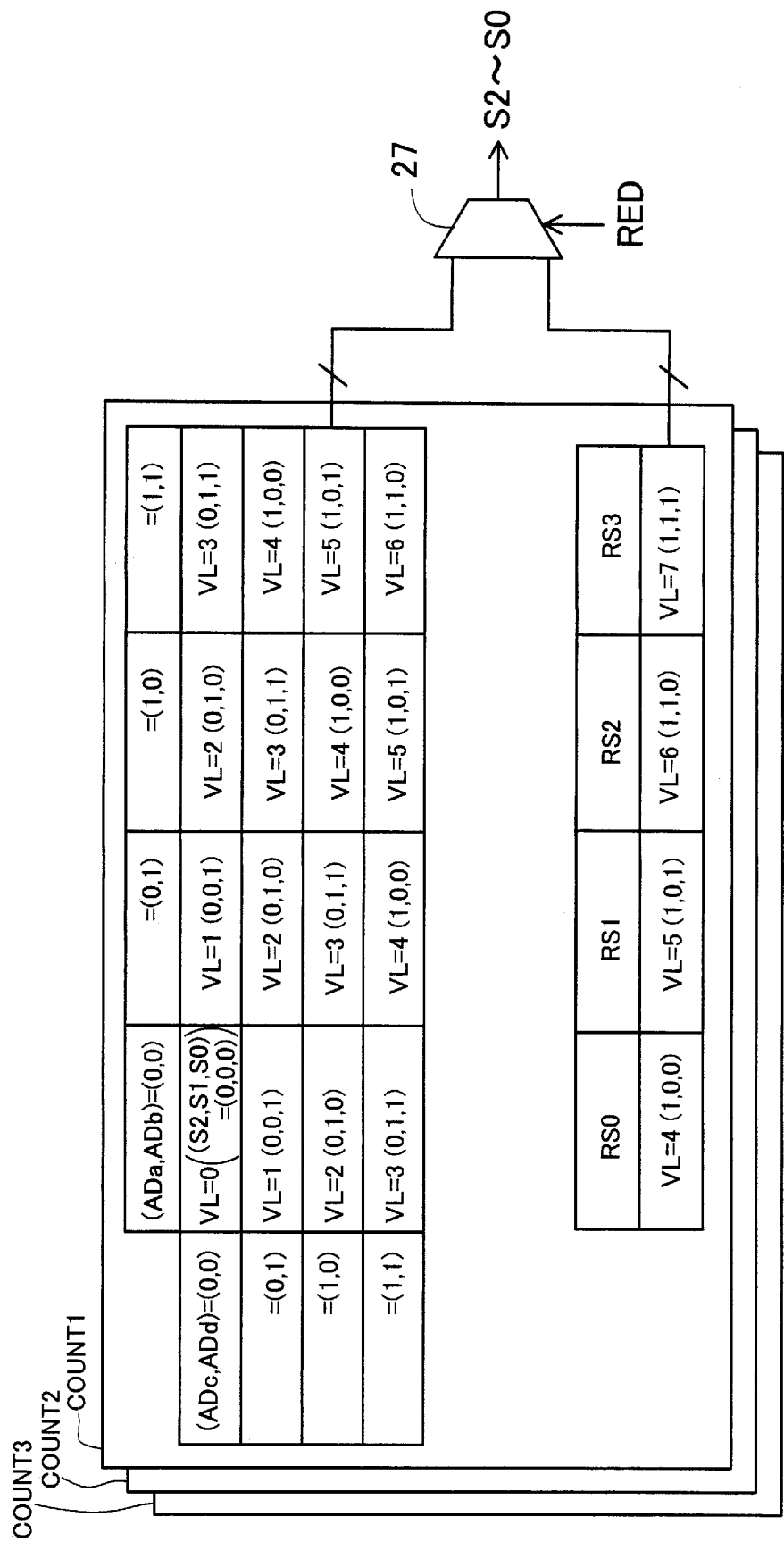
[図2]



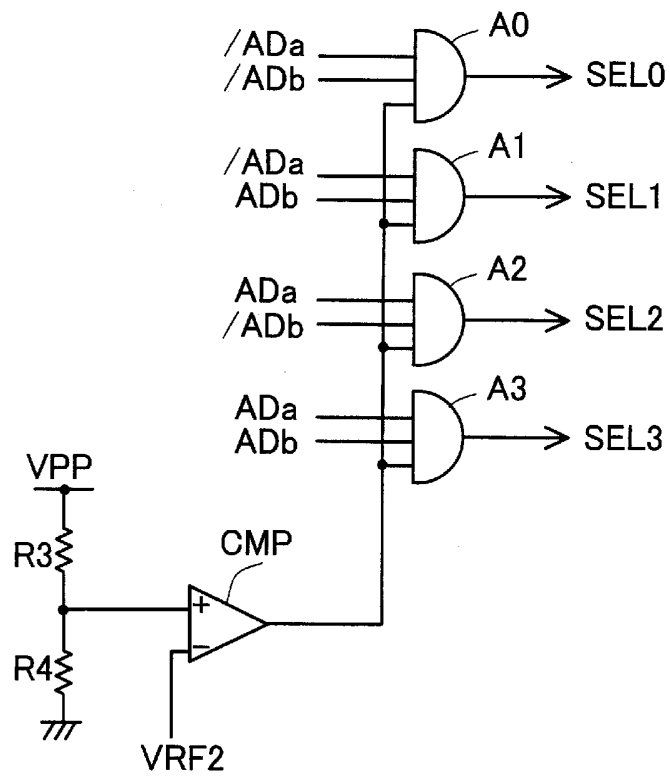
[図3]



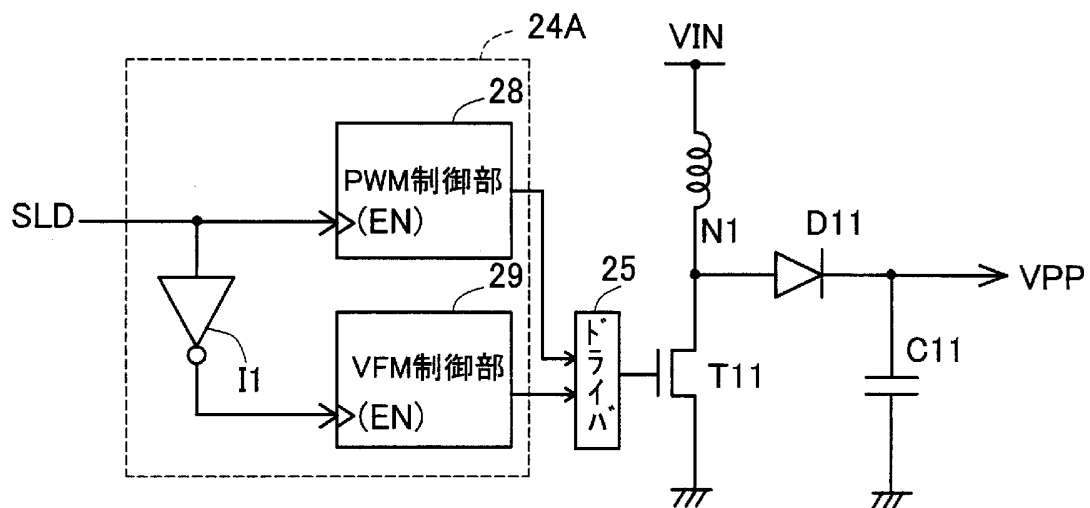
[図4]



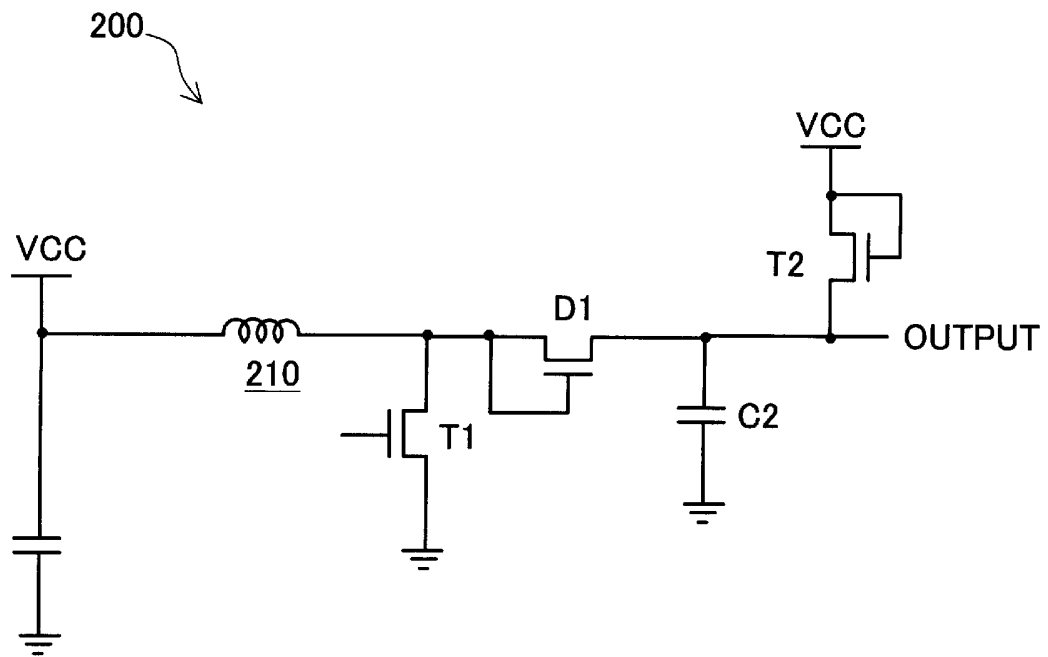
[図5]



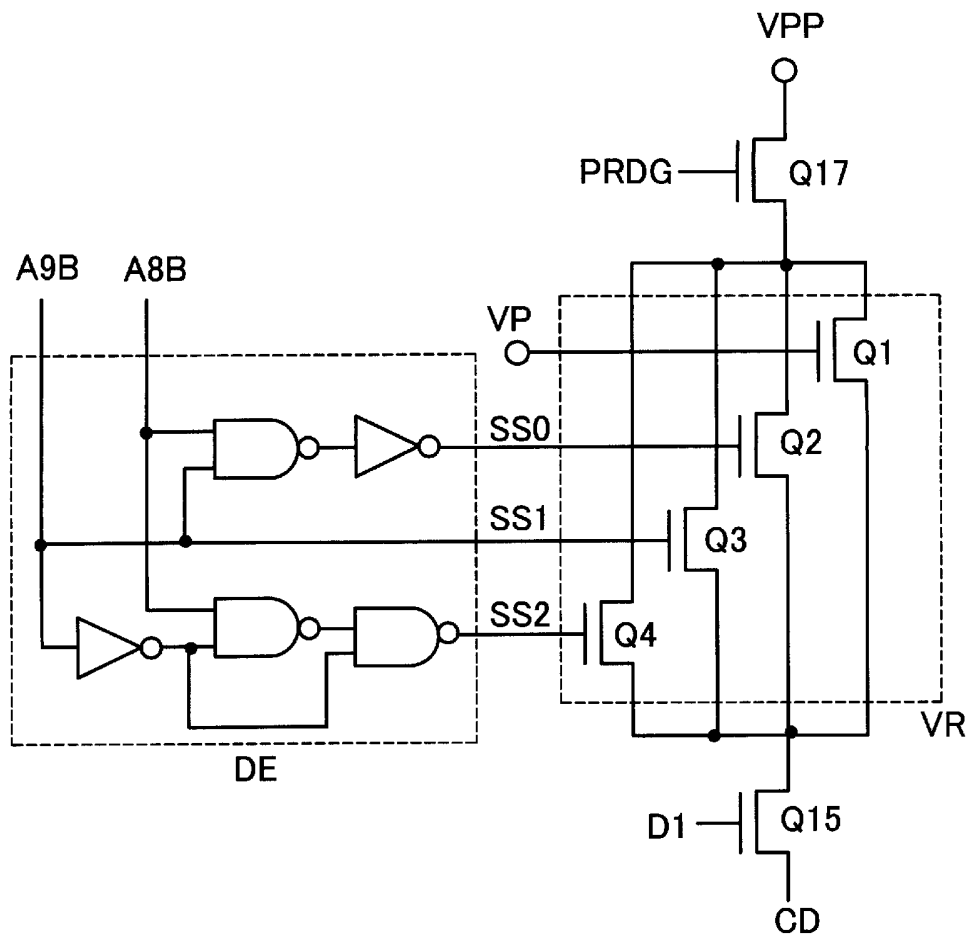
[図6]



[図7]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009860

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C16/30, H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C16/00-16/34, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2002/03389 A1 (INTEL CORP.), 10 January, 2002 (10.01.02), Page 4, line 1 to page 12, line 27; Figs. 1 to 7B & US 6469482 B1	1-19
Y	JP 2004-110871 A (Fujitsu Ltd.), 08 April, 2004 (08.04.04), Par. Nos. [0009] to [0044]; Figs. 1 to 6 & US 2004/0062078 A1	1-19
Y	JP 2004-319367 A (Hitachi, Ltd.), 11 November, 2004 (11.11.04), Par. Nos. [0026] to [0031]; Fig. 5 & US 2004/0207362 A1	1-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
28 July, 2005 (28.07.05)

Date of mailing of the international search report
16 August, 2005 (16.08.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009860

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-031391 A (Sony Corp.), 02 February, 1999 (02.02.99), Par. Nos. [0035] to [0042]; Figs. 7 to 10 (Family: none)	5, 6, 16
Y	JP 6-084797 U (Yokogawa Electric Corp.), 02 December, 1994 (02.12.94), Par. Nos. [0002] to [0008]; Fig. 2 (Family: none)	7, 8, 17
Y	JP 2000-276888 A (Samsung Electronics Co., Ltd.), 06 October, 2000 (06.10.00), Par. Nos. [0017] to [0033]; Figs. 4 to 6 & US 6128231 A	9
Y	JP 9-215314 A (Mitsumi Electric Co., Ltd.), 15 August, 1997 (15.08.97), Full text; all drawings (Family: none)	10-12, 18, 19
Y	JP 11-039885 A (Toshiba Corp.), 12 February, 1999 (12.02.99), Par. Nos. [0038] to [0046]; Figs. 5 to 6 (Family: none)	10-12, 18, 19
A	JP 2003-319645 A (Fuji Electric Co., Ltd.), 07 November, 2003 (07.11.03), Par. Nos. [0027] to [0028]; Fig. 4 (Family: none)	1-19
A	JP 7-021791 A (Toshiba Corp.), 24 January, 1995 (24.01.95), Par. Nos. [0015] to [0029]; Figs. 1 to 14 & US 5469399 A	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G11C16/30, H02M3/155

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G11C16/00-16/34, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO2002/03389 A1 (INTEL CORPORAT ION) 2002. 01. 10, 第4頁第1行-第12頁第27行, 第1-7B図 & US 6469482 B1	1-19
Y	JP2004-110871 A (富士通株式会社) 2004. 0 4. 08, 第0009-0044段落, 第1-6図 & US 2 004/0062078 A1	1-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

28. 07. 2005

国際調査報告の発送日

16. 8. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丹治 彰

電話番号 03-3581-1101 内線 3586

5N

3561

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP2004-319367 A (株式会社日立製作所) 2004. 11. 11, 第0026-0031段落, 第5図 & US 2004/0207362 A1	1-19
Y	JP11-031391 A (ソニー株式会社) 1999. 02. 02, 第0035-0042段落, 第7-10図 (ファミリー無し)	5, 6, 16
Y	JP6-084797 U (横河電機株式会社) 1994. 12. 02, 第0002-0008段落, 第2図 (ファミリー無し)	7, 8, 17
Y	JP2000-276888 A (三星電子株式会社) 2000. 10. 06, 第0017-0033段落, 第4-6図 & US 6128231 A	9
Y	JP9-215314 A (ミツミ電機株式会社) 1997. 08. 15, 全文, 全図 (ファミリー無し)	10-12, 18, 19
Y	JP11-039885 A (株式会社東芝) 1999. 02. 12, 第0038-0046段落, 第5-6図 (ファミリー無し)	10-12, 18, 19
A	JP2003-319645 A (富士電機株式会社) 2003. 11. 07, 第0027-0028段落, 第4図 (ファミリー無し)	1-19
A	JP7-021791 A (株式会社東芝) 1995. 01. 24, 第0015-0029段落, 第1-14図 & US 5469399 A	1-19