

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 586 859

②1 N° d'enregistrement national : **85 12804**

⑤1 Int Cl⁴ : H 01 L 21/18, 29/78 // G 09 G 3/36.

⑫ **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 27 août 1985.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : BOP1 « Brevets » n° 10 du 6 mars 1987.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : THOMSON-CSF, Société
anonyme. — FR.

⑦2 Inventeur(s) : François Boulitrop, Eric Chartier, Bruno
Mourey et Serge Le Berre.

⑦3 Titulaire(s) :

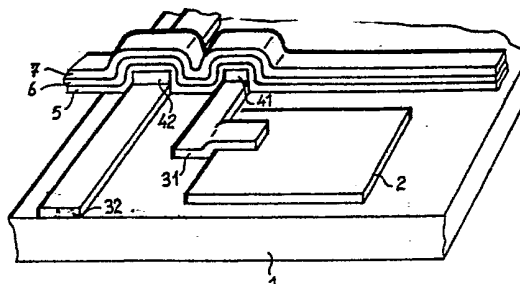
⑦4 Mandataire(s) : René Lardic, Thomson-CSF, SCPI.

⑤4 Procédé de fabrication d'un transistor de commande pour écran plat de visualisation et élément de commande
réalisé selon ce procédé.

⑤7 Procédé de fabrication d'un transistor de commande pour
écran plat de visualisation selon lequel on prévoit les étapes
suivantes :

- dépôt sur un substrat 1 d'un matériau conducteur tel
que de l'ITO 2;
- découpe dans le matériau conducteur 2 d'électrodes;
- dépôts successifs de couches métallique puis semi-
conductrice amorphe dopée n;
- découpe d'une colonne 32, 42 et d'un élément de
connexion 31, 41 en contact avec l'électrode;
- dépôts successifs de couches d'un matériau semi-
conducteur amorphe non dopé 5, puis d'un matériau isolant 6
puis d'un matériau métallique 7;
- découpe dans les trois couches 5, 6, 7 qui viennent
d'être déposées d'une ligne chevauchant la colonne et l'élé-
ment de connexion.

L'invention concerne également le transistor de commande
ainsi obtenu et est applicable notamment dans les écrans plats
d'affichage à cristaux liquides.



FR 2 586 859 - A1

PROCEDE DE FABRICATION D'UN TRANSISTOR DE COMMANDE
POUR ECRAN PLAT DE VISUALISATION
ET ELEMENT DE COMMANDE REALISE SELON CE PROCEDE

5 L'invention concerne un procédé de réalisation d'un transistor de commande pour écran plat de visualisation électrooptique et un transistor de commande réalisé selon ce procédé. Elle est applicable notamment à la réalisation d'écrans à cristal liquide de grande surface et plus particulièrement à l'intégration sous forme de couches minces des points de commande de l'écran.

10 Comme il est connu, ces écrans comportent généralement un grand nombre de points élémentaires ou éléments d'image de forme carrée ou rectangulaire. Ces éléments d'image doivent être adressés individuellement. La définition de l'écran est fonction du nombre de points susceptibles de recevoir une information. La commande de chaque point se fait par application d'un champ électrique à travers le cristal liquide. Pour la visualisation d'information vidéo, il a été
15 proposé des affichages de type matriciel. Chaque élément d'image est alors défini par l'intersection de deux réseaux de conducteurs orthogonaux appelés lignes et colonnes.

L'adressage d'un élément d'image au moyen de tensions de commande appliquées à la ligne et à la colonne qui le concernent n'a pas besoin d'être maintenu si l'on adopte une technique de multi-
20 plexage temporel permettant par récurrence de rafraîchir l'état de l'écran. Cette technique se fonde sur un effet de persistance qui peut être physiologique ou disponible au sein de l'élément de l'écran.

25 Les points élémentaires commutation étant adressés séquentiellement ligne par ligne, le nombre de lignes pouvant être adressées est en général limité par les caractéristiques de l'effet électrooptique du cristal liquide utilisé. La possibilité d'adresser un grand nombre de lignes (> 100) se fait alors au détriment des autres caractéristiques de l'écran (diminution du contraste et augmentation de la dépendance angulaire). Pour améliorer les performances de ces

écrans, on peut mettre en série avec chaque point image (constituant une capacité) un transistor ou un élément non linéaire. L'ensemble se comporte alors comme un élément mémoire.

5 L'invention concerne un écran commandé par une matrice de transistors et son procédé de réalisation.

10 Actuellement, les exigences de la technique en matière d'écrans de visualisation portent en particulier, sur une meilleure définition de l'image. Dans le cas des écrans du type à affichage matriciel, on est alors amené à concevoir des dispositifs comportant un nombre élevé de lignes ou de colonnes d'adressage. Leurs nombres peut aller jusqu'à 512 ou même 1024. Ceci augmente d'autant le nombre de transistors de commande. Pour la fabrication en série, il est nécessaire notamment d'obtenir un rendement élevé, une bonne reproductibilité et une grande stabilité de ces composants. Il est en 15 outre nécessaire d'adapter, et ce également avec une bonne reproductibilité, la capacité électrique du composant à celle de la cellule associée.

20 La réalisation d'une matrice de transistors en film mince (TFT) nécessite en général au moins quatre étapes de photolithographie avec des précisions de positionnement élevées. Ces transistors sont généralement réalisés dans la structure dite étagée inverse.

25 On connaît néanmoins des matrices de transistors réalisées en structure dite étagée directe telle que celle décrite dans l'article "Large LCD panel addressed by 320 x 320 TFT array" de J. Richard et al publié dans EURODISPLAY 84, Paris (1984). La technique décrite permet de se limiter à deux étapes de photolithographie mais présente des inconvénients tels que colonnes en ITO plus résistif que le métal et gravure délicate de cet ITO qui est dans un état totalement oxydé.

30 Certains de ces inconvénients ont été résolus en augmentant jusqu'à cinq le nombre d'étapes de photolithographie tel que cela a été décrit dans l'article "A 31, Inch a-Si TFT addressed colour LCD" de Toshio Yanagisawa et al publié dans EURODISPLAY 84, Paris 1984.

5 L'invention concerne un procédé qui, tout en conservant l'avantage de la réalisation des transistors au moyen de deux étapes de photolithographie ne nécessitant pas de positionnement critique, permet d'éliminer les inconvénients précédents et de supprimer des contraintes de fabrication, en n'ajoutant qu'une troisième étape de photolithographie pour la réalisation de l'ensemble de l'écran.

10 L'invention concerne donc un procédé de fabrication d'un transistor de commande pour écran plat de visualisation disposé sur une face plane d'un substrat, caractérisé en ce qu'il comporte les phases successives suivantes :

a) une première phase de dépôt, sur le substrat, d'un matériau conducteur ;

b) une deuxième phase de découpe d'au moins une électrode de commande dans la couche de matériau conducteur ;

15 c) une troisième phase de dépôt d'une première couche d'un matériau métallique ;

d) une quatrième phase de dépôt d'une couche de semi-conducteur amorphe dopé de type n ;

20 e) une cinquième phase de découpe dans les couches de semiconducteur amorphe dopé de type n (4) et de matériau métallique déposées précédemment, d'au moins un élément de connexion dont une portion est en contact avec l'électrode et d'une colonne CL située à proximité de l'élément de connexion ;

25 f) une sixième phase de dépôt d'une couche de matériau semiconducteur amorphe non dopé ;

g) une septième phase de dépôt d'une couche de matériau isolant ;

h) une huitième phase de dépôt d'une deuxième couche de matériau métallique ;

30 i) une neuvième phase de découpe, dans les couches de matériau métallique, de matériau isolant et matériau semi-conducteur amorphe non dopé, d'au moins une ligne chevauchant la colonne et l'élément de connexion.

L'invention concerne également un transistor de commande

comportant au moins une électrode de commande déposée sur un substrat, caractérisé en ce qu'il comporte également : au moins un élément de connexion comprenant une première couche de matériau métallique déposée sur le substrat et en contact avec l'électrode de commande et une couche de semiconducteur amorphe dopé superposée à la couche précédente ; une colonne située à proximité de l'élément de connexion et comprenant une couche de matériau métallique déposée sur le substrat et une couche de semiconducteur amorphe dopé déposée sur la couche précédente ; une ligne en contact avec la colonne et l'élément de connexion et comprenant une couche de matériau semiconducteur amorphe non dopé chevauchant la ligne et l'élément de connexion une couche d'isolant et une couche de matériau métallique superposée à la couche précédente.

Les différents objets et caractéristiques de l'invention vont être détaillés en se reportant aux figures annexées qui représentent :

- les figures 1 à 7, les différentes phases du procédé selon l'invention ;
- la figure 8, une vue en perspective du composant obtenu à l'issue de la phase représentée en figure 4 ;
- la figure 9, une vue en perspective du composant obtenu par le procédé de l'invention ;
- la figure 10, une vue générale d'une matrice de commande d'écran plat obtenue par le procédé selon l'invention ;
- les figures 11 et 12, une variante de réalisation selon l'invention ;
- la figure 13, une autre variante de réalisation selon l'invention.

En se reportant aux figures 1 à 7, on va décrire les différentes phases du procédé de l'invention.

Au cours d'une première phase, on dépose sur un substrat 1, telle qu'une plaque de verre, une couche d'un matériau conducteur 2 qui peut être un matériau transparent dans le cas d'une utilisation

dans un écran de visualisation fonctionnant en transparence. On pourra ainsi déposer une fine couche d'oxyde mixte d'étain et d'indium (ITO) ou un matériau équivalent (In_2O_3 , SnO_2). Une telle couche aura une épaisseur de 500 à 1500 Angstroems, 1250 Angstroems par exemple. Un tel substrat en verre recouvert d'une couche d'ITO partiellement oxydée est disponible dans le commerce sous le nom, par exemple, de "Baltracon de Balzers". L'utilisation d'un tel substrat permet de se dispenser de cette première phase du procédé de l'invention.

Au cours d'une deuxième phase, la couche de matériau conducteur 2 est gravée à froid par un acide dilué de façon à réaliser sur la surface du substrat 1, des électrodes 2 telle que celle représentée en figure 1. L'avantage d'une gravure sur un matériau de type ITO partiellement oxydé réside dans la possibilité d'utiliser un acide dilué tandis qu'un ITO totalement oxydé nécessiterait une gravure à chaud au moyen d'un acide concentré.

Dans le cas d'une couche d'ITO partiellement oxydée, on prévoit après la phase de gravure, une phase de recuit sous atmosphère ambiante pour compléter l'oxydation de la couche.

Au cours d'une troisième phase, on dépose une couche d'un métal 3 tel que du chrome. Ce dépôt se fait par évaporation ou pulvérisation cathodique sous vide. L'épaisseur de la couche 3 doit être de quelques centaines d'angstroems, 600 Angstroems par exemple. On obtient ainsi une structure telle que représentée en figure 2.

Au cours d'une quatrième phase, on dépose une couche de matériau semiconducteur 4 fortement dopé de type n tel que du silicium amorphe. Ce dépôt se fait par une méthode connue de dépôt de silicium amorphe tel que décharge luminescente ou pulvérisation réactive. L'épaisseur de cette couche sera environ de 400 Angstroems. On obtient ainsi une structure telle que représentée en figure 3.

Au cours d'une cinquième phase, on procède à la gravure des deux couches précédemment déposées (couche de silicium amorphe 4

et couche métallique 3) de façon à réaliser des éléments de connexion CX et des colonnes CL tel que représentés en figure 4. L'élément de connexion CX est constitué d'une couche 31 et d'une couche 41 gravées dans les couches 3 et 4 de la figure 3. De même, la colonne CL est constituée d'une couche 32 et d'une couche 42 gravées dans les couches 3 et 4.

La figure 8 donne une vue en perspective de la structure ainsi obtenue. L'élément de connexion CX a la forme générale d'un L. L'une des branches du L est en contact avec l'électrode 2. L'autre branche du L est parallèle à la colonne CL.

Cette phase de gravure se fait par photolithographie et permet de définir à elle seule la géométrie du transistor (dimension du canal du transistor).

Au cours d'une sixième phase, on procède au dépôt d'une couche de semiconducteur 5, tel que du silicium, amorphe non dopé. Ce dépôt se fait à l'aide d'une méthode connue telle qu'une décharge luminescente ou pulvérisation réactive. L'épaisseur de la couche obtenue est d'environ 3000 Angstroems. L'ensemble obtenu est tel que représenté en figure 6.

Au cours d'une septième phase, on prévoit le dépôt d'une couche d'isolant 6 (isolant de grille) par une méthode analogue à celle de la sixième phase précédente. L'épaisseur de la couche d'isolant 6 est d'environ 1500 Angstroems. L'isolant utilisé pourra, par exemple, être un nitrure.

Au cours d'une huitième phase, on procède au dépôt d'une couche d'un matériau métallique 7, tel que de l'aluminium etc. Le procédé de dépôt d'une telle couche sera analogue à celui de la troisième phase de dépôt de la couche 3. L'épaisseur de la couche 7 sera d'environ 3000 Angstroems.

Au cours d'une neuvième phase, on grave la couche métallique 7, la couche d'isolant 6, la couche de silicium 5, telle que représentée en figure 7, de façon à obtenir des lignes LG. Le silicium dopé des colonnes et éléments de connexion ne subsiste qu'aux intersections avec les lignes.

Sur la vue en perspective de la figure 9, on voit ainsi une ligne LG perpendiculaire à la colonne CL ainsi qu'une portion de l'élément de connexion CX. Cette opération de gravure se fait par photolithographie.

5 A ce stade, la commande intégrée est réalisée comme représenté en figure 10. Le substrat 1, portant des électrodes des lignes LG, des colonnes CL et des éléments de connexion CX à leurs points de croisement, peut être utilisé pour la fabrication d'écran à cristal liquide selon des technologies connues dans la technique.

10 C'est ainsi que l'on sait qu'il sera souhaitable :

- de prévoir une couche d'ancrage (polyimide, SiO, etc...);
- des cales d'épaisseur pour prévoir un espace devant contenir le cristal liquide ;
- une contre-électrode transparente recouverte d'une couche d'ancrage.

15

Le cristal liquide sera alors contenu entre l'électrode 2 et une contre-électrode non représentée et pourra, par exemple, être observé en transmission, entre polariseurs croisés dans le cas d'une cellule de type nématique en hélice.

20

Selon l'invention, une colonne CL comportant une couche métallique 32 plus conductrice que l'ITO permet d'éviter les effets de lignes à retard dans les écrans de grandes dimensions.

25

Pour éviter des coupures de colonnes et augmenter le rendement de fabrication utilisant le procédé de l'invention, on prévoit qu'au cours de la deuxième phase décrite précédemment, on grave également sur toute la longueur des futures colonnes, sauf à l'endroit de l'implantation des transistors de commande, des colonnes de matériau ITO. Comme représenté en figures 11 et 12, une colonne CL possédera une sous-couche d'ITO sur une longueur telle

30 que celle représentée en hachures sur la figure 12.

Par ailleurs, comme cela est représenté en figure 13, chaque ligne LG peut posséder un élargissement au niveau de chaque point de croisement (transistor). Ceci permet de diminuer l'effet de transistor parasite pouvant exister entre le drain du transistor principal

et la colonne suivante.

5 Il convient d'ajouter que les dépôts de couches silicium amorphe 5 et de matériau isolant 6, effectués au cours des sixième et septième phases précédemment décrites, peuvent être faits à travers un masque préservant la périphérie du substrat 1 de ces dépôts. Ainsi, les contacts périphériques de chaque ligne LG est réalisé directement sur le substrat par la couche métallique 7 déposée.

10 Enfin, il convient de signaler que le silicium amorphe dont le dépôt est prévu à la sixième phase peut être électriquement compensée ou même faiblement de type p afin de diminuer la photoconductivité et ainsi de limiter l'influence de la lumière sur les caractéristiques des transistors.

REVENDICATIONS

1. Procédé de fabrication d'un transistor de commande pour écran plat de visualisation disposé sur un substrat (1), caractérisé en ce qu'il comporte les phases successives suivantes :

5 a) une première phase de dépôt, sur le substrat (1), d'un matériau conducteur (2) ;

b) une deuxième phase de découpe d'au moins une électrode de commande (2) dans la couche de matériau conducteur ;

c) une troisième phase de dépôt d'une première couche d'un matériau métallique (3) ;

10 d) une quatrième phase de dépôt d'une couche de semi-conducteur amorphe dopé de type n (4) ;

e) une cinquième phase de découpe dans les couches de semiconducteur amorphe dopé de type n (4) et de matériau métallique (3) déposées précédemment, d'au moins un élément de connexion (CX) dont une portion est en contact avec l'électrode (2) et d'une colonne (CL) située à proximité de l'élément de connexion (CX) ;

f) une sixième phase de dépôt d'une couche de matériau semiconducteur amorphe non dopé (5) ;

20 g) une septième phase de dépôt d'une couche de matériau isolant (6) ;

h) une huitième phase de dépôt d'une deuxième couche de matériau métallique (7) ;

25 i) une neuvième phase de découpe, dans les couches de matériau métallique (7), de matériau isolant (6) et de matériau semiconducteur amorphe non dopé (5), d'au moins une ligne (LG) chevauchant la colonne (CL) et l'élément de connexion (CX).

30 2. Procédé selon la revendication 1, caractérisé en ce que le matériau (2) déposé sur le substrat (1) au cours de la première phase est un oxyde métallique partiellement oxydée, que la découpe de la deuxième phase se fait par attaque à l'aide d'un acide dilué et que la deuxième phase est complétée par une phase de recuit à l'air

ambiant pour oxyder complètement la couche d'oxyde métallique.

3. Procédé selon la revendication 1, caractérisé en ce que la deuxième phase de découpe d'au moins une électrode de commande (2) prévoit également la découpe de portions de colonne (CL).

5 4. Procédé selon la revendication 1, caractérisé en ce que les sixième et septième phases de dépôts de couches de semiconducteur (5) et d'isolant (6) se fait à travers un masque préservant la périphérie du substrat (1) de façon que les lignes métalliques (7) déposées au cours des phases ultérieures donnent lieu à des contacts
10 situés directement sur le substrat (1).

5. Procédé selon la revendication 1, caractérisé en ce que le dépôt de silicium amorphe de la sixième phase est électriquement compensé afin de diminuer la photoconductivité.

15 6. Procédé selon la revendication 1, caractérisé en ce que le silicium amorphe déposé lors de la sixième phase est légèrement dopé de type p afin d'en diminuer la photoconductivité.

7. Transistor de commande réalisé selon le procédé de la revendication 1, comportant au moins une électrode de commande (2) déposée sur un substrat (1), caractérisé en ce qu'il comporte
20 également : au moins un élément de connexion (CX) comprenant une première couche de matériau métallique (31) déposée sur le substrat (1) et en contact avec l'électrode de commande (2) et une couche de semiconducteur amorphe dopé (41) superposée à la couche précédente ; une colonne (CL) située à proximité de l'élément de connexion (CX) et comprenant une couche de matériau métallique (32)
25 déposée sur le substrat (1) et une couche de semiconducteur amorphe dopé (42) déposée sur la couche précédente ; une ligne (LG) en contact avec la colonne (CL) et l'élément de connexion (CX) et comprenant une couche de matériau semiconducteur amorphe non dopé (5) chevauchant la ligne (LG) et l'élément de connexion (CX),
30 une couche d'isolant (6) et une couche de matériau métallique (7) superposée à la couche précédente.

8. Transistor de commande selon la revendication 7, caractérisée en ce que l'élément de connexion (CX) comporte deux bras ,

l'un des bras étant en contact avec l'électrode de commande (E), l'autre bras étant reconnecté par la ligne (LG).

5 9. Transistor de commande selon la revendication 7, caractérisé en ce que l'élément de connexion (CX) a une forme générale d'un L.

10 10. Transistor de commande selon la revendication 7, caractérisé en ce que chaque colonne comporte une couche d'un matériau conducteur, de même nature que l'électrode de commande, comprise entre la couche de matériau métallique (32) de chaque colonne (CL) et cela sur toute la longueur de la colonne excepté à l'emplacement des points de croisement avec les lignes (LG).

15 11. Transistor de commande selon la revendication 7, caractérisé en ce que chaque ligne (LG) comporte un élargissement au niveau de chaque point de croisement avec une colonne (CL) et du contact avec l'élément de connexion (CX).

20 12. Transistor de commande selon la revendication 7, caractérisé en ce que chaque ligne (LG) ne comporte pas de matériau des couches de semiconducteur (5) et d'isolant (6) à la périphérie du substrat (1) de façon qu'à ladite périphérie le matériau métallique (7) des colonnes (LG) soit directement sur le substrat.

1/5
FIG_1

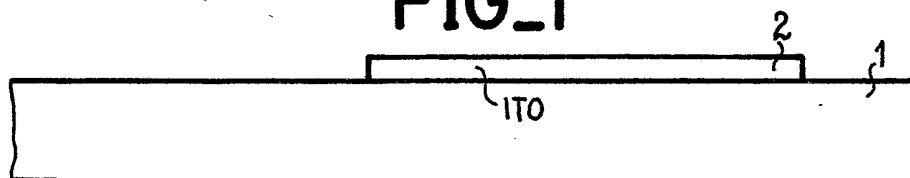


FIG_2

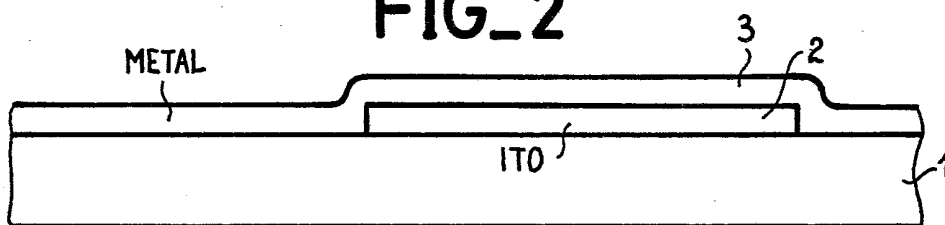


FIG_3

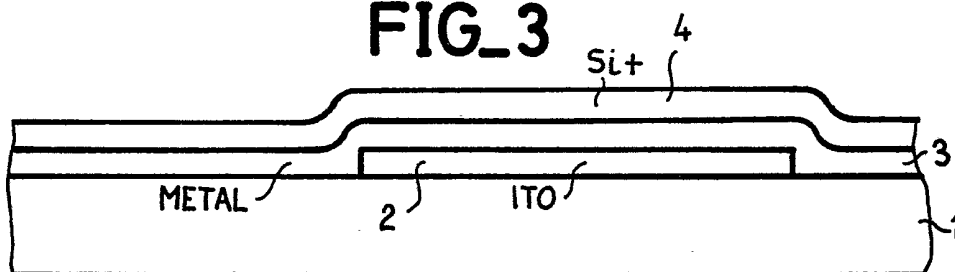


FIG_4

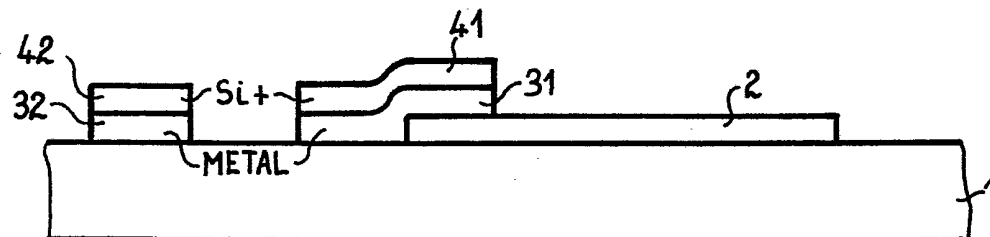
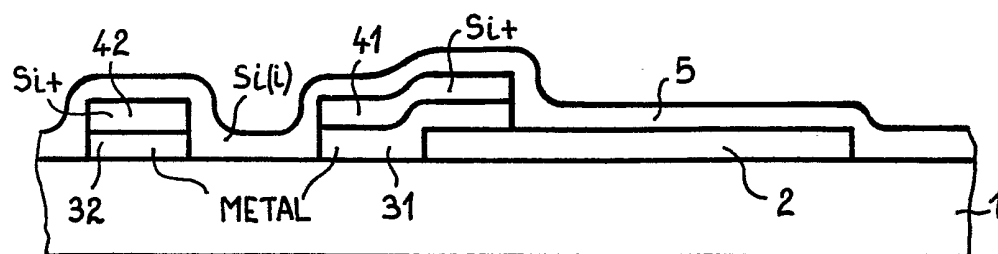
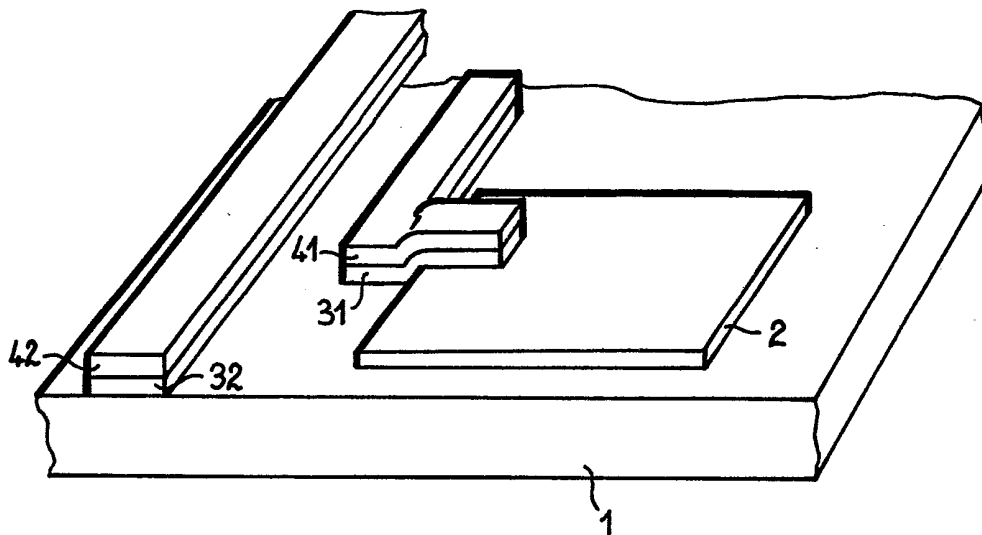
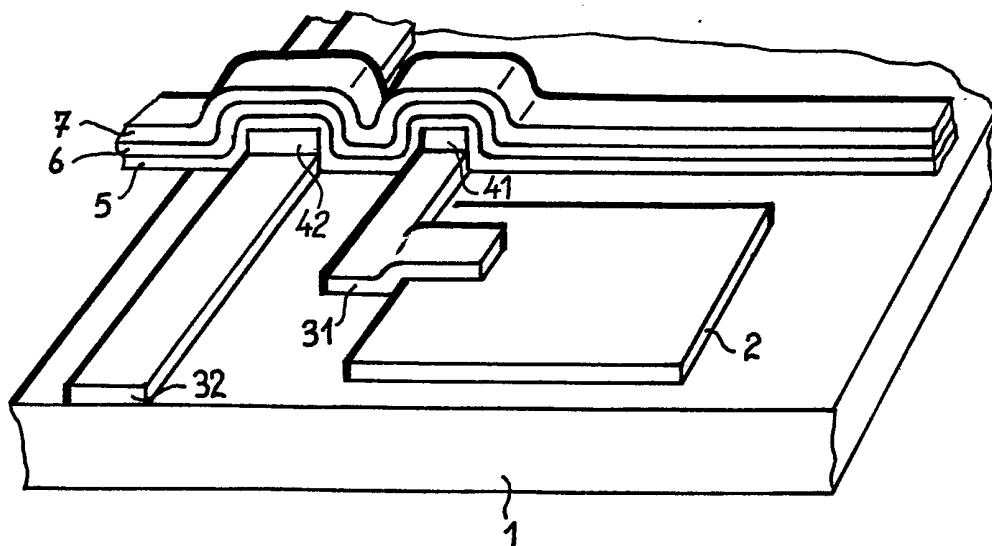


FIG_5



3/5

FIG_8**FIG_9**

4/5

FIG. 10

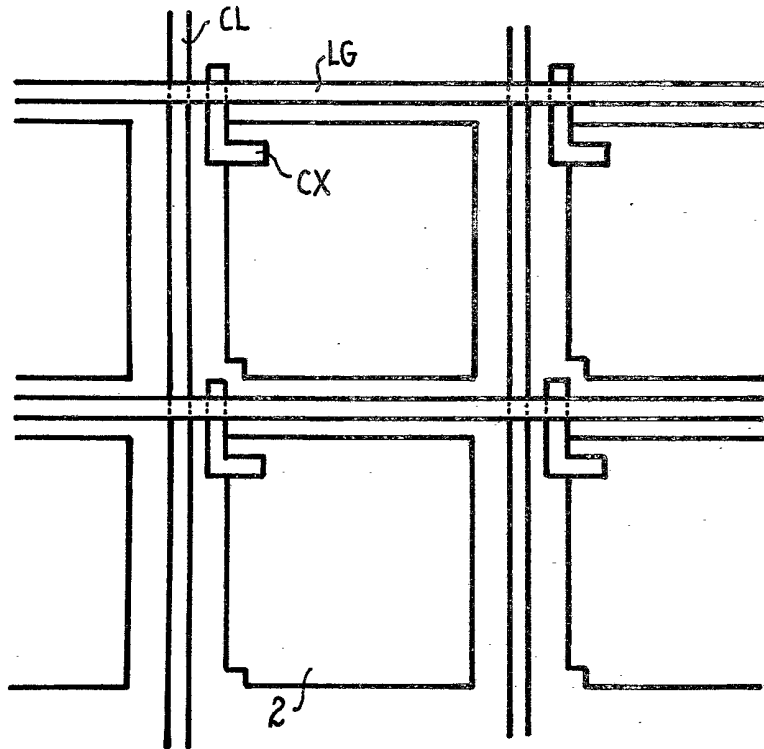
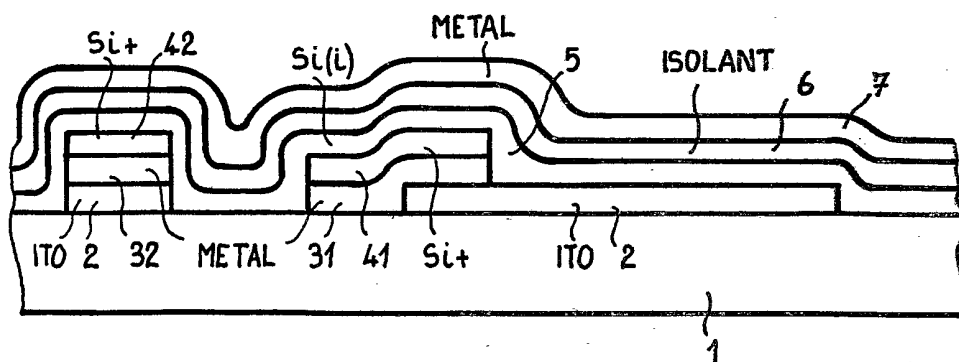


FIG. 11



5/5

FIG_12

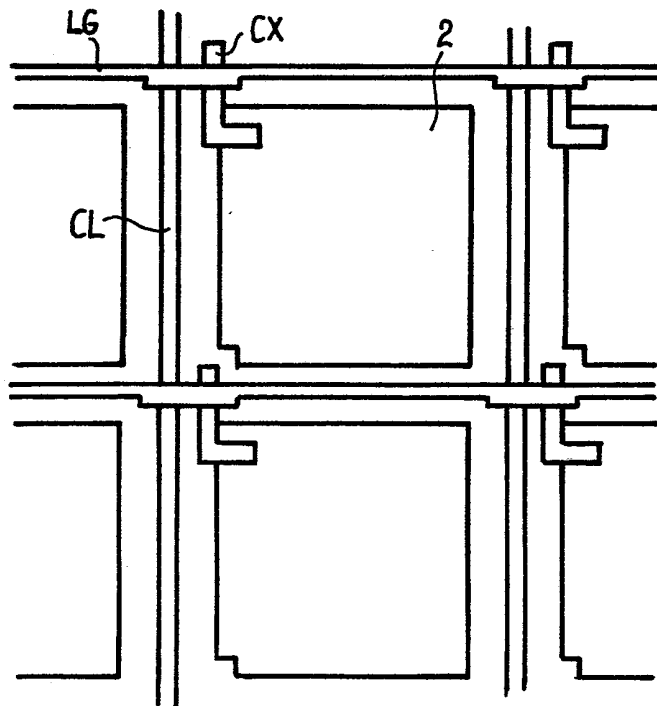
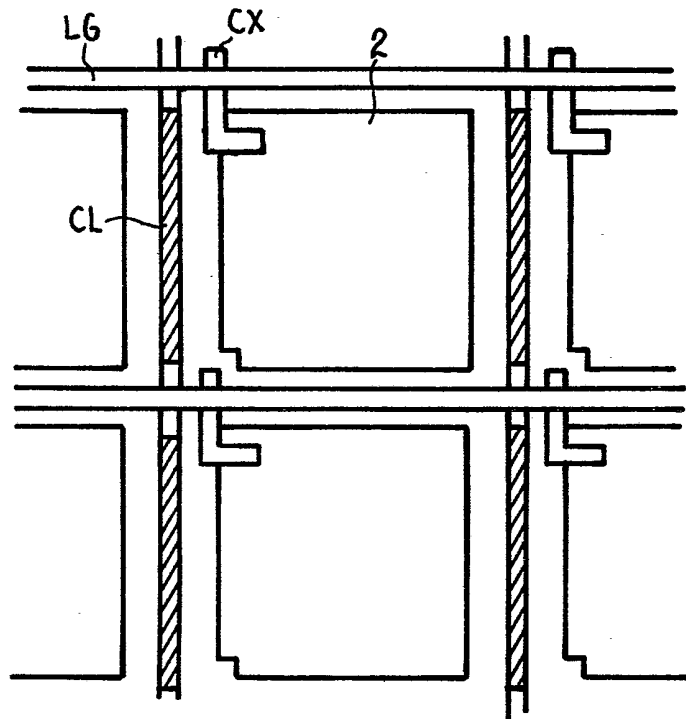


FIG_13