

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5076387号
(P5076387)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int. Cl. F I
 H O 1 L 27/105 (2006.01) H O 1 L 27/10 4 4 7
 H O 1 L 21/8246 (2006.01) G 1 1 C 11/15 1 1 0
 G 1 1 C 11/15 (2006.01)

請求項の数 6 (全 16 頁)

| | | | |
|-----------|------------------------------|-----------|-------------------------------|
| (21) 出願番号 | 特願2006-203456 (P2006-203456) | (73) 特許権者 | 000003067 |
| (22) 出願日 | 平成18年7月26日(2006.7.26) | | T D K 株式会社 |
| (65) 公開番号 | 特開2008-34466 (P2008-34466A) | | 東京都中央区日本橋一丁目13番1号 |
| (43) 公開日 | 平成20年2月14日(2008.2.14) | (74) 代理人 | 100112689 |
| 審査請求日 | 平成21年2月6日(2009.2.6) | | 弁理士 佐原 雅史 |
| | | (74) 代理人 | 100128934 |
| | | | 弁理士 横田 一樹 |
| | | (72) 発明者 | 田上 勝通 |
| | | | 東京都中央区日本橋一丁目13番1号 T D K 株式会社内 |
| | | (72) 発明者 | 古賀 啓治 |
| | | | 東京都中央区日本橋一丁目13番1号 T D K 株式会社内 |

最終頁に続く

(54) 【発明の名称】 磁気記憶装置

(57) 【特許請求の範囲】

【請求項1】

任意方向に延在する配線と
 前記配線の長手方向の一部を周方向に覆うヨークと、
 前記配線の近傍に配置され、前記配線から生じる磁界によって情報の書込みが可能な磁気抵抗効果素子と、を備え、
 前記ヨークの磁路長が $6 \mu\text{m}$ 以下、
 前記ヨークの最大厚さが 50nm 以上、
 前記ヨークの前記配線方向の寸法が $0.8 \mu\text{m}$ 以下、
 前記ヨークの比透磁率が 300 以上、
 となっていることを特徴とする磁気記憶装置。

【請求項2】

前記ヨークの磁路長が $4 \mu\text{m}$ 以下となっていることを特徴とする請求項1記載の磁気記憶装置。

【請求項3】

前記ヨークにおける周方向の一部に空隙が形成されており、前記空隙内又は前記空隙内に前記磁気抵抗効果素子が配置されていることを特徴とする請求項1又は2記載の磁気記憶装置。

【請求項4】

前記空隙を形成する前記ヨークの端部と、前記空隙に収容される前記磁気抵抗効果素子

の間の距離が30nm以下に設定されていることを特徴とする請求項3記載の磁気記憶装置。

【請求項5】

前記配線、前記ヨーク及び前記磁気抵抗効果素子を含んで構成される記憶セルが、アレイ状に複数配置されており、前記記憶セルの夫々が、前記配線の通電を制御する書込みスイッチ手段を備えることを特徴とする請求項1乃至4のいずれか記載の磁気記憶装置。

【請求項6】

前記記憶セルの夫々が、前記磁気抵抗効果素子に電流を流す読み出し配線、及び前記読み出し配線の通電を制御する読み出しスイッチ手段を更に備えることを特徴とする請求項5記載の磁気記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗効果素子に情報を記憶する磁気記憶装置に関するものである。

【背景技術】

【0002】

近年、コンピュータや通信機器等の情報処理装置に用いられる記憶デバイスとして、MRAM(Magnetic Random Access Memory)が注目されている。MRAMは、磁気によってデータを記憶することから、電気的な手段を用いなくてもその磁化方向が維持することができるので、揮発性メモリであるDRAM(Dynamic Random Access Memory)やSRAM(Static RAM)のように電源断によって情報が失われるといった不都合を回避できる。また、従来のフラッシュEEPROMやハードディスク装置のような不揮発性記憶手段と比較して、MRAMはアクセス速度、信頼性、消費電力等において優れている。従って、MRAMは、DRAMやSRAMなどの揮発性メモリとしての機能と、フラッシュEEPROMやハードディスク装置などの不揮発性記憶手段の機能のすべてを代替できると言われている(特許文献1)。

【0003】

例えば、どこにいても情報処理を可能とするいわゆるユビキタスコンピューティングを目指した情報機器を開発する場合、高速処理に対応可能としながらも消費電力を小さくし、そして、電源断が生じて情報消失を回避できるような記憶装置が求められるが、MRAMはこのような要求を同時に満足できる可能性があり、今後、多くの情報機器に採用されることが期待されている。

【0004】

特に、日常持ち歩くカードや携帯情報端末等については、十分な電源を確保できない場合が多い。従って、厳しい利用環境において大量の情報処理を実行するには、低消費電力とされるMRAMであっても、情報処理中の電力消費を一層低減させることが求められている。

【0005】

MRAMにおける低消費電力化を進展される技術の一例として、例えば特許文献2又は特許文献3に記載された磁気記憶装置がある。これらの磁気記憶装置は、各記憶領域(メモリセル)毎に、ビット線と、ビット線と直行するように配置されたワード線と、このビット線とワード線の間であって、且つ交差する位置に配置されたトンネル磁気抵抗効果(TMR: Tunneling Magneto-Resistive)素子等を備える。更にこれらの磁気記憶装置では、ビット線又はワード線におけるTMR素子近傍に、これら配線の周りを取り囲むヨーク(磁界制御層)が配置されている。ヨークは高透磁率の強磁性体によって構成されており、ビット線又はワード線から生じる磁束の漏れを低減させ、TMR素子に磁束を集中させる役割を果たす。この結果、TMR素子の磁化状態の反転に必要な磁界が、低消費電力でも得ることが出来る。また、磁束をTMR素子に集中させることができる。

10

20

30

40

50

【 0 0 0 6 】

なお、TMR素子とは、外部磁界によって磁化方向が変化する第1磁性層（感磁層）と、磁化方向が固定された第2磁性層と、第1磁性層と第2磁性層との間に挟まれた非磁性絶縁層とを備え、第1磁性層の磁化方向が第2磁性層の磁化方向に対して平行または反平行に制御されることにより二値データを記憶する素子である。

【特許文献1】特許第3466470号公報

【特許文献2】特開2000-90658号公報

【特許文献3】特開2004-128430号公報

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 0 7 】

しかし、これらの磁気記憶装置に用いられるTMR素子は、サイズを小さくすればするほど、内部に生じる反磁界の影響が増大するので、書込み用の磁界を強めなければならない。従って、磁気記憶装置の集積度を高めようとする、書込み電流値を大きくしなければならぬという矛盾が生じ、磁気記憶装置の小型化・高記録密度化が困難であると一般的にいわれている。

【 0 0 0 8 】

また、書込み電流の増大により、電流の導通を制御するためのトランジスタが大きくなってしまふので、集積度を高める事ができないという問題があった。

【 0 0 0 9 】

20

本発明は上記問題点を鑑みてなされたものであり、磁気記憶装置においても、大幅に小型化できることを明らかにし、消費電力の低減を達成する事を目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明者らは鋭意研究の結果、磁気記憶装置についてヨーク構造を採用し、このヨークの磁路長を制御することで電流値を低減できることを実験的に見出した。これにより、上記目的は下記手段によって達成される。

【 0 0 1 1 】

(1) 任意方向に延在する配線と前記配線の長手方向の一部を周方向に覆うヨークと、前記配線の近傍に配置され、前記配線から生じる磁界によって情報の書込みが可能な磁気抵抗効果素子と、を備え、前記ヨークの磁路長が $6\ \mu\text{m}$ 以下、前記ヨークの最大厚さが $50\ \text{nm}$ 以上、前記ヨークの前記配線方向の寸法が $0.8\ \mu\text{m}$ 以下、前記ヨークの比透磁率が 300 以上、となっていることを特徴とする磁気記憶装置。

30

【 0 0 1 2 】

(2) 前記ヨークの磁路長が $4\ \mu\text{m}$ 以下となっていることを特徴とする上記(1)記載の磁気記憶装置。

【 0 0 1 4 】

(3) 前記ヨークにおける周方向の一部に空隙が形成されており、前記空隙内又は前記空隙間に前記磁気抵抗効果素子が配置されていることを特徴とする上記(1)又は(2)記載の磁気記憶装置。

40

【 0 0 1 5 】

(4) 前記空隙を形成する前記ヨークの端部と、前記空隙に收容される前記磁気抵抗効果素子の間の距離が $30\ \text{nm}$ 以下に設定されていることを特徴とする上記(3)記載の磁気記憶装置。

【 0 0 1 6 】

(5) 前記配線、前記ヨーク及び前記磁気抵抗効果素子を含んで構成される記憶セルが、アレイ状に複数配置されており、前記記憶セルの夫々が、前記配線の通電を制御する書込みスイッチ手段を備えることを特徴とする上記(1)乃至(4)のいずれか記載の磁気記憶装置。

【 0 0 1 7 】

50

(6) 前記記憶セルの夫々が、前記磁気抵抗効果素子に対して電流を流す読み出し配線、及び前記読み出し配線の通電を制御する読み出しスイッチ手段を更に備えることを特徴とする上記(5)記載の磁気記憶装置。

【発明の効果】

【0018】

本発明によれば、書込み電流を大幅に小さくすることが可能になると共に、量産時等において、各磁気記憶装置間の書込み電流値のばらつきを低減させることができ、書き込みマージンを大きくすることができるという優れた効果を奏し得る。また、電流を制御するための周辺構造も小型化できるので、磁気記憶装置を小さく構成できるという効果を奏し得る。

10

【発明を実施するための最良の形態】

【0019】

以下、実施の形態について詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0020】

図1は、本発明の実施形態に係る磁気記憶装置1の全体構成を示す概念図である。磁気記憶装置1は、記憶部2、ビット選択回路11、ワード選択回路12、ビット配線13、14、並びにワード配線15、16を備える。記憶部2には、複数の記憶領域3がm行n列(m、nは2以上の整数)の二次元状(アレイ状)に配列されている。図2に拡大して示されるように、各記憶領域3は、TMR素子4、書込み配線5、読み出しトランジスタ6A、書込みトランジスタ6B、読み出し配線7a、7b、強磁性ヨーク20等を有する。なお、書込み配線5は、ビット配線13から引き込まれるように配設されていることから、記憶領域3毎に、書込み配線5、強磁性ヨーク20などが独立して配設されるようになっている。また、読み出し配線7a、7bは、本実施形態では書込み配線5から分岐するようにして配置されており、一方の読み出し配線7aと他方の読み出し配線7bの間にTMR素子4が介在するようになっている。

20

【0021】

TMR(磁気抵抗効果)素子4は、磁化方向を変化させると、それに基づいて自身の抵抗値が変化する機能を有する。この抵抗値の変化状態によって、TMR素子4に二値データが書き込まれる。このTMR素子4の磁化方向を変化させる外部磁界は、書込み配線5によって発生させる。

30

【0022】

ビット配線13から引き込まれるように配設される書込み配線5の他端は、ビット配線14に電氣的に接続される。書込みトランジスタ6Bは、書込み配線5における書込み電流の導通を制御するためのスイッチ手段であり、ドレイン及びソースが書込み配線5の途中に介在するようになっている。ゲートはワード配線16に接続される。これにより、ワード配線16に電流を流すことで書込みトランジスタ6Bを導通状態にできる。

【0023】

読み出し配線7aの一端はTMR素子4に接続されると共に、他端は書込み配線5(又はビット配線13)に接続される。また、読み出し配線7bの一端は、TMR素子4に接続されると共に、他端はワード配線15に接続される。読み出しトランジスタ6Aは、読み出し配線7a、7bにおける読み出し電流の導通を制御するためのスイッチ手段であり、ドレイン及びソースは読み出し配線7bの途中に介在する。ゲートはワード配線16に接続される。これにより、ワード配線16に電流を流すことで、読み出しトランジスタ6Aを導通状態にできる。

40

【0024】

ビット配線13、14は、アレイ状に配置される複数の記憶領域3の列毎に配設されている。ビット配線13は、対応列に属する全ての記憶領域3の書込み配線5に接続される。また、ビット配線14も同様に、対応列に属する全ての記憶領域3の書込み配線5に接続される。従って、対をなす特定のビット配線13、14間に電位差を付与しつつ、書込

50

みトランジスタ 6 B によって導通を許可すれば、書込み配線 5 に書込み電流が流れるようになる。

【 0 0 2 5 】

ワード配線 1 5、1 6 は、記憶領域 3 の各行に配設される。ワード配線 1 6 は、対応行に属する全ての記憶領域 3 において、読み出しトランジスタ 6 A 及び書込みトランジスタ 6 B の各ゲートに接続されている。つまり、ワード配線 1 6 は、双方のトランジスタ 6 A、6 B の導通を許可するための配線となる。また、ワード配線 1 5 は、対応行に属する全ての記憶領域 3 において、読み出し配線 7 b に接続される。従って、対をなす特定のビット配線 1 3 とワード配線 1 5 間に電位差を付与しつつ、読み出しトランジスタ 6 A によって導通を許可すれば、読み出し配線 7 a、7 b に読み出し電流が流れる。

10

【 0 0 2 6 】

図 1 に戻って、ビット選択回路 1 1 は、各記憶領域 3 の書込み配線 5 に正または負の書込み電流を提供する機能を備える。具体的にビット選択回路 1 1 は、内部または外部から指示されたアドレスに応じて、アレイ状に配置される記憶領域 3 から所定列を選択するアドレスデコーダ回路と、この選択した所定列に対応する一対のビット配線 1 3、1 4 間に正または負の電位差を付与して、この所定列のビット配線 1 3、1 4 間に設置される書込み配線 5 に書込み電流を供給するカレントドライブ回路を含んでいる。

【 0 0 2 7 】

ワード選択回路 1 2 は、内部または外部から指示されたアドレスに応じて、アレイ状に配置される記憶領域 3 から所定行を選択するアドレスデコーダ回路と、この所定行に対応するワード配線 1 5、1 6 に所定の電圧を供給するカレントドライブ回路を含んでいる。従って、ワード選択回路 1 2 を用いて、所定行に相当するワード配線 1 6 に制御電圧を印加すれば、読み出しトランジスタ 6 A、書込みトランジスタ 6 B を導通状態にできる。

20

【 0 0 2 8 】

書込み作業時には、ビット選択回路 1 1 によって選択されたアドレスのビット配線 1 3、1 4 間に正または負の電位差を印加し、ワード選択回路 1 2 によって選択されたアドレスの書込みトランジスタ 6 B を ON にする。この結果、ビット側アドレスとワード側アドレスの交差する記憶領域 3 に限定して書込み電流を流すことができる。なお、書込み作業時には、ビット配線 1 3 とワード配線 1 5 間の電位差を零にすることで、読み出し配線 7 側に電流が流れないようにしておく。

30

【 0 0 2 9 】

読み出し作業時には、ビット選択回路 1 1 において、内部または外部から指示されたアドレスに対応する列をアドレスデコーダ回路によって選択し、そのビット配線 1 3 に所定電圧を印加する。これと同時に、ワード選択回路 1 2 では、アドレスデコーダ回路によってアドレスに対応する行を選択して、その行に対応するワード配線 1 5 に所定電圧を印加する事で、ビット配線 1 3 とワード配線 1 5 との間に読み出し電流を供給し、更に、ワード配線 1 6 の両端に電位差を生じさせることで、読み出しトランジスタ 6 A を ON にする。この結果、ビット側アドレスとワード側アドレスの交差する記憶領域 3 に限定して読み出し電流を流すことができる。なお、読み出し作業時には、ビット配線 1 3、1 4 の電位差を零にすることで、書込み電流が流れないようにしておく。

40

【 0 0 3 0 】

次に、この磁気記憶装置 1 における記憶領域 3 の具体的構造について詳細に説明する。図 3 は、記憶領域 3 の配線状態等を立体的に示した斜視図である。記憶領域 3 は、大きくは下側から半導体層、配線層、磁性材料層を備えている。半導体層は特に図示しない半導体基板を含み、記憶領域 3 全体の機械的強度を維持しながら、読み出しトランジスタ 6 A、書込みトランジスタ 6 B 等の半導体デバイスが形成される。最上位の磁性材料層には、TMR 素子 4、TMR 素子 4 に磁界を効率的に与えるための強磁性ヨーク 2 0 といった磁性素材による構成物が主として形成される。中間に位置する配線層は、ビット配線 1 3 及び 1 4 並びにワード配線 1 5 及び 1 6、書込み配線 5 の一部、読み出し配線 7 b 等が形成される。

50

【0031】

半導体層における読み出しトランジスタ6A及び書込みトランジスタ6Bは、それぞれが絶縁領域に取り囲まれるように形成されている。絶縁領域には、例えばSiO₂といった絶縁性材料が用いられる。又トランジスタの半導体基板としては、例えばSi基板から用いられており、そこにp型またはn型の不純物がドーブされた状態となっている。

【0032】

図4に拡大して示されるように、読み出しトランジスタ6Aは、半導体基板30の反対導電型となるドレイン領域6Aa、ソース領域6Ab、ゲート電極6Ac等によって構成されている。従って、ドレイン領域6Aaとソース領域6Abの間には半導体基板30が介在しており、その半導体基板30上に所定の間隔を空けてゲート電極6Acが配置されている。このゲート電極6Acは、ワード配線16によって構成されており、この構成により、ワード配線16に電圧が印加されると、読み出しトランジスタ6Aのドレイン領域6Aa及びソース領域6Abが互いに導通して、ビット配線13から供給される読み出し電流が、読み出し配線7a、TMR素子4、読み出し配線7bを流れる。なお、書込みトランジスタ6Bも、略同様な構成であるので、ここでの説明は省略する。

10

【0033】

図3に戻って、配線層におけるビット配線13及び14、ワード配線15及び16、読み出し配線7b等の配線を除いた領域は、すべて絶縁領域によって占められる。この絶縁領域の材料としては、半導体層の絶縁領域と同様に、SiO₂といった絶縁性材料を用いる。また、配線の材料としては例えばWやAlを用いることができる。

20

【0034】

TMR素子4に隣接する書込み配線5は、記憶領域3のアレイ面(平面)方向に延在しながらも、この平面内でL字上に屈曲した形状となっている。また、この書込み配線5の両端は平面に対して垂直方向に屈曲して垂直配線となっており、一方の垂直配線の下端はビット配線13に接続される。他方の垂直配線の下端は、水平配線を経由して書込みトランジスタ6Bのドレイン領域6Baとオーミック接合される。また、ビット配線14には、各記憶領域3に対応した引き込み線14Aが垂直方向に分岐形成されており、その下端が書込みトランジスタ6Bのソース領域6Bbにオーミック接合される。この結果、書込み配線5は、書込みトランジスタ6Bを介在させた状態で、一对のビット配線13、14間を橋渡しするように配置される。

30

【0035】

また、読み出し配線7aは平面方向に延在し、一端側がTMR素子4に電氣的に接続されると共に他端が書込み配線5に接続される。読み出し配線7bは、一端側がTMR素子4に電氣的に接続されると共に、他端側は垂直方向に屈曲して垂直配線となっている。この垂直配線の下端は、読み出しトランジスタ6Aのソース領域6Abとオーミック接合される。また、ワード配線15には、各記憶領域3に対応した引き込み線15Aが垂直方向に分岐形成されており、その下端が読み出しトランジスタ6Aのドレイン領域6Aaにオーミック接合される。この結果、ビット配線13とワード配線16間は書込み配線5の一部、読み出し配線7a、TMR素子4、読み出し配線7b、読み出しトランジスタ6Aがこの順に配置されることで電氣的に接続される。

40

【0036】

なお、行方向に延びるワード配線16は、その一部が、各トランジスタ6A、6Bのゲート電極6Ac、6Bcを同時に兼ねている。このことは、ワード配線16が各トランジスタ6A、6Bのゲート電極6Ac、6Bcに電氣的に接続されることと同義である。

【0037】

次に、図5等を用いて磁性材料層について説明する。磁性材料層は、TMR素子4と、強磁性ヨーク20と、書込み配線5の一部と、読み出し配線7a等を有する。なお、磁性材料層においては、以下に説明する構成や他の配線以外の領域は、絶縁領域24によって占められている。

【0038】

50

図6に拡大して示されるように、TMR素子4は、外部磁界によって磁化方向が変化する第1磁性層(フリー層/感磁層)4Aと、磁化方向が固定された第2磁性層(ピンド層)4Bと、第1磁性層4A及び第2磁性層4Bに挟まれた非磁性絶縁層(絶縁体層)4Cと、第2磁性層の磁化方向を固定(ピン止め)する反強磁性層4Dとを備える。このTMR素子4は、外部磁界を受けて第1磁性層4Aの磁化方向が変化すると、第1磁性層4Aと第2磁性層4Bとの間の抵抗値が変化している。この抵抗値の差によって、二値データを記録することができる。なお、第1磁性層4Aの材料としては、例えばCo、CoFe、CoFeB、NiFe、NiFeCo、CoPtなどの強磁性材料を用いることができる。

【0039】

第2磁性層4Bは、反強磁性層4Dによって磁化方向が固定されている。すなわち、反強磁性層4Dと第2磁性層4Bとの接合面における交換結合によって、第2磁性層4Bの磁化方向が一方に配向された状態で安定化されている。第2磁性層4Bの磁化容易軸方向は、第1磁性層4Aの磁化容易軸方向に沿うように設定される。第2磁性層4Bの材料としては、例えばCo、CoFe、CoFeB、NiFe、NiFeCo、CoPtなどの強磁性材料を用いることができる。また、反強磁性層4Dの材料としては、IrMn、PtMn、FeMn、PtPdMn、NiO、またはこれらを任意の組み合わせた材料を用いることができる。

【0040】

非磁性絶縁層4Cは、非磁性且つ絶縁性の材料からなる層であり、第1磁性層4Aと第2磁性層4Bとの間に介在して、トンネル磁気抵抗効果(TMR)が生じるようにしている。詳細には、第1磁性層4Aと第2磁性層4Bの磁化方向との相対関係(即ち、平行または反平行)によって、電気抵抗値が異なる特性を有している。非磁性絶縁層4Cの材料としては、例えばAl、Zn、Mg、Tiといった金属の酸化物または窒化物が好適である。

【0041】

第1磁性層4Aは読み出し配線7aと電氣的に接続される。また、反強磁性層4Dは、読み出し配線7bと電氣的に接続される。この構成により、読み出し電流を、読み出し配線7aからTMR素子4を介して読み出し配線7bへ流すことが可能となり、TMR素子4の抵抗値の変化を検出する事が出来る。なお、強磁性ヨーク20は、書込み配線5におけるTMR素子4との隣接領域を覆うように配置されている。なお、TMR素子4の第1磁性層4Aの磁化容易軸は、書込み配線5の長手方向と交差する方向(すなわち、書込み電流の方向と交差する方向)に沿うように設定される。

【0042】

なお、特に図示しないが、TMR素子4を、第1磁性層(フリー層/感磁層)、非磁性絶縁層(絶縁体層)、第2磁性層、非磁性金属層、第3磁性層、反強磁性層をこの順に備えているようにしてもよい。反強磁性層が第3磁性層の磁化方向を固定(ピン止め)すると共に、非磁性金属層の膜厚を調整することにより、第2磁性層の磁化方向が、第3磁性層の磁化方向と反平行となる。これは第2磁性層と第3磁性層の間に生じる交換相互作用を利用する。

【0043】

図5に戻って、強磁性ヨーク20は、延在する書込み配線5におけるTMR素子4側に近接配置される素子側ヨーク20Aと、書込み配線5におけるTMR素子4の反対側に近接配置される反素子側ヨーク20Bを備える。又、素子側ヨーク20Aの両端と反素子側ヨーク20Bの両端には、両者を連結して略環状とする一对のヨーク接合部20C、20Cが構成されている。従って、TMR素子4を基準に考えると、素子側ヨーク20AがTMR素子4に近接しており、反素子側ヨーク20BはTMR素子4から離れている。又、この強磁性ヨーク20自体は書込み配線5の外周の一部を覆っていることになる。反素子側ヨーク20Bは、書込み配線5の上方に位置するトップ領域20Tと、このトップ領域20Tの両端側、即ちヨーク接合部20C、20Cの近傍に位置する傾斜領域20S

10

20

30

40

50

、20Sとを備えて構成される。なお、強磁性ヨーク20は、TMR素子4に悪影響を与える外部磁界から保護する機能も有している。

【0044】

素子側ヨーク20Aは、環状方向の中間に空隙20Eが形成されており、その空隙20EにTMR素子4が介在配置されている。従って、強磁性ヨーク20を軸視した場合、周方向の一部に開放端20Ea、20Ebを備えた略C字形状となっている。この開放端20Ea、20Ebは、素子側ヨーク20Aの突端としてTMR素子4の側面近傍に配置されることになる。

【0045】

傾斜領域20S、20S及びヨーク接合部20C、20Cは、トップ領域20Tに生じる磁界を素子側ヨーク20A側（即ちTMR素子4側）に誘導する。従って、トップ領域20Tに生じた内部磁界は、傾斜領域20S、20S及びヨーク接合部20C、20Cを介して反転し、素子側ヨーク20Aでは反対方向の内部磁界となる。又、反素子側ヨーク20Bにおいては、傾斜領域20S、20Sが、素子側ヨーク20A側に傾倒するようになっている。詳細には、トップ領域20Tと傾斜領域20S、20Sの角度P（[図8](#)参照）が鈍角に設定され、一方、ヨーク接合部20C、20Cにおける素子側ヨーク20Aと傾斜領域20S、20Sの連結角度が鋭角に設定される。また、傾斜領域20Sの厚みは、素子側ヨーク20Aと比較して大きく設定されている。

【0046】

[図7](#)に示されるように、強磁性ヨーク20には周方向の磁路が形成される。本実施形態では、この磁路の長さ（磁路長） L_m が $6\mu\text{m}$ 以下となるように設定される。なお、ここでの磁路長 L_m とは、書込み配線5の長手方向からこの強磁性ヨーク20を軸視した場合に、強磁性ヨーク20の肉厚方向中心位置を周方向にトレースした長さとなる。具体的には、傾斜領域20S、20Sの中心線 D_s と、トップ領域20Tの中心線 D_t と、素子側ヨーク20Aの中心線 D_a の長さを足し合わせたものが磁路長 L_m となる。

【0047】

また、この磁気記憶装置1では、強磁性ヨーク20の比透磁率 μ が50以上に設定され、好ましくは300以上に設定される。このようにすることで、強磁性ヨーク20の磁気抵抗を小さくすることが可能になる。

【0048】

上記磁路長 L_m を $6\mu\text{m}$ 以下に設定するために、強磁性ヨーク20の寸法を次のように設定している。[図5](#)を参照して、TMR素子4を基準とした反素子側ヨーク20Bの最大高さHは、例えば 300nm 以下に設定される。強磁性ヨーク20の幅 $BY1x$ は、書込み配線5の幅 IWx に依存しており、具体的には、 $BY1x = IWx + 700\text{nm}$ の関係を満たすように設定する。従って、ここでは書込み配線5の幅 IWx を、 $0.2\mu\text{m} \sim 0.8\mu\text{m}$ に設定しているため、 $BY1x$ は、 $900\text{nm} \sim 1500\text{nm}$ となる。また、強磁性ヨーク20の奥行き（配線長手方向寸法） BYy は、ここでは特に図示しないが、 $0.45\mu\text{m} \sim 0.8\mu\text{m}$ に設定されている。また、[図6](#)に示されるように、読み出し配線7の幅 TLx は、例えば $500\text{nm} \sim 1400\text{nm}$ の範囲内に設定され、又TMR素子4の幅 $MTJx$ は $0.2\mu\text{m} \sim 0.8\mu\text{m}$ に設定される。特に図示しないが、TMR素子4の奥行き $MTJy$ は $0.2\mu\text{m} \sim 1.6\mu\text{m}$ に設定される。このようにすると、強磁性ヨーク20の磁路長 L_m は、 $1 \sim 6\mu\text{m}$ の範囲内に設定することが可能になる。

【0049】

なお、反素子側ヨーク20Bのトップ領域20Tの厚み TYz は、素子側ヨーク20Aの厚み BYz と比較して大きく設定されており、例えば厚さ TYz は、 50nm 以上に設定される。厚さ TYz の上限は、磁気抵抗の関係からは特に制限ない。また、反素子側ヨーク20Bよりも薄い素子側ヨーク20Aの厚さ BYz は 10nm 以上に設定されている。この厚さ BYz の上限は、磁気抵抗の関係からは特に制限はない。また、傾斜領域20Sの厚さ TSz は、反素子側ヨーク20Bと素子側ヨーク20Aを磁気抵抗的になるべく不連続とならないように設定される。強磁性ヨーク20を肉厚にすることで、ヨークとし

10

20

30

40

50

での機能を高めることが出来る。

【0050】

また本実施形態では、空隙20Eを形成する強磁性ヨーク20の開放端20Ea、20Ebと、この空隙20Eに收容されるTMR素子4の間のギャップ幅が30nm以下に設定されている。ギャップ幅は好ましくは10nm以下、究極は零が好ましい。消費電流を低減する事が可能になる。

【0051】

なお、この強磁性ヨーク20を製造する際には、傾斜領域20Sとトップ領域20Tを一連のプロセスで一体的に製膜することが好ましく、製造コストを低減することが可能になる。なお、強磁性ヨーク20を構成する強磁性材料としては、例えばNi、Fe、Coのうち少なくとも一つの元素を含む金属が好適である。

10

【0052】

次に、本第1実施形態の磁気記憶装置1におけるTMR素子4への情報書込み動作について説明する。

【0053】

図8の状態において、書込み配線5に電流が流れていない場合、この書込み配線5による磁界が生じない。強磁性ヨーク20の磁化状態Xは、書込み配線5の延在方向と略一致した状態で単磁区化されていることが好ましい。また、磁化状態Xが、各種方向の磁区が複数形成された状態となっている場合は、上層に反強磁性層を形成して強制的に単磁区化することが望ましい。なお、TMR素子4における第2磁性層4Bの磁化方向Bと第1磁性層4Aの磁化方向Aが、ここでは互いに一致している。本実施例では、磁化方向A、Bが一致している場合、二値データの0が書き込まれていると定義する。

20

【0054】

図9に示されるように、書込み配線5に書込み電流I1が流れると、書込み配線5の周囲に、周方向磁界F1が発生する。磁界F1によって、その周囲に設けられた強磁性ヨーク20が磁化状態Xの方向に磁化され、素子側ヨーク20Aの端面20Ea、20Ebから磁界が発生する。この磁界は、磁界F1に重畳することで強い合成磁界となり、TMR素子4側誘導される。

【0055】

この結果、書込み配線5から生じる磁界F1と、強磁性ヨーク20に生じる磁化状態Xによって誘起された磁界とが合成された強い磁界が、素子側ヨーク20Aで集中化され、TMR素子4における第1磁性層4Aに作用してその磁化方向Aを反転させる。この状態で書込み配線5の電流I1を止めると、TMR素子4の磁化方向Aは、図9のように反転したまま維持される。磁化方向A、Bが反対となったまま維持されることから、ここでは二値データの1が書き込まれた事になる。

30

【0056】

図10に示されるように、書込み配線5において、I1と反対方向となる書込み電流I2が流れると、書込み配線5の周囲に、周方向磁界F2が発生する。磁界F2に誘導されるようにして、周囲に設けられた強磁性ヨーク20の磁化状態Xが、その方向を90度回転させて磁界F2と同方向となる。

40

【0057】

この結果、書込み配線5から生じる磁界F2と、強磁性ヨーク20に生じる磁化状態Xによって誘起された磁界とが合成された強い磁界が、素子側ヨーク20Aで集中化され、TMR素子4における第1磁性層4Aに作用してその磁化方向Aを反転させる。第1磁性層4Aの磁化方向Aは、第2磁性層4Bの磁化方向Bと再び一致する。TMR素子4は、磁化方向A、Bが一致しているので、ここでは二値データの0が再び書き込まれた事になる。

【0058】

なお、TMR素子4に書き込まれた二値データを読み出す際には、読み出し配線7a、7bの間に読み出し電流を流し、その配線間の電位差の変化を検出する。これによりTM

50

R素子4の抵抗値が明らかとなり、二値データのいずれかを記録しているか(すなわち、第1磁性層4Aの磁化方向Aが第2磁性層4Bの磁化方向Bと平行か反平行か)を判別する。例えば、第1磁性層4Aの磁化方向Aが第2磁性層4Bの磁化方向Bと同方向である場合、非磁性絶縁層4Cにおけるトンネル磁気抵抗効果(TMR)によって、第1磁性層4Aと第2磁性層4Bとの間の抵抗値が比較的小さくなる。反対に、磁化方向Aと磁化方向Bが対向方向となる場合、トンネル磁気抵抗効果によって、第1磁性層4Aと第2磁性層4Bとの間の抵抗値が比較的大きくなる。

【0059】

本実施形態の磁気記憶装置1によれば、強磁性ヨーク20の磁路長 L_m が $6\mu m$ 以下に設定されているので、書込み電流を大幅に低減することが可能になる。このようなる理由として、強磁性ヨーク20をコンパクトにする程、TMR素子4に対して磁界を効率的に印加する事が可能になることが考えられる。更に、本磁気記憶装置1では、書込み電流 I_w が小さくなるので、書込み電流 I_w を制御する書込みトランジスタ6Bをコンパクトにすることが可能となり、磁気記憶装置1の集積度を高めることができる。なお、磁路長 L_m が $6\mu m$ より大きくなると、書込み電流が急激に増大し、電流値変動も大きくなってしまう。

10

【0060】

従って、この磁気記憶装置1において磁路長 L_m が $6\mu m$ 以下となる範囲では、強磁性ヨーク20をコンパクトにするほど、磁気記憶装置1の集積度を高めることが可能になるという、いわゆるスケーリング法則が成立する可能性を示唆している。

20

【0061】

(実施例)

【0062】

磁気記憶装置1について、磁路長 L_m を異ならせた複数のサンプルを製造し、書込み電流 I_w を測定した。この結果を図11に示す。結果から明らかなように、磁路長 L_m が $6\mu m$ 以下では、書込み電流 I_w が $10mA$ 以下となることが分かる。また、磁路長 L_m が $4\mu m$ 以下になると、書込み電流 I_w が $5mA$ 以下に小さくすることが出来る。一方、磁路長 L_m が $6\mu m$ より大きくなると、書込み電流 I_w の値が急激に増大する。従って、強磁性ヨーク20の磁路長 L_m を $6\mu m$ 以下、望ましくは $4\mu m$ 以下にすることで、書込み電流 I_w を小さくすることが可能になる。

30

【0063】

また、強磁性ヨーク20の磁路長 L_m を $4\mu m$ 以下にすると、書込み電流 I_w を $5mA$ 以下に小さくすることが出来る。この結果、書込み配線5の電流を制御する書込みトランジスタ6Bを大幅に縮小化できるので、個々の記録領域3に書込みトランジスタ6Bを設けることができる。例えば、図12(A)には、従来のクロスポイントタイプの磁気記憶装置の書込みマージンの状態が模式的に示されている。従来の磁気記憶装置では、ビット配線とワード配線の磁界の組み合わせによって、TMR素子の磁化方向を反転させるようにし、且つこれらの配線を利用して読み出し作業を行う必要があった。従って、ビット配線とワード配線の双方のばらつきの最大値(点線参照)を超える領域となるので、TMR素子の動作マージン領域 M_a が非常に小さく設定しなければならなかった。一方、本実施例のような磁気記憶装置1では、ビット配線13を経由した書込み配線5に対して、書込みトランジスタ6Bを利用して電流を流すことで書込み動作を行う。この結果、図12(B)に示されるように、ビット配線13の電流のばらつきの最大値(点線参照)以上の領域である限り、TMR素子4の磁化方向が反転すればよいことになるので、TMR素子4の動作マージン領域 M_b を非常に大きく設定することが可能になる。

40

【0064】

なお、本実施形態では、素子側ヨーク20Aに空隙20Eを形成する手法は問わないものとする。例えば、連続的な素子側ヨーク20Aを形成した後に、この素子側ヨーク20Aを分断加工して空隙20Eを形成するようにしても良く、又、各素子側ヨーク20Aを

50

個別に形成することで、素子側ヨーク 20A と空隙 20E が同時に形成されるようにしてもよい。

【0065】

更に本実施形態では、強磁性ヨーク 20 に空隙 20E が形成され、この空隙 20E に TMR 素子 4 が配置されている場合に限って示したが、本発明はそれに限定されない。例えば図 13 に示される磁気記憶装置 101 のように、強磁性ヨーク 120 が連続した環状となるようにしてもよい。この場合、強磁性ヨーク 120 の磁路も環状となる。この磁気記憶装置 101 では、TMR 素子 104 の第 1 磁性層（フリー層 / 感磁層）が、素子側ヨーク 120A に当接するように配置されており、この素子側ヨーク 120A との強磁性カップリングにより TMR 素子 104 の磁界を反転させるようになっている。なお、その他の構成については、既に図 7 等で説明した磁気記憶装置 1 と同様であるので、図中の下二桁をこの磁気記憶装置 1 と一致させる事で、説明を省略する。

10

【0066】

また、本発明はこれらの実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態では磁気抵抗効果素子として TMR 素子を用いているが、CPP (Current Perpendicular to Plane) 型の巨大磁気抵抗 (GMR: Giant magneto-Resistive) 効果を利用した GMR 素子を用いてもよい。GMR 効果とは、非磁性層を挟んだ 2 つの強磁性層の磁化方向のなす角度により、積層方向と直交する方向における強磁性層の抵抗値が変化する現象である。すなわち、GMR 素子においては、2 つの強磁性層の磁化方向が互いに平行である場合に強磁性層の抵抗値が最小となり、2 つの強磁性層の磁化方向が互いに反平行である場合に強磁性層の抵抗値が最大となる。なお、TMR 素子や GMR 素子には、2 つの強磁性層の保磁力の差を利用して書込み / 読み出しを行う疑似スピバルブ型と、一方の強磁性層の磁化方向を反強磁性層との交換結合により固定するスピバルブ型とがある。また、GMR 素子におけるデータ読み出しは、積層方向と直交する方向における強磁性層の抵抗値の変化を検出することにより行われる。また、GMR 素子におけるデータ書込みは、書込み電流により生じる磁界によって一方の強磁性層の磁化方向を反転させることにより行われる。

20

【0067】

また、上記実施形態では、書込み電流及び読み出し電流を制御するためのスイッチ手段としてトランジスタ（読み書き兼用トランジスタ）を用いているが、このスイッチ手段としては、必要に応じて電流を遮断 / 導通させる機能を有する様々な手段を適用することができる。

30

【0068】

また、本発明の磁気記憶装置は、上記した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【産業上の利用可能性】

【0069】

本発明は、磁気抵抗効果素子によって各種情報を記録・保持するような分野で広く利用する事が出来る。

40

【図面の簡単な説明】

【0070】

【図 1】本発明の実施形態に係る磁気記憶装置の全体構成を示す概念図

【図 2】同磁気記憶装置の記憶領域を拡大して示す概念図

【図 3】同記憶領域の内部構造を立体的に示す拡大斜視図

【図 4】同記憶領域におけるトランジスタの構造を拡大して示す断面図

【図 5】同記憶領域における強磁性ヨークの構造を拡大して示す断面図

【図 6】同記憶領域に配置される TMR 素子の積層構造を拡大して示す側面図

【図 7】同記憶領域における強磁性ヨークの磁路長を示す側面図

【図 8】同記憶領域における強磁性ヨークの磁化状態を模式的に示す部分断面斜視図

50

- 【図9】同記憶領域における強磁性ヨークの磁化状態を模式的に示す部分断面斜視図
- 【図10】同記憶領域における強磁性ヨークの磁化状態を模式的に示す部分断面斜視図
- 【図11】同磁気記憶装置の磁路長と書込み電流の関係の分析結果を示すグラフ
- 【図12】同磁気記憶装置と従来の磁気記憶装置の動作マージンを比較するグラフ
- 【図13】同記憶領域における強磁性ヨークの磁路長の他の例を示す側面図

【符号の説明】

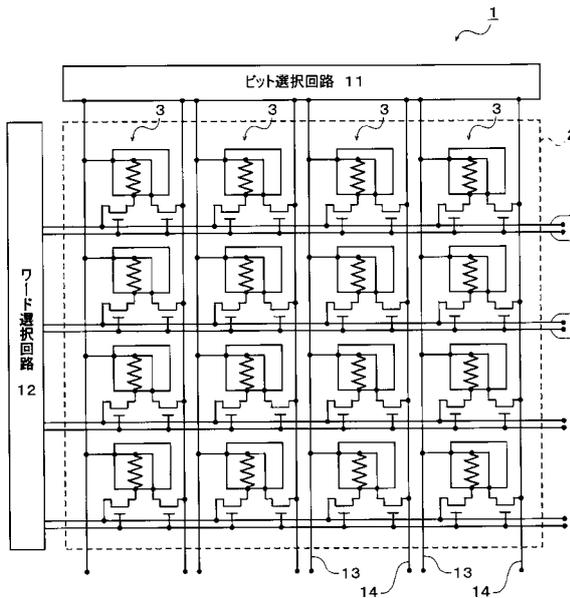
【0071】

- 1、101 …… 磁気記憶装置
- 4、104 …… 磁気抵抗効果素子
- 4A …… 第1磁性層
- 4B …… 第2磁性層
- 4C …… 非磁性絶縁層
- 4D …… 反強磁性層
- 5、105 …… 読み書き兼用配線
- 13、14 …… ビット配線
- 15、16 …… ワード配線
- 20、120 …… 強磁性ヨーク
- 20A、120A …… 素子側ヨーク
- 20B、120B …… 反素子側ヨーク
- 20C、120C …… ヨーク接合部
- 20E …… 隙間
- 20S、120S …… 傾斜領域
- 20T、120T …… トップ領域

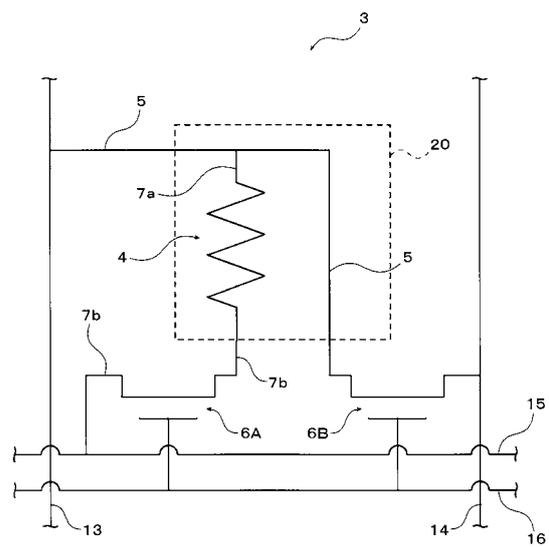
10

20

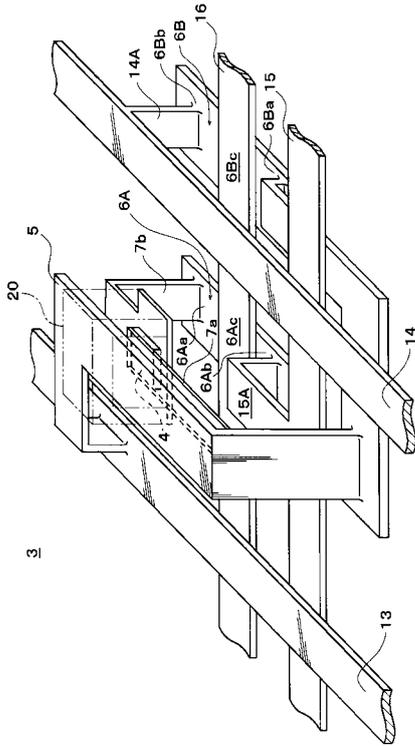
【図1】



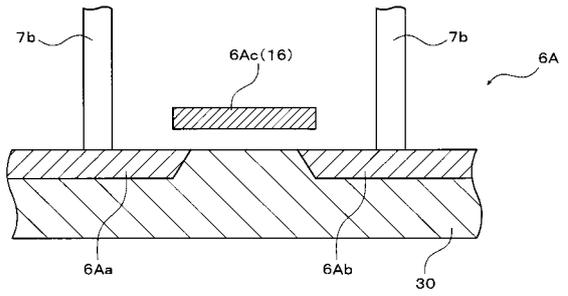
【図2】



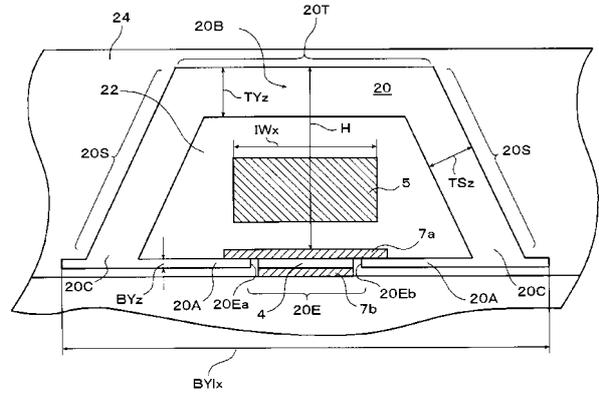
【 図 3 】



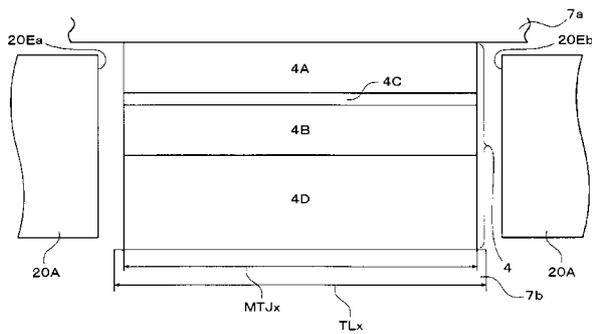
【 図 4 】



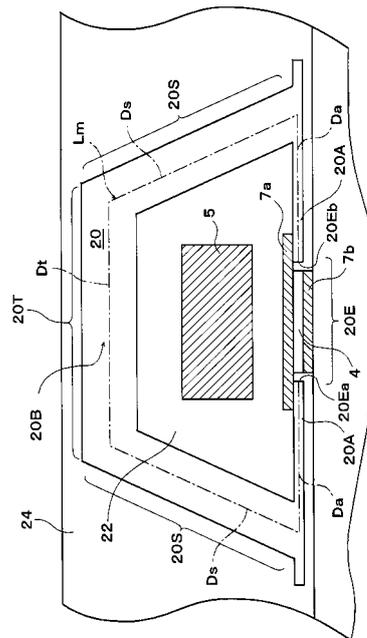
【 図 5 】



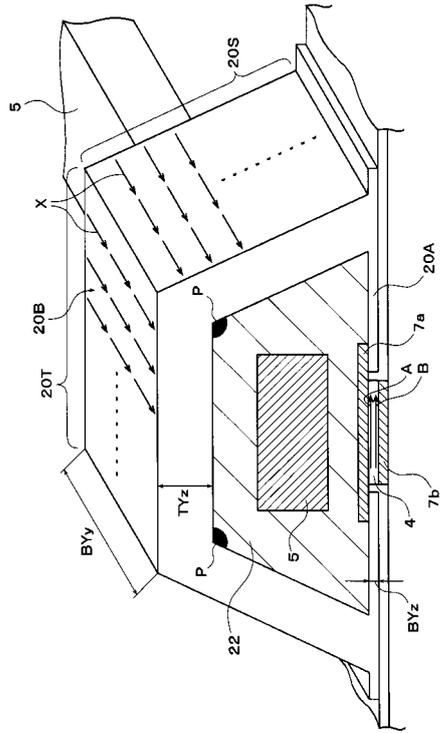
【 図 6 】



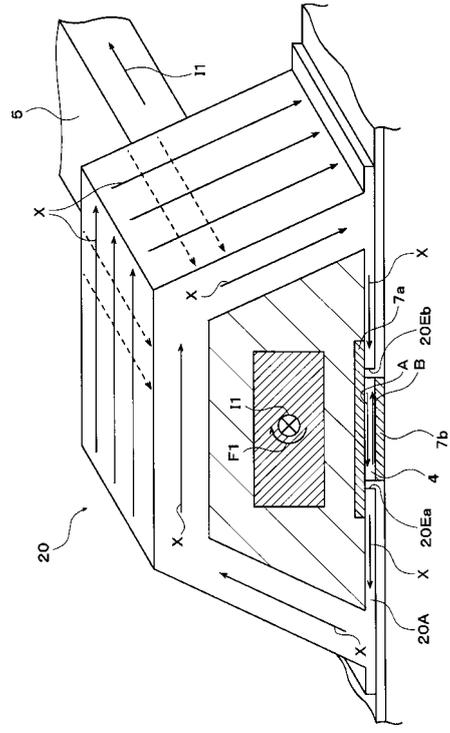
【 図 7 】



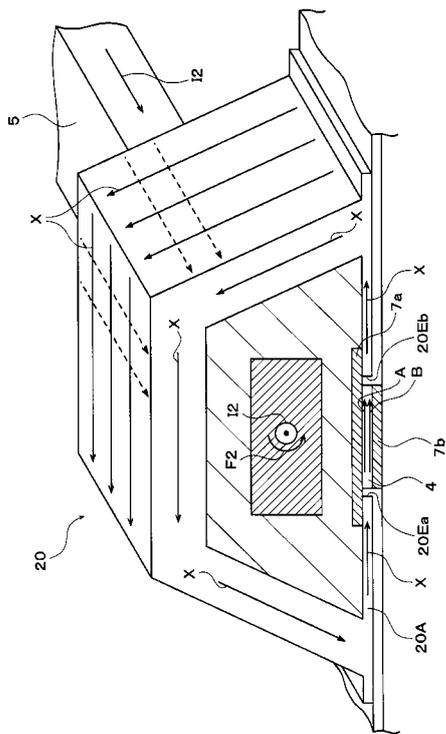
【図8】



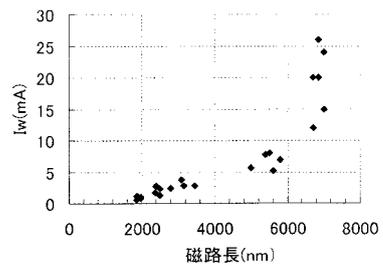
【図9】



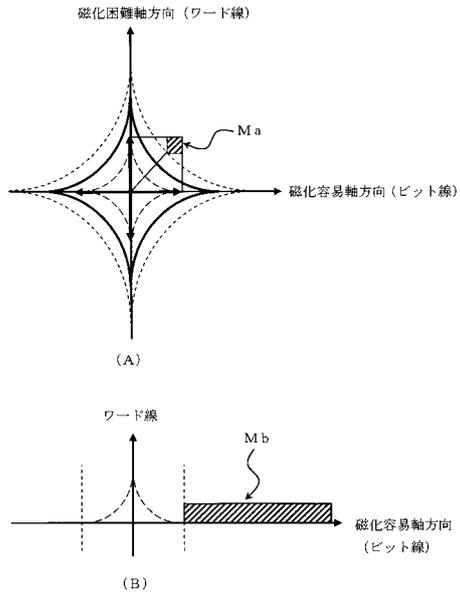
【図10】



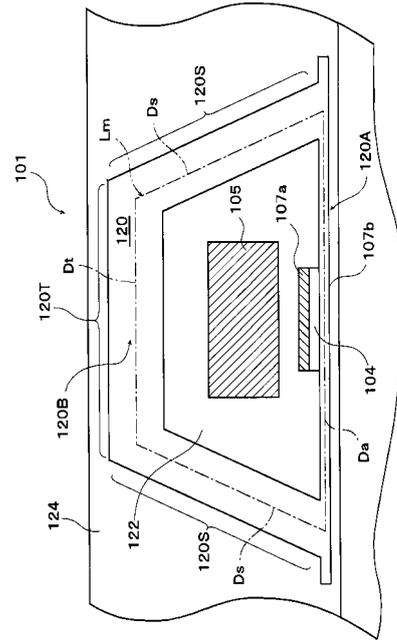
【図11】



【図 12】



【図 13】



フロントページの続き

(72)発明者 及川 亨
東京都中央区日本橋一丁目13番1号 TDK株式会社内

審査官 橋 均憲

(56)参考文献 特開2005-203535(JP,A)
特開2005-085805(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

H01L 27/105

H01L 27/22

H01L 29/82

H01L 43/00 - 43/14