

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7634705号
(P7634705)

(45)発行日 令和7年2月21日(2025.2.21)

(24)登録日 令和7年2月13日(2025.2.13)

(51)国際特許分類

F I

G 0 9 G	3/32 (2016.01)	G 0 9 G	3/32	A
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/30 (2006.01)	G 0 9 G	3/20	6 4 1 A
G 0 9 F	9/302(2006.01)	G 0 9 G	3/20	6 4 1 K
		G 0 9 G	3/20	6 4 1 C

請求項の数 8 (全24頁) 最終頁に続く

(21)出願番号 特願2023-550420(P2023-550420)
 (86)(22)出願日 令和4年8月2日(2022.8.2)
 (86)国際出願番号 PCT/JP2022/029622
 (87)国際公開番号 WO2023/053713
 (87)国際公開日 令和5年4月6日(2023.4.6)
 審査請求日 令和5年12月5日(2023.12.5)
 (31)優先権主張番号 特願2021-160405(P2021-160405)
 (32)優先日 令和3年9月30日(2021.9.30)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74)代理人 110002147
 弁理士法人酒井国際特許事務所
 (72)発明者 小川 耀博
 東京都港区西新橋三丁目7番1号 株式
 会社ジャパンディスプレイ内
 審査官 西島 篤宏

最終頁に続く

(54)【発明の名称】 表示装置

(57)【特許請求の範囲】

【請求項1】

表示領域に配列された複数の発光素子と、
 複数の前記発光素子のそれぞれに接続された第1画素回路及び第2画素回路と、
 前記第1画素回路に設けられ、前記発光素子に第1駆動電流を供給する第1駆動トランジスタと、
 前記第2画素回路に設けられ、前記発光素子に第2駆動電流を供給する第2駆動トランジスタと、
 前記第1駆動トランジスタ及び前記第2駆動トランジスタにそれぞれ映像信号を供給する駆動回路と、
 前記第1駆動トランジスタと前記発光素子との間に設けられた第1接続切換トランジスタと、
 前記第2駆動トランジスタと前記発光素子との間に設けられた第2接続切換トランジスタと、を有し、
 前記第1接続切換トランジスタ及び前記第2接続切換トランジスタは、前記発光素子の非発光期間にオフとなり、
 前記発光素子の非発光期間は、前記発光素子が前記第1画素回路及び前記第2画素回路と非接続となり、前記発光素子に前記第1駆動電流及び前記第2駆動電流が供給されない期間であり、
 前記第1画素回路に設けられた前記第1駆動トランジスタは、前記映像信号に応じて設定

された前記第 1 駆動電流を前記発光素子に供給し、
 前記第 2 画素回路に設けられた前記第 2 駆動トランジスタは、固定された前記第 2 駆動電流を前記発光素子に供給し、
 制御回路は、前記第 1 画素回路による発光期間を所定期間に設定すると共に、前記第 2 画素回路による発光期間を変化させる

表示装置。

【請求項 2】

前記第 1 駆動電流の最大値で規定される最大の階調値以下の低階調側の範囲では、前記第 1 駆動電流で前記発光素子が駆動され、

前記第 1 駆動電流の最大値で規定される最大の階調値よりも大きい高階調側の範囲では、少なくとも前記第 2 駆動電流で前記発光素子が駆動される

請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタは、

共通の書込期間で、それぞれ前記映像信号が供給され、

時分割で、前記発光素子に前記第 1 駆動電流及び前記第 2 駆動電流を供給する

請求項 1 に記載の表示装置。

【請求項 4】

前記第 1 駆動トランジスタに接続され、前記第 1 駆動トランジスタにリセット電源電位を供給する第 1 リセットトランジスタと、

前記第 2 駆動トランジスタに接続され、前記第 2 駆動トランジスタに前記リセット電源電位を供給する第 2 リセットトランジスタと、を有し、

前記第 1 リセットトランジスタのゲート及び前記第 2 リセットトランジスタのゲートは、共通のリセット制御信号線に接続される

請求項 1 に記載の表示装置。

【請求項 5】

前記リセット電源電位を供給するリセット電源線を有し、

前記第 1 画素回路の前記第 1 リセットトランジスタ及び前記第 2 画素回路の前記第 2 リセットトランジスタは、共通の前記リセット電源線に接続される

請求項 4 に記載の表示装置。

【請求項 6】

第 1 方向に配列された複数の副画素を有し、

複数の前記副画素のそれぞれは、前記発光素子、前記第 1 画素回路及び前記第 2 画素回路を有し、

前記第 1 方向に隣接する 2 つの前記副画素で、一方の前記副画素の前記第 1 画素回路及び前記第 2 画素回路と、他方の前記副画素の前記第 1 画素回路及び前記第 2 画素回路とは、前記第 1 方向と交差する第 2 方向に平行な対称軸に対して線対称に配置される

請求項 1 から請求項 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

1 つの前記副画素で、前記第 1 画素回路と、前記第 2 画素回路とは、前記第 1 方向に平行な対称軸に対して線対称に配置される

請求項 6 に記載の表示装置。

【請求項 8】

複数の前記副画素は、第 1 副画素、第 2 副画素及び第 3 副画素を有し、

前記第 1 方向で、前記第 1 副画素、前記第 2 副画素、前記第 3 副画素、前記第 1 副画素、前記第 2 副画素及び前記第 3 副画素の順に繰り返し配列され、

前記第 2 副画素及び前記第 3 副画素を挟む 2 つの前記第 1 副画素で、一方の前記第 1 副画素の前記第 1 画素回路及び前記第 2 画素回路と、他方の前記第 1 副画素の前記第 1 画素回路及び前記第 2 画素回路とは、前記第 1 方向と交差する第 2 方向に平行な対称軸に対して線対称に配置される

10

20

30

40

50

請求項 6 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

無機発光ダイオード（マイクロLED（micro LED））や有機発光ダイオード（OLED：Organic Light Emitting Diode）等の発光素子を用いた表示装置が知られている。下記特許文献1では、発光素子の階調表現を行う駆動方式として、電流値を調整することで階調を表現する電流駆動方式と、点灯時間を制御することで階調を表現するパルス幅変調方式とを組合せて表示を行う階調制御方法が記載されている。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特開2020-64159号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

電流駆動方式では、電流値を調整するトランジスタの性能に依存することとなり、当該電流値を調整するトランジスタの特性によっては所望の発光強度から変化してしまう場合がある。一方、パルス幅変調方式では、点灯時間に応じて画素回路のスイッチング素子のオン、オフを切り替える必要があると共に、所望の電流値に立ち上がるまでの駆動時間を要するため、高速な画素書込動作が困難となる。このため、細かい階調表現の制御が困難となる可能性がある。特許文献1には、電流駆動方式及びパルス幅変調方式を実現するための具体的な回路構成について記載されていない。

20

【0005】

本発明は、良好に階調制御を行うことができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様の表示装置は、表示領域に配列された複数の発光素子と、複数の前記発光素子のそれぞれに接続された第1画素回路及び第2画素回路と、前記第1画素回路に設けられ、前記発光素子に第1駆動電流を供給する第1駆動トランジスタと、前記第2画素回路に設けられ、前記発光素子に第2駆動電流を供給する第2駆動トランジスタと、前記第1駆動トランジスタ及び前記第2駆動トランジスタにそれぞれ映像信号を供給する駆動回路と、前記第1駆動トランジスタと前記発光素子との間に設けられた第1接続切換トランジスタと、前記第2駆動トランジスタと前記発光素子との間に設けられた第2接続切換トランジスタと、を有し、前記第1接続切換トランジスタ及び前記第2接続切換トランジスタは、前記発光素子の非発光期間にオフとなる。

40

【図面の簡単な説明】

【0007】

【図1】図1は、実施形態に係る表示装置を示す平面図である。

【図2】図2は、実施形態に係る表示装置の画素の一例を示す平面図である。

【図3】図3は、実施形態に係る表示装置の構成例を示すブロック図である。

【図4】図4は、画素回路の構成例を示す回路図である。

【図5】図5は、実施形態に係る表示装置の動作例を説明するためのタイミングチャートである。

【図6】図6は、図5に示す書込み期間の動作例を説明するためのタイミングチャートである。

50

【図 7】図 7 は、表示輝度レベルごとの、電流駆動方式及び P W M 駆動方式の組合せの一例を説明するための説明図である。

【図 8】図 8 は、実施形態に係る複数の副画素の、第 1 画素回路及び第 2 画素回路の配置関係を説明するための説明図である。

【図 9】図 9 は、実施形態に係る複数の副画素の構成例を模式的に示す平面図である。

【発明を実施するための形態】

【0008】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本開示が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、本開示の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本開示の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本開示の解釈を限定するものではない。また、本開示と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

10

【0009】

本明細書及び特許請求の範囲において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

20

【0010】

（実施形態）

図 1 は、実施形態に係る表示装置を示す平面図である。本実施形態の表示装置 1 は、マイクロ LED (micro LED) を備えるマイクロ LED 表示装置である。図 1 に示すように、表示装置 1 は、アレイ基板 2 と、複数の画素 P X と、走査線駆動回路 1 2 と、信号線駆動回路 1 3 と、発光制御回路 1 4 と、駆動 IC (Integrated Circuit) 2 1 0 と、を含む。

【0011】

アレイ基板 2 は、各画素 P X を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。アレイ基板 2 は、基板 2 1 を基体として形成され、基板 2 1 上に複数の薄膜トランジスタ、複数の容量及び各種配線等を有する。特に図示しないが、アレイ基板 2 上には、外部の制御基板から各種制御信号及び電力を入力するための配線基板（例えばフレキシブルプリント基板 (FPC)）等が接続されていてもよい。

30

【0012】

なお、以下の説明において、第 1 方向 D x は、基板 2 1 と平行な面内の一方向である。第 2 方向 D y は、基板 2 1 と平行な面内の一方向であり、第 1 方向 D x と直交する方向である。なお、第 2 方向 D y は、第 1 方向 D x と直交しないで交差してもよい。第 3 方向 D z は、第 1 方向 D x 及び第 2 方向 D y と直交する方向であり、基板 2 1 の法線方向である。また、「平面視」とは、第 3 方向 D z から見た場合の位置関係をいう。

40

【0013】

走査線駆動回路 1 2 は、駆動 IC 2 1 0 からの各種制御信号に基づいて複数の走査線（例えば、リセット制御信号線 L 5、書込制御走査線 L 7、初期化制御信号線 L 8（図 4 参照））を駆動する回路である。走査線駆動回路 1 2 は、複数のゲート線を順次又は同時に選択し、選択された走査線にゲート駆動信号を供給する。これにより、走査線駆動回路 1 2 は、ゲート線に接続された複数の画素 P X を選択する。

【0014】

信号線駆動回路 1 3 は、表示領域 A A の信号線（映像信号線 L 2、リセット電源線 L 3

50

及び初期化電源線 L 4 (図 4 参照)) に電位 (映像信号 V S G、リセット電源電位 V r s t、初期化電位 V i n i) を供給して複数の画素 P X を駆動する駆動回路である。発光制御回路 1 4 は、表示領域 A A の走査線 (発光制御走査線 L 6 及び接続制御走査線 L 9 (図 4 参照)) に信号を供給して複数の画素 P X を駆動する駆動回路である。

【 0 0 1 5 】

駆動 I C 2 1 0 は、走査線駆動回路 1 2、信号線駆動回路 1 3 及び発光制御回路 1 4 に制御信号を供給して、複数の画素 P X の表示を制御する回路である。なお、走査線駆動回路 1 2、信号線駆動回路 1 3 及び発光制御回路 1 4 の少なくとも一部は、駆動 I C 2 1 0 と一体に形成されていてもよい。また、駆動 I C 2 1 0 は、アレイ基板 2 上に設けられる。ただし、これに限定されず、駆動 I C 2 1 0 はアレイ基板 2 に接続された配線基板に設けられてもよい。

10

【 0 0 1 6 】

アレイ基板 2 は、表示領域 A A と、周辺領域 G A とを有する。表示領域 A A 内には、複数の画素 P X が設けられている。複数の画素 P X は、表示領域 A A にマトリクス状に配列される。周辺領域 G A は、表示領域 A A の外側の領域であり、複数の画素 P X が設けられない領域である。周辺領域 G A には、走査線駆動回路 1 2、信号線駆動回路 1 3、発光制御回路 1 4 及び駆動 I C 2 1 0 が設けられる。走査線駆動回路 1 2 及び発光制御回路 1 4 は、周辺領域 G A のうち第 2 方向 D y に沿って延在する領域に設けられる。信号線駆動回路 1 3 及び駆動 I C 2 1 0 は、周辺領域 G A のうち第 1 方向 D x に沿って延在する領域に設けられる。なお、走査線駆動回路 1 2 及び発光制御回路 1 4 は、周辺領域 G A の同一辺に沿った領域に設けられていてもよい。

20

【 0 0 1 7 】

なお、以下の説明では、表示領域 A A を 4 分割して、第 1 部分表示領域 A A s 1、第 2 部分表示領域 A A s 2、第 3 部分表示領域 A A s 3 及び第 4 部分表示領域 A A s 4 ごとに表示装置 1 の表示動作を行う例を説明する (図 5 参照) 。

【 0 0 1 8 】

本実施形態では、説明を分かりやすくするために、表示領域 A A を矩形とし、周辺領域 G A を、表示領域 A A の周囲を囲む矩形の枠状としている。ただし、これに限定されず、表示領域 A A は、多角形状でもよく、外周の一部に切り欠き (ノッチ) や曲線部を有する異形状であってもよい。周辺領域 G A も、表示領域 A A の形状に対応して種々の形状に異ならせることができる。

30

【 0 0 1 9 】

図 2 は、実施形態に係る表示装置の画素の一例を示す平面図である。図 2 に示すように、画素 P X は、第 1 副画素 S P X 1、第 2 副画素 S P X 2 及び第 3 副画素 S P X 3 を有する。第 1 副画素 S P X 1、第 2 副画素 S P X 2 及び第 3 副画素 S P X 3 は、それぞれ、発光素子 1 0 0 を備える。発光素子 1 0 0 は、平面視で、3 μ m 以上、300 μ m 以下程度の大きさを有する無機発光ダイオード (L E D : Light Emitting Diode) チップであり、マイクロ L E D と呼ばれる。なお、マイクロ L E D のマイクロは、発光素子 1 0 0 の大きさを限定するものではない。なお、以下の説明では、第 1 副画素 S P X 1、第 2 副画素 S P X 2 及び第 3 副画素 S P X 3 を区別して説明する必要が無い場合には、単に副画素 S P X と表す。また、発光素子 1 0 0 は、各副画素 S P X で中央に配置されているが、図 2 はあくまで模式的に示したものであり、発光素子 1 0 0 の各副画素 S P X での位置は適宜変更することができる。

40

【 0 0 2 0 】

第 1 副画素 S P X 1 は、例えば赤色 (R) を表示する。第 2 副画素 S P X 2 は、例えば緑色 (G) を表示する。第 3 副画素 S P X 3 は、例えば青色 (B) を表示する。第 1 副画素 S P X 1、第 2 副画素 S P X 2 及び第 3 副画素 S P X 3 は、第 1 方向 D x に並んで配置される。ただしこれに限定されず、画素 P X は、他の配列であってもよい。例えば、第 1 副画素 S P X 1 と第 2 副画素 S P X 2 とが第 2 方向 D y に隣り合って配置され、1 つの第 3 副画素 S P X 3 が、第 2 方向 D y に隣り合う第 1 副画素 S P X 1 及び第 2 副画素 S P X

50

2と第1方向Dxに隣り合って配置されていてもよい。また、画素PXは、いわゆるペンタイル配列で構成されてもよい。また、画素PXは、3つの副画素SPXに限定されず、4つ以上の副画素SPXで構成されてもよい。

【0021】

次に、表示装置1の階調制御について説明する。図3は、実施形態に係る表示装置の構成例を示すブロック図である。図3に示すように、表示装置1は、画素回路50と、画素回路50の駆動を制御する駆動信号制御部200と、を有する。画素回路50は、駆動信号(電流)を発光素子100に供給して、発光素子100を駆動する回路である。なお、図3では模式的に1つの画素回路50(発光素子100)を示しているが、複数の画素回路50及び複数の発光素子100は、副画素SPX(図2参照)ごとに設けられ、表示領域AAにマトリクス状に配列される。

10

【0022】

駆動信号制御部200は、階調値解析部201と、駆動階調生成部202と、タイミング信号生成部203と、を含む。階調値解析部201は、外部制御回路から入力された画像信号に基づいて、画素PX(副画素SPX)ごとの階調値(以下、目標輝度レベルと表す場合がある)を演算する回路である。

【0023】

駆動階調生成部202は、階調値解析部201から受け取った目標輝度レベルに基づいて、第1映像信号VSG1及び第2映像信号VSG2を生成する回路である。アレイ基板2の信号線駆動回路13は、駆動階調生成部202から供給された第1映像信号VSG1及び第2映像信号VSG2を画素回路50に出力して、複数の画素PXを目標輝度レベルで駆動する。なお、以下の説明では、第1映像信号VSG1及び第2映像信号VSG2を区別して説明する必要が無い場合には、単に映像信号VSGと表す場合がある。

20

【0024】

タイミング信号生成部203は、外部制御回路から入力された同期信号と、階調値解析部201から受け取った目標輝度レベルに基づいて、タイミング信号を生成する。走査線駆動回路12及び発光制御回路14は、タイミング信号生成部203から供給されたタイミング信号(制御信号)に基づいて、画素回路50に制御信号(書込制御信号SG、発光制御信号BG等)を出力する。

【0025】

第1映像信号VSG1及び第2映像信号VSG2は、発光素子100を点灯させるための所定の信号電位を有する。タイミング信号生成部203から供給されたタイミング信号(制御信号)は、発光制御回路14による発光素子100の点灯期間に関する情報を含む。表示装置1は、各副画素SPXの発光素子100に供給される電流値を制御して階調を表現する方式(以下、電流駆動方式又はアナログ駆動方式と表す)と、発光素子100に供給される電流値を一定としつつ、その点灯時間を制御して階調を表現する方式(以下、PWM駆動方式又はパルス幅変調方式と表す)とを組み合わせて、多階調表示を行うことができる。なお、駆動信号制御部200は、駆動IC210と一体に形成されてもよいし、外部制御回路に設けられていてもよい。

30

【0026】

図4は、画素回路の構成例を示す回路図である。図4に示すように画素回路50は、第1画素回路50aと、第2画素回路50bとを含む。第1画素回路50a及び第2画素回路50bは、1つの発光素子100に接続される。すなわち、第1画素回路50a及び第2画素回路50bは、副画素SPXのそれぞれに設けられる。第1画素回路50aは、電流駆動方式により発光素子100を駆動する回路である。なお、第1画素回路50aは、1画面の表示を行うフレーム期間の一部の期間で、PWM駆動方式により発光素子100を駆動する回路として共用することができる。第2画素回路50bは、PWM駆動方式により発光素子100を駆動する回路である。

40

【0027】

第1画素回路50aは、第1発光制御トランジスタBCT1、第1書込トランジスタS

50

S T 1、第 1 駆動トランジスタ D R T 1、第 1 初期化トランジスタ I S T 1、第 1 リセットトランジスタ R S T 1 及び第 1 接続切換トランジスタ C N T 1 を含む。第 1 画素回路 5 0 a が有する複数の薄膜トランジスタは、それぞれ n 型 T F T (T h i n F i l m T r a n s i s t o r) で構成される。また、第 1 画素回路 5 0 a は、第 1 保持容量 C s 1 及び第 1 付加容量 C a d 1 を含む。

【 0 0 2 8 】

第 1 発光制御トランジスタ B C T 1 のゲートは、第 1 発光制御走査線 L 6 a に接続される。第 1 発光制御走査線 L 6 a には、第 1 発光制御信号 B G 1 が供給される。第 1 発光制御トランジスタ B C T 1 のソース及びドレインの一方は第 1 アノード電源線 L 1 a に接続され、第 1 アノード電源線 L 1 a から電源電圧 P V D D が供給される。第 1 発光制御トランジスタ B C T 1 のソース及びドレインの他方は、第 1 駆動トランジスタ D R T 1 に接続される。第 1 発光制御トランジスタ B C T 1 がオン（導通状態）になると、第 1 駆動トランジスタ D R T 1 に電源電圧 P V D D が供給される。

10

【 0 0 2 9 】

第 1 書込トランジスタ S S T 1 のゲートは、第 1 書込制御走査線 L 7 a に接続される。第 1 書込制御走査線 L 7 a には、第 1 書込制御信号 S G 1 が供給される。第 1 書込トランジスタ S S T 1 のソース及びドレインの一方は、第 1 映像信号線 L 2 a に接続される。第 1 書込トランジスタ S S T 1 のソース及びドレインの他方は、第 1 駆動トランジスタ D R T 1 のゲートに接続される。第 1 書込トランジスタ S S T 1 がオン（導通状態）になると、第 1 映像信号 V S G 1 が信号線駆動回路 1 3 から第 1 駆動トランジスタ D R T 1 のゲートに供給される。

20

【 0 0 3 0 】

ここで、第 1 映像信号 V S G 1 の大きさに応じて駆動トランジスタ D R T のオン状態が変化する。例えば、第 1 映像信号 V S G 1 が発光素子 1 0 0 の最大輝度となる信号電位に対応するものであれば、駆動トランジスタ D R T は第 1 映像信号 V S G 1 の電位に応じてほぼ完全なオン状態となり、電源電圧 P V D D からの電流（所定の固定電位）がほぼそのまま駆動トランジスタ D R T を通過して発光素子 1 0 0 に供給される。他方、第 1 映像信号 V S G 1 が発光素子 1 0 0 の最低輝度、すなわち黒となる信号電位に対応するものであれば、駆動トランジスタ D R T はオフ状態となり、電源電圧 P V D D からの電流は発光素子 1 0 0 に供給されない。

30

【 0 0 3 1 】

このように、第 1 映像信号 V S G 1 の信号電位に応じた大きさで駆動トランジスタ D R T のオン状態が変化し、その結果、電源電圧 P V D D からの電流は駆動トランジスタ D R T のオン状態に応じた分のみが発光素子 1 0 0 に供給される。

【 0 0 3 2 】

第 1 初期化トランジスタ I S T 1 のゲートは、第 1 初期化制御信号線 L 8 a に接続される。第 1 初期化制御信号線 L 8 a には、第 1 初期化制御信号 I G 1 が供給される。第 1 初期化トランジスタ I S T 1 のソース及びドレインの一方は、第 1 初期化電源線 L 4 a に接続される。第 1 初期化トランジスタ I S T 1 のソース及びドレインの他方は、第 1 駆動トランジスタ D R T 1 のゲート、及び、第 1 書込トランジスタ S S T 1 のソース及びドレインの他方に接続される。第 1 初期化電源線 L 4 a には、初期化電位 V i n i が供給される。すなわち、第 1 初期化トランジスタ I S T 1 がオン（導通状態）になると、駆動トランジスタ D R T のゲートには、第 1 初期化トランジスタ I S T 1 を介して初期化電位 V i n i が供給される。

40

【 0 0 3 3 】

第 1 リセットトランジスタ R S T 1 のゲートは、第 1 リセット制御信号線 L 5 a に接続される。第 1 リセット制御信号線 L 5 a には、第 1 リセット制御信号 R G 1 が供給される。第 1 リセットトランジスタ R S T 1 のソース及びドレインの一方は、第 1 リセット電源線 L 3 a に接続される。第 1 リセットトランジスタ R S T 1 のソース及びドレインの他方は、第 1 駆動トランジスタ D R T 1 のソース（出力側のノード N 1）に接続される。第 1

50

リセット電源線 L 3 a には、リセット電源電位 V_{rst} が供給される。すなわち、第 1 リセットトランジスタ RST 1 がオン（導通状態）になると、駆動トランジスタ DRT のソース（出力側のノード N 1）は、第 1 リセットトランジスタ RST 1 を介してリセット電源電位 V_{rst} が供給される。

【 0 0 3 4 】

第 1 接続切換トランジスタ CNT 1 のゲートは、第 1 接続制御走査線 L 9 a に接続される。第 1 接続制御走査線 L 9 a には、第 1 接続制御信号 PWM 1 が供給される。第 1 接続切換トランジスタ CNT 1 のソース及びドレインの一方は、出力側のノード N 1 を介して第 1 駆動トランジスタ DRT 1 のソース（出力側のノード N 1）に接続される。第 1 接続切換トランジスタ CNT 1 のソース及びドレインの他方は、発光素子 100 のアノード 2 3 に接続される。言い換えると、第 1 接続切換トランジスタ CNT 1 は、第 1 駆動トランジスタ DRT 1 と発光素子 100 との間に接続される。

10

【 0 0 3 5 】

発光素子 100 のカソードには、カソード電源線 L 10 を介して電源電圧 P V S S が供給される。発光素子 100 は、理想的にはアノードに供給される電源電圧 P V D D とカソードに供給される電源電圧 P V S S との電位差（ $P V D D - P V S S$ ）により順方向電流（駆動電流）が供給され発光する。

【 0 0 3 6 】

なお、第 1 書込制御走査線 L 7 a、第 1 初期化制御信号線 L 8 a 及び第 1 リセット制御信号線 L 5 a は、図 3 に示す走査線駆動回路 1 2 に接続される。走査線駆動回路 1 2 は、第 1 書込制御走査線 L 7 a、第 1 初期化制御信号線 L 8 a 及び第 1 リセット制御信号線 L 5 a に、各種制御信号を供給する。また、第 1 発光制御走査線 L 6 a 及び第 1 接続制御走査線 L 9 a は、発光制御回路 1 4 に接続される。発光制御回路 1 4 は、第 1 発光制御走査線 L 6 a 及び第 1 接続制御走査線 L 9 a にそれぞれ制御信号を供給する。

20

【 0 0 3 7 】

また、第 1 画素回路 5 0 a が有する第 1 保持容量 C_{s1} は、第 1 駆動トランジスタ DRT 1 のゲートとソース（出力側のノード N 1）との間に形成される容量である。第 1 付加容量 C_{ad1} は、出力側のノード N 1 と第 1 カソード電源線 L 10 a と間に形成される容量である。

【 0 0 3 8 】

第 2 画素回路 5 0 b は、第 2 発光制御トランジスタ BCT 2、第 2 書込トランジスタ SST 2、第 2 駆動トランジスタ DRT 2、第 2 初期化トランジスタ IST 2、第 2 リセットトランジスタ RST 2 及び第 2 接続切換トランジスタ CNT 2 を含む。第 2 画素回路 5 0 b は、第 2 アノード電源線 L 1 b、第 2 映像信号線 L 2 b、第 2 リセット電源線 L 3 b、第 2 初期化電源線 L 4 b、第 2 リセット制御信号線 L 5 b、第 2 発光制御走査線 L 6 b、第 2 書込制御走査線 L 7 b、第 2 初期化制御信号線 L 8 b、第 2 接続制御走査線 L 9 b、第 2 カソード電源線 L 10 b を含む。第 2 画素回路 5 0 b は、第 1 画素回路 5 0 a と類似した構成であり繰り返しの説明は省略する。第 2 画素回路 5 0 b では、第 2 発光制御トランジスタ BCT 2 がオン（導通状態）になると、第 2 駆動トランジスタ DRT 2 に電源電圧 P V D D が供給される。

30

40

【 0 0 3 9 】

第 2 接続切換トランジスタ CNT 2 のゲートは、第 2 接続制御走査線 L 9 b に接続される。第 2 接続制御走査線 L 9 b には、第 2 接続制御信号 PWM 2 が供給される。第 2 接続切換トランジスタ CNT 2 のソース及びドレインの一方は、第 2 駆動トランジスタ DRT 2 に接続される。第 2 接続切換トランジスタ CNT 2 のソース及びドレインの他方は、発光素子 100 のアノード 2 3 に接続される。言い換えると、第 2 接続切換トランジスタ CNT 2 は、第 2 駆動トランジスタ DRT 2 と発光素子 100 との間に接続される。

【 0 0 4 0 】

また、第 2 画素回路 5 0 b は、第 2 保持容量 C_{s2} 及び第 2 付加容量 C_{ad2} を含む。第 2 保持容量 C_{s2} は、第 2 駆動トランジスタ DRT 2 のゲートとソース（出力側のノード N 1）との間に形成される容量である。

50

ドN2)との間に形成される容量である。第2付加容量C_{a d 2}は、出力側のノードN2と第2カソード電源線L10bとの間に形成される容量である。

【0041】

図4では、理解を容易にするために、第1画素回路50aが有する各配線(第1アノード電源線L1aから第1カソード電源線L10a)と、第2画素回路50bが有する各配線(第2アノード電源線L1bから第2カソード電源線L10b)と、を回路ごとに分けて記載している。ただし、図9にて後述するように、第1画素回路50aと、第2画素回路50bとで、配線の一部を共有していてもよい。

【0042】

また、以下の説明では、第1画素回路50aが有する各薄膜トランジスタと、第2画素回路50bが有する各薄膜トランジスタとを区別して説明する必要がある場合には、単に、発光制御トランジスタBCT、書込トランジスタSST、駆動トランジスタDRT、初期化トランジスタIST、リセットトランジスタRST及び接続切換トランジスタCNTと表す場合がある。

10

【0043】

また、第1画素回路50aが有する各配線と、第2画素回路50bが有する各配線とを区別して説明する必要がある場合には、単にアノード電源線L1、映像信号線L2、リセット電源線L3、初期化電源線L4、リセット制御信号線L5、発光制御走査線L6、書込制御走査線L7、初期化制御信号線L8、接続制御走査線L9、カソード電源線L10と表す場合がある。

20

【0044】

また、第1画素回路50aに供給される各制御信号と、第2画素回路50bに供給される各制御信号とを区別して説明する必要がある場合には、単に発光制御信号BG、書込制御信号SG、初期化制御信号IG、リセット制御信号RG、接続制御信号PWMと表す場合がある。

【0045】

図5は、実施形態に係る表示装置の動作例を説明するためのタイミングチャートである。なお、図5では、第1部分表示領域AAs1及び第2部分表示領域AAs2の副画素SPXを駆動する動作を示しているが、第3部分表示領域AAs3以降、最終行の副画素SPXまで継続して駆動される。また、以下の説明では、1行目の副画素SPXから最終行の副画素SPXまでの駆動を行う期間をフレーム期間と表す。

30

【0046】

図5に示すように、期間t1は、第1部分表示領域AAs1の映像信号書込動作期間である。具体的には、期間t1では、走査線駆動回路12及び発光制御回路14から供給される各制御信号により、第1発光制御走査線L6a及び第2発光制御走査線L6bの電位(第1発光制御信号BG1及び第2発光制御信号BG2)がLレベルとなり、書込制御走査線L7-1、L7-2、・・・、L7-270の電位(第1書込制御信号SG1及び第2書込制御信号SG2)がHレベルとなる。

【0047】

期間t1では、第1画素回路50aの第1発光制御トランジスタBCT1及び第2画素回路50bの第2発光制御トランジスタBCT2がオフになる。また、第1画素回路50aの第1書込トランジスタSST1及び第2画素回路50bの第2書込トランジスタSST2がオンになる。期間t1では、第1部分表示領域AAs1に属する書込制御走査線L7が順次走査される。書込制御走査線L7-1は、1行目の副画素SPXに接続された書込制御走査線L7であり、書込制御走査線L7-2は、2行目の副画素SPXに接続された書込制御走査線L7である。第1部分表示領域AAs1は、例えば、書込制御走査線L7-1から書込制御走査線L7-270までを含む領域である。

40

【0048】

以下、図6を参照しつつ、映像信号書込動作期間について詳細に説明する。図6は、図5に示す書込み期間の動作例を説明するためのタイミングチャートである。なお、図6は

50

、図5の期間t4に示す映像信号書込動作期間SWを拡大して示しているが、期間t4の映像信号書込動作期間SWについての説明は、期間t1の映像信号書込動作期間にも適用できる。なお、期間t1の前の期間では、副画素SPXは、前フレームの発光状態を継続している。

【0049】

図6に示すように、期間t11は、駆動トランジスタDRTのソース初期化期間である。具体的には、期間t1では、走査線駆動回路12及び発光制御回路14から供給される各制御信号により、発光制御走査線L6の電位（第1発光制御信号BG1及び第2発光制御信号BG2）がLレベルとなり、リセット制御信号線L5の電位（第1リセット制御信号RG1及び第2リセット制御信号RG2）がHレベルとなる。これにより、発光制御トランジスタBC Tがオフ（非導通状態）となり、リセットトランジスタRSTがオン（導通状態）となる。

10

【0050】

また、映像信号書込動作期間では、期間t11から期間t17に亘って、第1接続制御信号PWM1及び第2接続制御信号PWM2がLレベルとなり、接続切換トランジスタCNTがオフとなる。すなわち、発光素子100の非発光期間である映像信号書込動作期間で、発光素子100は、第1画素回路50a及び第2画素回路50bと非接続となる。これにより、映像信号書込動作期間で第1画素回路50aのノードN1及び第2画素回路50bのノードN2に生じた電位が、発光素子100に印加されることを抑制できる。発光素子100に意図しない逆バイアス電位が印加されることを抑制して、発光素子100の損傷が発生することを抑制できる。

20

【0051】

期間t11では、アノード電源線L1からの電流が発光制御トランジスタBC Tにより遮断され、また、上述したように接続切換トランジスタCNTがオフとなる。発光素子100の発光が停止するとともに、副画素SPX内に残留していた電荷が、リセットトランジスタRSTを通じて外部に流れる。これにより、駆動トランジスタDRTのソースがリセット電源電位Vrstに固定される。

【0052】

次に期間t12は、駆動トランジスタDRTのゲート初期化期間である。具体的には、期間t12では、走査線駆動回路12及び発光制御回路14から供給される各制御信号により、初期化制御信号線L8の電位（第1初期化制御信号IG1及び第2初期化制御信号IG2）がHレベルとなる。初期化トランジスタISTは、オンとなる。第1部分表示領域AAs1に属する副画素SPXにおいて、初期化トランジスタISTを介して駆動トランジスタDRTのゲートが初期化電位Viniに固定される。初期化電位Viniは、リセット電源電位Vrstに対して、駆動トランジスタDRTのしきい値よりも大きい電位を有している。このため、駆動トランジスタDRTはオンとなる。ただし、期間t12では、発光制御トランジスタBC Tがオフの状態を維持しているため、駆動トランジスタDRTには電流が流れない。

30

【0053】

次に、期間t13は、オフセットキャンセル動作期間である。具体的には、期間t13では、走査線駆動回路12及び発光制御回路14から供給される各制御信号により、発光制御走査線L6の電位（第1発光制御信号BG1及び第2発光制御信号BG2）がHレベルとなり、リセット制御信号線L5の電位（第1リセット制御信号RG1及び第2リセット制御信号RG2）がLレベルとなる。これにより、発光制御トランジスタBC Tがオンとなり、リセットトランジスタRSTがオフとなる。

40

【0054】

駆動トランジスタDRTは、期間t12の動作によりオン状態となっている。このため、アノード電源線L1（電源電圧PVDD）から、発光制御トランジスタBC Tを介して駆動トランジスタDRTに電流が供給される。

【0055】

50

この段階では、接続切換トランジスタCNTがオフであり、発光素子100側には電流が流れない。したがって、電源電圧P V D Dによって駆動トランジスタD R Tのソースが充電され、ソースの電位が上昇する。駆動トランジスタD R Tのゲート電位は、初期化電位V i n iとなっている。このため、駆動トランジスタD R Tのソース電位が(V i n i - V t h)となった段階で駆動トランジスタD R Tがオフになり、電位の上昇が停止する。ここで、V t hは、駆動トランジスタD R Tのしきい値電圧V t hである。

【0056】

しきい値電圧V t hは、副画素S P Xごと(及び画素回路50ごと)にばらつきがある。このため、電位の上昇が停止したときの駆動トランジスタD R Tのソースの電位は、副画素S P Xごと(及び画素回路50ごと)に異なる。つまり、期間t 1 3の動作によって、各副画素S P Xで、駆動トランジスタD R Tのしきい値電圧V t hに相当する電圧が取得される。

10

【0057】

次に、期間t 1 4及び期間t 1 5で、初期化トランジスタI S T及び発光制御トランジスタB C Tが順次オフとなる。次の期間t 1 6では、走査線駆動回路1 2及び発光制御回路1 4から供給される各制御信号により、書込制御走査線L 7の電位(第1書込制御信号S G 1及び第2書込制御信号S G 2)がHレベルとなる。

【0058】

これにより、発光制御トランジスタB C Tがオフになり、初期化トランジスタI S Tがオフになり、書込トランジスタS S Tがオンになる。期間t 1 6では、第1部分表示領域A A s 1に属する副画素S P Xにおいて、映像信号V S Gが駆動トランジスタD R Tのゲートに入力される。駆動トランジスタD R Tのゲート電位は、初期化電位V i n iから映像信号V S Gの電位に変化する。一方、駆動トランジスタD R Tのソースの電位は、(V i n i - V t h)を維持している。この結果、駆動トランジスタD R Tのゲートとソースとの間の電圧は、(V S G - (V i n i - V t h))となり、副画素S P X間のしきい値電圧V t hのばらつきが反映されたものとなる。

20

【0059】

図5に戻って、上述した映像信号書込動作期間の動作により、期間t 1では、Hレベルとなる書込制御走査線L 7に属する副画素S P Xにおいて、第1映像信号V S G 1 - 1が第1画素回路50 aの第1駆動トランジスタD R T 1のゲートに入力される。期間t 1の映像信号書込動作により、第1駆動トランジスタD R T 1のゲート電位は、第1映像信号V S G 1 - 1の電位に変化する。同じ期間に、第2映像信号V S G 2 - 1が第2画素回路50 bの第2駆動トランジスタD R T 2のゲートに入力される。第2駆動トランジスタD R T 2のゲート電位は、第2映像信号V S G 2 - 1の電位に変化する。

30

【0060】

ここで、図5に示すように、当該期間t 1の後に続く期間t 1 a、t 1 bは、第1映像信号V S G 1 - 1及び第2映像信号V S G 2 - 1に基づく表示がともに所謂P W M駆動方式による表示となる。

【0061】

次に、期間t 1の後の、期間t 1 a、t 1 bは、発光動作期間である。期間t 1 a、t 1 bは、第1映像信号V S G 1 - 1及び第2映像信号V S G 2 - 1に基づいて、いわゆるP W M駆動方式による表示が実行される。P W M駆動方式は、発光制御回路1 4から各発光制御走査線L 6に出力される発光制御信号B Gのパルス幅の長さに応じてその発光素子100の階調を表現するものである。P W M駆動方式において発光素子100を点灯する場合、その明るさは当該発光素子100の最大輝度であることが好ましい。したがって、本実施例では、期間t 1に入力される映像信号は、いずれも所謂当該発光素子100の最大輝度に対応した映像信号V S G(信号電位)である。このように、P W M駆動方式の期間においては、発光素子100の階調は最大輝度か輝度0で制御される。以下、このようにP W M駆動方式による表示期間に供給される映像信号V S Gをデジタル信号と表現することがある。

40

50

【 0 0 6 2 】

具体的には、期間 $t_1 a$ では、走査線駆動回路 1 2 及び発光制御回路 1 4 から供給される各制御信号により、第 1 発光制御走査線 L 6 a に供給される第 1 発光制御信号 B G 1 が H レベルとなり、第 2 発光制御走査線 L 6 b に供給される第 2 発光制御信号 B G 2 が L レベルとなる。また、第 1 部分表示領域 A A s 1 の書込制御走査線 L 7 - 1、L 7 - 2、
 . . .、L 7 - 2 7 0 は L レベルとなる。

【 0 0 6 3 】

これにより、第 1 画素回路 5 0 a の第 1 発光制御トランジスタ B C T 1 がオンになり、第 1 書込トランジスタ S S T 1 がオフになる。さらに、発光動作期間では、第 1 接続切換トランジスタ C N T 1 がオンになる。第 1 発光制御トランジスタ B C T 1 を介して第 1 駆動トランジスタ D R T 1 に電源電圧 P V D D が供給される。第 1 駆動トランジスタ D R T 1 は、期間 t_1 で設定されたゲート - ソース間の電圧に応じた電流を、発光素子 1 0 0 に供給する。すなわち、第 1 駆動トランジスタ D R T 1 は、映像信号によってほぼ完全なオン状態となっており、発光素子 1 0 0 は、P V D D - P V S S の電位差による最大輝度で発光する。

10

【 0 0 6 4 】

期間 $t_1 a$ で、第 1 発光制御トランジスタ B C T 1 がオンになる期間（パルス幅）は、最大点灯輝度に対して 1 2 . 5 % の目標輝度レベルとなる期間に設定される。なお、期間 $t_1 a$ では、第 2 画素回路 5 0 b の第 2 発光制御トランジスタ B C T 2 がオフであるため、第 2 駆動トランジスタ D R T 2 から発光素子 1 0 0 には電流が流れない。ただし、第 2 駆動トランジスタ D R T 2 のゲートとソースとの間の電圧は、第 2 保持容量 C s 2 によって保持される。また、期間 $t_1 a$ では、第 2 画素回路 5 0 b の第 2 接続切換トランジスタ C N T 2 がオフであるため、第 1 駆動トランジスタ D R T 1 からの電流による、第 2 駆動トランジスタ D R T 2 のゲート - ソース間の電圧の変動が抑制される。

20

【 0 0 6 5 】

次に、期間 $t_1 b$ では、走査線駆動回路 1 2 及び発光制御回路 1 4 から供給される各制御信号により、第 1 発光制御走査線 L 6 a に供給される第 1 発光制御信号 B G 1 は L レベルとなり、第 2 発光制御走査線 L 6 b に供給される第 2 発光制御信号 B G 2 は H レベルとなる。また、第 1 部分表示領域 A A s 1 の書込制御走査線 L 7 - 1、L 7 - 2、
 . . .、L 7 - 2 7 0 は L レベルを維持している。

30

【 0 0 6 6 】

これにより、第 2 画素回路 5 0 b の第 2 発光制御トランジスタ B C T 2 がオンになり、第 2 書込トランジスタ S S T 2 がオフになる。さらに、第 2 接続切換トランジスタ C N T 2 がオンになる。第 2 発光制御トランジスタ B C T 2 を介して第 2 駆動トランジスタ D R T 2 に電源電圧 P V D D が供給される。第 2 駆動トランジスタ D R T 2 は、期間 t_1 で設定されたゲート - ソース間の電圧に応じた電流を、発光素子 1 0 0 に供給する。すなわち、第 2 駆動トランジスタ D R T 2 は、デジタル信号によってほぼ完全なオン状態となっており、発光素子 1 0 0 は、P V D D - P V S S の電位差に基づく最大輝度で発光する。

【 0 0 6 7 】

期間 $t_1 b$ では、第 2 発光制御トランジスタ B C T 2 がオンになる期間（パルス幅）は、最大点灯輝度に対して 5 0 % の目標輝度レベルとなる期間に設定される。すなわち、期間 $t_1 b$ は、期間 $t_1 a$ よりも長い期間であって、本実施例では期間 $t_1 b$ は期間 $t_1 a$ の 4 倍に相当する。なお、期間 $t_1 b$ では、第 1 画素回路 5 0 a の第 1 発光制御トランジスタ B C T 1 がオフであるため、第 1 駆動トランジスタ D R T 1 から発光素子 1 0 0 には電流が流れない。また、期間 $t_1 b$ では、第 1 画素回路 5 0 a の第 1 接続切換トランジスタ C N T 1 がオフであるため、第 2 駆動トランジスタ D R T 2 からの電流による、第 1 駆動トランジスタ D R T 1 のゲート - ソース間の電圧の変動が抑制される。

40

【 0 0 6 8 】

発光期間となる期間 $t_1 a$ 、期間 $t_1 b$ においては、いずれも発光素子 1 0 0 は最大輝度で点灯する。他方、期間 $t_1 a$ は期間 $t_1 b$ よりも発光期間が短い。したがって、期間 t

50

1 a、期間 t 1 b における発光素子 1 0 0 のオン/オフを切り替えることによって発光素子 1 0 0 の輝度を変化させることができる。より具体的には、これら期間 t 1 a、期間 t 1 b において、両方とも発光素子 1 0 0 が最大輝度で点灯していると、表示装置 1 の使用者は、人間の目の積分効果により、期間 t 1 a、期間 t 1 b に亘る期間に発光素子 1 0 0 は最も明るい輝度で点灯していると視認する（この時の輝度を輝度 A とする）。

【 0 0 6 9 】

一方、これら期間 t 1 a、期間 t 1 b において、期間 t 1 b のみで発光素子 1 0 0 が点灯しているとすると、たとえ期間 t 1 b において発光素子 1 0 0 が最大輝度で点灯しているとしても、時間軸方向の積分効果により、期間 t 1 a、期間 t 1 b に亘る期間全体で見た場合には輝度 A よりも暗くなり、使用者は輝度 A よりも暗い輝度 B で発光素子 1 0 0 は点灯していると視認する。

10

【 0 0 7 0 】

また、期間 t 1 a、期間 t 1 b において、期間 t 1 a のみで発光素子 1 0 0 が点灯しているとする、たとえ期間 t 1 a において発光素子 1 0 0 が最大輝度で点灯しているとしても、時間軸方向の積分効果により、期間 t 1 a、期間 t 1 b に亘る期間全体で見た場合には輝度 B よりも暗くなり、使用者は輝度 B よりも暗い輝度 C で発光素子 1 0 0 は点灯していると視認する。このように、P W M 駆動方式においては、発光素子 1 0 0 の点灯期間の長さに応じて輝度を変化させる。

【 0 0 7 1 】

期間 t 1 a、t 1 b と重なる期間 t 2 から期間 t 3 では、第 2 部分表示領域 A A s 2 から第 4 部分表示領域 A A s 4 の映像信号書込動作が順次実行される。また期間 t 2 a、t 2 b、t 5 a、t 5 b では、第 2 部分表示領域 A A s 2 の発光動作が第 1 部分表示領域 A A s 1 と同様に実行される。

20

【 0 0 7 2 】

期間 t 4 では、期間 t 1 と同様に、第 1 部分表示領域 A A s 1 の映像信号書込動作が実行される。期間 t 4 の映像信号書込動作により、第 1 駆動トランジスタ D R T 1 のゲート電位は、第 1 映像信号 V S G 1 - 2 の電位に変化する。第 2 駆動トランジスタ D R T 2 のゲート電位は、第 2 映像信号 V S G 2 - 2 の電位に変化する。

【 0 0 7 3 】

次に、期間 t 4 a では、走査線駆動回路 1 2 及び発光制御回路 1 4 から供給される各制御信号により、第 1 発光制御走査線 L 6 a に供給される第 1 発光制御信号 B G 1 が L レベルとなり、第 2 発光制御走査線 L 6 b に供給される第 2 発光制御信号 B G 2 が H レベルとなる。また、第 1 部分表示領域 A A s 1 の書込制御走査線 L 7 - 1、L 7 - 2、・・・、L 7 - 2 7 0 が L レベルとなる。なお、期間 t 4 a での第 2 画素回路 5 0 b の各トランジスタの動作は、上述した期間 t 1 b と同様であり繰り返しの説明は省略する。

30

【 0 0 7 4 】

ここで、図 5 に示すように、期間 t 4 の後に続く期間 t 4 a は P W M 駆動方式による表示の一期間である。一方、期間 t 4 b はアナログ階調による表示期間である。アナログ階調による表示とは、点灯期間を所定期間に固定する一方、画素信号（映像信号 V S G）はアナログ電位であって、アナログ電位に応じて駆動トランジスタ D R T のゲートのオン状態が調整され、電源電圧 P V D D から発光素子 1 0 0 に至る電流はゲートのオン状態に応じた大きさとなる。これによって、発光素子 1 0 0 の輝度が画素信号（映像信号 V S G）のアナログ電位に応じた明るさとなる。より具体的には、アナログ電位の画素信号（映像信号 V S G）に基づく発光素子 1 0 0 の明るさは、輝度 0 から所定の輝度まで明るさのうちのいずれかの明るさを有する。別言すると、当該期間をもし P W M 駆動方式期間とすると当該期間に亘って最大輝度か輝度 0 でしか発光素子 1 0 0 は発光しないところ、アナログ階調による表示期間においては、発光素子 1 0 0 は、アナログ電位による階調表現によって輝度 0 から最大輝度の間のいずれかの輝度で発光する。以下、アナログ階調による表示をアナログ駆動方式という場合がある。

40

【 0 0 7 5 】

50

なお、アナログ駆動方式による表示期間に画素回路 50 に供給される画素信号は所謂 0 ~ 255 の階調に対応したものが設定可能であるが、本実施例においては、当該アナログ電位に基づく階調表現を行う期間が全体の点灯期間の 12.5%であることを考慮すると、当該画素信号による輝度表現としては 0 ~ 32 階調程度である。

【0076】

期間 t4a では、第 2 発光制御トランジスタ BCT2 がオンになる期間（パルス幅）は、最大点灯輝度に対して 25% の目標輝度レベルとなる期間に設定される。なお、期間 t4a では、第 1 画素回路 50a の第 1 発光制御トランジスタ BCT1 がオフであるため、第 1 駆動トランジスタ DRT1 から発光素子 100 には電流が流れない。

【0077】

次に、期間 t4b では、走査線駆動回路 12 及び発光制御回路 14 から供給される各制御信号により、第 1 発光制御走査線 L6a に供給される第 1 発光制御信号 BG1 が H レベルとなり、第 2 発光制御走査線 L6b に供給される第 2 発光制御信号 BG2 が L レベルとなる。また、第 1 部分表示領域 AAs1 の書込制御走査線 L7-1、L7-2、・・・、L7-270 が L レベルを維持している。なお、期間 t4b での第 1 画素回路 50a の各トランジスタの動作は、上述した期間 t1a と同様であり繰り返しの説明は省略する。

【0078】

期間 t4b では、第 1 駆動トランジスタ DRT1 から、アナログ信号である第 1 映像信号 VSG1-2 に応じた電流（第 1 駆動電流）が発光素子 100 に供給される。また、第 1 発光制御トランジスタ BCT1 がオンになる期間（パルス幅）は、最大点灯輝度に対して 12.5% の目標輝度レベルとなる期間に固定される。期間 t4b での第 1 映像信号 VSG1-2 の電位は、駆動信号制御部 200 により副画素 SPX ごとに設定される。なお、期間 t4b では、第 2 画素回路 50b の第 2 発光制御トランジスタ BCT2 がオフであるため、第 2 駆動トランジスタ DRT2 から発光素子 100 には電流が流れない。

【0079】

以上の動作を第 2 部分表示領域 AAs2 から第 4 部分表示領域 AAs4 まで完了すると、1 フレーム分の画像の表示が行われる。

【0080】

駆動信号制御部 200（図 3 参照）は、期間 t1a、t1b 及び期間 t4a、t4b の各発光動作期間の合計により、発光素子 100 の輝度（階調）を制御することができる。より具体的には、デジタル電位の映像信号（第 1 映像信号 VSG1-1、第 2 映像信号 VSG2-1、VSG2-2）に基づく PWM 駆動方式による表示期間によって当該光学素子の輝度の 87.5% が構成され、アナログ電位の映像信号（第 1 映像信号 VSG1-2）によって残りの 12.5% の輝度が構成される。また、アナログ電位に応じて当該 12.5% の輝度は明るさをより細かく設定できる。このため、これら PWM 駆動方式期間とアナログ駆動方式期間とを組み合わせることで、きわめて細やかな階調表現を実現できる。

【0081】

例えば、図 5 に示す例では、期間 t1a、t1b 及び期間 t4a、t4b の全期間で発光素子 100 に電流が流れ、輝度 100% を表示する場合を示す。ただし、駆動信号制御部 200（図 3 参照）は、期間 t1a、t1b 及び期間 t4a、t4b の点灯のオンオフを制御することで、映像信号 VSG に応じた長さの期間で、固定電流を発光素子 100 に供給する。かつ、期間 t4b での電流（第 1 映像信号 VSG1-2）を調整することで、適切に輝度（階調）を制御することができる。

【0082】

また、発光期間では、第 1 接続切換トランジスタ CNT1 は、第 1 発光制御トランジスタ BCT1 と同期してオンオフ制御がなされる。第 2 接続切換トランジスタ CNT2 は、第 2 発光制御トランジスタ BCT2 と同期してオンオフ制御がなされる。これにより、期間 t1a、t1b 及び期間 t4a、t4b の各期間では、発光素子 100 は、第 1 画素回路 50a 及び第 2 画素回路 50b の一方と接続され、第 1 画素回路 50a 及び第 2 画素回路 50b の他方と非接続とされる。

10

20

30

40

50

【 0 0 8 3 】

図 7 は、表示輝度レベルごとの、電流駆動方式及び P W M 駆動方式の組合せの一例を説明するための説明図である。図 7 に示すように、目標輝度レベルが 0 % よりも大きく、12.5 % 以下の範囲では、駆動信号制御部 200 は、期間 t 4 b で第 1 発光制御トランジスタ B C T 1 をオンにして、電流（第 1 映像信号 V S G 1 - 2）を発光素子 100 に供給して、点灯輝度レベルに調整する。つまり、駆動信号制御部 200 は、期間 t 1 a、t 1 b 及び期間 t 4 a で第 1 発光制御トランジスタ B C T 1 及び第 2 発光制御トランジスタ B C T 2 をオフにする。つまり、上記では、期間 t 1 a、t 1 b 及び期間 t 4 a で、発光素子 100 がオフ（非発光）である。

【 0 0 8 4 】

目標輝度レベルが 12.5 % よりも大きく、25 % 以下の範囲では、駆動信号制御部 200 は、期間 t 1 a で第 1 発光制御トランジスタ B C T 1 をオンにして、12.5 % の目標輝度レベルに対応する長さの期間で、電流（第 1 映像信号 V S G 1 - 1）を発光素子 100 に供給する。また、駆動信号制御部 200 は、期間 t 4 b で第 1 発光制御トランジスタ B C T 1 をオンにして、電流（第 1 映像信号 V S G 1 - 2）を発光素子 100 に供給して、12.5 % から 25 % 以下の範囲の点灯輝度レベルを調整する。つまり、駆動信号制御部 200 は、期間 t 1 b 及び期間 t 4 a で第 1 発光制御トランジスタ B C T 1 及び第 2 発光制御トランジスタ B C T 2 をオフにする。つまり、上記では、期間 t 1 b 及び期間 t 4 a で、発光素子 100 がオフ（非発光）である。

【 0 0 8 5 】

目標輝度レベルが 25 % よりも大きく、37.5 % 以下の範囲では、駆動信号制御部 200 は、期間 t 4 a で第 2 発光制御トランジスタ B C T 2 をオンにして、25 % の目標輝度レベルに対応する長さの期間で、電流（第 2 映像信号 V S G 2 - 2）を発光素子 100 に供給する。また、駆動信号制御部 200 は、期間 t 4 b で第 1 発光制御トランジスタ B C T 1 をオンにして、電流（第 1 映像信号 V S G 1 - 2）を発光素子 100 に供給して、25 % から 37.5 % 以下の範囲の点灯輝度レベルを調整する。つまり、駆動信号制御部 200 は、期間 t 1 a 及び期間 t 1 b で第 1 発光制御トランジスタ B C T 1 及び第 2 発光制御トランジスタ B C T 2 をオフにする。つまり、上記では、期間 t 1 a、t 1 b で、発光素子 100 がオフ（非発光）である。

【 0 0 8 6 】

目標輝度レベルが 37.5 % よりも大きく、50 % 以下の範囲では、駆動信号制御部 200 は、期間 t 1 a 及び期間 t 4 a で、それぞれ第 1 発光制御トランジスタ B C T 1 及び第 2 発光制御トランジスタ B C T 2 をオンにして、12.5 % の目標輝度レベルに対応する長さの期間及び 25 % の目標輝度レベルに対応する長さの期間で、電流（第 1 映像信号 V S G 1 - 1、第 2 映像信号 V S G 2 - 2）を発光素子 100 に供給する。また、駆動信号制御部 200 は、期間 t 4 b で第 1 発光制御トランジスタ B C T 1 をオンにして、電流（第 1 映像信号 V S G 1 - 2）を発光素子 100 に供給して、37.5 % から 50 % 以下の範囲の点灯輝度レベルを調整する。つまり、駆動信号制御部 200 は、期間 t 1 b で第 1 発光制御トランジスタ B C T 1 及び第 2 発光制御トランジスタ B C T 2 をオフとする。つまり、上記では、期間 t 1 b で、発光素子 100 がオフ（非発光）である。

【 0 0 8 7 】

以下同様に、駆動信号制御部 200 は、電流（第 1 映像信号 V S G 1 - 1、第 2 映像信号 V S G 2 - 1、V S G 2 - 2）と電流（第 1 映像信号 V S G 1 - 2）とを組み合わせ、点灯輝度レベルの表示を実現できる。

【 0 0 8 8 】

次に、複数の副画素 S P X での、第 1 画素回路 50 a 及び第 2 画素回路 50 b の構成例について説明する。図 8 は、実施形態に係る複数の副画素の、第 1 画素回路及び第 2 画素回路の配置関係を説明するための説明図である。なお、図 8 では、第 1 副画素 S P X 1、第 2 副画素 S P X 2 及び第 3 副画素 S P X 3 のそれぞれにハッチングを付けて示している。また、各副画素 S P X に示す L 字パターンは、複数の副画素 S P X が有する各トランジ

10

20

30

40

50

スタ及び各配線の配置関係（配置の対称性）を模式的に説明するためのものであり、実際の各トランジスタ及び各配線の配置パターンや形状を表すものではない。

【0089】

図8に示すように、複数の画素PXは第1方向Dxに配列される。第1方向Dxで、第1副画素SPX1、第2副画素SPX2、第3副画素SPX3、第1副画素SPX1、第2副画素SPX2及び第3副画素SPX3の順に繰り返し配列される。また、各副画素SPXで、第1画素回路50a及び第2画素回路50bは、第2方向Dyに隣り合って配置される。

【0090】

L字パターンで模式的に示すように、1つの副画素SPXで、第1画素回路50aの各トランジスタ及び各配線の配置パターンは、第2画素回路50bの各トランジスタ及び各配線の配置パターンと、第1方向Dxに平行な対称軸で、線対称に配置される。図8に示す例では、1つの副画素SPXで、第1画素回路50aの各トランジスタ及び各配線の配置パターンは、第2画素回路50bの各トランジスタ及び各配線の配置パターンに対して上下反転された配置パターンとなる。

10

【0091】

第1方向Dxに隣接する2つの副画素SPX（例えば図8の最も左側の第1副画素SPX1と、これに隣接する第2副画素SPX2）で、一方の副画素SPX（第1副画素SPX1）の第1画素回路50a及び第2画素回路50bと、他方の副画素SPX（第2副画素SPX2）の第1画素回路50a及び第2画素回路50bとは、第2方向Dyに平行な対称軸に対して線対称に配置される。図8に示す例では、隣接する2つの副画素SPXで、第1画素回路50a及び第2画素回路50bの各トランジスタ及び各配線の配置パターンは、左右反転された配置パターンとなる。

20

【0092】

また、第1方向Dxに隣接する2つの画素PXに着目すると、一方の画素PX（図8の左側の画素PX）の第1副画素SPX1と、他方の画素PX（図8の右側の画素PX）の第1副画素SPX1とは、左右反転された配置パターンとなる。すなわち、第1方向Dxで、第1副画素SPX1、第2副画素SPX2、第3副画素SPX3、第1副画素SPX1、第2副画素SPX2及び第3副画素SPX3の順に繰り返し配列され、第2副画素SPX2及び第3副画素SPX3を挟んで隣り合う2つの第1副画素SPX1で、一方の第1副画素SPX1の第1画素回路50a及び第2画素回路50bと、他方の第1副画素SPX1の第1画素回路50a及び第2画素回路50bとは、第2方向Dyに平行な対称軸に対して線対称に配置される。

30

【0093】

このように、隣接する副画素SPXで各トランジスタ及び各配線の配置パターンを反転して形成することで、隣接する副画素SPXで配線を共有することができ、複数の副画素SPXの配置ピッチを小さくすることができる。また、第2方向Dyで隣接する第1画素回路50a及び第2画素回路50bで各トランジスタ及び各配線の配置パターンを反転して形成することで、隣接する第1画素回路50a及び第2画素回路50bで配線を共有することができ、1つの副画素SPXで効率よく第1画素回路50a及び第2画素回路50bを配置することができる。

40

【0094】

図9は、実施形態に係る複数の副画素の構成例を模式的に示す平面図である。図9では、第1方向Dxに配列された第1副画素SPX1、第2副画素SPX2及び第3副画素SPX3の構成例を示す。なお、図9に示す第1画素回路50a及び第2画素回路50bの各トランジスタ及び各配線の電気的な接続関係は、図4にて上述した内容と同様であり、重複する説明は省略する。

【0095】

図9に示すように、1つの副画素SPX（例えば第1副画素SPX1）に着目すると、第1画素回路50aの各トランジスタと、第2画素回路50bの各トランジスタは、第1

50

方向 D x に平行な対称軸 Q 1 に対して、線対称に配置される。より詳細には、第 1 画素回路 5 0 a では、対称軸 Q 1 から第 2 方向 D y の一方（図 9 の上側）に向かって、第 1 リセットトランジスタ R S T 1、第 1 接続切換トランジスタ C N T 1、第 1 駆動トランジスタ D R T 1、第 1 発光制御トランジスタ B C T 1、第 1 書込トランジスタ S S T 1 及び第 1 初期化トランジスタ I S T 1 の順に配列される。

【 0 0 9 6 】

第 2 画素回路 5 0 b では、対称軸 Q 1 から第 2 方向 D y の他方（図 9 の下側）に向かって、第 2 リセットトランジスタ R S T 2、第 2 接続切換トランジスタ C N T 2、第 2 駆動トランジスタ D R T 2、第 2 発光制御トランジスタ B C T 2、第 2 書込トランジスタ S S T 2 及び第 2 初期化トランジスタ I S T 2 の順に配列される。

10

【 0 0 9 7 】

発光素子 1 0 0（図 9 では図示を省略する）は、コンタクト部 C H 1 を介して第 1 接続切換トランジスタ C N T 1 に接続され、かつ、コンタクト部 C H 2 を介して第 2 接続切換トランジスタ C N T 2 に接続される。

【 0 0 9 8 】

また、第 1 画素回路 5 0 a の各配線と、第 2 画素回路 5 0 b の各配線は、第 1 方向 D x に平行な対称軸 Q 1 に対して、線対称に配置される。より詳細には、第 1 画素回路 5 0 a では、対称軸 Q 1 から第 2 方向 D y の一方（図 9 の上側）に向かって、リセット制御信号線 L 5、第 1 接続制御走査線 L 9 a、第 1 発光制御走査線 L 6 a、第 1 書込制御走査線 L 7 a、第 1 初期化制御信号線 L 8 a の順に配列される。

20

【 0 0 9 9 】

第 2 画素回路 5 0 b では、対称軸 Q 1 から第 2 方向 D y の他方（図 9 の下側）に向かって、リセット制御信号線 L 5、第 2 接続制御走査線 L 9 b、第 2 発光制御走査線 L 6 b、第 2 書込制御走査線 L 7 b、第 2 初期化制御信号線 L 8 b の順に配列される。

【 0 1 0 0 】

図 9 に示すように、1 つのリセット制御信号線 L 5 は、第 1 画素回路 5 0 a と第 2 画素回路 5 0 b とで共有される。すなわち、第 1 画素回路 5 0 a の第 1 リセットトランジスタ R S T 1 と、第 2 画素回路 5 0 b の第 2 リセットトランジスタ R S T 2 とは、リセット制御信号線 L 5 を挟んで第 2 方向 D y に隣り合って配置される。第 1 画素回路 5 0 a の第 1 リセットトランジスタ R S T 1 のゲート、及び、第 2 画素回路 5 0 b の第 2 リセットトランジスタ R S T 2 のゲートは、共通のリセット制御信号線 L 5 に接続される。

30

【 0 1 0 1 】

次に、第 1 方向 D x に隣接する 2 つの副画素 S P X（例えば第 1 副画素 S P X 1 及び第 2 副画素 S P X 2）に着目すると、一方の副画素 S P X（第 1 副画素 S P X 1）の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b と、他方の副画素 S P X（第 2 副画素 S P X 2）の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b とは、第 2 方向 D y に平行な対称軸 Q 2 に対して線対称に配置される。すなわち、第 1 副画素 S P X 1 の各トランジスタと、第 2 副画素 S P X 2 の各トランジスタとは、対称軸 Q 2 に対して線対称に配置される。なお、対称軸 Q 2 は、第 1 副画素 S P X 1 に接続された第 1 映像信号線 L 2 a と、第 2 副画素 S P X 2 に接続された第 1 映像信号線 L 2 a との間に位置する。

40

【 0 1 0 2 】

すなわち、第 2 副画素 S P X 2 のリセットトランジスタ R S T、接続切換トランジスタ C N T、駆動トランジスタ D R T、発光制御トランジスタ B C T、初期化トランジスタ I S T 及び書込トランジスタ S S T と、第 1 副画素 S P X 1 のリセットトランジスタ R S T、接続切換トランジスタ C N T、駆動トランジスタ D R T、発光制御トランジスタ B C T、初期化トランジスタ I S T 及び書込トランジスタ S S T とは、対称軸 Q 2 に対して左右反転された配置関係を有する。

【 0 1 0 3 】

また、第 1 副画素 S P X 1 は、リセット電源線 L 3、第 2 映像信号線 L 2 b、アノード電源線 L 1 及び第 1 映像信号線 L 2 a を有する。リセット電源線 L 3、第 2 映像信号線 L

50

2 b、アノード電源線 L 1 及び第 1 映像信号線 L 2 a は、この順で第 1 方向 D x に配列される。第 1 方向 D x に隣り合う第 2 映像信号線 L 2 b とアノード電源線 L 1 との間に、接続切換トランジスタ C N T、駆動トランジスタ D R T、発光制御トランジスタ B C T、初期化トランジスタ I S T 及び書込トランジスタ S S T が配置される。また、リセットトランジスタ R S T は、リセット電源線 L 3 と第 2 映像信号線 L 2 b との間に配置される。

【 0 1 0 4 】

リセット電源線 L 3 は、第 1 副画素 S P X 1 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b で共有される。つまり、1 つの第 1 副画素 S P X 1 で、第 1 画素回路 5 0 a の第 1 リセットトランジスタ R S T 1 及び第 2 画素回路 5 0 b の第 2 リセットトランジスタ R S T 2 は、共通のリセット電源線 L 3 に接続される。また、アノード電源線 L 1 は、第 1 副画素 S P X 1 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b で共有される。つまり、1 つの第 1 副画素 S P X 1 で、第 1 画素回路 5 0 a の第 1 発光制御トランジスタ B C T 1 及び第 2 画素回路 5 0 b の第 2 発光制御トランジスタ B C T 2 は、共通のアノード電源線 L 1 に接続される。また、第 1 映像信号線 L 2 a は、第 1 副画素 S P X 1 の第 1 画素回路 5 0 a に対応して設けられる。第 2 映像信号線 L 2 b は、第 1 副画素 S P X 1 の第 2 画素回路 5 0 b に対応して設けられる。

10

【 0 1 0 5 】

第 1 副画素 S P X 1 と第 1 方向 D x に隣接する第 2 副画素 S P X 2 に着目すると、第 2 副画素 S P X 2 は、第 1 映像信号線 L 2 a、アノード電源線 L 1、第 2 映像信号線 L 2 b 及び初期化電源線 L 4 を有する。第 1 映像信号線 L 2 a、アノード電源線 L 1、第 2 映像信号線 L 2 b 及び初期化電源線 L 4 は、この順で第 1 方向 D x に配列される。初期化電源線 L 4 は、第 1 副画素 S P X 1 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b で共有される。また、アノード電源線 L 1 は、第 2 副画素 S P X 2 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b で共有される。第 1 映像信号線 L 2 a は、第 2 副画素 S P X 2 の第 1 画素回路 5 0 a に対応して設けられる。第 2 映像信号線 L 2 b は、第 2 副画素 S P X 2 の第 2 画素回路 5 0 b に対応して設けられる。

20

【 0 1 0 6 】

第 1 副画素 S P X 1 及び第 2 副画素 S P X 2 で、第 1 映像信号線 L 2 a、アノード電源線 L 1 及び第 2 映像信号線 L 2 b は、対称軸 Q 2 に対して線対称に配置される。一方で、第 1 副画素 S P X 1 のリセット電源線 L 3 及び第 2 副画素 S P X 2 の初期化電源線 L 4 は、対称軸 Q 2 に対して非対称に配置される。

30

【 0 1 0 7 】

第 1 副画素 S P X 1 及び第 2 副画素 S P X 2 で、一方の第 1 副画素 S P X 1 は、リセット電源線 L 3 を有し、初期化電源線 L 4 を有さない。また、他方の第 2 副画素 S P X 2 は、リセット電源線 L 3 を有さず、初期化電源線 L 4 を有する。本実施形態では、リセット電源線 L 3 及び初期化電源線 L 4 は、第 1 方向 D x に隣接する 2 つの副画素 S P X で共有される。これにより、各副画素 S P X にリセット電源線 L 3 及び初期化電源線 L 4 を設けた場合に比べて、複数の副画素 S P X の第 1 方向 D x での配置ピッチを小さくすることができる。

【 0 1 0 8 】

第 2 副画素 S P X 2 と第 3 副画素 S P X 3 においても、一方の副画素 S P X (第 2 副画素 S P X 2) の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b と、他方の副画素 S P X (第 3 副画素 S P X 3) の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b とは、第 2 方向 D y に平行な対称軸 Q 3 に対して線対称に配置される。つまり、第 3 副画素 S P X 3 の各トランジスタ及び各配線は、第 1 副画素 S P X 1 と相似となる配置関係を有する。なお、対称軸 Q 3 は、第 2 副画素 S P X 2 側に設けられた初期化電源線 L 4 と、第 3 副画素 S P X 3 側に設けられたリセット電源線 L 3 との間に位置する。

40

【 0 1 0 9 】

第 2 副画素 S P X 2 及び第 3 副画素 S P X 3 に着目すると、1 つの初期化電源線 L 4 は、第 2 副画素 S P X 2 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b と、第 3 副画素 S P

50

X 3 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b とに共有される。つまり、1 つの初期化電源線 L 4 は、4 つの初期化トランジスタ I S T に接続される。

【 0 1 1 0 】

また、1 つのリセット電源線 L 3 は、第 2 副画素 S P X 2 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b と、第 3 副画素 S P X 3 の第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b とに共有される。つまり、1 つのリセット電源線 L 3 は、4 つのリセットトランジスタ R S T に接続される。

【 0 1 1 1 】

以上のような構成により、複数の副画素 S P X が、それぞれ 2 つの画素回路（第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b ）を有する構成であっても、各トランジスタ及び各配線を効率よく配置することができる。

10

【 0 1 1 2 】

なお、図 9 は、あくまでも一例であり、各トランジスタ及び各配線の配置は適宜変更してもよい。例えば、各副画素 S P X が有する各トランジスタのうち一部のトランジスタが非対称となるように配置されてもよい。

【 0 1 1 3 】

以上説明したように、表示装置 1 は、表示領域 A A に配列された複数の発光素子 1 0 0 と、複数の発光素子 1 0 0 のそれぞれに接続された第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b と、第 1 画素回路 5 0 a に設けられ、発光素子 1 0 0 に第 1 駆動電流（第 1 映像信号 V S G 1 - 2 に応じた電流）を供給する第 1 駆動トランジスタ D R T 1 と、第 2 画素回路 5 0 b に設けられ、発光素子 1 0 0 に第 2 駆動電流（例えば、第 2 映像信号 V S G 2 - 2 に応じた電流）を供給する第 2 駆動トランジスタ D R T 2 と、第 1 駆動トランジスタ D R T 1 及び第 2 駆動トランジスタ D R T 2 にそれぞれ映像信号 V S G を供給する駆動回路（信号線駆動回路 1 3 ）と、第 1 駆動トランジスタ D R T 1 と発光素子 1 0 0 との間に設けられた第 1 接続切換トランジスタ C N T 1 と、第 2 駆動トランジスタ D R T 2 と発光素子 1 0 0 との間に設けられた第 2 接続切換トランジスタ C N T 2 と、を有する。第 1 接続切換トランジスタ C N T 1 及び第 2 接続切換トランジスタ C N T 2 は、発光素子 1 0 0 の非発光期間にオフとなる。

20

【 0 1 1 4 】

これによれば、第 1 接続切換トランジスタ C N T 1 及び第 2 接続切換トランジスタ C N T 2 を設けているので、発光素子 1 0 0 の非発光期間（映像信号書込動作期間）で、発光素子 1 0 0 は、第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b と非接続となる。これにより、非発光期間で第 1 画素回路 5 0 a のノード N 1 及び第 2 画素回路 5 0 b のノード N 2 に生じた電位が、発光素子 1 0 0 に印加されることを抑制できる。発光素子 1 0 0 に意図しない逆バイアス電位が印加されることを抑制して、発光素子 1 0 0 の損傷が発生することを抑制できる。

30

【 0 1 1 5 】

また、表示装置 1 において、第 1 画素回路 5 0 a に設けられた第 1 駆動トランジスタ D R T 1 は、映像信号 V S G に応じて設定された第 1 駆動電流（第 1 映像信号 V S G 1 - 2 に応じた電流）を発光素子 1 0 0 に供給し、第 2 画素回路 5 0 b に設けられた第 2 駆動トランジスタ D R T 2 は、映像信号 V S G に応じた長さの期間（期間 t 1 b、t 4 a）で、固定された第 2 駆動電流（例えば、第 2 映像信号 V S G 2 - 1、V S G 2 - 2 に応じた固定電流）を発光素子 1 0 0 に供給する。制御回路（駆動信号制御部 2 0 0）は、第 1 画素回路 5 0 a による発光期間を所定期間に設定すると共に、第 2 画素回路 5 0 b による発光期間を変化させる。

40

【 0 1 1 6 】

これによれば、表示装置 1 は、発光期間の異なる期間 t 1 a、t 1 b、t 4 a の組み合わせによって階調を表現する PWM 駆動方式と、期間 t 4 a における発光素子 1 0 0 への電流量（第 1 映像信号 V S G 1 - 2）を制御して階調を表現するアナログ駆動方式とを組み合わせ、良好に階調制御を実現できる。

50

【 0 1 1 7 】

また、表示装置 1 において、第 1 駆動電流（第 1 映像信号 V S G 1 - 2 に応じた電流）の最大値で規定される最大の低階調値以下の範囲（例えば図 7 の目標輝度レベル 1 2 . 5 % 以下の範囲）では、第 1 駆動電流で発光素子 1 0 0 が駆動される。また、第 1 駆動電流の最大値で規定される最大の階調値よりも大きい高階調側の範囲（例えば図 7 の目標輝度レベル 1 2 . 5 % よりも大きい範囲）では、少なくとも第 2 駆動電流（例えば、第 1 映像信号 V S G 1 - 1、第 2 映像信号 V S G 2 - 1、V S G 2 - 2 に応じた電流の少なくとも 1 つ以上）で発光素子 1 0 0 が駆動される。

【 0 1 1 8 】

これによれば、電流駆動方式で全ての階調を制御する場合に比べて、階調制御範囲を小さくすることができる。また、本実施形態では、高階調側では、P W M 駆動方式の電流値が、電流駆動方式の電流値に比べて大きくなる。このため、電流値のばらつきに起因する発光色度の変化が生じることを抑制できる。

10

【 0 1 1 9 】

また、表示装置 1 において、第 1 駆動トランジスタ D R T 1 及び第 2 駆動トランジスタ D R T 2 は、共通の書込期間（例えば期間 t 1、t 4）で、それぞれ映像信号 V S G が供給され、時分割で、発光素子 1 0 0 に第 1 駆動電流（第 1 映像信号 V S G 1 - 2 に応じた電流）及び第 2 駆動電流（例えば、第 2 映像信号 V S G 2 - 1、V S G 2 - 2 に応じた電流）を供給する。

【 0 1 2 0 】

表示装置 1 は、1 つの発光素子 1 0 0 に、2 つの第 1 画素回路 5 0 a と第 2 画素回路 5 0 b とが設けられるので、同じ書込期間（例えば期間 t 1）で、第 1 画素回路 5 0 a 及び第 2 画素回路 5 0 b の映像信号書込動作を行うことができる。したがって、1 つの画素回路で多階調表示を行う場合に比べて、映像信号書込動作に要する時間を短縮することができる。

20

【 0 1 2 1 】

なお、図 4 から図 7 に示した、画素回路 5 0 及び駆動方法はあくまで一例であり、適宜変更することができる。例えば、表示装置 1 は、3 つの異なる長さの期間 t 1 a、t 1 b、t 2 a（パルス幅）を組み合わせる P W M 駆動方式を実現しているが、これに限定されない。表示装置 1 は、例えば 2 つの異なる期間（パルス幅）あるいは 4 つ以上の異なる期間（パルス幅）を組み合わせる P W M 駆動方式を実現してもよい。

30

【 0 1 2 2 】

また、図 5 に示す如く、P W M 駆動方式による表示期間を比較した場合、第 1 画素回路 5 0 a 側での期間の方が第 2 画素回路 5 0 b 側での期間よりも長い。したがって、第 1 保持容量 C s 1 を第 2 保持容量 C s 2 よりも大きいものとする構成も採用可能である。

【 0 1 2 3 】

以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも 1 つを行うことができる。

40

【 符号の説明 】

【 0 1 2 4 】

- 1 表示装置
- 2 アレイ基板
- 1 2 走査線駆動回路
- 1 3 信号線駆動回路
- 1 4 発光制御回路
- 5 0 画素回路

50

- 5 0 a 第 1 画素回路
- 5 0 b 第 2 画素回路
- 1 0 0 発光素子
- 2 0 0 駆動信号制御部
- D R T 駆動トランジスタ
- B C T 発光制御トランジスタ
- C N T 接続切換トランジスタ
- I S T 初期化トランジスタ
- R S T リセットトランジスタ
- S S T 書込トランジスタ
- S G 書込制御信号
- B G 発光制御信号
- V S G 1 第 1 映像信号
- V S G 2 第 2 映像信号
- I G 初期化制御信号
- R G リセット制御信号
- P W M 接続制御信号
- L 1 アノード電源線
- L 2 映像信号線
- L 3 リセット電源線
- L 5 リセット制御信号線
- S P X 副画素

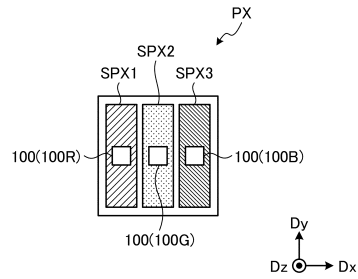
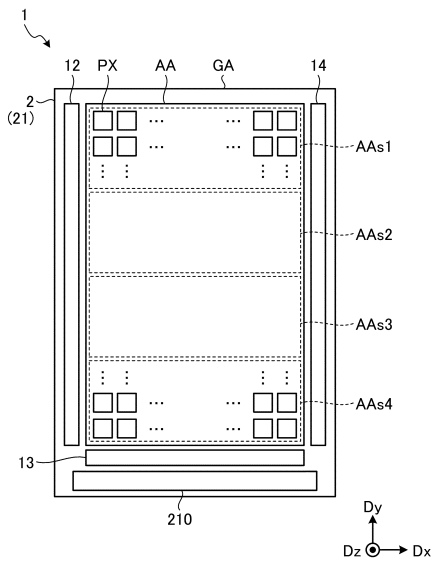
10

20

【図面】

【図 1】

【図 2】

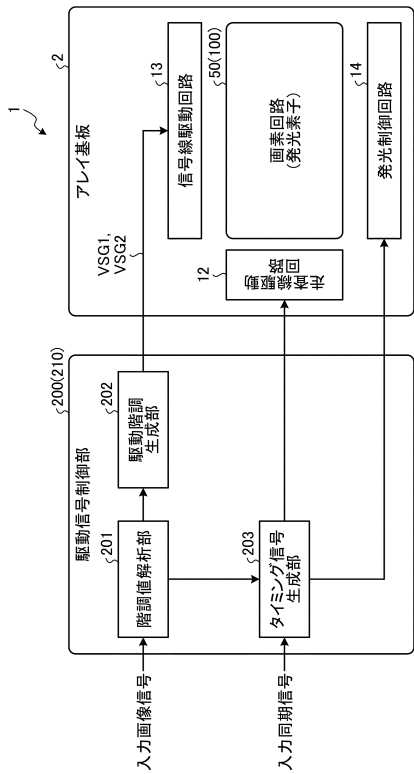


30

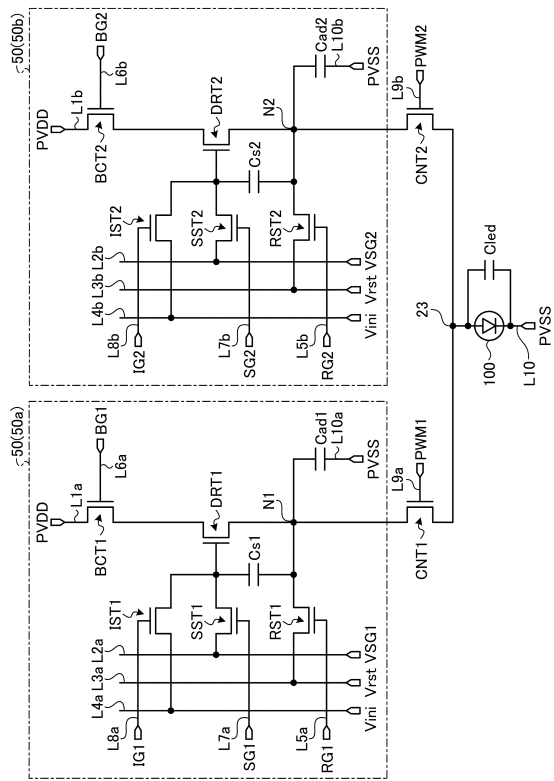
40

50

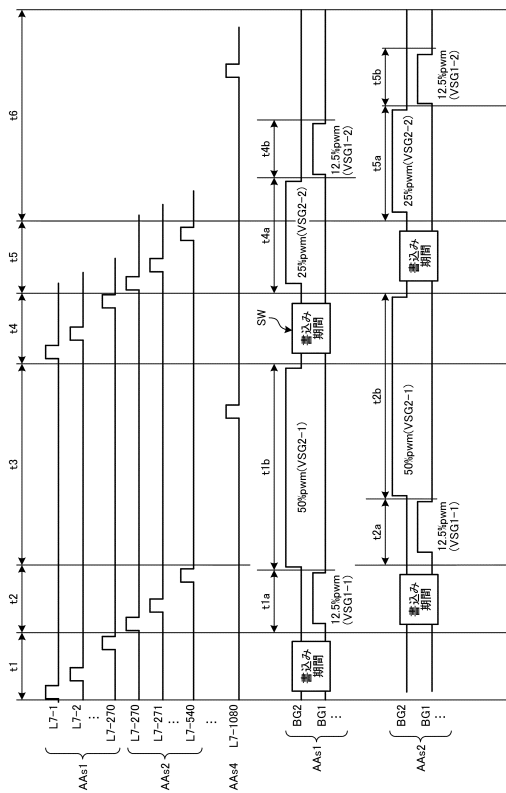
【図 3】



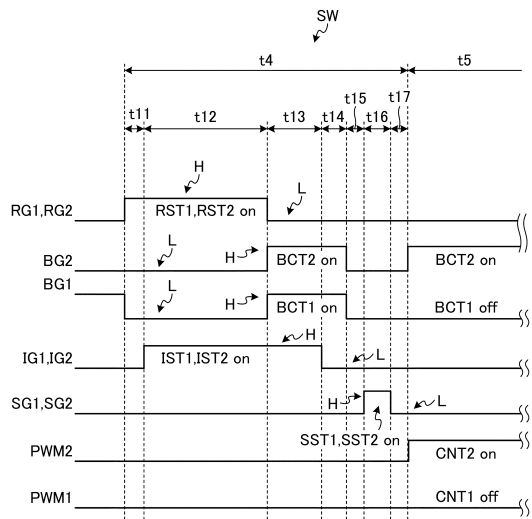
【図 4】



【図 5】



【図 6】



10

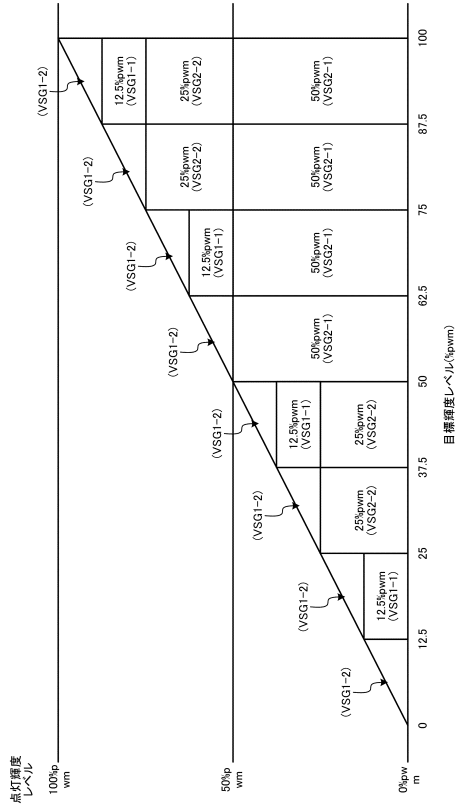
20

30

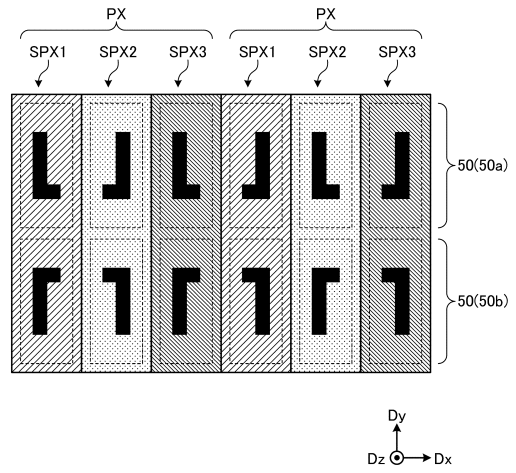
40

50

【図7】



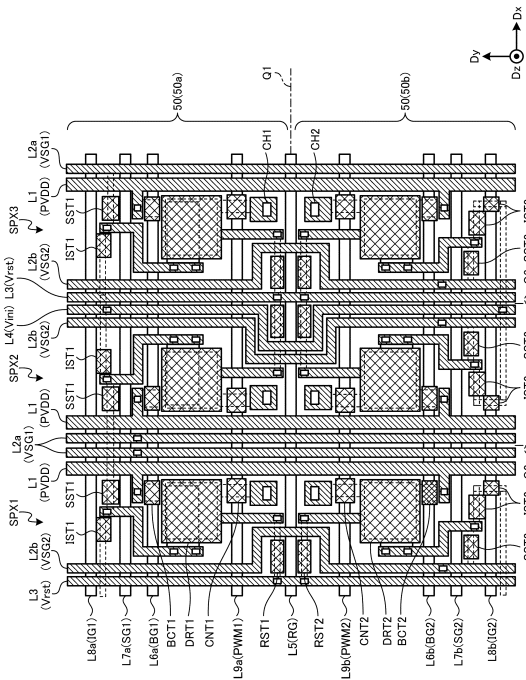
【図8】



10

20

【図9】



30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 1 1 F
G 0 9 G	3/30	K
G 0 9 F	9/302	C

(56)参考文献

特開 2 0 1 8 - 2 0 5 7 0 7 (J P , A)

特開 2 0 0 8 - 2 8 7 1 9 5 (J P , A)

特開 2 0 1 0 - 2 7 6 7 8 3 (J P , A)

国際公開第 2 0 2 1 / 1 7 1 9 2 1 (W O , A 1)

特開 2 0 0 5 - 3 3 8 8 1 1 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 9 F 9 / 3 0 2