

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3662011号

(P3662011)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int. Cl.⁷

H04Q 9/00

F I

H04Q 9/00 341B

請求項の数 10 (全 50 頁)

(21) 出願番号	特願2003-291598 (P2003-291598)	(73) 特許権者	000005821
(22) 出願日	平成15年8月11日(2003.8.11)		松下電器産業株式会社
(65) 公開番号	特開2004-96741 (P2004-96741A)		大阪府門真市大字門真1006番地
(43) 公開日	平成16年3月25日(2004.3.25)	(74) 代理人	100081813
審査請求日	平成15年8月11日(2003.8.11)		弁理士 早瀬 憲一
(31) 優先権主張番号	特願2002-232406 (P2002-232406)	(72) 発明者	富田 泰之
(32) 優先日	平成14年8月9日(2002.8.9)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	森 博伸
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	北村 浩二
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 リモコン受信システム

(57) 【特許請求の範囲】

【請求項1】

ヘッダ部、及び押下されたりモコンボタンに応じたデータ部を有するリモコン信号を受信するリモコン受信回路と、該リモコン受信回路を制御して、該リモコン受信回路において受信したリモコン信号をデコードするCPUと、からなるリモコン受信システムにおいて、

前記リモコン受信回路は、

前記リモコン信号の立上りエッジと立下りエッジを検出するエッジ検出回路と、

前記リモコン信号の立上りエッジから立下りエッジまでの時間間隔、及び立下りエッジから立上りエッジまでの時間間隔をカウントするカウンタ回路と、

前記カウンタ回路のカウント結果から、前記リモコン信号のヘッダ部を検出するヘッダ検出回路と、

前記カウンタ回路のカウント結果から、該リモコン信号のデータ部の0または1を判別し、該判別結果を内蔵レジスタに格納するデータ判別回路と、

前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出されたときに、前記CPUに対して前記リモコン信号のヘッダ部の検出を通知するヘッダ割り込み信号を出力するヘッダ割り込み生成回路と、

前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出された後、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって内蔵レジスタに格納されたときに、前記CPUに対して前記リモコン信号のデータ受信完了を通知する

10

20

データ割り込み信号を出力するデータ割り込み生成回路と、

前記ヘッダ割り込み信号と前記データ割り込み信号のいずれかを、前記CPUの指示により選択するスイッチと、を備え、

前記CPUは、1つの割り込みポートを持ち、該割り込みポートを介して、前記リモコン受信回路の前記スイッチからの割り込み信号を受信して、該受信した割り込み信号に応じて前記リモコン受信回路を制御し、前記スイッチからの前記割り込み信号を一定時間受信しなかった際、前記リモコンボタンがリリースされたと判断する、

ことを特徴とするリモコン受信システム。

【請求項2】

請求項1に記載のリモコン受信システムにおいて、

前記CPUは、当該リモコン受信システムの動作開始時、及び前記リモコンボタンのリリースの検知時に、前記スイッチに対して、前記データ割り込み信号を選択するよう指示する、

ことを特徴とするリモコン受信システム。

【請求項3】

請求項1に記載のリモコン受信システムにおいて、

前記リモコン受信回路が、前記ヘッダ部、及びデータ部を有する前記リモコン信号に続いて、前記データ部が含まれないリピートヘッダ部のみからなるリモコン信号を受信する時、

前記CPUは、前記スイッチに対して、当該リモコン受信システムの動作開始時に、前記データ割り込み信号を選択するよう指示し、前記リモコン受信回路から前記割り込みポートを介して前記データ割り込み信号を受信した後に、前記ヘッダ割り込み信号を選択するよう指示し、前記リモコンボタンのリリース検知時に、再度前記データ割り込み信号を選択するよう指示する、

ことを特徴とするリモコン受信システム。

【請求項4】

請求項1に記載のリモコン受信システムにおいて、

前記データ判別回路は、前記CPUによって予め指示されていたビット数分のデータを前記内蔵レジスタに格納した後、前記ヘッダ検出回路において次のヘッダ部が検出されるまで、該内蔵レジスタに格納されたデータを更新しない、

ことを特徴とするリモコン受信システム。

【請求項5】

請求項1に記載のリモコン受信システムにおいて、

前記データ判別回路は、前記CPUによって予め指示されていたビット数分のデータが前記内蔵レジスタに格納される前に、次のヘッダ部を受信した場合、前記ヘッダ検出回路における該次のヘッダ部の検出を優先させる、

ことを特徴とするリモコン受信システム。

【請求項6】

請求項1に記載のリモコン受信システムにおいて、

前記リモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とからなる場合、

前記リモコン受信回路は、前記内蔵レジスタに格納したデータの前記メインデータ部と前記反転データ部とを比較して、全ビット不一致であれば前記データを有効と判断し、それ以外は前記データを無効と判断する有効性判別回路を備え、

前記データ割り込み生成回路は、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出された後、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され、且つ前記有効性判別回路によって、該内蔵レジスタに格納されたデータが有効と判断されたときに、前記データ割り込み信号を出力する、

ことを特徴とするリモコン受信システム。

10

20

30

40

50

【請求項 7】

請求項 1 に記載のリモコン受信システムにおいて、

前記リモコン受信回路は、前記カウンタ回路のカウント結果から、前記 CPU によって指示された論理レベルが、該 CPU によって予め指示されていた期間より長時間持続したことを検出したときに OFF フラグを立ち上げる OFF 検出回路を備え、

前記 CPU は、前記 OFF フラグが立ち上がった際、前記リモコンボタンがリリースされたと判断する、

ことを特徴とするリモコン受信システム。

【請求項 8】

請求項 1 に記載のリモコン受信システムにおいて、

前記リモコン信号のヘッダ部が、ある論理レベルを一定時間維持する波形と、その反対の論理レベルを一定時間維持する波形とからなる場合、

前記リモコン受信回路が前記リモコン信号のヘッダ部の受信中に、前記カウンタ回路が前記 CPU によって予め指示されていた期間内の論理レベルの変化を検出した時、該カウンタ回路は、前記期間内の論理レベルの変化をノイズとして無視し、論理レベルが変化する前のカウント値からカウントを開始する、

ことを特徴とするリモコン受信システム。

【請求項 9】

請求項 6 に記載のリモコン受信システムにおいて、

前記リモコン受信回路は、

前記 CPU によって予め指示されていた期間になるまでカウントアップしつづけ、前記ヘッダ検出回路において前記リモコン信号の前記ヘッダ部が検出されるか、前記 CPU によって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され且つ該内蔵レジスタに格納された前記データが前記有効性判別回路によって有効と判断されるかの 2 つの条件のうち、前記 CPU によって指示されている方が満たされたときにリセットされる OFF カウンタと、

前記 OFF カウンタがリセットされた時に ON フラグを立ち上げ、前記 CPU によって予め指示されていた期間と前記 OFF カウンタのカウント値とが等しくなったときに該 ON フラグを立ち上げる OFF 検出回路と、を備え、

前記 CPU は、前記 ON フラグが立ち下がった際、前記リモコンボタンがリリースされたと判断する、

ことを特徴とするリモコン受信システム。

【請求項 10】

ヘッダ部、及び押下されたりリモコンボタンに応じたデータ部を有するリモコン信号を受信するリモコン受信回路と、該リモコン受信回路を制御して、該リモコン受信回路において受信したりモコン信号をデコードする CPU と、からなるリモコン受信システムにおいて、

前記リモコン信号のデータ部が、メインデータ部と、該メインデータ部の 0 と 1 を反転させた反転データ部とからなる場合、

前記リモコン受信回路は、

前記リモコン信号の立上りエッジと立下りエッジを検出するエッジ検出回路と、

前記リモコン信号の立上りエッジから立下りエッジまでの時間間隔、及び立下りエッジから立上りエッジまでの時間間隔をカウントするカウンタ回路と、

前記カウンタ回路のカウント結果から、前記リモコン信号のヘッダ部を検出するヘッダ検出回路と、

前記カウンタ回路のカウント結果から、該リモコン信号のデータ部の 0 または 1 を判別し、該判別結果を内蔵レジスタに格納するデータ判別回路と、

前記内蔵レジスタに格納したデータの前記メインデータ部と前記反転データ部とを比較して、全ビット不一致であれば前記データを有効と判断し、それ以外は前記データを無効と判断する有効性判別回路と、

10

20

30

40

50

前記CPUによって予め指示されていた期間になるまでカウントアップしつづけ、前記ヘッダ検出回路において前記リモコン信号の前記ヘッダ部が検出されるか、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され且つ該内蔵レジスタに格納された前記データが前記有効性判別回路によって有効と判断されるかの2つの条件のうち、前記CPUによって指示されている方が満たされたときにリセットされるOFFカウンタと、

前記OFFカウンタがリセットされた時にONフラグを立ち上げ、前記CPUによって予め指示されていた期間と前記OFFカウンタのカウント値とが等しくなったときに該ONフラグを立ち下げるOFF検出回路と、

前記OFFカウンタがリセットされたときにセットされ、前記CPUによってリセットされるデータヘッダフラグと、を備え、

前記CPUは、前記データヘッダフラグの値と、前記ONフラグの値とを、一定のタイミングでそれぞれ読み出し、その読み出した値に応じて前記リモコン受信回路を制御する、

ことを特徴とするリモコン受信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リモコンによる制御をうける機器に設けられるリモコン受信システムに関し、特に、該リモコン受信システムにおけるCPUが受ける処理上の負担やリソースの負担を軽減するリモコン受信システムに関する。

【背景技術】

【0002】

リモコンによる制御を受ける機器において、送信機から発信されたリモコン信号を受信する受信側に必要な機能は、該リモコン信号を正確にデータに復調する受信機能と、復調して得られたデータをデコードして要求内容を得るデコード機能である。

ここでまず、図21及び図22を用いて、リモコンから発信されるリモコン信号について説明する。図21は、リモコンから発信されるリモコン信号の一例を示す図である。

【0003】

図21(a)に示すように、ここで用いられるリモコン信号は、リモコン信号が以後に続くことを示すヘッダ部と、押下されたリモコンボタンを示すデータのビット列をリモコン信号のLowの持続時間(以下、「Long Low」と称す。)とHighの持続時間(以下、「Long High」と称す。)の組み合わせによって表現したデータ部と、前記データの終了を知らせるトレーラ部とからなっている。

【0004】

なお、図21(a)においては、前記データ部のLong LowとLong Highのデューティが1:1ならばデータ“0”に、1:3ならばデータ“1”に対応しており、そのデータ部のデータのパターンは、少なくとも押下するリモコンボタンの数は存在するものとする。

【0005】

そして、前述したようなリモコン信号を発信する送信機には、図22(a),(b)に示されるリモコン信号を出力する2種類あり、1つ目は、図22(a)に示されるように、同じリモコンボタンが連続的に押下された場合に、最初の1回だけ図21(a)に示すようなデータ部を伴う波形を発信し、その後は該リモコンボタンが押下されつづける限り、図21(b)に示すようなデータ部を伴わない、リピートヘッダ部及びトレーラ部からなる波形を発信するリピートヘッダ型の送信機であり、2つ目は、図22(b)に示されるように、前記図21(a)に示すデータ部を伴う波形を該リモコンボタンが押下されている間繰り返し発信しつづける繰り返しデータ型の送信機が存在する。

【0006】

次に、前述したリモコン信号を受信する受信側に必要な、デコード機能と受信機能につ

10

20

30

40

50

いて述べる。

前記デコード機能においては、復調したデータとその要求内容との柔軟な対応づけが必要となるため、該デコード機能をCPUによって実現させることが望ましい。これに対し、前記受信側の前記受信機能については、従来より、以下に示す2つの方法のうちどちらかで実現されている。

【0007】

1つ目の方法は、送信機から発信されたリモコン信号を、受信側のCPUに直接入力し、該リモコン信号のエッジを割り込みトリガとし、その割り込み間隔をCPUに内蔵されたタイマ(図示せず)でカウントすることで、CPUによって前記受信機能を実現させる方法である。

10

【0008】

しかし、この1つ目の方法を用いた場合、該リモコン信号の判別のために行う、ヘッダ部の検出、データの0/1判定、トレーラ部の検出等のすべての処理を、前記CPUが引き受けることとなり、この結果、CPUは非常に複雑なソフトウェア処理を行わなければならない、CPUのプログラムステップ数が増大するという問題が生じる。

【0009】

また、この1つ目の方法では、発生するリモコン信号のエッジを直接CPUへの割り込み信号として扱うため、リモコンボタン押下時にはリモコン信号に由来する割り込みが非常に高い頻度で発生する。そして、このリモコン信号に由来する割り込みは、前記リモコン信号を判別するために、該CPUに発生した割り込みの間隔を正確にタイマでカウントしなければならないので、リアルタイム性の要請が厳しく、他の割り込みに比べて高い優先度を与えなければならない。従って、前記1つ目の方法を用いれば、前記CPUに対して、高い優先度の割り込みが高い頻度で発生することとなり、CPUが本来制御しようとするシステムの処理を圧迫して、動作の遅延を招く恐れもあるという問題も生じる。

20

【0010】

そこで、従来においては、リモコン信号の受信機能を実現する2つ目の方法として、前記リモコン信号に由来する割り込みの発生数を軽減し、且つCPUの処理負担を軽減するために、該リモコン信号を受信する受信側に、前記リモコン信号の入力を受け、ヘッダ部の検出やデータ部の検出などの復調処理の一部もしくは全部を行うリモコン受信回路を設ける方法がとられている(特許文献1~3参照)。

30

【0011】

以下、図23及び図24を用いて、リモコン信号の受信機能を、2つ目の方法、つまりリモコン受信回路を用いて実現するリモコン受信システムについて説明する。なお、リモコン受信回路に入力されるリモコン信号は、図21に示されているものとする。

まず、図23を用いて、受信側に設ける従来のリモコン受信システムの構成について説明する。図23は、従来におけるリモコン受信システムの構成を示す図である。

【0012】

図23において、従来のリモコン受信システムは、送信機(図示せず)から発信されるリモコン信号を受信するリモコン受信回路500と、該リモコン受信回路500を制御し、前記リモコン信号をデコードするCPU590とからなるものであり、前記リモコン受信回路500は、受信したリモコン信号のエッジを検出するエッジ検出回路510と、該エッジ検出回路510にて検出されたエッジの間隔をカウントするカウンタ回路520と、該カウンタ回路520の出力を受信して、前記リモコン信号のヘッダ部を検出するヘッダ検出回路530と、前記リモコン信号のヘッダ部が検出されたことをCPU590に知らせるヘッダ割り込み信号S560を生成するヘッダ割り込み生成回路560と、前記リモコン信号のヘッダ部に続くデータ部の0/1を前記カウンタ回路520の出力より判別して内蔵レジスタ550にストアするデータ判別回路540と、前記内蔵レジスタ550にリモコン信号のデータ部に相当するビット数分のデータがストアされた時に、リモコン信号のデータ部が検出されたことをCPU590に知らせるデータ割り込み信号S570を生成するデータ割り込み生成回路570と、前記カウンタ回路520の出力を受信して

40

50

、前記リモコン信号のトレーラ部を検出し、リモコン信号のトレーラ部が検出されたことをCPU590に知らせるトレーラ割り込み信号S580を出力するトレーラ検出回路580と、からなるものである。なお、リモコン受信回路500は、前述したすべての回路を備えている必要はなく、前記エッジ検出回路510、前記カウンタ回路520、前記データ判別回路540を含む、前述したリモコン受信回路の一部からなるものであればよく、例えば前記エッジ検出回路510、前記カウンタ回路520、前記データ判別回路540、及び前記データ割り込み生成回路570で構成されるものであってもよい。

【0013】

そして、前記CPU590は、前述したリモコン受信回路500から出力される割り込み信号S560～S580を受け取り、該受け取った割り込み信号に応じた制御を行うものであり、1つの割り込み信号に対して1つの割り込みポートを利用するため、図23では、CPU590には、3つの割り込みポート0, 1, 2が設けられている。

10

【0014】

次に、図24を用いて、前述した構成を有する従来のリモコン受信システムにおいて、リモコン信号を受信した場合の処理の流れについて説明する。図24は、従来におけるリモコン受信システムにおいてリモコン信号を受信した際の動作の一連の流れを示すフローチャート図である。

【0015】

リモコン受信回路の動作開始後、まず、カウンタ回路520とデータ判別回路540を初期化する(F2401)。そして、エッジ検出回路510によって、リモコン信号のエッジが検出されない間は、カウンタ回路520はインクリメントを続ける(F2402)

20

【0016】

そして、前記エッジ検出回路510にてエッジが検出されると、エッジ検出時のカウンタ回路520の値が、ヘッダ検出回路530、トレーラ検出回路580、及びデータ判別回路540のそれぞれに出力され、前記各回路において、該カウンタ回路520の値に応じたアクションが発生する。

【0017】

カウンタ値がヘッダ検出を示す値である場合(F2404)、ヘッダ検出回路530がヘッダ部を検出し、ヘッダ割り込み生成回路560がヘッダ割り込み信号S560を生成し、ヘッダ割り込みが前記CPU590の割り込みポート0に発行される(F2405)。この後、前記カウンタ回路520を初期化し(F2406)、次のエッジを待つ。

30

【0018】

また、カウンタ値がデータ検出を示す値である場合は(F2407)、データ判別回路540は、カウンタ回路520の出力よりリモコン信号の0/1を判別し、内蔵レジスタ550にその判別したデータを格納していく(F2408)。そして、内蔵レジスタ550にデータ部に相当する指定ビット数のデータが格納された際(F2409)、データ割り込み生成回路570がデータ割り込み信号S570を生成して、データ割り込みを前記CPU590の割り込みポート1に発行する(F2410)。そしてこの後、前記カウンタ回路520を初期化する(F2406)。なお、前記内蔵レジスタ550に、データが指定ビット数が格納されなかった場合は(F2409)、データ割り込み生成回路570はデータ割り込み信号S570を生成することなく、カウンタ回路520を初期化する(F2406)。

40

【0019】

そして、カウンタ値がトレーラ検出を示す値である場合(F2411)、トレーラ検出回路580はリモコン信号のトレーラ部を検出し、トレーラ割り込み信号S580を生成して、CPU590の割り込みポート2に発行した後(F2412)、カウンタ回路520を初期化し(F2406)、次のエッジを待つ。

【特許文献1】特開平5-328451号公報

【特許文献2】特開平11-53091号公報

50

【特許文献3】米国特許第5752184号明細書

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、リモコン信号の受信機能を、2つ目の方法、つまり前述したような従来のリモコン受信回路500を用いて実現した場合、以下に示す問題が発生する。

第1に、従来のリモコン受信回路500には、図23に示すように、ヘッダ割り込み生成回路560、トレーラ検出回路580、及びデータ割り込み生成回路570が設けられ、その各回路からCPU590に割り込み信号が出力されるように構成されているので、CPU590側に、それぞれの割り込み信号に対応する割り込みポートが必要とされる。従って、CPU590のリソースを多く費やしてしまうという問題がある。この問題を解消するために、例えば、前記従来のリモコン受信回路500を、エッジ検出回路510、カウンタ回路520、データ判別回路540のみで構成することも考えられるが、このようにした場合、リモコン受信回路においてヘッダ割り込みを生成することができなくなる。従って、前記リモコン受信回路500にて、図22(a)に示すようなリピートヘッダ型の送信機から発信されたりモコン信号を受信した場合、リモコンボタンが連続押下されていることを前記CPU590に通知することができず、当該リモコン受信システムにおいて利用可能なリモコン信号の規格を狭めてしまうという新たな問題が生じる。

10

【0021】

第2に、従来のリモコン受信回路500では、ノイズ等によるリモコン信号の外乱により、下記の弊害が生ずることが考えられる。

20

一つ目は、ヘッダ部と認識される波形がノイズによって生成されてしまう場合である。

【0022】

具体的に述べると、例えば、従来のリモコン受信回路500において、発行され得ないタイミング（たとえば、リモコン動作開始直後）に、図21(b)に示されるようなデータが含まれないリピートヘッダ部のみからなるリモコン信号が検出された場合でも、従来のリモコン受信回路500では、ヘッダ割り込み生成回路560にてヘッダ割り込み信号S560が生成され、CPU590側にヘッダ割り込みが発行されてしまう。このノイズにより誤って発行されたヘッダ割り込みは、CPUの誤動作の原因になるので、CPU590側では、前記誤動作を回避するためのコードを持たねばならない。

30

【0023】

二つ目は、トレーラ部と認識される波形がノイズによって生成されてしまう場合である。

具体的に述べると、リモコンのボタン押下時に、送信機から発行されるリモコン信号の波形が、何らかの外乱（たとえば、送信機の前を人が横切るなどの状況）で途絶した場合にも、従来のリモコン受信回路500では、トレーラ波形と同様の波形が受信されて、トレーラ検出回路580にてトレーラ割り込み信号S580が生成され、トレーラ割り込みがCPU590に発行されてしまう。従来のリモコン受信システムでは、前記トレーラ割り込み信号S580はリモコン信号の受信完了を意味する割り込みとして利用されるため、これが誤って発行されると、CPU590が誤動作する恐れがある。したがって、CPU590側では、このトレーラ割り込み信号S580に対しても、誤動作を回避するためのコードを持たねばならない。

40

【0024】

三つ目は、ノイズにより、指定ビット数以上のデータが検出されてしまう場合である。

具体的に述べると、リモコン信号のデータ部のデータ検出の終端において、本来受領すべきビット数分の波形を受信した後に発生するノイズ（たとえば、リモコンボタンのリリースに伴うノイズ）が原因で、リモコン受信回路500に、データと誤検出される波形が受信されることがある。従来のリモコン受信回路500では、データ割り込み信号S570が発行された後でも、この誤検出されたビットがデータとして内蔵レジスタ550に書き込まれてしまうため、データ割り込み信号S570が発行される前に格納された指定ビ

50

ット数分のデータが破損してしまう恐れがある。これを避けるために、CPU590側では、データ割り込み信号S570が発生してから、前記内蔵レジスタ550に書き込まれたデータがノイズにより破損してしまう前までに、速やかに該内蔵レジスタ550内に格納されたデータを読みだす必要が生じる。したがって、CPU590側では、データ割り込みの優先度を高くし、該データ割り込みの発生後のデータ読み出しが、すばやく行われるようにしなければならない。

【0025】

本発明は、前述した問題を解決するためになされたものであり、リモコン信号の受信機能を実現するために費やされるCPUのコード、処理能力、リソース等を軽減し、装置全体のコスト削減が可能なりモコン受信システムを提供することを目的とする。

10

【課題を解決するための手段】**【0026】**

前記課題を解決するために、本発明のリモコン受信システムは、ヘッダ部、及び押下されたリモコンボタンに応じたデータ部を有するリモコン信号を受信するリモコン受信回路と、該リモコン受信回路を制御して、該リモコン受信回路において受信したリモコン信号をデコードするCPUと、からなるリモコン受信システムにおいて、前記リモコン受信回路は、前記リモコン信号の立上りエッジと立下りエッジを検出するエッジ検出回路と、前記リモコン信号の立上りエッジから立下りエッジまでの時間間隔、及び立下りエッジから立上りエッジまでの時間間隔をカウントするカウンタ回路と、前記カウンタ回路のカウント結果から、前記リモコン信号のヘッダ部を検出するヘッダ検出回路と、前記カウンタ回路のカウント結果から、該リモコン信号のデータ部の0または1を判別し、該判別結果を内蔵レジスタに格納するデータ判別回路と、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出されたときに、前記CPUに対して前記リモコン信号のヘッダ部の検出を通知するヘッダ割り込み信号を出力するヘッダ割り込み生成回路と、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出された後、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって内蔵レジスタに格納されたときに、前記CPUに対して前記リモコン信号のデータ受信完了を通知するデータ割り込み信号を出力するデータ割り込み生成回路と、前記ヘッダ割り込み信号と前記データ割り込み信号のいずれかを、前記CPUの指示により選択するスイッチと、を備え、前記CPUは、1つの割り込みポートを持ち、該割り込みポートを介して、前記リモコン受信回路の前記

20

30

【0027】

さらに、本発明のリモコン受信システムにおいて、前記CPUは、当該リモコン受信システムの動作開始時、及び前記リモコンボタンのリリースの検知時に、前記スイッチに対して、前記データ割り込み信号を選択するよう指示するものである。

【0028】

さらに、本発明のリモコン受信システムにおいて、前記リモコン受信回路が、前記ヘッダ部、及びデータ部を有する前記リモコン信号に続いて、前記データ部が含まれないリポートヘッダ部のみからなるリモコン信号を受信する時、前記CPUは、前記スイッチに対して、当該リモコン受信システムの動作開始時に、前記データ割り込み信号を選択するよう指示し、前記リモコン受信回路から前記割り込みポートを介して前記データ割り込み信号を受信した後に、前記ヘッダ割り込み信号を選択するよう指示し、前記リモコンボタンのリリース検知時に、再度前記データ割り込み信号を選択するよう指示するものである。

40

【0029】

さらに、本発明のリモコン受信システムにおいて、前記データ判別回路は、前記CPUによって予め指示されていたビット数分のデータを前記内蔵レジスタに格納した後、前記ヘッダ検出回路において次のヘッダ部が検出されるまで、該内蔵レジスタに格納されたデータを更新しないものである。

50

【0030】

さらに、本発明のリモコン受信システムにおいて、前記データ判別回路は、前記CPUによって予め指示されていたビット数分のデータが前記内蔵レジスタに格納される前に、次のヘッダ部を受信した場合、前記ヘッダ検出回路における、該次のヘッダ部の検出を優先させるものである。

【0031】

さらに、本発明のリモコン受信システムにおいて、前記リモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とからなる場合、前記リモコン受信回路は、前記内蔵レジスタに格納したデータの前記メインデータ部と前記反転データ部とを比較して、全ビット不一致であれば前記データを有効と判断し、それ以外では前記データを無効と判断する有効性判別回路を備え、前記データ割り込み生成回路は、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出された後、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され、且つ前記有効性判別回路によって、該内蔵レジスタに格納されたデータが有効と判断されたときに、前記データ割り込み信号を出力するものである。

10

【0032】

さらに、本発明のリモコン受信システムにおいて、前記リモコン受信回路は、前記カウンタ回路のカウント結果から、前記CPUによって指示された論理レベルが、該CPUによって予め指示されていた期間より長時間持続したことを検出したときにOFFフラグを立ち上げるOFF検出回路を備え、前記CPUは、前記OFFフラグが立ち上がった際、前記リモコンボタンがリリースされたと判断するものである。

20

【0033】

さらに、本発明のリモコン受信システムにおいて、前記リモコン信号のヘッダ部が、ある論理レベルを一定時間維持する波形と、その反対の論理レベルを一定時間維持する波形とからなる場合、前記リモコン受信回路が前記リモコン信号のヘッダ部の受信中に、前記カウンタ回路が前記CPUによって予め指示されていた期間内の論理レベルの変化を検出した時、該カウンタ回路は、前記期間内の論理レベルの変化をノイズとして無視し、論理レベルが変化する前のカウント値からカウントを開始するものである。

【0034】

さらに、本発明のリモコン受信システムにおいて、前記リモコン受信回路は、前記CPUによって予め指示されていた期間になるまでカウントアップしつづけ、前記ヘッダ検出回路において前記リモコン信号の前記ヘッダ部が検出されるか、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され且つ該内蔵レジスタに格納された前記データが前記有効性判別回路によって有効と判断されるかの2つの条件のうち、前記CPUによって指示されている方が満たされたときにリセットされるOFFカウンタと、前記OFFカウンタがリセットされた時にONフラグを立ち上げ、前記CPUによって予め指示されていた期間と前記OFFカウンタのカウント値とが等しくなったときに該ONフラグを立ち上げるOFF検出回路と、を備え、前記CPUは、前記ONフラグが立ち下がった際、前記リモコンボタンがリリースされたと判断するものである。

30

40

【0035】

また、本発明のリモコン受信システムは、ヘッダ部、及び押下されたりリモコンボタンに応じたデータ部を有するリモコン信号を受信するリモコン受信回路と、該リモコン受信回路を制御して、該リモコン受信回路において受信したりモコン信号をデコードするCPUと、からなるリモコン受信システムにおいて、前記リモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とからなる場合、前記リモコン受信回路は、前記リモコン信号の立上りエッジと立下りエッジを検出するエッジ検出回路と、前記リモコン信号の立上りエッジから立下りエッジまでの時間間隔、及び立下りエッジから立上りエッジまでの時間間隔をカウントするカウンタ回路と、前記カウンタ回路のカウント結果から、前記リモコン信号のヘッダ部を検出するヘッダ検出回路と、前

50

記カウンタ回路のカウンタ結果から、該リモコン信号のデータ部の0または1を判別し、該判別結果を内蔵レジスタに格納するデータ判別回路と、前記内蔵レジスタに格納したデータの前記メインデータ部と前記反転データ部とを比較して、全ビット不一致であれば前記データを有効と判断し、それ以外は前記データを無効と判断する有効性判別回路と、前記CPUによって予め指示されていた期間になるまでカウンタアップしつづけ、前記ヘッダ検出回路において前記リモコン信号の前記ヘッダ部が検出されるか、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され且つ該内蔵レジスタに格納された前記データが前記有効性判別回路によって有効と判断されるかの2つの条件のうち、前記CPUによって指示されている方が満たされたときにリセットされるOFFカウンタと、前記OFFカウンタがリセットされた時にONフラグを立ち上げ、前記CPUによって予め指示されていた期間と前記OFFカウンタのカウンタ値とが等しくなったときに該ONフラグを立ち下げるOFF検出回路と、前記OFFカウンタがリセットされたときにセットされ、前記CPUによってリセットされるデータヘッダフラグと、を備え、前記CPUは、前記データヘッダフラグの値と、前記ONフラグの値とを、一定のタイミングでそれぞれ読み出し、その読み出した値に応じて前記リモコン受信回路を制御するものである。

10

【0036】

これにより、前記CPUは、自身に発行される割り込みを状況に応じてヘッダ割り込み信号にするか、データ割り込み信号にするかを選択でき、この結果、リモコン受信機能を実現するために必要なCPUの割り込みポートを1つに抑えられることができる。また、前記リモコン受信回路は、トレーラ割り込みを発行しないため、当該リモコン受信回路の規模も削減でき、さらに、前記CPUに、トレーラ割り込みが発行されないことから、該トレーラ割り込みに対応するコードや処理負荷も削減できる。

20

【0037】

さらに、リモコン受信回路がデータを伴わないエラーヘッダを受信しても、CPUに該エラーヘッダによるヘッダ割り込みが発行されないようにすることができ、無駄な割り込みによるCPUの処理負荷を削減できる。

【0038】

さらに、リモコンボタンが連続押下され、前記リモコン受信回路において、データ部を伴わないリピートヘッダ部のみからなるリモコン信号を受信した場合にも、ヘッダ割り込みを検出でき、この結果、CPUが、前記リモコンボタンの連続押下を検出可能となる。

30

【0039】

さらに、前記CPUにおいて、データ割り込みが発行されてから、該内蔵レジスタに格納されたデータを取得するまでのリアクションに時間的な余裕を持たせることができ、この結果、CPUの割り込みポートの優先度を低く設定することができる。

【0040】

さらに、リモコン受信回路において、前記内蔵レジスタに格納されたデータの有効性を有効性判断回路にて判断し、CPUにエラーデータによる無駄な割り込みを発行しないようにして、CPUの処理能力を削減することができる。

【0041】

さらに、OFF検出回路において、リモコンボタンのリリースを、CPUの内蔵タイマにより判断するのではなく、リモコン受信回路内に設けられたOFF検出回路において検出ことができ、リモコン受信機能を実現するCPUのリソースをさらに削減できる。

40

【0042】

さらに、リモコン信号のヘッダ部の検出において、ノイズの影響をうけないようにすることができる。

【0043】

さらに、ノイズによってリモコンボタンのリリースの検出にかかる時間が、CPUにより指定された期間より遅延されることを回避することができる。

【0044】

50

また、リモコン受信回路からCPUに割り込みが発行されないようにすることができ、前記CPUの割り込みポートを全く使わずとも、CPUが持つラウンドロビンタスクのみでリモコン受信機能を実現することができる。

【発明の効果】

【0045】

本発明のリモコン受信システムによれば、ヘッダ部、及び押下されたリモコンボタンに応じたデータ部を有するリモコン信号を受信するリモコン受信回路と、該リモコン受信回路を制御して、該リモコン受信回路において受信したリモコン信号をデコードするCPUと、からなるリモコン受信システムにおいて、前記リモコン受信回路は、前記リモコン信号の立上りエッジと立下りエッジを検出するエッジ検出回路と、前記リモコン信号の立上りエッジから立下りエッジまでの時間間隔、及び立下りエッジから立上りエッジまでの時間間隔をカウントするカウンタ回路と、前記カウンタ回路のカウント結果から、前記リモコン信号のヘッダ部を検出するヘッダ検出回路と、前記カウンタ回路のカウント結果から、該リモコン信号のデータ部の0または1を判別し、該判別結果を内蔵レジスタに格納するデータ判別回路と、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出されたときに、前記CPUに対して前記リモコン信号のヘッダ部の検出を通知するヘッダ割り込み信号を出力するヘッダ割り込み生成回路と、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出された後、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって内蔵レジスタに格納されたときに、前記CPUに対して前記リモコン信号のデータ受信完了を通知するデータ割り込み信号を出力するデータ割り込み生成回路と、前記ヘッダ割り込み信号と前記データ割り込み信号のいずれかを、前記CPUの指示により選択するスイッチと、を備え、前記CPUは、1つの割り込みポートを持ち、該割り込みポートを介して、前記リモコン受信回路の前記スイッチからの割り込み信号を受信して、該受信した割り込み信号に応じて前記リモコン受信回路を制御し、前記スイッチからの前記割り込み信号を一定時間受信しなかった際、前記リモコンボタンがリリースされたと判断するようにしたので、リモコン受信機能を実現するために必要なCPUの割り込みポートを1つに抑えて、CPUのリソースを削減することができ、また、トレーラ割り込みを発行しないことからリモコン受信回路の回路規模も削減でき、且つ、該トレーラ割り込みに対応するためのCPUにおけるコードや処理負荷も削減できる。

【0046】

さらに、本発明のリモコン受信システムによれば、前記CPUは、当該リモコン受信システムの動作開始時、及び前記リモコンボタンのリリースの検知時に、前記スイッチに対して、前記データ割り込み信号を選択するよう指示するようにしたので、ノイズによって発生するエラーヘッダを、前記リモコン受信回路にて検出したとしても、このエラーヘッダによるヘッダ割り込みがCPUに発行されないため、ノイズによって発生する無駄な割り込みによる、CPUの処理負荷を削減することができる。

【0047】

さらに、本発明のリモコン受信システムによれば、前記リモコン受信回路が、前記ヘッダ部、及びデータ部を有する前記リモコン信号に続いて、前記データ部が含まれないレポートヘッダ部のみからなるリモコン信号を受信する時、前記CPUは、前記スイッチに対して、当該リモコン受信システムの動作開始時に、前記データ割り込み信号を選択するよう指示し、前記リモコン受信回路から前記割り込みポートを介して前記データ割り込み信号を受信した後に、前記ヘッダ割り込み信号を選択するよう指示し、前記リモコンボタンのリリース検知時に、再度前記データ割り込み信号を選択するよう指示するようにしたので、前記CPUは、リモコンボタンの連続押下を検出することができ、その連続押下されたボタンに対応する処理をすることができる。

【0048】

さらに、本発明のリモコン受信システムによれば、前記データ判別回路は、前記CPUによって予め指示されていたビット数分のデータを前記内蔵レジスタに格納した後、前記ヘッダ検出回路において次のヘッダ部が検出されるまで、該内蔵レジスタに格納されたデ

10

20

30

40

50

ータを更新しないようにしたので、前記リモコン受信回路において、前記CPUによって予め指示されていたビット数以上のデータを受信しても、該内蔵レジスタ内のデータを保持することができる。そしてこの結果、CPUは、データ割り込みが発生してから、該内蔵レジスタに格納されたデータを取得するまでのリアクションに、時間的な余裕を得ることができるため、CPUの割り込みポートの優先度を低く設定することが可能となる。

【0049】

さらに、本発明のリモコン受信システムによれば、前記データ判別回路は、前記CPUによって予め指示されていたビット数分のデータが前記内蔵レジスタに格納される前に、次のヘッダ部を受信した場合、前記ヘッダ検出回路における、該次のヘッダ部の検出を優先させるようにしたので、リモコン信号のデータ部を受信している際に何らかの原因で信号が途切れ、内蔵レジスタに予め設定されたビット数のデータが格納される前に、次のリモコン信号のヘッダ部を受信したとしても、該ヘッダ部の検出を優先して行い、該ヘッダ部に続く新しいデータ部のデータ待ち状態に移行できる。そしてこの結果、本リモコン受信システムにおいては、リモコン信号のデータの一部が欠落するアクシデントが起きても、CPUに負担をかけることなく、処理を続行することが可能となる。

10

【0050】

さらに、本発明のリモコン受信システムによれば、前記リモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とからなる場合、前記リモコン受信回路は、前記内蔵レジスタに格納したデータの前記メインデータ部と前記反転データ部とを比較して、全ビット不一致であれば前記データを有効と判断し、それ以外は前記データを無効と判断する有効性判別回路を備え、前記データ割り込み生成回路は、前記ヘッダ検出回路により前記リモコン信号のヘッダ部が検出された後、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され、且つ前記有効性判別回路によって、該内蔵レジスタに格納されたデータが有効と判断されたときに、前記データ割り込み信号を出力するようにしたので、前記内蔵レジスタに格納されたデータがエラーデータである際には、CPUにデータ割り込みが発行されないようにすることができ、エラーデータによって発生する無駄な割り込みによる、CPUの処理負荷を削減することができる。また、前記内蔵レジスタ内のデータがエラーデータである際に、リモコンボタンが連続押下されていた場合、このエラーデータの後に、リピートヘッダ部が続くこととなるが、前述のように前記内蔵レジスタのデータの有効性を判断すれば、CPUに該エラーデータによるデータ割り込み、及び該エラーデータに続くリピートヘッダによるヘッダ割り込みが発行されないようにすることができ、CPUにおける無駄な処理をさらに削減することができる。

20

30

【0051】

さらに、本発明のリモコン受信システムによれば、前記リモコン受信回路は、前記カウンタ回路のカウンタ結果から、前記CPUによって指示された論理レベルが、該CPUによって予め指示されていた期間より長時間持続したことを検出したときにOFFフラグを立ち上げるOFF検出回路を備え、前記CPUは、前記OFFフラグが立ち上がった際、前記リモコンボタンがリリースされたと判断するようにしたので、CPUの内蔵タイマを用いることなく、リモコンボタンのリリースを検出することができ、この結果、さらに少ないCPUのリソースでリモコン受信機能を実現することが可能となる。

40

【0052】

さらに、本発明のリモコン受信システムによれば、前記リモコン信号のヘッダ部が、ある論理レベルを一定時間維持する波形と、その反対の論理レベルを一定時間維持する波形とからなる場合、前記リモコン受信回路が前記リモコン信号のヘッダ部の受信中に、前記カウンタ回路が前記CPUによって予め指示されていた期間内の論理レベルの変化を検出した時、該カウンタ回路は、前記期間内の論理レベルの変化をノイズとして無視し、論理レベルが変化する前のカウンタ値からカウントを開始するようにしたので、リモコン受信回路において、リモコン信号のヘッダ部を検出する際に、ノイズの影響を受けにくくすることができる。

50

【0053】

さらに、本発明のリモコン受信システムによれば、前記リモコン受信回路は、前記CPUによって予め指示されていた期間になるまでカウントアップしつづけ、前記ヘッダ検出回路において前記リモコン信号の前記ヘッダ部が検出されるか、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され且つ該内蔵レジスタに格納された前記データが前記有効性判別回路によって有効と判断されるかの2つの条件のうち、前記CPUによって指示されている方が満たされたときにリセットされるOFFカウンタと、前記OFFカウンタがリセットされた時にONフラグを立ち上げ、前記CPUによって予め指示されていた期間と前記OFFカウンタのカウント値とが等しくなったときに該ONフラグを立ち下げるOFF検出回路と、を備え、前記CPUは、前記ONフラグが立ち下がった際、前記リモコンボタンがリリースされたと判断するようにしたので、CPUの内蔵タイマを用いることなくリモコンボタンのリリースを検出することができ、この結果、更に少ないCPUのリソースでリモコン受信機能を実現することができる。また、前記OFFカウンタを設けたので、前記リモコンボタンのリリースを検知する時に、ノイズの影響を受けにくくすることができる。

10

【0054】

また、本発明のリモコン受信システムによれば、ヘッダ部、及び押下されたりリモコンボタンに応じたデータ部を有するリモコン信号を受信するリモコン受信回路と、該リモコン受信回路を制御して、該リモコン受信回路において受信したリモコン信号をデコードするCPUと、からなるリモコン受信システムにおいて、前記リモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とからなる場合、前記リモコン受信回路は、前記リモコン信号の立上りエッジと立下りエッジを検出するエッジ検出回路と、前記リモコン信号の立上りエッジから立下りエッジまでの時間間隔、及び立下りエッジから立上りエッジまでの時間間隔をカウントするカウンタ回路と、前記カウンタ回路のカウント結果から、前記リモコン信号のヘッダ部を検出するヘッダ検出回路と、前記カウンタ回路のカウント結果から、該リモコン信号のデータ部の0または1を判別し、該判別結果を内蔵レジスタに格納するデータ判別回路と、前記内蔵レジスタに格納したデータの前記メインデータ部と前記反転データ部とを比較して、全ビット不一致であれば前記データを有効と判断し、それ以外は前記データを無効と判断する有効性判別回路と、前記CPUによって予め指示されていた期間になるまでカウントアップしつづけ、前記ヘッダ検出回路において前記リモコン信号の前記ヘッダ部が検出されるか、前記CPUによって予め指示されていたビット数のデータが前記データ判別回路によって前記内蔵レジスタに格納され且つ該内蔵レジスタに格納された前記データが前記有効性判別回路によって有効と判断されるかの2つの条件のうち、前記CPUによって指示されている方が満たされたときにリセットされるOFFカウンタと、前記OFFカウンタがリセットされた時にONフラグを立ち上げ、前記CPUによって予め指示されていた期間と前記OFFカウンタのカウント値とが等しくなったときに該ONフラグを立ち下げるOFF検出回路と、前記OFFカウンタがリセットされたときにセットされ、前記CPUによってリセットされるデータヘッダフラグと、を備え、前記CPUは、前記データヘッダフラグの値と、前記ONフラグの値とを、一定のタイミングでそれぞれ読み出し、その読み出した値に応じて前記リモコン受信回路を制御するようにしたので、CPUが割り込みポートを全く使わずに、リモコン受信機能を実現することができ、CPUのリモコン受信機能のためのリソースを、さらに削減することが可能となる。

20

30

40

【発明を実施するための最良の形態】

【0055】

本発明を実施するための形態について、以下に詳細に説明する。なお、以下に示すすべての形態におけるリモコン受信回路は、前述した図21及び図22に示されるリモコン信号を受信するものとし、該リモコン信号のデータ部は、32ビットであるものとする。

【0056】

(実施の形態1)

50

以下、図 1 ~ 図 5 を用いて、本実施の形態 1 におけるリモコン受信回路及びリモコン受信システムについて説明する。

まず、図 1 を用いて、本実施の形態 1 にかかるリモコン受信システムの構成について説明する。図 1 は、本実施の形態 1 におけるリモコン受信システムの構成を示す図である。

【 0 0 5 7 】

図 1 において、本実施の形態 1 にかかるリモコン受信システムは、送信機（図示せず）から発行されたりモコン信号を受信するリモコン受信回路 1 0 0 と、該リモコン受信回路 1 0 0 の各種レジスタに任意の値を設定し、リモコン受信回路 1 0 0 を制御すると共に、リモコン信号をデコードする CPU 1 9 0 とからなるものであり、前記リモコン受信回路 1 0 0 は、エッジ検出回路 1 1 0 と、カウンタ回路 1 2 0 と、ヘッダ検出回路 1 3 0 と、データ判別回路 1 4 0 と、シフトレジスタ 1 5 0 と、ヘッダ割り込み生成回路 1 6 0 と、データ割り込み生成回路 1 7 0 と、モードレジスタ 1 8 0 と、スイッチ 1 1 1 とから構成される。そして、前記 CPU 1 9 0 は、リモコン受信機能を実現するために必要な割り込みポートとして、前記リモコン受信回路 1 0 0 からの割り込み信号 S 1 1 1 を受信する割り込みポート 1 9 1 を備えるものである。

10

【 0 0 5 8 】

以下、前記リモコン受信回路 1 0 0 の構成を詳述する。

前記エッジ検出回路 1 1 0 は、カウンタ回路 1 2 0 及び、データ判別回路 1 4 0 と接続されており、受信したりモコン信号の立上りエッジと立下りエッジを検出して、前記カウンタ回路 1 2 0 とデータ判別回路 1 4 0 に、その検出したエッジを通知する。

20

【 0 0 5 9 】

前記カウンタ回路 1 2 0 は、ロングロウカウンタ（以下、「LLC」と称す。）1 2 1 と、ロングハイカウンタ（以下、「LHC」と称す。）1 2 2 を有し、前記エッジ検出回路 1 1 0、ヘッダ検出回路 1 3 0、データ判別回路 1 4 0 と接続されている。そして、前記カウンタ回路 1 2 0 内の LLC 1 2 1 は、前記エッジ検出回路 1 1 0 からのエッジ検出通知に対して、立下りエッジでカウント値をリセットしてカウントを開始し、立上りエッジでカウントをストップするものであり、また前記カウンタ回路 1 2 0 内の LHC 1 2 2 は、立上りエッジでカウントを開始し、立下りエッジでカウントをストップしてカウンタ値をリセットするものである。

【 0 0 6 0 】

前記ヘッダ検出回路 1 3 0 は、ロングロウ閾値レジスタ（以下、「THLレジスタ」と称す。）1 3 1 と、ロングハイ閾値レジスタ（以下、「THHレジスタ」と称す。）1 3 2 とを有し、前記カウンタ回路 1 2 0、データ判別回路 1 4 0、ヘッダ割り込み生成回路 1 6 0 と接続されている。なお、前記ヘッダ検出回路 1 3 0 内の THLレジスタ 1 3 1 及び THHレジスタ 1 3 2 は、CPU 1 9 0 により値が設定可能なレジスタであり、前記 THLレジスタ 1 3 1 には、リモコン信号のヘッダ部のロウ区間の閾値が、また THHレジスタ 1 3 2 には、ヘッダ部のハイ区間の閾値が設定される。そして、前記ヘッダ検出回路 1 3 0 は、前記データ判別回路 1 4 0、及びヘッダ割り込み生成回路 1 6 0 に対して、前記カウンタ回路 1 2 0 内の LLC 1 2 1 の出力値が THLレジスタ 1 3 1 の設定値を上回り、且つ前記カウンタ回路 1 2 0 内の LHC 1 2 2 の出力値が THHレジスタ 1 3 2 の設定値を上回っているとき、ヘッダ検出信号 S 1 3 0 “ 1 ” を、それ以外のとき、ヘッダ検出信号 “ 0 ” を出力する。

30

40

【 0 0 6 1 】

前記ヘッダ割り込み生成回路 1 6 0 は、前記ヘッダ検出回路 1 3 0、及びデータ判別回路 1 4 0 に接続されるものであり、またスイッチ 1 1 1 を介して、前記 CPU 1 9 0 の割り込みポート 1 9 1 に接続される。そして、前記ヘッダ割り込み生成回路 1 6 0 は、ヘッダ検出回路 1 3 0 からのヘッダ検出信号 S 1 3 0 の立上りエッジを検出すると、前記スイッチ 1 1 1 に対し、ヘッダ割り込み信号 S 1 6 0 として、1 サイクルのパルスを出出力する。

【 0 0 6 2 】

50

前記データ判別回路140は、データ待ちフラグ141と、データ長レジスタ(以下、「DLレジスタ」と称す。)142と、データカウンタ143と、D1フラグ144と、D0フラグ145とを有し、前記カウンタ回路120、シフトレジスタ150、及びデータ割り込み生成回路170に接続されている。なお、前記ヘッダ判別回路140内のDLレジスタ142は、CPU190により値が設定可能なレジスタである。そして、前記データ判別回路140内のデータ待ちフラグ141は、ヘッダ検出信号S130の立下りエッジを検出すると“1”にセットされ、前記DLレジスタ142の設定値と前記データカウンタ143の出力値とが一致すると“0”にクリアされる。また、前記データ判別回路140内のデータカウンタ143は、前記ヘッダ検出回路130からのヘッダ検出信号S130の立上りエッジを検出するとリセットされ、シフトレジスタ150が1ビットシフトするとインクリメントされる。さらに、前記データ判別回路140内の前記D0フラグ145は、前記データ待ちフラグ141が“1”で、且つカウンタ回路120内のLHC122の出力値が1となったときに“1”にセットされ、一方、前記データ待ちフラグ141が“0”になるか、または前記エッジ検出回路110から立上りエッジが検出されるか、または前記カウンタ回路120内のLHC122の出力値が2Tを上回るか、またはヘッダ検出回路130からヘッダ検出信号S130の立上りを検出すると“0”にリセットされる。そして、前記D1フラグ144は、前記データ待ちフラグ141が“1”で、且つ前記カウンタ回路120内のLHC122の出力値が2Tを上回ったときに“1”にセットされ、一方、前記データ待ちフラグ141が“0”になるか、または前記エッジ検出回路110から立上りエッジが検出されるか、または前記ヘッダ検出回路130からのヘッダ検出信号S130の立上りエッジを検出すると“0”にリセットされるものである。さらに、データ判別回路140は、前記エッジ検出回路110から立下りエッジの検出が通知されると、その際該データ判別回路140内のD0フラグ145が“1”であったら、シフトレジスタ150を1ビットシフトさせて“0”を追加し、一方、該データ判別回路140内のD1フラグ144が“1”であったら、シフトレジスタ150を1ビットシフトさせて“1”を追加する。そして、前記データ判別回路140は、該データ判別回路140内のDLレジスタ142の設定値とデータカウンタ143の出力値とが一致すると、シフトレジスタ150にリモコン信号のデータ部に相当するデータが書き込まれたとして、データ割り込み生成回路170に対して、データ受信完了信号S140“1”を出力し、それ以外はデータ受信完了信号S140“0”を出力する。

【0063】

前記データ割り込み生成回路170は、前記データ判別回路140と接続されており、またスイッチ111を介して、CPU190の割り込みポート191に接続される。そして、データ割り込み生成回路170は、前記データ判別回路140からのデータ受信完了信号S140の立上りエッジを検出すると、データ割り込み信号S170として、スイッチ111に対し、1サイクルのパルスを1回出力する。

【0064】

前記モードレジスタ180は、前記CPU190により値が設定可能なレジスタで、スイッチ111と接続される。このモードレジスタ180に“0”が設定されていると、スイッチ111は、ヘッダ割り込み生成回路160とCPU190とを接続し、一方、モードレジスタ180に“1”が設定されていると、スイッチ111は、データ割り込み生成回路160とCPU190とを接続する。

【0065】

次に、図2～図4を用いて、前述した構成を有するリモコン受信システムにおいて、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の処理の流れを説明する。図2は、本実施の形態1におけるリモコン受信システムにおいて、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路及びCPUのタイミングチャートを示す図であり、図3は、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、本実施の形態1におけるCPU側での処理を示すフローチャートを示す図であり、図4は、リピートヘッダ型の送信機から発信されたリモコン

10

20

30

40

50

信号を受信した場合の、本実施の形態 1 におけるリモコン受信回路での処理を示すフローチャートを示す図である。

【 0 0 6 6 】

まず、CPU 190 は、動作開始時に、ヘッダ検出回路 130 内の THL レジスタ 131 と THH レジスタ 132、データ判別回路 140 内の DL レジスタ 142、及びモードレジスタ 180 の値を設定する (F 301, F 302)。以下、前記各レジスタに設定される値について具体的に説明する。

【 0 0 6 7 】

前記ヘッダ検出回路 130 内の THL レジスタ 131 の設定値は、リモコン信号のヘッダ部のロウ区間検出の閾値として用いられるので、リピートヘッダのロウ区間である 16 T 未満の適当な値に設定する。ここでは 6 T とする。また、THH レジスタ 132 の設定値は、リモコン信号のヘッダ部のハイ区間検出の閾値として用いられるので、リピートヘッダのハイ区間である 4 T 未満の適当な値に設定する。ここでは 3 T とする。そして、DL レジスタ 143 には、データ部のデータ長を設定する。ここでは 32 を設定する。そして、モードレジスタ 180 には、データ割り込み生成回路 170 と CPU 190 とが接続されるように、“1”を設定する。

10

【 0 0 6 8 】

以上のように各レジスタに値を設定した後、CPU 190 は、リモコン受信回路 100 からデータ割り込みが発行されるのを待つ。

リモコン受信回路 100 側では、動作開始時に、カウンタ回路 120 及びデータ判別回路 140 内のデータカウンタ 143 を初期化する (F 401)。

20

【 0 0 6 9 】

リモコンのボタンが押下されると、まずリモコン受信回路 100 にはリモコン信号のヘッダ部が到着する。ヘッダ部の最初の立下りエッジをエッジ検出回路 110 が検出した時刻を時刻 0 とすると (F 402)、時刻 0 において、カウンタ回路 120 内の LLC 121 と LHC 122 とがリセットされる (F 403)。このとき、データ判別回路 140 内の D0 フラグ 145、及び D1 フラグは共に“0”であるため (F 404, F 406)、シフトレジスタ 150 にはデータが格納されることなく、カウンタ回路 120 のみがカウントアップされる (F 414)。

【 0 0 7 0 】

そして、時刻 6 T において、リモコン信号のヘッダ部のロウ区間をカウントしている LLC 121 の出力値が THL レジスタ 131 の値を上回る。

30

さらに、時刻 16 T に、立上りエッジが検出され (F 413)、カウンタ回路 120 内の LLC 121 は 16 T をカウントしてストップし、LHC 122 がカウントを開始する (F 425)。

【 0 0 7 1 】

そして、時刻 19 T に、前記 LHC 122 の出力値は、ヘッダ検出回路 130 の THH レジスタ 132 の設定値を上回る。このとき、カウンタ回路 120 内の LLC 121 の出力値は 16 T でストップしているため、THL レジスタの設定値を上回っている (F 415)。従って、このとき、ヘッダ検出回路 130 は、データ判別回路 140 及びヘッダ割り込み生成回路 160 に対して、ヘッダ検出信号 S 130 “1”を出力する。

40

【 0 0 7 2 】

このヘッダ検出信号 S 130 の立上りエッジを検出したデータ判別回路 140 は、該データ判別回路 140 内のデータカウンタ 143 をリセットし、データ待ちフラグを“1”にセットし、さらに、D0 フラグ 145、及び D1 フラグ 144 を“0”にリセットする (F 416)。

【 0 0 7 3 】

このように、本リモコン受信システムでは、ヘッダ検出回路 130 の THH レジスタ 132 及び THL レジスタ 131 に設定された値と、カウンタ回路 120 の LHC 122 及び LLC 121 の値とを比較するステップ (図 4 の F 415) を、立上がりエッジ及び立

50

下りエッジを検出するたびに行い、該 F 4 1 5 の条件が満たされれば、リモコン信号のヘッダ部が検出されたと判断して、ヘッダ検出信号を“ 1 ”にすると共に、その際シフトレジスタ 1 5 0 に格納されているデータのビット数に関係なく、データ判別回路 1 4 0 内のデータカウンタ 1 4 3 をリセットするようにしている（図 4 の F 4 1 6）。これは、本リモコン受信システムでは、データ待ち状態よりヘッダ検出を優先して処理していることを示している。つまり、本リモコン受信回路では、例えば、リモコン信号のデータ部のデータのうち 3 0 ビット受信し、残りの 2 ビットを待っている状況で、リモコン信号の次のヘッダ部を受信した場合、該シフトレジスタ 1 5 0 に格納されていた 3 0 ビットのデータを破棄し、前記次のリモコン信号のヘッダ部とデータ部に対する処理に移行される。このようにヘッダ検出を優先して行うようすれば、送信機（リモコン）と受信機（リモコン受信回路）との間を人が通過する等して、リモコンからの信号が途絶えた場合であっても、次のリモコン信号のヘッダ部を受信した場合には、リモコン受信回路が、来るはずのない残りの 2 ビット分のデータを待つデータ待ち状態から、CPU の処理によるのではなく自力でヘッダ部検出処理に復帰することができる。

10

【 0 0 7 4 】

そしてこの後、前記ヘッダ検出信号 S 1 3 0 の立上りエッジを検出したヘッダ割り込み生成回路 1 6 0 は、ヘッダ割り込み信号 S 1 6 0 として 1 サイクルのパルスを 1 回出力する。ただし、このとき、モードレジスタ 1 8 0 には“ 1 ”が設定されているので、ヘッダ割り込み生成回路 1 6 0 は CPU 1 9 0 の割り込みポート 1 9 1 に接続されておらず、このヘッダ割り込み信号 S 1 6 0 は、CPU 1 9 0 には通知されない（F 4 1 7）。

20

【 0 0 7 5 】

そして、時刻 2 4 T において、エッジ検出回路 1 1 0 が立下りエッジを検出し（F 4 0 2）、カウンタ回路 1 2 0 内の L L C 1 2 1、L H C 1 2 2 がともにリセットされ（F 4 0 3）、この結果、前記 L L C 1 2 1 及び L H C 1 2 2 それぞれの値は、ヘッダ検出回路 1 3 0 の T H L レジスタ 1 3 1、及び T H H レジスタ 1 3 2 の値を下回るため（F 4 1 5）、ヘッダ検出信号 S 1 3 0 “ 0 ”が出力される（F 4 1 9）。この時、データ判別回路 1 4 0 のデータ待ちフラグ 1 4 1 には“ 1 ”がセットされているので（F 4 2 0）、これによって、データ判別回路 1 4 0 内の D 1 フラグ 1 4 4 と D 0 フラグ 1 4 5 とがセット可能になる。

【 0 0 7 6 】

そして、時刻 2 5 T において、エッジ検出回路 1 1 0 が立上りエッジを検出し（F 4 1 3）、カウンタ回路 1 2 0 内の L L C 1 2 1 は、1 T をカウントしてストップする（F 4 2 5）。

30

【 0 0 7 7 】

時刻 2 5 T + 1 において、カウンタ回路 1 2 0 内の L H C 1 2 2 の出力値は、“ 1 ”と等しくなる。このとき、データ判別回路 1 4 0 内のデータ待ちフラグ 1 4 1 が“ 1 ”で、且つカウンタ回路 1 2 0 内の L H C 1 2 2 が“ 1 ”を達成したため（F 4 2 1）、前記データ判別回路 1 4 0 内の D 0 フラグ 1 4 5 が“ 1 ”にセットされる（F 4 2 2）。

【 0 0 7 8 】

次に、時刻 2 6 T において、エッジ検出回路 1 1 0 が立下りを検出すると（F 4 0 2）、前記データ判別回路 1 4 0 は、D 0 フラグ 1 4 5 が“ 1 ”である状況下で、エッジ検出回路 1 1 0 から立下りエッジを通知されたため、前記カウンタ回路 1 2 0 内の L L C 1 2 1、L H C 1 2 2 をリセットすると共に（F 4 0 3）、シフトレジスタ 1 5 0 を 1 ビットシフトさせて、シフトレジスタ 1 5 0 に“ 0 ”を追加する（F 4 0 5）。このとき、データカウンタ 1 4 3 はインクリメントされて“ 1 ”になる（F 4 0 8）。このとき、データカウンタ 1 4 3 の値はまだ指定ビット数には達していないので（F 4 0 9）、カウンタ回路 1 2 0 がカウントアップされる（F 4 1 4）。

40

【 0 0 7 9 】

そして、時刻 2 7 T において、エッジ検出回路 1 1 0 は立上りエッジを検出し（F 4 1 3）、データ判別回路 1 4 0 内の D 0 フラグ 1 4 5、D 1 フラグ 1 4 4 はともに“ 0 ”に

50

リセットされる (F 4 2 5)。

【 0 0 8 0 】

そして、時刻 $27T + 1$ において、前述した時刻 $25T + 1$ の際の動作同様に、前記 D 0 フラグ 1 4 5 が “ 1 ” にセットされる (F 4 2 2)。

【 0 0 8 1 】

時刻 $29T$ において、カウンタ回路 1 2 0 内の L H C 1 2 2 は $2T$ をカウントし、データ待ちフラグ 1 4 1 が “ 1 ” で、且つカウンタ回路 1 2 0 内の L H C 1 2 2 が “ $2T$ ” を達成するため (F 4 2 0 , 4 2 1 , 4 2 3)、D 0 フラグ 1 4 5 が “ 0 ”、D 1 フラグ 1 4 4 が “ 1 ” にセットされる (F 4 2 4)。

【 0 0 8 2 】

時刻 $30T$ において、エッジ検出回路 1 1 0 が立下りエッジを検出する (F 4 0 2)。この時、カウンタ回路 1 2 0 内の L L C 1 2 1 と L H C 1 2 2 はリセットされる (F 4 0 3)。そして、データ判別回路 1 4 0 は、D 1 フラグ 1 4 4 が “ 1 ” の状況下で、エッジ検出回路 1 1 0 から立下りエッジの検出を通知されたため (F 4 0 6)、シフトレジスタ 1 5 0 を 1 ビットシフトさせ、シフトレジスタ 1 5 0 に “ 1 ” を追加する (F 4 0 7)。このとき、データカウンタ 1 4 3 はインクリメントされて “ 2 ” になる (F 4 0 8)。この後、該データカウンタ 1 4 3 の値は指定ビットには達していないので (F 4 0 9)、カウンタ回路 1 2 0 がカウントアップする (F 4 1 4)。

【 0 0 8 3 】

時刻 $31T$ において、エッジ検出回路 1 1 0 が立上りエッジを検出すると (F 4 1 3)、データ判別回路 1 4 0 内の D 0 フラグ 1 4 5 と D 1 フラグ 1 4 4 はともに “ 0 ” にリセットされる (F 4 2 5)。以下、同様にして、リモコン信号のデータ部のデータが 1 ビットずつシフトレジスタ 1 5 0 に格納されていく。

【 0 0 8 4 】

そして、前述した動作を繰り返してデータ判別回路 1 4 0 内のデータカウンタ 1 4 3 の出力値がインクリメントされて “ 3 1 ” になった時刻を時刻 N とする時、時刻 $N + 1T$ においてエッジ検出回路 1 1 0 が立上りエッジを検出し、さらに時刻 $N + 2T$ において立下りエッジを検出すると (F 4 0 2)、シフトレジスタ 1 5 0 に “ 0 ” が追加され (F 4 0 5)、データ判別回路 1 4 0 内のデータカウンタ 1 4 3 の出力値がインクリメントされて “ 3 2 ” となり (F 4 0 8)、該データ判別回路 1 4 0 内のデータカウンタ 1 4 3 の値と D L レジスタ 1 4 2 の設定値とが等しくなる (F 4 0 9)。このとき、前記データ判別回路 1 4 0 内のデータ待ちフラグ 1 4 1 は “ 0 ” にリセットされる (F 4 1 0) と同時に、データ判別回路 1 4 0 からデータ割り込み生成回路 1 7 0 に対して、データ受信完了信号 S 1 4 0 “ 1 ” が出力される。

【 0 0 8 5 】

前記データ割り込み生成回路 1 7 0 は、前記データ受信完了信号 S 1 4 0 の立上りを検出すると、データ割り込み信号 S 1 7 0 として、1 サイクルのパルスを出力する。この時、モードレジスタ 1 8 0 は “ 1 ” に設定されているので (F 4 1 1)、スイッチ 1 1 1 により、前記データ割り込み生成回路 1 7 0 と C P U 1 9 0 とが接続されている。よって、C P U 1 9 0 の割り込みポート 1 9 1 に、データ割り込み信号 S 1 7 0 である割り込み信号 S 1 1 1 が出力され、データ割り込みが発生する (F 4 1 2)。

【 0 0 8 6 】

C P U 1 9 0 側では、前記リモコン受信回路 1 0 0 からの前記割り込み信号 S 1 1 1 を受けて (F 3 0 3)、シフトレジスタ 1 5 0 の値を読み出す (F 3 0 4)。そして、C P U 1 9 0 は、シフトレジスタ 1 5 0 から読み出したデータの正当性を評価して (F 3 0 5)、該データが無効であれば F 3 0 2 に戻り、該シフトレジスタ 1 5 0 から読み出したデータが有効であれば、押下されたボタンの情報を得、対応する処理を開始する (F 3 0 6)。なお、このデータの正当性の評価は、押下されたりリモコンボタンに対応するデータであるか否かを調べるものであり、その評価において対応するデータでなければデータが無効であると判断され、対応するデータであれば有効であると判断される。

10

20

30

40

50

【 0 0 8 7 】

この後、CPU 190は、モードレジスタ180に“0”を設定し(F307)、CPU 190に内蔵されたタイマ(図示せず)に任意の値Mを設定し(F308)、該タイマのダウンカウントを開始する(F309)。

【 0 0 8 8 】

そして、時刻N + 3 Tにおいて、再びリモコン受信回路100のエッジ検出回路110が立上りエッジを検出したとき(F413)、データ判別回路140内のD0フラグ145とD1フラグ144はともに“0”にリセットされる(F425)。そして、この時、データ判別回路140内のデータ待ちフラグ141は、既に“0”にリセットされているので(F420)、カウンタ回路120内のLHC122の出力値が1、または2 Tになっても、前記データ判別回路140内のD0フラグ145とD1フラグ144は“1”にセットされず、カウンタ回路120がカウントアップされていくのみである(F414)。

10

【 0 0 8 9 】

そして、リモコンのボタンが連続的に押下されている場合には、時刻192 Tにおいてリピートヘッダ部が到着する。

【 0 0 9 0 】

時刻192 Tにおいて、エッジ検出回路110は立下りエッジを検出し(F402)、カウンタ回路120内のLLC121とLHC122がリセットされる(F403)。

【 0 0 9 1 】

時刻198 Tにおいて、リピートヘッダ部のロウ区間をカウントしているLLC121の出力値が、ヘッダ検出回路130内のTHLレジスタ131の値を上回る。

20

【 0 0 9 2 】

さらに、時刻208 Tに、立上りエッジが検出され(F413)、カウンタ回路120内のLLC121は16 Tをカウントしてストップし、LHC122がカウントを開始する(F425)。

【 0 0 9 3 】

そして、時刻211 Tに、前記LHC122の出力値は、ヘッダ検出回路130のTHHレジスタ132の設定値を上回る。このとき、カウンタ回路120内のLLC121の出力値は16 Tでストップしているため、THLレジスタの設定値を上回っている(F415)。従って、ヘッダ検出回路130は、データ判別回路140及びヘッダ割り込み生成回路160に対して、ヘッダ検出信号S130“1”を出力する。

30

【 0 0 9 4 】

このヘッダ検出信号S130の立上りエッジを検出したデータ判別回路140は、該データ判別回路140内のデータカウンタ143をリセットし、またデータ待ちフラグを“1”に設定し、さらに、D0フラグ145、及びD1フラグ144を“0”にリセットする(F416)。また、前記データカウンタ143がリセットされた時点で、該データ判別回路140内のデータカウンタ143の値とDLレジスタ142の設定値とが一致しなくなるので、データ受信完了信号S140“0”が出力される。

【 0 0 9 5 】

一方、前記ヘッダ検出信号S130の立上りエッジを検出したヘッダ割り込み生成回路160は、ヘッダ割り込み信号S160として1サイクルのパルスを出力する。この時、モードレジスタ180には“0”が設定されているので(F417)、ヘッダ割り込み生成回路160は、スイッチ111によりCPU190と接続されている。よって、前記CPU190の割り込みポート191に、ヘッダ割り込み信号S160である割り込み信号S111が出力され、ヘッダ割り込みが発生する(F418, F311)。

40

【 0 0 9 6 】

前記CPU190側でヘッダ割り込みが発生すると、先に押下された同じボタンが連続押下されたと判断して、該連続押下されたボタンに対応する処理を行う(F312)。そして、CPU190に内蔵されたタイマに再び任意の値Mを設定し(F308)、ダウン

50

カウントを開始する (F 3 0 9)。

【 0 0 9 7 】

以後、リモコンのボタンが連続押下されている間は、同様にして 1 9 2 T の間隔でヘッダ割り込みが発行されつづける。そして、使用者がリモコンのボタンをリリースすると、リピートヘッダ部は到着しなくなり、リモコン受信回路 1 0 0 はヘッダ割り込みを発行しなくなる。

そして、CPU 1 9 0 側では、内蔵タイマがダウンカウントを経て、アンダーフロー割り込みを発行したときに (F 3 1 0)、リモコンのボタンがリリースされたと判断する。

【 0 0 9 8 】

前述のようにしてリモコンのボタンのリリース判断がなされると、CPU 1 9 0 は、モードレジスタ 1 8 0 を “ 1 ” に設定し (F 3 0 2)、再び、リモコン受信回路 1 0 0 からのデータ割り込みを待つ状態に入る。

【 0 0 9 9 】

このように、本実施の形態 1 のリモコン受信システムによれば、リモコン受信回路 1 0 0 に、モードレジスタ 1 8 0 及びスイッチ 1 1 1 を設け、該モードレジスタ 1 8 0 に設定された値に応じて、前記スイッチ 1 1 1 により、CPU 1 9 0 に出力する割り込み信号を選択して出力するようにしたので、リモコン受信機能を実現するために必要な CPU 1 9 0 側の割り込みポートを 1 つに抑えることができ、複数の割り込みポートを使用する従来手法よりも少ない CPU のリソースを使用して、リモコン信号の受信を実現することが可能となる。

【 0 1 0 0 】

また、本実施の形態 1 に係るリモコン受信システムによれば、前記リモコン受信回路 1 0 0 にトレーラ割り込みを発行する回路を設けず、データ割り込み信号にトレーラ割り込み信号と同様の意味を持たせるようにしたので、リモコン受信回路 1 0 0 の装置規模を小さくでき、且つ CPU 1 9 0 側にはトレーラ割り込みが発行されないので、CPU 1 9 0 のトレーラ割り込みに対応するコードも、またその割り込みによる処理負荷も削減することができる。

【 0 1 0 1 】

さらに、本実施の形態 1 のリモコン受信システムによれば、前記リモコン受信回路 1 0 0 に、前記ヘッダ割り込み生成回路 1 6 0 あるいはデータ割り込み生成回路 1 7 0 と CPU 1 9 0 との接続を選択するスイッチ 1 1 1 と、該スイッチを切り替えるモードレジスタ 1 8 0 とを備え、動作開始時に前記スイッチ 1 1 1 が CPU 1 9 0 と前記データ割り込み生成回路 1 7 0 とを接続するようにしたので、仮に、時刻 0 にリモコン受信回路 1 0 0 に入力されたヘッダがノイズによるエラーヘッダであり、該エラーヘッダにより前記リモコン受信回路 1 0 0 においてヘッダ割り込み信号 S 1 6 0 が生成されたとしても、該ヘッダ割り込み信号 S 1 6 0 は CPU 1 9 0 には出力されないため、CPU 1 9 0 側にそのエラーヘッダにより生成されたヘッダ割り込み信号 S 1 6 0 を回避するためのコードを設けなくても、CPU にエラーヘッダによるヘッダ割り込みの発生を防止することができる。

【 0 1 0 2 】

さらに、本実施の形態 1 にかかるリモコン受信システムによれば、リモコン信号を受信する一連の流れのなかで、立上がりエッジ及び立下りエッジを検出するたびにヘッダ検出を確認するステップ (図 4 の F 4 1 5) を設けるようにしたので、リモコン信号のデータ部を受信している際に何らかの原因で信号が途切れ、シフトレジスタ 1 5 0 に予め設定されたビット数のデータが格納される前に、次のリモコン信号のヘッダ部を受信したとしても、該ヘッダ部の検出を優先して行い、該ヘッダ部に続く新しいデータ部の待ち状態に移行することができ、これにより、リモコン信号のデータ部の一部が欠落するアクシデントが起きて、CPU に負担をかけることなく、リモコン信号の受信処理を続行することが可能となる。

【 0 1 0 3 】

さらに、本実施の形態 1 にかかるリモコン受信システムによれば、前記リモコン受信回

10

20

30

40

50

路100のデータ判別回路140内に、フラグが立ち上がっているときにのみシフトレジスタ150にデータを書き込み可能とするデータ待ちフラグ141を設け、該データ待ちフラグ141は、ヘッダ検出回路130によるヘッダ部の検出後に立ち上がり、シフトレジスタ150にリモコン信号のデータ部に相当するデータが格納されてデータ受信完了信号S140が出力された後に立ち下がるものとしたので、CPU190側にデータ割り込みが発行された後に該シフトレジスタ150をホールド可能にし、当該リモコン受信回路100にデータと誤検出される波形が入力されたとしても、該シフトレジスタ150にデータが書き込まれるのを防止して、該シフトレジスタ150に格納されたりモコン信号のデータが破損することをなくすることができる。そしてこれにより、CPU190では、従来のように、データ割り込みを受信した後の前記シフトレジスタ150の読み出しにリアルタイム性が厳しく要求されなくなり、該CPU190の割り込みポート191の割り込み優先度を低く設定することができる。そして割り込みポートの優先度を低く設定できれば、CPUが本来制御しようとするシステムの処理が圧迫されなくなり、動作の遅延が生じないという効果も得られる。

10

【0104】

なお、前述の説明においては、リモコン受信回路100が、ボタンを連続押下された際に図22(a)に示されるようなデータを伴わないヘッダ部からなるリモコン信号を受信する場合について説明したが、当該リモコン受信回路100において受信するリモコン信号は、ボタンを連続押下された際に図22(b)に示されるような同じ波形が繰り返し続くリモコン信号であってもよい。

20

【0105】

以下、図5及び図4を用いて、前述した構成を持つリモコン受信回路100において、繰り返しデータ型の送信機から発信されたりモコン信号を受信した場合の処理の流れを説明する。図5は、繰り返しデータ型の送信機から発信されたりモコン信号を受信した場合の、本実施の形態1におけるCPU側での処理を示すフローチャート図である。

【0106】

まず時刻 $N + 2T$ までの動作は、前述のシーケンスと同様であるので、省略する。

時刻 $N + 2T$ において、CPU190側では、前述したように、データ割り込み信号S170である割り込み信号S111を受けて(F503)、シフトレジスタ150の値を読み出し(F504)、該シフトレジスタ150から読み出したデータの正当性を評価して、データの有効性を判断した後(F505)、押下されたボタンに対応する処理を行う(F506)。そしてこの後、リピートヘッダ部を受信した際には、前述したようにモードレジスタ180の値を“0”にセットしたが、ここでは、モードレジスタ180の値を再設定せず、“1”のままにしておく。すなわち、CPU190は、ヘッダ割り込み待ちの状態に入らず、データ割り込み待ちの状態を続ける。

30

【0107】

この後、CPU190は、内蔵されたタイマに任意の値Mを設定し(F507)、タイマのダウンカウントを開始する(F508)。

リモコンのボタンが連続的に押下されている場合、時刻 $192T$ において、繰り返しデータのヘッダ部が到着する。その後、時刻 $0 \sim N + 2T$ と同様の動作を経て、リモコン受信回路100からCPU190へ、再びデータ割り込みが発行される(F510)。

40

【0108】

前記データ割り込みを受信したCPU190は、シフトレジスタ150の値を読み出し(F511)、データの有効性判断を行う(F512)。そして、データが無効と判断されればF503へ遷移し、次のデータ割り込み待ち状態となる。一方、有効であると判断されると、CPU190は、前回のデータ割り込みで取得したデータと、今回のデータ割り込みで取得したデータとが同一であるか否かを比較する(F513)。そして、これらのデータが一致していたら、リモコンボタンの連続押下中と判断して、その連続押下されたボタンに対応する処理を行い(F514)、データが一致していなければ、新たに別のボタンが押下されたものと判断して、CPU190の内蔵タイマをストップし(F515

50

）、その新たに押下されたボタンに対応する処理を行う（F506）。

【0109】

そして、リモコンボタンがリリースされると、それ以上、CPU190にはデータ割り込みが入らなくなる。

CPU190では、内蔵タイマがダウンカウントを経て、アンダーフロー割り込みを発行したとき（F509）、リモコンのボタンがリリースされたと判断して、F503に遷移し、新たなボタン押下を待つ状態になる。

【0110】

このように本実施の形態にかかるリモコン受信システムは、繰り返しデータを送信するタイプの送信機にも対応しうる。

【0111】

（実施の形態2）

以下、図6から図12を用いて、本実施の形態2にかかるリモコン受信システムについて説明する。

【0112】

前記実施の形態1においては、送信機から発行されるリモコン信号のデータ部が、ヘッダ部とデータ部とで構成される場合について説明したが、本実施の形態2においては、該リモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とで構成されているものとし、また、本実施の形態2のリモコン受信回路に、前記メインデータ部と前記反転データ部とを比較した結果によって、該リモコン信号のデータ部の有効性を判断する有効性判別回路と、使用者によるリモコンボタンのリリースを検出するOFF検出回路とをさらに備えて、前記実施の形態1より、少ないCPUのリソース、及び少ないCPUの処理能力で、リモコン受信機能を実現できるようにするものである。

【0113】

なお、本実施の形態2においては、前記リモコン信号のデータ部が、前記実施の形態1と同様32ビットであって、その32ビットのデータ部が、図6に示されるように、8ビットのカスタマコード部と、該カスタマコード部の0と1を反転させた8ビットの反転カスタマコード部と、8ビットのコマンド部と、該コマンド部の0と1を反転させた8ビットの反転コマンド部とからなる場合を例に挙げる。

【0114】

まず、図7及び図8を用いて、本実施の形態2にかかるリモコン受信システムの構成について説明する。図7は、本実施の形態2におけるリモコン受信システムの構成を示す図であり、図8は、本実施の形態2におけるリモコン受信回路内の有効性判別回路の詳細な構成を示す図である。

【0115】

図7において、本実施の形態2に係るリモコン受信システムは、送信機（図示せず）から発行されたりモコン信号を受信するリモコン受信回路200と、該リモコン受信回路200の各種レジスタに任意の値を設定し、リモコン受信回路200を制御するCPU290とからなるものであり、リモコン受信回路200は、エッジ検出回路110と、カウンタ回路120と、ヘッダ検出回路130と、データ判別回路140と、シフトレジスタ250と、ヘッダ割り込み生成回路160と、データ割り込み生成回路270と、モードレジスタ280と、スイッチ111と、有効性判別回路210と、OFF検出回路220とを備えるものである。そして、前記CPU290は、前記リモコン受信回路200からの割り込み信号S111を受信する割り込みポート291を備えるものである。

【0116】

以下、前記リモコン受信回路200の構成を詳述する。本実施の形態2にかかるリモコン受信回路200は、前記実施の形態1にかかるリモコン受信回路100に、有効性判別回路210とOFF検出回路220とを追加した構成である。

【0117】

10

20

30

40

50

前記有効性判別回路 210 は、シフトレジスタ 250 と、データ割り込み生成回路 270 と接続されており、前記シフトレジスタ 250 に格納されたりリモコン信号のデータを受け、該データが有効か否かを示すデータ有効信号 S210 を出力する。この有効性判別回路 210 は、例えば図 8 のような構成で実現でき、前記データ有効信号 S210 は、前記シフトレジスタ 250 に格納されたデータのカスタムコード部 8 ビットと、反転カスタムコード部 8 ビットの対応する各ビットとの排他的論理和をとって、その出力 8 ビットの論理積をとったものと、前記シフトレジスタ 250 に格納されたデータのコマンド部 8 ビットと、反転コマンド部 8 ビットの対応する各ビットとの排他的論理和をとって、その出力 8 ビットの論理積をとったものとの論理積である。

【0118】

前記 OFF 検出回路 220 は、前記リモコン信号の発信元である送信機（図示せず）のリモコンボタンがリリースされたか否かを検出するものであり、OFF 極性レジスタ 221 と、OFF 閾値レジスタ 222 と、OFF フラグレジスタ 223 とを有し、前記カウンタ回路 120、及びモードレジスタ 280 と接続されている。そして、前記 OFF 極性レジスタ 221、及び OFF 閾値レジスタ 222 は、前記 CPU 290 から設定可能なレジスタであり、また前記 OFF フラグレジスタ 223 は、前記 CPU 290 から読み出しのみ可能なレジスタである。そして、前記 OFF 閾値レジスタ 222 には、前記リモコンボタンのリリース検出に用いる閾値が設定され、前記 OFF 検出回路 220 は、前記 OFF 極性レジスタ 221 の設定値が“0”なら、カウンタ回路 120 内の LLC121 の出力値と前記 OFF 閾値レジスタ 222 の設定値とを比較し、前記 OFF 極性レジスタ 221 の設定値が“1”なら、前記カウンタ回路 120 内の LHC122 の出力値と前記 OFF 閾値レジスタ 222 の設定値とを比較し、それぞれの比較において、両者が等しければ OFF フラグレジスタ 223 を“1”にセットし、一方、モードレジスタ 280 の設定値が“1”である状況下で、前記カウンタ回路 120 内の LLC121、LHC122 の出力値が前記 OFF 閾値レジスタ 222 の設定値より小さければ OFF フラグレジスタ 223 を“0”にリセットする。つまり、ここでは、前記 OFF フラグレジスタ 223 の値が“1”であれば、前記リモコンボタンがリリースされたことを意味し、“0”であれば、リモコンボタンがリリースされておらず、連続押下されている状態にあることを意味する。

【0119】

データ割り込み生成回路 270 は、前記データ判別回路 140 と前記有効性判別回路 210 と接続されており、該有効性判別回路 210 からのデータ有効信号 S210 が“1”を出力している状況下において、前記データ判別回路 140 からのデータ受信完了信号 S140 の立上りを検出すると、データ割り込み信号 S270 として 1 サイクルのパルスを出出力する。

【0120】

前記モードレジスタ 280 は、前記スイッチ 111 と、前記 OFF 検出回路 220 に接続されている。そして、前記実施の形態 1 と同様、前記 CPU 290 により値が設定可能なレジスタであり、このモードレジスタ 280 に“0”が設定されていると、スイッチ 111 は、ヘッダ割り込み生成回路 160 と CPU 290 とを接続し、一方、モードレジスタ 280 に“1”が設定されていると、スイッチ 111 は、データ割り込み生成回路 160 と CPU 290 とを接続する。

【0121】

そして、CPU 290 は、後述する 1 つのタスク T110 をラウンドロビンのタスクとして持っている。なお、このほかの構成については、前記実施の形態 1 と同様であるため、ここでは説明を省略する。

【0122】

次に、図 9 ~ 図 11 を用いて、リピートヘッダ型の送信機から発信されたりリモコン信号を受信した場合の、前述した構成を有するリモコン受信システムの処理の流れを説明する。図 9 は、本実施の形態 2 におけるリモコン受信システムが、リピートヘッダ型の送信機から発信されたりリモコン信号を受信した場合のリモコン受信回路及び CPU のタイミング

10

20

30

40

50

チャート図であり、図10(a)は、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、本実施の形態2におけるCPU側での処理を示すフローチャート図であり、図10(b)は、本実施の形態2におけるCPUのタスクT110の処理のフローチャート図であり、図11は、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、本実施の形態2におけるリモコン受信回路での処理を示すフローチャート図である。

【0123】

まず、CPU290は、動作開始時に初期の設定として、前記実施の形態1と同様、ヘッダ検出回路130内のTHLレジスタ131とTHHレジスタ132、データ判別回路140内のDLレジスタ143、及びモードレジスタ280に値を設定するのに加え、OFF極性レジスタ221と、OFF閾値レジスタ222に値を設定する(F1001, F1002)。以下、前記各レジスタに設定される値について具体的に述べると、前記OFF極性レジスタ221には“1”を設定し、前記OFF検出回路220内のOFF閾値レジスタ222には200Tを設定する。なお、そのほかの各レジスタには、前記実施の形態1において設定した同様の値を設定する。つまり、前記ヘッダ検出回路130内のTHLレジスタ131には6Tを設定し、THHレジスタ132には3Tを設定し、また、データ判別回路140内のDLLレジスタ143には32を設定し、モードレジスタ280には“1”を設定するものとする。

10

【0124】

以上のように各レジスタに値を設定した後、CPU290は、リモコン受信回路200からデータ割り込み信号S270が発行されるのを待つ。

20

【0125】

また、リモコン受信回路200側では、動作開始時に、カウンタ回路120及びデータ判別回路140内のデータカウンタ143を初期化する(F1101)。

【0126】

そして、リモコンのボタンが押下されると、まずリモコン受信回路200にはリモコン信号のヘッダ部が到着する。ヘッダ部の最初の立下りエッジをエッジ検出回路110が検出した時刻を時刻0とすると(F1102)、時刻0において、カウンタ回路120内のLLC121とLHC122とがリセットされる(F1103)。このとき、データ判別回路140内のD0フラグ145、及びD1フラグ144は共に“0”であるため(F1104, F1106)、シフトレジスタ250にはデータが格納されることなく、カウンタ回路120のみがカウントアップされる(F1115)。

30

【0127】

そして、時刻6Tにおいて、リモコン信号のヘッダ部のロウ区間をカウントしているLLC121の出力値がTHLレジスタ131の値を上回る。

【0128】

さらに、時刻16Tに、立上りエッジが検出され(F1114)、カウンタ回路120内のLLC121は16Tをカウントしてストップし、LHC122がカウントを開始する(F1130)。

【0129】

40

そして、時刻19Tに、前記LHC122の出力値は、ヘッダ検出回路130のTHHレジスタ132の設定値を上回る。このとき、カウンタ回路120内のLLC121の出力値は16Tでストップしているため、THLレジスタ131の設定値を上回っている(F1116)。従って、このとき、ヘッダ検出回路130は、データ判別回路140及びヘッダ割り込み生成回路160に対して、ヘッダ検出信号S130“1”を出力する。

【0130】

このヘッダ検出信号S130の立上りエッジを検出したデータ判別回路140は、該データ判別回路140内のデータカウンタ143をリセットし、データ待ちフラグを“1”にセットし、さらに、D0フラグ145、及びD1フラグ144を“0”にリセットする(F1117)。また、前記ヘッダ検出信号S130の立上りエッジを検出したヘッダ割

50

り込み生成回路160は、ヘッダ割り込み信号S160として1サイクルのパルスを1回出力する。ただし、このとき、モードレジスタ280には“1”が設定されているので、ヘッダ割り込み生成回路160はCPU290の割り込みポート291に接続されておらず、このヘッダ割り込み信号S160は、CPU290には通知されない(F1118)。

【0131】

そして、時刻24Tにおいて、エッジ検出回路110が立下りエッジを検出し(F1102)、カウンタ回路120内のLLC121, LHC122がともにリセットされ(F1103)、この結果、前記LLC121及びLHC122それぞれの値は、ヘッダ検出回路130のTHLレジスタ131、及びTHHレジスタ132の値を下回るため(F1116)、ヘッダ検出信号S130“0”が出力される(F1120)。そしてこの後、前記OFF検出回路220内のOFF極性レジスタ221に“1”が設定されているので、該OFF検出回路220において、前記カウンタ回路120内のLHC122の値と、前記OFF閾値レジスタ222の設定値とが比較され、この時、前記カウンタ回路120内のLHC122の値は“3T”で、モードレジスタ280は“0”がセットされているので(F1121, F1122)、OFFフラグレジスタは“0”にリセットされない。さらにこの時、前記データ判別回路140内のデータ待ちフラグ141は“1”にセットされているので(F1124)、これによって、データ判別回路140内のD1フラグ144とD0フラグ145とがセット可能になる。

【0132】

そして、時刻25Tにおいて、エッジ検出回路110が立上りエッジを検出し(F1114)、カウンタ回路120内のLLC121は、1Tをカウントしてストップする(F1130)。

【0133】

時刻25T+1において、カウンタ回路120内のLHC122の出力値は、“1”と等しくなる。このとき、データ判別回路140内のデータ待ちフラグ141が“1”で、且つカウンタ回路120内のLHC122が“1”を達成したため(F1125)、前記データ判別回路140内のD0フラグ145が“1”にセットされる(F1126)。

【0134】

次に、時刻26Tにおいて、エッジ検出回路110が立下りを検出すると(F1102)、前記データ判別回路140は、D0フラグ145が“1”である状況下で、エッジ検出回路110から立下りエッジを通知されたため(F1102)、前記カウンタ回路120内のLLC121, LHC122をリセットすると共に(F1103)、シフトレジスタ250を1ビットシフトさせて、シフトレジスタ250に“0”を追加する(F1105)。このとき、データカウンタ143はインクリメントされて“1”になる(F1108)。該データカウンタ143の値は指定ビット数には達していないので(F1109)、カウンタ回路120がカウントアップされる(F1115)。

【0135】

そして、時刻27Tにおいて、エッジ検出回路110は立上りエッジを検出し(F1114)、データ判別回路140内のD0フラグ145、D1フラグ144はともに“0”にリセットされる(F1130)。

【0136】

そして、時刻27T+1において、前述した時刻25T+1の際の動作同様に、前記D0フラグ145が“1”にセットされる(F1126)。

【0137】

時刻29Tにおいて、カウンタ回路120内のLHC122は2Tをカウントし、データ待ちフラグ141が“1”で、且つカウンタ回路120内のLHC122が“2T”を達成したため(F1124, 1125, 1127)、D0フラグ145が“0”、D1フラグ144が“1”にセットされる(F1128)。

【0138】

10

20

30

40

50

時刻 30 Tにおいて、エッジ検出回路 110 が立下りエッジを検出する (F 1102)。この時、カウンタ回路 120 内の LLC 121 と LHC 122 はリセットされる (F 1103)。そして、データ判別回路 140 は、D1 フラグ 144 が “1” の状況下で、エッジ検出回路 110 から立下りエッジの検出を通知されたため (F 1104)、シフトレジスタ 250 を 1 ビットシフトさせ、シフトレジスタ 250 に “1” を追加する (F 1107)。このとき、データカウンタ 143 はインクリメントされて “2” になる (F 1108)。この後、該データカウンタ 143 の値は指定ビットには達していないので (F 1109)、カウンタ回路 120 がカウントアップする (F 1115)。

【0139】

時刻 31 Tにおいて、エッジ検出回路 110 が立上りエッジを検出すると (F 1114)、データ判別回路 140 内の D0 フラグ 145 と D1 フラグ 144 はともに “0” にリセットされる (F 1130)。以下、同様にして、リモコン信号のデータ部のデータが 1 ビットずつシフトレジスタ 250 に格納されていく。

【0140】

そして、前述した動作を繰り返してデータ判別回路 140 内のデータカウンタ 143 の出力値がインクリメントされて “31” になった時刻を時刻 N とする時、時刻 N + 1 T においてエッジ検出回路 110 が立上りエッジを検出し、さらに時刻 N + 2 T において立下りエッジを検出すると (F 1102)、シフトレジスタ 250 に “0” が追加され (F 1105)、データ判別回路 140 内のデータカウンタ 143 の出力値がインクリメントされて “32” となり (F 1108)、該データ判別回路 140 内のデータカウンタ 143 の値と、DL レジスタ 142 の設定値とが等しくなる (F 1109)。このとき、前記データ判別回路 140 内のデータ待ちフラグ 141 は “0” にリセットされ (F 1110)、前記データ判別回路 140 からデータ受信完了信号 S 140 が出力されると同時に、前記データ有効性判別回路 210 において、前記シフトレジスタ 250 に格納されたデータの有効性が判断される。

【0141】

例えば、前記シフトレジスタ 250 内のデータが、受信時のノイズ等によって 1 ビットだけ破損していると、前記データ有効性判別回路 210 からはデータ有効信号 S 210 “0” が出力され (F 1112)、データ割り込み生成回路 270 は、前記データ判別回路 140 からのデータ受信完了信号 S 140 の立上りエッジを検出して、データ割り込み信号 S 270 を出力しない。これにより、前記 CPU 290 は、エラーデータによるデータ割り込みを受けなくすることができ、使用者がリモコンボタンを新たに押しなおすことによって、当該リモコン受信回路 200 がデータを伴う新たなリモコン信号を受信するまで、前記 CPU 290 は、該リモコン受信回路 200 からの無駄な割り込みを受けることなく、動作することができる。

【0142】

また、前記有効性判別回路 210 において、前記シフトレジスタ 250 に格納されたデータが有効であると判断された場合、前記有効性判別回路 210 は、データ有効信号 S 210 “1” を出力する。そして、前記データ割り込み生成回路 270 は、該有効性判別回路 210 からデータ有効信号 S 210 “1” が出力されている状況下において、前記データ判別回路 140 からのデータ受信完了信号 S 140 の立上りを検出すると、データ割り込み信号 S 270 として 1 サイクルのパルスを出力する。この時、モードレジスタ 280 は “1” に設定されているので (F 1111)、スイッチ 111 により、前記データ割り込み生成回路 270 と CPU 290 とが接続されている。よって、CPU 290 の割り込みポート 291 に、データ割り込み信号 S 270 である割り込み信号 S 111 が出力され、データ割り込みが発生する (F 1113)。

【0143】

CPU 290 側では、前記リモコン受信回路 200 からのデータ割り込み信号 S 270 である割り込み信号 S 111 を受けると (F 1003)、シフトレジスタ 250 から読み出したデータの正当性を評価し (F 1005)、該データが無効であれば F 1002 に戻

10

20

30

40

50

り、該シフトレジスタ250から読み出したデータが有効であれば、押下されたボタンの情報を得、該ボタンに対応する処理を開始する(F1006)。なお、このデータの正当性の評価は、リモコンボタンに対応するデータであるか否かを調べるものであり、その評価において、対応するデータがなければデータが無効であると判断され、対応するデータがあれば有効であると判断される。

【0144】

この後、前記CPU290は、モードレジスタ280に“0”を設定し(F1007)、さらにCPU290は、ラウンドロビンのタスクとして、図10(b)に示されるタスクT110を起動する(F1008)。

【0145】

以後、リモコンボタンが連続押下されている間は、192Tの間隔でリピートヘッダが到着し、ヘッダ割り込みが発行されつづける。CPU290は、ヘッダ割り込みが通知されると(F1010)先に押下されたボタンが連続押下されたと判断し、その連続押下されたボタンに対応する処理を行う(F1011)。

【0146】

この間、図10(b)に示すように、CPU290内に設けられたタスクT110は実行順序が来るたびに(F1018)、OFFフラグレジスタ223を読み出すが(F1028)、該OFFフラグレジスタの値が“0”であれば(F1038)、再びラウンドロビンのキューに入る(F1018)。

【0147】

そして、使用者がリモコンボタンをリリースすると、リピートヘッダ部はCPU290側に到着しなくなり、リモコン信号には長いハイ区間が現れる。そして、最後のリピートヘッダから200T後、LHC122の出力値は200Tに達し(F1121)、OFFフラグレジスタ223は“1”にセットされる(F1129)。

【0148】

やがて、CPU290側では、タスクT110によって、OFFフラグレジスタ223から“1”が読み出されると(F1028, 1038)、CPU290側ではタスクT110が終了する(F1009)。このタスクT110の終了により、CPU290はリモコンボタンのリリースを検知し、モードレジスタ280に“1”を設定し(F1010)、再び、前記リモコン受信回路200からのデータ割り込みを待つ状態になる。

【0149】

このように、本実施の形態2のリモコン受信システムによれば、前記リモコン受信回路200で受信するリモコン信号のデータ部が、メインデータ部と、該メインデータ部の0と1を反転させた反転データ部とで構成されている場合に、該リモコン受信回路200に前記メインデータ部と前記反転データ部とを比較することで該リモコン信号のデータ部の有効性を判断する有効性判別回路210を備え、データ割り込み生成回路270が、該有効性判別回路210において前記リモコン信号のデータが有効であると判断され、且つ前記データ判別回路140からデータ受信完了信号S140が出力されたときに、データ割り込み信号S270を出力するようにしたので、CPU290側にエラーデータによる不要なデータ割り込み信号が発行されなくなり、これにより、リモコン受信機能に使用するCPU290の処理能力をさらに軽減することができる。

【0150】

さらに、本実施の形態2のリモコン受信システムによれば、前記リモコン受信回路200にリモコンボタンのリリースを検出するOFF検出回路220を備えると共に、CPU290が、押下されたリモコンボタンに対応する処理を行った後に開始されるラウンドロビンのタスクT110のコードを持つようにし、前記OFF検出回路220によって検出されたリモコンボタンがリリースされたか否かの判断結果を、CPU290が前記タスクT110のフローにおいて読み出すようにしたので、CPU290側において、内蔵タイマを用いることなく使用者がリモコンボタンをリリースしたことを検知することが可能となり、リモコン受信機能に使用するCPU290のリソースをさらに少なくすることがで

10

20

30

40

50

きる。

【 0 1 5 1 】

さらに、前述の説明においては、リモコン受信回路 2 0 0 が、ボタンを連続押下された際に図 2 2 (a) に示されるようなデータを伴わないリピートヘッダ部からなるリモコン信号を受信する場合について説明したが、当該リモコン受信回路 2 0 0 において受信するリモコン信号は、ボタンを連続押下された際に図 2 2 (b) に示されるような同じ波形が繰り返し続くリモコン信号であってもよい。

【 0 1 5 2 】

以下、図 1 1 及び図 1 2 を用いて、前述した構成を持つリモコン受信回路 2 0 0 において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の処理の流れを説明する。図 1 2 (a) は、繰り返しデータ型のリモコン信号を受信した場合の、本実施の形態 2 における CPU 側での処理を示すフローチャート図であり、図 1 2 (b) は、本実施の形態 2 における CPU のタスク T 1 1 0 の処理のフローチャート図である。

10

【 0 1 5 3 】

まず、時刻 $N + 2 T$ までの動作は、前述のシーケンスと同様であるので、省略する。

時刻 $N + 2 T$ において、CPU 2 9 0 側では、前述したように、前記有効性判別回路 2 1 0 により有効と判断されたデータを読み出して (F 1 2 0 4)、押下されたリモコンボタンに対応する処理をする (F 1 2 0 6)。そしてこの後、リピートヘッダ部を受信した際には、前述したようにモードレジスタ 2 8 0 の値を “ 0 ” にセットしたが、ここでは、モードレジスタ 2 8 0 の値を再設定せず、“ 1 ” のままでタスク T 1 1 0 を起動する (F 1 2 0 7)。

20

【 0 1 5 4 】

リモコンボタンが連続的に押下されている場合、時刻 $1 9 2 T$ において、繰り返しデータのヘッダ部が到着する。その後、時刻 $0 \sim N + 2 T$ と同様の動作を経て、リモコン受信回路 2 0 0 から CPU 2 9 0 へ、再びデータ割り込みが発行される (F 1 2 0 9)。

【 0 1 5 5 】

前記データ割り込みを受信した CPU 2 9 0 は、シフトレジスタ 2 5 0 の値を読み出し (F 1 2 0 9)、データの有効性の判断する (F 1 2 1 1)。そして、データが無効と判断されれば F 1 2 0 3 へ遷移し、次のデータ割り込み待ち状態となる。一方、有効であると判断されると、CPU 2 9 0 は、前回のデータ割り込みで取得したデータと、今回のデータ割り込みで取得したデータとが同一であるか否かを比較する (F 1 2 1 2)。そして、これらのデータが一致していたら、リモコンボタンの連続押下中と判断して、その連続押下されたボタンに対応する処理を行い (F 1 2 1 3)、データが一致していなければ、タスク T 1 1 0 を停止し (F 1 2 1 4)、新たに別のボタンが押下されたものと判断して、その新たに押下されたボタンに対応する処理を行う (F 1 2 0 6)。

30

【 0 1 5 6 】

リモコンボタンが連続押下される限り、 $1 9 2 T$ おきにデータ割り込みが発生し、同一のデータが F 1 2 1 0 で読み出される。この間、図 1 2 (b) に示すように、CPU 2 9 0 が持つタスク T 1 1 0 は実行順序が来るたびに (F 1 2 1 7)、OFF フラグレジスタ 2 2 3 の値を読み出すが (F 1 2 2 7)、該 OFF フラグレジスタ 2 2 3 の値が “ 0 ” であれば (F 1 2 3 7)、再びラウンドロビンのキューに入る (F 1 2 0 8)。

40

【 0 1 5 7 】

そして、使用者がリモコンボタンをリリースすると、リピートヘッダ部は CPU 2 9 0 側に到着しなくなり、リモコン信号には長いハイ区間が現れる。そして、最後のリピートヘッダから 2 0 0 T 後、LHC 1 2 2 の出力値は 2 0 0 T に達し (F 1 1 2 1)、OFF フラグレジスタ 2 2 3 は “ 1 ” にセットされる (F 1 1 2 9)。

【 0 1 5 8 】

やがて、CPU 2 9 0 側では、タスク T 1 1 0 によって、OFF フラグレジスタ 2 2 3 から “ 1 ” が読み出されると (F 1 2 2 7 , 1 2 3 7)、CPU 2 9 0 側ではタスク T 1 1 0 が終了する (F 1 2 0 8)。このタスク T 1 1 0 の終了により、CPU 2 9 0 はリモ

50

コンボタンのリリースを検知し、F 1 2 0 3 に遷移して新たなボタン押下を待つ状態になる。

【 0 1 5 9 】

このように本実施の形態にかかるリモコン受信システムは、繰り返しデータを送信するタイプの送信機にも対応しうる。

【 0 1 6 0 】

(実施の形態 3)

以下、図 1 3 から図 1 7 を用いて、本実施の形態 3 にかかるリモコン受信システムについて説明する。

【 0 1 6 1 】

本実施の形態 3 のリモコン受信システムにおいては、前記実施の形態 2 と同様、該リモコン信号のデータ部が、メインデータ部と、該メインデータ部の 0 と 1 を反転させた反転データ部とで構成されているものとし、また、本実施の形態 3 のリモコン受信回路には、ヘッダ割り込み生成回路、及びデータ割り込み生成回路を設けず、該リモコン受信回路から CPU に割り込みが発行されないようにして CPU の割り込みポートを全く使わず、CPU が持つラウンドロピントスクのみでリモコン受信機能を実現するものである。さらに、前記実施の形態 2 では、リモコンボタンのリリースをカウンタ回路 1 2 0 のレジスタの値と OFF 検出回路 2 2 0 内の OFF 閾値レジスタ 2 2 2 の設定値とを比較することで判断していたが、本実施の形態 3 では、OFF 検出回路内にある値まで常にカウントアップする OFF カウンタを設け、該 OFF カウンタの値と OFF 閾値レジスタの値を比較することで、ノイズによってリモコンボタンのリリースの検出が遅延されるのを回避できるようにするものである。

【 0 1 6 2 】

なお、本実施の形態 3 においては、送信機 (図示せず) から発行されるリモコン信号のデータ部が、前記実施の形態 2 と同様、図 6 に示されるような、8 ビットのカスタマコード部と、該カスタマコードの 0 と 1 を反転させた 8 ビットの反転カスタマコード部と、8 ビットのコマンド部と、該コマンド部の 0 と 1 を反転させた 8 ビットの反転コマンド部とからなる場合を例に挙げる。

【 0 1 6 3 】

まず、図 1 3 を用いて、本実施の形態 3 にかかるリモコン受信回路の構成について説明する。図 1 3 は、本実施の形態 3 におけるリモコン受信システムの構成を示す図である。

【 0 1 6 4 】

図 1 3 において、本実施の形態 3 に係るリモコン受信システムは、送信機 (図示せず) から発行されたりモコン信号を受信するリモコン受信回路 3 0 0 と、該リモコン受信回路 3 0 0 の各種レジスタに任意の値を設定し、リモコン受信回路 3 0 0 を制御する CPU 3 9 0 とからなるものであり、リモコン受信回路 3 0 0 は、エッジ検出回路 1 1 0 と、カウンタ回路 1 2 0 と、ヘッダ検出回路 1 3 0 と、データ判別回路 1 4 0 と、シフトレジスタ 2 5 0 と、モードレジスタ 1 8 0 と、スイッチ 3 1 1 と、AND ゲート 3 1 2 と、OFF 検出回路 3 2 0 と、データ / ヘッダフラグレジスタ (以下、「DH フラグレジスタ」と称す。) 3 3 0 と、を備えるものである。そして、前記 CPU 3 9 0 には、前記リモコン受信回路 3 0 0 からの割り込みが発行されることがないので、割り込みポートが設けられていない。

【 0 1 6 5 】

以下、前記リモコン受信回路 3 0 0 の構成を詳述する。本実施の形態 3 にかかるリモコン受信回路 3 0 0 は、前記実施の形態 2 にかかるリモコン受信回路 2 0 0 から、データ割り込み生成回路と、ヘッダ割り込み生成回路とを削除し、DH フラグレジスタ 3 3 0 を追加した構成となっている。

【 0 1 6 6 】

DH フラグレジスタ 3 3 0 は、スイッチ 3 1 1 と、OFF 検出回路 3 2 0 と接続されており、CPU 3 9 0 から読み出しと書き込みが可能なレジスタである。そして、前記 DH

10

20

30

40

50

フラグレジスタ330は、前記スイッチ311からのOFFカウントリセット信号S311を受信し、該OFFカウントリセット信号S311の立上りを検出すると“1”がセットされ、CPU390に“0”を書き込まれることによるのみ、“0”にリセットされるものである。

【0167】

前記スイッチ311は、ANDゲート312を介してデータ判別回路140と、有効性データ判別回路210と接続され、ヘッダ検出回路130と、DHフラグレジスタ330と、モードレジスタ180とが接続される。前記スイッチ311は、前記モードレジスタ180の設定値が“1”ならば、前記データ判別回路140からのデータ受信完了信号S140と前記有効性判別回路210からのデータ有効信号S210との論理積を前記DHフラグレジスタ330に出力し、一方、前記モードレジスタ180の設定値が“0”ならば、前記ヘッダ検出回路130からのヘッダ検出信号S130を前記DHフラグレジスタ330に出力するものである。

10

【0168】

前記OFF検出回路320は、DHフラグレジスタ330と接続され、OFF閾値レジスタ222と、OFFカウンタ321と、ONフラグレジスタ323とを有するものである。そして、前記OFFカウンタ321は、常にカウントアップしており、前記DHフラグレジスタ330の値が“1”になると、リセットされる。また、前記ONフラグレジスタ323は、DHフラグレジスタ330の値が“1”になると“1”にセットされ、OFFカウンタ321の出力値とOFF閾値レジスタ222の設定値とが等しくなると“0”

20

【0169】

そして、前記CPU390は、後述する2つのタスクT120, T121をラウンドロビンのタスクとして持っている。なお、このほかの前記実施の形態において説明したものと同一番号が付されたものについては、前述した実施の形態において説明したものと同一であるため、ここでは説明を省略する。

【0170】

次に、図14～図16を用いて、リピートヘッダ型の送信機から発信されたりモコン信号を受信した場合の、前述した構成を有するリモコン受信システムの処理の流れを説明する。図14は、本実施の形態3におけるリモコン受信システムが、リピートヘッダ型の送信機から発信されたりモコン信号を受信した場合のリモコン受信回路及びCPUのタイミングチャート図であり、図15(a)は、リピートヘッダ型の送信機から発信されたりモコン信号を受信した場合の、本実施の形態3におけるCPU側での処理を示すフローチャート図であり、図15(b)は、本実施の形態3におけるCPUのタスクT120の処理のフローチャート図であり、図15(c)は、本実施の形態3におけるCPUのタスクT121の処理のフローチャート図であり、図16は、リピートヘッダ型の送信機から発信されたりモコン信号を受信した場合の、本実施の形態3におけるリモコン受信回路での処理を示すフローチャート図である。

30

【0171】

まず、CPU390は、動作開始時に初期の設定として、前記実施の形態2と同様、ヘッダ検出回路130内のTHLレジスタ131とTHHレジスタ132、データ判別回路140内のDLレジスタ143、前記OFF検出回路320内のOFF閾値レジスタ222及びモードレジスタ180に値を設定する(F1501, F1502)。以下、前記各レジスタに設定される値について具体的に述べると、前記ヘッダ検出回路130内のTHLレジスタ131には6Tを設定し、THHレジスタ132には3Tを設定し、データ判別回路140内のDLLレジスタ143には32を設定し、OFF検出回路140内のOFF閾値レジスタ222には200Tを設定し、また、モードレジスタ180には“1”を設定するものとする。

40

【0172】

以上のように各レジスタに値を設定した後、CPU390は、ラウンドロビンのタスク

50

としてタスク T 1 2 0 を開始する (F 1 5 0 3)。

【 0 1 7 3 】

また、リモコン受信回路 3 0 0 側では、動作開始時に、カウンタ回路 1 2 0 及びデータ判別回路 1 4 0 内のデータカウンタ 1 4 3 を初期化する (F 1 6 0 1)。

【 0 1 7 4 】

リモコンのボタンが押下されると、まずリモコン受信回路 3 0 0 にはリモコン信号のヘッダ部が到着する。ヘッダ部の最初の立下りエッジをエッジ検出回路 1 1 0 が検出した時刻を 0 とすると (F 1 6 0 2)、時刻 0 において、カウンタ回路 1 2 0 内の L L C 1 2 1 と L H C 1 2 2 とがリセットされる (F 1 6 0 3)。このとき、データ判別回路 1 4 0 内の D 0 フラグ 1 4 5、及び D 1 フラグは共に “ 0 ” であるため (F 1 6 0 4、F 1 6 0 6)、シフトレジスタ 2 5 0 にはデータが格納されることなく、カウンタ回路 1 2 0 のみがカウントアップされる (F 1 6 0 5)。

10

【 0 1 7 5 】

そして、時刻 6 T において、リモコン信号のヘッダ部のロウ区間をカウントしている L L C 1 2 1 の出力値が T H L レジスタ 1 3 1 の値を上回る。

【 0 1 7 6 】

さらに、時刻 1 6 T に、立上りエッジが検出され (F 1 6 1 4)、カウンタ回路 1 2 0 内の L L C 1 2 1 は 1 6 T をカウントしてストップし、L H C 1 2 2 がカウントを開始する (F 1 6 2 7)。

【 0 1 7 7 】

そして、時刻 1 9 T に、前記 L H C 1 2 2 の出力値は、ヘッダ検出回路 1 3 0 の T H H レジスタ 1 3 2 の設定値を上回る。このとき、カウンタ回路 1 2 0 内の L L C 1 2 1 の出力値は 1 6 T でストップしているため、T H L レジスタ 1 3 1 の設定値を上回っている (F 1 6 1 6)。このとき、前記実施の形態では、前記ヘッダ検出回路 1 3 0 がデータ判別回路 1 4 0 及びヘッダ割り込み生成回路 1 6 0 に対して、ヘッダ検出信号 S 1 3 0 “ 1 ” を出力し、ヘッダ割り込み生成回路 1 6 0 の動作が発生したが、本実施の形態 3 では、以下の動作が発生する。

20

【 0 1 7 8 】

すなわち、前記ヘッダ検出回路 1 3 0 から、データ判別回路 1 4 0 及びスイッチ 3 1 1 に対してヘッダ検出信号 S 1 3 0 “ 1 ” が出力され、このヘッダ検出信号 S 1 3 0 の立ち上がりエッジを検出した前記データ判別回路 1 4 0 は、データ待ちフラグを “ 1 ” にセットし、前記データカウンタ 1 4 3 をリセットし、さらに D 1 フラグ 1 4 4 及び、D 0 フラグ 1 4 5 を “ 0 ” にリセットする (F 1 6 1 7)。また、前記ヘッダ検出回路 1 3 0 からのヘッダ検出信号 S 1 3 0 “ 1 ” は、スイッチ 3 1 1 に伝えられるが、このときモードレジスタ 1 8 0 が “ 1 ” に設定されているため (F 1 6 1 8)、前記ヘッダ検出回路 1 3 0 は D H フラグレジスタ 3 3 0 とは接続されないため、このヘッダ検出信号 S 1 3 0 の立ち上がりは、D H フラグレジスタ 3 3 0 には伝えられず、O N フラグレジスタ 3 2 3 は “ 0 ” のままであり、この結果 O F F カウンタ 3 2 1 もリセットされない。

30

【 0 1 7 9 】

そして、時刻 2 4 T において、エッジ検出回路 1 1 0 が立下りエッジを検出し (F 1 6 0 2)、カウンタ回路 1 2 0 内の L L C 1 2 1、L H C 1 2 2 がともにリセットされ (F 1 6 0 3)、この結果、前記 L L C 1 2 1 及び L H C 1 2 2 それぞれの値は、ヘッダ検出回路 1 3 0 の T H L レジスタ 1 3 1、及び T H H レジスタ 1 3 2 の値を下回るため (F 1 6 1 6)、ヘッダ検出信号 S 1 3 0 “ 0 ” が出力される (F 1 6 2 0)。そして、O F F 検出回路 3 2 0 内の O F F カウンタ 3 2 1 の値と O F F 閾値レジスタ 2 2 2 との値が比較される (F 1 6 2 1)。そして、この時、データ判別回路 1 4 0 のデータ待ちフラグ 1 4 1 には “ 1 ” がセットされているので (F 1 6 2 2)、これによって、データ判別回路 1 4 0 内の D 1 フラグ 1 4 4 と D 0 フラグ 1 4 5 とがセット可能になる。

40

【 0 1 8 0 】

そして、時刻 2 5 T において、エッジ検出回路 1 1 0 が立上りエッジを検出し (F 1 6

50

14)、カウンタ回路120内のL L C 1 2 1は、1 Tをカウントしてストップする(F 1 6 2 8)。

【0181】

時刻25 T + 1において、カウンタ回路120内のL H C 1 2 2の出力値は、“1”と等しくなる。このとき、データ判別回路140内のデータ待ちフラグ141が“1”で、且つカウンタ回路120内のL H C 1 2 2が“1”を達成したため(F 1 6 2 3)、前記データ判別回路140内のD 0フラグ145が“1”にセットされる(F 1 6 2 4)。

【0182】

次に、時刻26 Tにおいて、エッジ検出回路110が立下りエッジを検出すると(F 1 6 0 2)、前記データ判別回路140は、D 0フラグ145が“1”である状況下で、エッジ検出回路110から立下りエッジを通知されたため、前記カウンタ回路120内のL L C 1 2 1, L H C 1 2 2をリセットすると共に(F 1 6 0 3)、シフトレジスタ250を1ビットシフトさせて、シフトレジスタ250に“0”を追加する(F 1 6 0 5)。このとき、データカウンタ143はインクリメントされて“1”になる(F 1 6 0 8)。該データカウンタ143の値は指定ビット数には達していないので(F 1 6 0 9)、カウンタ回路120がカウントアップされる(F 1 6 1 5)。

【0183】

そして、時刻27 Tにおいて、エッジ検出回路110は立上りエッジを検出し(F 1 6 1 4)、データ判別回路140内のD 0フラグ145、D 1フラグ144はともに“0”にリセットされる(F 1 6 2 8)。

【0184】

そして、時刻27 T + 1において、前述した時刻25 T + 1の際の動作同様に、前記D 0フラグ145が“1”にセットされる(F 1 6 2 4)。

【0185】

時刻29 Tにおいて、カウンタ回路120内のL H C 1 2 2は2 Tをカウントし、データ待ちフラグ141が“1”で、且つカウンタ回路120内のL H C 1 2 2が“2 T”を達成したため(F 1 6 2 2, 1 6 2 3, 1 6 2 5)、D 0フラグ145が“0”、D 1フラグ144が“1”にセットされる(F 1 6 2 6)。

【0186】

時刻30 Tにおいて、エッジ検出回路110が立下りエッジを検出する(F 1 6 0 2)。この時、カウンタ回路120内のL L C 1 2 1とL H C 1 2 2はリセットされる(F 1 6 0 3)。そして、データ判別回路140は、D 1フラグ144が“1”の状況下で、エッジ検出回路110から立下りエッジの検出を通知されたため(F 1 6 0 6)、シフトレジスタ250を1ビットシフトさせ、シフトレジスタ250に“1”を追加する(F 1 6 0 7)。このとき、データカウンタ143はインクリメントされて“2”になる(F 1 6 0 8)。この後、該データカウンタ143の値は指定ビットには達していないので(F 1 6 0 9)、カウンタ回路120がカウントアップする(F 1 6 1 5)。

【0187】

時刻31 Tにおいて、エッジ検出回路110が立上りエッジを検出すると(F 1 6 1 4)、データ判別回路140内のD 0フラグ145とD 1フラグ144はともに“0”にリセットされる(F 1 6 2 8)。以下、同様にして、リモコン信号のデータ部のデータが1ビットずつシフトレジスタ250に格納されていく。

【0188】

そして、前述した動作を繰り返してデータ判別回路140内のデータカウンタ143の出力値がインクリメントされて“31”になった時刻を時刻Nとする時、時刻N + 1 Tにおいてエッジ検出回路110が立上りエッジを検出し、さらに時刻N + 2 Tにおいて立下りエッジを検出すると(F 1 6 0 2)、シフトレジスタ250に“0”が追加され(F 1 6 0 5)、データ判別回路140内のデータカウンタ143の出力値がインクリメントされて“32”となり(F 1 6 0 8)、該データ判別回路140内のデータカウンタ143の値とD Lレジスタ142の設定値とが等しくなる(F 1 6 0 9)。このとき、前記デー

10

20

30

40

50

データ判別回路140内のデータ待ちフラグ141は“0”にリセットされる(F1610)と同時に、データ判別回路140からデータ割り込み生成回路170に対して、データ受信完了信号S140“1”が出力される。さらに、このとき、モードレジスタ180が“1”であるので(F1611)、スイッチ311はデータ判別回路140からのデータ受信完了信号S140と有効性判別回路S210からのデータ有効信号S210との論理積のほうを選択している。そして、この後、有効性判別回路210にて、前記シフトレジスタ250に格納されたデータが有効か否かを判断し(F1612)、データが有効と判断されれば、データ有効信号S210“1”が出力され、DHフラグレジスタ330には、データ受信完了信号S140“1”とデータ有効信号S210“1”との論理積“1”であるOFFカウントリセット信号S311が出力され、これによりDHフラグレジスタ330が“1”にセットされ、さらに、DHフラグレジスタ330の立上りエッジを前記OFF検出回路320が検出するので、該OFF検出回路320内のOFFカウンタ321がリセットされ、ONフラグレジスタ323が“1”にセットされる(F1613)。

【0189】

前述のF1613が発生するまでの間、CPU390側では、タスクT120が実行されており、実行順序が来るたびにDHフラグレジスタ330の値を読み出すが(F1505)、該DHフラグレジスタ330の値が“0”であるため(F1506)、再びラウンドロビンのキューに入る(F1504)。

【0190】

そして、前記F1613発生後、CPU390側では、やがてタスクT120によってDHフラグレジスタ330から“1”が読み出される(F1506)。そして、CPU390は、シフトレジスタ250の値を読み出し(F1507)、該シフトレジスタ250から読み出したデータの正当性を評価して(F1508)、該データが有効でなければ再びラウンドロビンのキューに入り(F1504)、一方該データが有効であれば、押下されたボタンの情報を得、対応する処理を開始する(F1509)。

【0191】

そして、CPU390は、モードレジスタ180に“0”を設定し(F1510)、DHフラグレジスタ330を“0”にリセットした後(F1511)、タスクT121をラウンドロビンのタスクとして起動して(F1512)、現在実行中のタスクT120をラウンドロビントタスクから外す。

【0192】

そして、時刻N+3T以降は、データ判別回路140内のデータ待ちフラグ141が“0”にセットされていることから、カウンタ回路120内のLHC122の出力値が1、または2Tになっても、前記データ判別回路140内のD0フラグ145とD1フラグ144は“1”にセットされず、カウンタ回路120がカウントアップされていくのみである。

【0193】

そして、リモコンボタンが連続押下されている場合には、時刻192Tにおいてリピートヘッダ部が到着する。

【0194】

時刻192Tにおいて、エッジ検出回路110は立下りエッジを検出し(F1602)、カウンタ回路120内のLLC121とLHC122がリセットされる(F1603)。

【0195】

時刻198Tにおいて、リピートヘッダ部のロウ区間をカウントしているLLC121の出力値が、ヘッダ検出回路130内のTHLレジスタ131の値を上回る。

【0196】

さらに、時刻208Tに、立上りエッジが検出され(F1614)、カウンタ回路120内のLLC121は16Tをカウントしてストップし、LHC122がカウントを開始する(F1628)。

10

20

30

40

50

【 0 1 9 7 】

そして、時刻 2 1 1 T に、前記 L H C 1 2 2 の出力値は、ヘッダ検出回路 1 3 0 の T H H レジスタ 1 3 2 の設定値を上回る。このとき、カウンタ回路 1 2 0 内の L L C 1 2 1 の出力値は 1 6 T でストップしているため、T H L レジスタの設定値を上回っている (F 1 6 1 6)。従って、ヘッダ検出回路 1 3 0 は、データ判別回路 1 4 0 及びヘッダ割り込み生成回路 1 6 0 に対して、ヘッダ検出信号 S 1 3 0 “ 1 ” を出力する (F 1 6 1 7)。

【 0 1 9 8 】

このとき、モードレジスタ 1 8 0 は “ 0 ” に設定されているので (F 1 6 1 8)、スイッチ 3 1 1 は、ヘッダ検出回路 1 3 0 からのヘッダ検出信号 S 1 3 0 を選択し、これにより、D H フラグレジスタ 3 3 0 に O F F カウントリセット信号 S 3 1 1 “ 1 ” が出力され、D H フラグレジスタ 3 3 0 が “ 1 ” にセットされ、さらに、前記 D H フラグレジスタ 3 3 0 の立上りエッジを受けて、O F F 検出回路 1 4 0 内の O F F カウンタ 3 2 1 がリセットされる (F 1 6 1 9)。

10

【 0 1 9 9 】

この時、C P U 3 9 0 側では、タスク T 1 2 0 がラウンドロビンタスクから外されてタスク T 1 2 1 が実行されている。そして、前述の F 1 6 1 9 が発生する前まで、前記 D H フラグレジスタ 3 3 0 には “ 0 ” が設定されており、且つ前記 O F F 検出回路 1 4 0 内の O N フラグレジスタ 3 2 3 には “ 1 ” が設定されているため (F 1 5 1 3 ~ F 1 5 1 7)、この間、C P U 3 9 0 は、実行順序が来るたびに再びラウンドロビンのキューに入る (F 1 5 1 3) ことを繰り返している。

20

【 0 2 0 0 】

そして、前記 F 1 6 1 9 において、前述のように D H フラグレジスタ 3 3 0 が “ 1 ” にセットされたので、やがて C P U 3 9 0 は、D H フラグレジスタ 3 3 0 から “ 1 ” を読み出す (F 1 5 1 5)。

【 0 2 0 1 】

C P U 3 9 0 は、D H フラグレジスタ 3 3 0 を “ 0 ” にリセットし (F 1 5 2 0)、前述のタスク T 1 2 0 の F 1 5 0 7 で読み出したデータに対応する処理を行う (F 1 5 2 1)。

【 0 2 0 2 】

以後、リモコンボタンが連続押下されている間は、1 9 2 T の間隔で当該リモコン受信回路 4 0 0 にリピータヘッダ部が到着し、そのたびに前述したように、D H フラグレジスタ 3 3 0 は “ 1 ” にセットされ、前記 O F F 検出回路 3 2 0 内の O F F カウンタ 3 2 1 は 0 にリセットされる (F 1 6 1 9)。

30

【 0 2 0 3 】

そして C P U 3 9 0 は、タスク T 1 2 1 の F 1 5 1 5 において D H フラグレジスタ 3 3 0 から “ 1 ” を読み出すたびに、D H フラグレジスタ 3 3 0 を “ 0 ” にリセットし (F 1 5 2 0)、その連続押下されているボタンに対応する処理を行う (F 1 5 2 1)。

【 0 2 0 4 】

そして、使用者がリモコンボタンをリリースすると、リピータヘッダ部は到着しなくなり、リモコン信号に長いハイ区間が現れる。最後のリピータヘッダから 2 0 0 T 後、O F F カウンタ 3 2 1 の出力値は 2 0 0 T に達し (F 1 6 2 1)、O N フラグレジスタ 3 2 3 は “ 0 ” にリセットされる (F 1 6 2 3)。

40

【 0 2 0 5 】

やがて、C P U 3 9 0 側は、D H フラグレジスタ 3 3 0 と O N フラグレジスタ 3 2 3 から “ 0 ” を読み出すと (F 1 5 1 5、F 1 5 1 7)、C P U 3 9 0 は、モードレジスタ 1 8 0 に “ 1 ” を設定し (F 1 5 1 8)、タスク T 1 2 0 をラウンドロビンのタスクとして起動し (F 1 5 1 9)、現在実行中のタスク T 1 2 1 をラウンドロビンのタスクから外す。すなわち、最初に C P U 3 9 0 がタスク T 1 2 0 を起動させた時点と同じ状態に戻る (F 1 5 0 3)。

【 0 2 0 6 】

50

従って、使用者によってリモコンボタンがリリースされた後に、当該リモコン受信回路 300 にパルスノイズが入り、前記エッジ検出回路 110 から立上りエッジや立下りエッジの検出が通知されても、前記 OFF 検出回路 140 内の OFF カウンタ 321 は、ヘッダ検出を受けない限りリセットされない。従って、リモコンのボタンリリースは、OFF 閾値レジスタ 222 に設定された時間どおりに判定される。

【0207】

このように、本実施の形態 3 のリモコン受信システムによれば、前記実施の形態 2 と同様、当該リモコン受信回路 300 で受信するリモコン信号のデータ部が、メインデータ部と、該メインデータ部の 0 と 1 を反転させた反転データ部とで構成されている場合に、該リモコン受信回路 300 から割り込み生成回路を削除して CPU 390 に割り込みを発行しないようにし、また CPU 390 に割り込みポートを設けず、ラウンドロビンのタスクを持たせるようにしたので、リモコン受信機能に使用する CPU 390 のリリースをさらに少なくすることができる。

10

【0208】

さらに、本実施の形態 3 のリモコン受信システムによれば、OFF 検出回路 320 内に ON フラグレジスタ 323 と、OFF カウンタ 321 とを設け、前記 ON フラグレジスタ 323 の値は、前記 OFF カウンタ 321 の値が、OFF 閾値レジスタ 222 に設定されたリモコンボタンのリリース検出に用いる閾値（ここでは 200 T）と一致すれば“0”にリセットされ、該 ON フラグレジスタ 323 が“0”になれば、リモコンボタンがリリースされたと判断するものとし、さらに、前記 OFF 閾値レジスタ 222 の設定値と比較される前記 OFF カウンタ 321 は、常にカウントアップし前記 DH フラグレジスタ 330 の値が“1”、つまりヘッダ検出を検知しないとリセットされないものであるようにしたので、リモコン信号の最後のリピートヘッダ部を受信してからある期間（ここでは 200 T）をカウントアップしている際に、ノイズによりエッジが発生してカウンタがリセットされることを防止でき、これにより、リモコンボタンのリリースの検出がノイズにより遅延されるのを回避することができる。

20

【0209】

なお、前述の説明においては、リモコン受信回路 300 が、ボタンを連続押下された際に図 22 (a) に示されるようなデータを伴わないリピートヘッダ部からなるリモコン信号を受信する場合について説明したが、当該リモコン受信回路 200 において受信するリモコン信号は、ボタンを連続押下された際に図 22 (b) に示されるような同じ波形が繰り返し続くリモコン信号であってもよい。

30

【0210】

以下、図 16 及び図 17 を用いて、前述した構成を持つリモコン受信回路 300 において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の処理の流れを説明する。図 17 (a) は、繰り返しデータ型のリモコン信号を受信した場合の、本実施の形態 3 における CPU 側での処理を示すフローチャート図であり、図 17 (b) は、本実施の形態 3 における CPU のタスク T123 の処理のフローチャート図であり、図 17 (c) は、本実施の形態 3 における CPU のタスク T124 の処理のフローチャート図である。

40

【0211】

まず、時刻 $N + 2T$ までの動作は、前述のシーケンスと同様であるので、省略する。

【0212】

時刻 $N + 2T$ において、CPU 390 側では、前述したように、前記有効性判別回路 210 により有効と判断されたデータを読み出して (F1707)、押下されたリモコンボタンに対応する処理をする (F1709)。そしてこの後、リピートヘッダ部を受信した際には、前述したようにモードレジスタ 180 の値を“0”にセットしたが、ここでは、モードレジスタ 180 の値を再設定せず、“1”のままタスク T124 を起動する (F1711)。

【0213】

50

リモコンボタンが連続的に押下されている場合、時刻 $192T$ において繰り返しデータのヘッダ部が到着する。その後、時刻 $0 \sim N+2T$ と同様の動作を経て、DHフラグレジスタ 330 が “1” にセットされる (F1613)。この前記タスク $T124$ が開始されてから、前述の F1613 の発生前までの間、CPU 390 側では、そのタスク $T124$ の実行順序が来るたびに DHフラグレジスタ 330 “0” を読み出し (F1714)、ONフラグレジスタ 323 から “1” を読み出すので (F1716)、再びタスク $T124$ のラウンドロビンのキューに入る (F1712)。そして、前記 F1613 の発生後、CPU 390 側は、やがて DHフラグレジスタ 330 から “1” を読み出す。そしてシフトレジスタ 250 からデータを読み出し (F1718)、そのデータの正当性を判断する (F1719)。そして、データが無効であれば、DHフラグレジスタ 330 をクリアして (F1723) 再びラウンドロビンのキューに入り (F1712)、一方、該データが有効であれば、前回取得したデータと今回のデータとが同一であるかを比較する (F1720) そして、これらのデータが一致していたら、リモコンボタンの連続押下中と判断して、その連続押下されたボタンに対応する処理を行い (F1721)、データが一致してなければ、新たに別のボタンが押下されたものと判断して、その新たに押下されたボタンに対応する処理を行った後 (F1722)、DHフラグレジスタ 330 の値を “0” にセットして、再びラウンドロビンのキューに入る (F1712)。

10

【0214】

そして、使用者がリモコンボタンをリリースすると、繰り返しデータは到着しなくなり、リモコン信号には長いハイ区間が現れる。そして、最後の繰り返しデータから $200T$ 後、OFFカウンタ 321 の出力値は $200T$ に達し (F1621)、ONフラグレジスタ 323 は “0” にリセットされる (F1627)。

20

【0215】

やがて、CPU 390 側では、タスク $T124$ によって、DHフラグレジスタ 330 と ONフラグレジスタ 323 から “0” を読み出すと (F1714、F1716)、CPU 390 は、タスク $T123$ を起動し (F1717)、現在実行中のタスク $T124$ をラウンドロビンのタスクから外す。すなわち、最初に CPU 390 がタスク $T123$ を起動させた時点と同じ状態に戻る (F1703)。

【0216】

このように本実施の形態にかかるリモコン受信システムは、繰り返しデータを送信するタイプの送信機にも対応しえ、またこの繰り返しデータ受信の場合においても、使用者によってリモコンボタンがリリースされた後に、当該リモコン受信回路 300 において、ノイズ等の原因によってヘッダと認識できる波形や、データと認識できる波形が現れたとしても、前記 OFF 検出回路 140 内の OFF カウンタ 321 は、ヘッダ部と有効なデータ部を検出しない限りリセットされない。従って、リモコンのボタンリリースは、OFF 閾値レジスタ 222 に設定された時間どおりに判定される。

30

【0217】

(実施の形態 4)

以下、図 18 ~ 図 20 を用いて、本実施の形態 4 におけるリモコン受信回路及びリモコン受信システムについて説明する。

40

【0218】

本実施の形態 4 においては、リモコン信号のヘッダ部の検出精度を改善するものである。

まず、図 18 を用いて、本実施の形態 4 にかかるリモコン受信システムの構成について説明する。図 18 は、本実施の形態 4 におけるリモコン受信システムの構成を示す図である。

【0219】

図 18 において、本実施の形態 4 にかかるリモコン受信システムは、送信機 (図示せず) から発行されたリモコン信号を受信するリモコン受信回路 400 と、該リモコン受信回路 400 の各種レジスタに任意の値を設定し、リモコン受信回路 400 を制御する CPU

50

490とからなるものであり、前記リモコン受信回路400は、エッジ検出回路110と、カウンタ回路420と、ヘッダ検出回路430と、データ判別回路140と、シフトレジスタ150と、ヘッダ割り込み生成回路160と、データ割り込み生成回路170と、モードレジスタ180と、スイッチ111とから構成される。そして、前記CPU490は、で、前記リモコン受信回路400からの割り込み信号S111を受信する、1つの割り込みポート491を備えるものである。

【0220】

以下、前記リモコン受信回路400の構成を詳述すると、前記カウンタ回路420は、LLC121、LHC422に加え、ノイズ閾値レジスタ(以下、「THNレジスタ」と称す。)423を有するものであり、該THNレジスタ423はCPU490から値を設定されるレジスタである。そして、前記カウンタ回路420内のLHC422が“0”にリセットされる条件は、データ待ちフラグ141が“1”であるか、ヘッダ検出信号S430が“1”であるならば、前記エッジ検出回路110が立下りエッジを検出するときであり、前記データ待ちフラグ141とヘッダ検出信号S430が共に“0”であるならば、前記LLC121の値とTHNレジスタ423の値とが等しくなるときである。

10

【0221】

前記ヘッダ検出回路430は、THHレジスタ132及びTHLレジスタ131に加え、ロングロウフラグ433(以下、「LLF」と称す。)を有する。そして、前記LLF433は、LLC121の値がTHLレジスタ131の値と等しくなると“1”にセットされ、データ待ちフラグ141が“1”になるか、もしくはLLC121の出力値がTHNレジスタ423の値と等しくなると“0”にリセットされる。そして、前記ヘッダ検出回路430は、LLF433が“1”で、かつ、LHC422の出力値がTHHレジスタ132の設定値を上回っているときに、ヘッダ検出信号S430“1”を出力し、それ以外のときにヘッダ検出信号S430“0”を出力する。なお、そのほかの構成は、前記実施形態1と同様であるため、ここでは説明を省略する。

20

【0222】

次に、図3、図19及び図20を用いて、前述した構成を有するリモコン受信システムの動作について説明する。図19は、本実施の形態4にかかるリモコン受信システムがリモコン信号のヘッダ部を受信した場合のリモコン受信回路及びCPUのタイミングチャート図であり、図20は、リピートヘッダ型の送信機から発信されたりモコン信号を受信した場合の、本実施の形態4におけるリモコン受信回路での処理を示すフローチャート図である。

30

【0223】

まず、CPU490は、動作開始時に、ヘッダ検出回路430内のTHLレジスタ131とTHHレジスタ132、データ判別回路140内のDLレジスタ142、及びモードレジスタ180の値に加え、前記カウンタ回路420内のTHNレジスタ423に値を設定する(F301、F302)。

【0224】

以下、前記各レジスタに設定される値について具体的に説明すると、前記実施の形態1と同様、前記THLレジスタ131には6T、前記THHレジスタ132には3T、前記DLレジスタには32T、そして前記モードレジスタ180には1を設定する。

40

【0225】

そしてここでは、例えば前記THNレジスタ423に1Tを設定するものとする。すなわち、リモコン信号のヘッダ部のロングハイ区間に、前記THNレジスタ423に設定した1T以下のロウ区間が現れた場合、そのロウ区間をノイズとして無視する設定とする。

【0226】

そして以上のように各レジスタに値を設定した後、CPU490は、リモコン受信回路400からデータ割り込みが発行されるのを待つ。

【0227】

なお、リモコン受信回路400側のヘッダ検出回路430以外の動作については、前記

50

実施の形態 1 と同様であるので、ここでは省略し、以下の動作説明においては、リモコン信号のヘッダ部の波形にノイズが発生した状況下での前記ヘッダ検出回路 4 3 0 の動作のみ説明する。

【 0 2 2 8 】

リモコンのボタンが押下されると、まずリモコン受信回路 4 0 0 にはリモコン信号のヘッダ部が到着する。ヘッダ部の最初の立下りエッジをエッジ検出回路 1 1 0 が検出した時刻を時刻 0 とすると、時刻 0 において、カウンタ回路 4 2 0 内の L L C 1 2 1 がリセットされる (F 2 0 0 5) 。

【 0 2 2 9 】

時刻 1 T において、前記データ待ちフラグ 1 4 1 及びヘッダ検出信号 S 4 3 0 が共に “ 0 ” であり (F 2 0 2 9) 、そして前記カウンタ回路 4 2 0 内の L L C 1 2 1 の出力値が前記 T H N レジスタ 4 2 3 と一致するので (F 2 0 3 0) 、前記カウンタ回路 4 2 0 内の L H C 4 2 2 の値がリセットされる (F 2 0 3 1) 。

10

【 0 2 3 0 】

そして、時刻 6 T において、カウンタ回路 4 2 0 内の L L C 1 2 1 の出力値と、前記ヘッダ検出回路 4 3 0 内の T H L レジスタ 1 3 1 の値が等しくなり (F 2 0 1 7) 、この時、前記ヘッダ検出回路 4 3 0 内の L L F 4 3 3 が “ 1 ” にセットされる (F 2 0 1 8) 。

【 0 2 3 1 】

そして、時刻 1 6 T において、前記エッジ検出回路 1 1 0 は立上りエッジを検出し (F 2 0 1 5) 、そして、時刻 1 7 T において、ノイズによる立下りが、エッジ検出回路 1 1 0 において検出される (F 2 0 0 2) 。この時、データ待ちフラグ 1 4 1 の値もヘッダ検出信号 S 4 3 0 も “ 0 ” であるため (F 2 0 0 3) 、前記カウンタ回路 4 2 0 内の L L C 1 2 1 がリセットされ、L L C 1 2 1 のカウントが始まる (F 2 0 0 5) 。しかしこの時、L H C 4 2 2 はリセットされず、そのときのカウント値 “ 1 T ” を保つ。

20

【 0 2 3 2 】

そして、時刻 1 7 . 5 T において、ノイズによる負のパルスが終了し、エッジ検出回路 1 1 0 が立上りエッジを検出する (F 2 0 1 5) 。これにより、前記 L L C 1 2 1 がストップし、前記 L H C 4 2 2 がカウントを開始するが (F 2 0 3 2) 、前述した時刻 1 7 T において前記 L H C 4 2 2 はリセットされず、それまでのカウント値 “ 1 T ” を保持しているため、その 1 T からのカウントとなる。

30

【 0 2 3 3 】

そして、時刻 1 9 . 5 T において、前記 L H C 4 2 2 の出力値は、前記ヘッダ検出回路 4 3 0 内の T H H レジスタ 1 3 2 と等しくなり (F 2 0 1 9) 、ヘッダ検出信号 S 4 3 0 “ 1 ” が出力されると同時に、データ判別回路 1 4 0 内のデータ待ちフラグ 1 4 1 が “ 1 ” にセットされ、前記ヘッダ検出回路 4 3 0 内の L L F 4 3 3 は “ 0 ” にリセットされる (F 2 0 2 0) 。

【 0 2 3 4 】

そして時刻 2 4 T に、前記エッジ検出回路 1 1 0 が立ち下がりにエッジを検出すると (F 2 0 0 2) 、L H C 4 2 2 の値がリセットされて (F 2 0 0 4) 、T H H レジスタ 1 3 2 の値より小さくなるので、ヘッダ検出信号 S 4 3 0 が立下る (F 2 0 2 3) 。以後の動作は、実施の形態 1 と同様である。

40

【 0 2 3 5 】

このように、本実施の形態 4 によれば、リモコン受信回路 4 0 0 が、図 1 9 に示すように、C P U 4 9 0 において予め指定された期間以内のノイズ、ここでは期間 1 T 以下のノイズを含むリモコン信号を受信した場合は、そのノイズをノイズと判断して無視することができ、リモコン信号のヘッダ部を検出する際に、ノイズの影響を受けにくくすることができる。

【 0 2 3 6 】

なお、前述の全ての実施の形態においては、リモコン受信回路に入力されるリモコン信号が、図 2 2 (a) に示されるように、リモコン信号のヘッダ部がロウ区間が 1 6 T で八

50

イ区間が 8 T で、リピートヘッダ部のロウ区間が 16 T でハイ区間が 4 T であり、また、リモコン信号のデータ部が 32 ビットで、データ部の Long Low と Long High のデューティが 1 : 1 ならばデータ “ 0 ” に、1 : 3 ならばデータ “ 1 ” に対応するものとし、これにより、当該リモコン受信回路の DL レジスタ 142 に 32、THH レジスタ 132 に 3 T、THL レジスタ 131 に 6 T を設定し、D1 フラグ 144 が、LHC が “ 1 T ” になれば立ち上がってシフトレジスタ 150 に “ 1 ” が格納され、D0 フラグ 145 が、LHC が 2 T になれば立ち上がってシフトレジスタ 150 に “ 0 ” が格納されるものとして説明したが、前記各レジスタの設定値や、各フラグの立ち上がり、立下りタイミングは、前述したものに限るものではなく、当該リモコン受信システムに入力されるリモコン信号に応じた値を各レジスタに設定し、また前記リモコン信号に応じたタイミングで各フラグの立下り、立ち上がりタイミングを設定して制御するようにすれば、どのようなリモコン信号を受信しても対応可能である。

10

【産業上の利用可能性】

【 0 2 3 7 】

本発明のリモコン受信システムは、リモコンによる制御を受ける機器を制御する CPU の、リモコン受信のための処理上の負担やリソースの負担を軽減するものとして有用である。

【図面の簡単な説明】

【 0 2 3 8 】

【図 1】本発明の実施の形態 1 にかかるリモコン受信システムの構成を示す図である。

20

【図 2】本発明の実施の形態 1 におけるリモコン受信システムにおいて、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路及び CPU のタイミングチャート図である。

【図 3】本発明の実施の形態 1 において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、CPU 側での処理を示すフローチャート図である。

【図 4】本発明の実施の形態 1 において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路での処理を示すフローチャート図である。

【図 5】本実施の形態 1 において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の、CPU 側での処理を示すフローチャート図である。

【図 6】反転データによるパリティを含むリモコン信号のデータ部の 1 例を示す図である

30

【図 7】本発明の実施の形態 2 にかかるリモコン受信システムの構成を示す図である。

【図 8】本発明の実施の形態 2 にかかるリモコン受信回路内の有効性判別回路の詳細な構成を示す図である。

【図 9】本発明の実施の形態 2 におけるリモコン受信システムにおいて、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路及び CPU のタイミングチャート図である。

【図 10 (a)】本発明の実施の形態 2 において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の CPU 側での処理を示すフローチャート図である。

【図 10 (b)】本発明の実施の形態 2 において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の CPU 側での処理におけるタスク T 110 のフローチャート図である。

40

【図 11】図 11 は、本実施の形態 2 において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路での処理を示すフローチャート図である。

【図 12 (a)】本発明の実施の形態 2 において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の CPU 側での処理を示すフローチャート図である。

【図 12 (b)】本発明の実施の形態 2 において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の CPU 側での処理におけるタスク T 110 のフローチャート図である。

50

【図13】本発明の実施の形態3にかかるリモコン受信システムの構成を示す図である。

【図14】本発明の実施の形態3におけるリモコン受信システムにおいて、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路及びCPUのタイミングチャート図である。

【図15(a)】本発明の実施の形態3において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、CPU側での処理を示すフローチャート図である。

【図15(b)】本発明の実施の形態3において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、CPU側での処理におけるタスクT120のフローチャート図である。

【図15(c)】本発明の実施の形態3において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、CPU側での処理におけるタスクT121のフローチャート図である。

10

【図16】本実施の形態3において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路での処理を示すフローチャート図である。

【図17(a)】本発明の実施の形態3において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の、CPU側での処理を示すフローチャート図であり、

【図17(b)】本発明の実施の形態3において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の、CPU側での処理におけるタスクT123のフローチャート図である。

【図17(c)】本発明の実施の形態3において、繰り返しデータ型の送信機から発信されたリモコン信号を受信した場合の、CPU側での処理におけるタスクT124のフローチャート図である。

20

【図18】本発明の実施の形態4にかかるリモコン受信システムの構成を示す図である。

【図19】本実施の形態4におけるリモコン受信システムにおいて、リモコン信号のヘッダ部を受信した場合の、リモコン受信回路及びCPUのタイミングチャート図である。

【図20】本実施の形態4において、リピートヘッダ型の送信機から発信されたリモコン信号を受信した場合の、リモコン受信回路での処理を示すフローチャート図である。

【図21(a)】リモコン信号の波形の1例を示す図である。

【図21(b)】リピートヘッダ型の送信機から発信される、リモコン信号のリピートヘッダ部の波形の1例を示す図である。

30

【図22(a)】リピートヘッダ型の送信機から発信されたリモコン信号の波形の1例を示す図である。

【図22(b)】繰り返しデータ型の送信機から発信されたリモコン信号の波形の1例を示す図である。

【図23】従来におけるリモコン受信システムの構成を示す図である。

【図24】従来における、リモコン受信システムの流れ図

【符号の説明】

【0239】

100, 200, 300, 400, 500 リモコン受信回路

110, 510 エッジ検出回路

40

111, 311 スイッチ

120, 420, 520 カウンタ回路

121 LLC

122, 422 LHC

130, 430, 530 ヘッダ検出回路

131 THLレジスタ

132 THHレジスタ

140, 540 データ判別回路

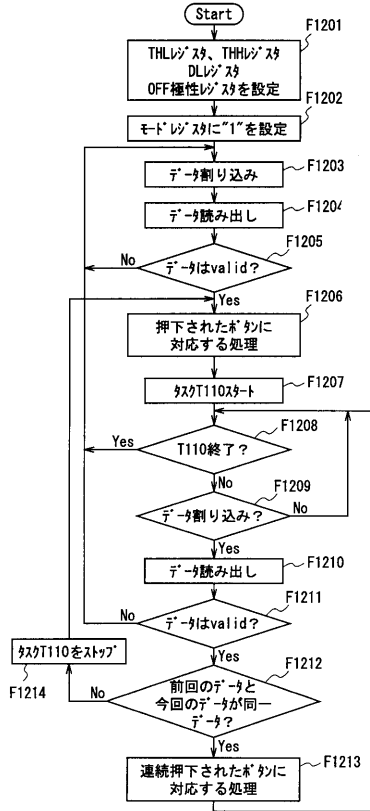
141 データ待ちフラグ

142 DLレジスタ

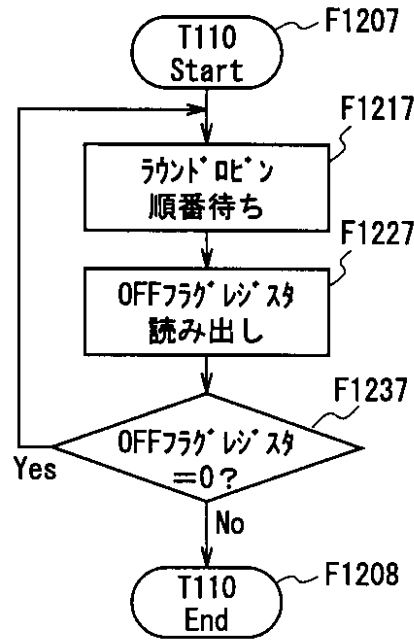
50

1 4 3	データカウンタ	
1 4 4	D 1 フラグ	
1 4 5	D 0 フラグ	
1 5 0 , 2 5 0	シフトレジスタ	
1 6 0	ヘッダ割り込み生成回路	
1 7 0 , 2 7 0	データ割り込み生成回路	
1 8 0 , 2 8 0	モードレジスタ	
1 9 0 , 2 9 0 , 3 9 0 , 4 9 0 , 5 9 0	C P U	
1 9 1 , 2 9 1 , 4 9 1	割り込みポート	
2 1 0	有効性判別回路	10
2 2 0 , 3 2 0	O F F 検出回路	
2 2 1	O F F 極性レジスタ	
2 2 2	O F F 閾値レジスタ	
2 2 3	O F F フラグレジスタ	
3 1 2	A N D ゲート	
3 2 1	O F F カウンタ	
3 2 3	O N フラグレジスタ	
4 2 3	T H N レジスタ	
4 3 3	L L F	
5 5 0	内蔵レジスタ	20
5 6 0	ヘッダ割り込み生成回路	
5 7 0	データ割り込み生成回路	
5 8 0	トレーラ検出回路	
S 1 1 1	割り込み信号	
S 1 3 0 , S 4 3 0	ヘッダ検出信号	
S 1 4 0	データ受信完了信号	
S 1 6 0 , S 5 6 0	ヘッダ割り込み信号	
S 1 7 0 , S 2 7 0 , S 5 7 0	データ割り込み信号	
S 2 1 0	データ有効信号	
S 3 1 1	O F F カウンタリセット信号	30
S 5 8 0	トレーラ割り込み信号	

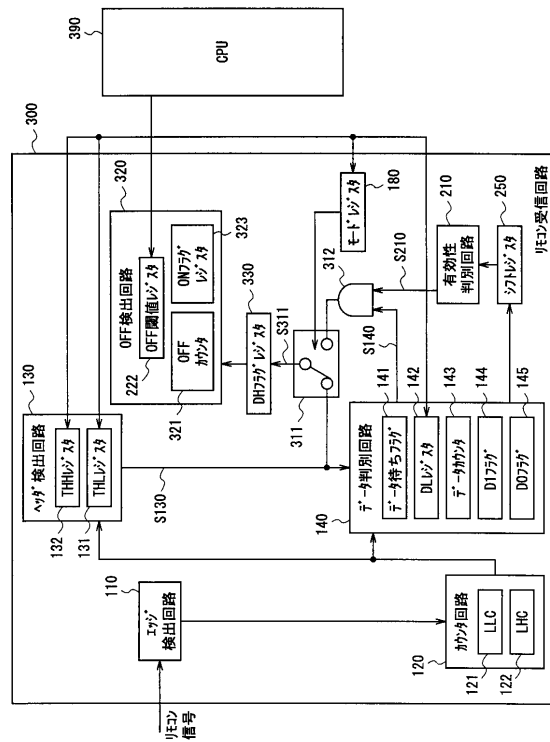
【 図 1 2 (a) 】



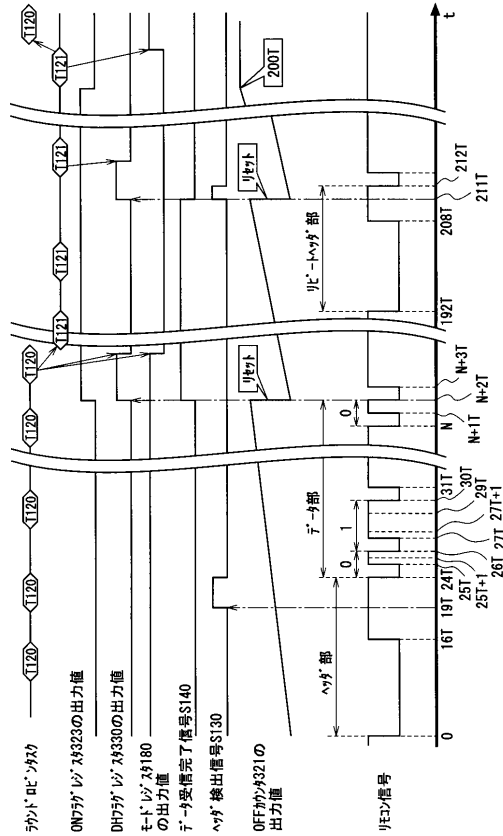
【 図 1 2 (b) 】



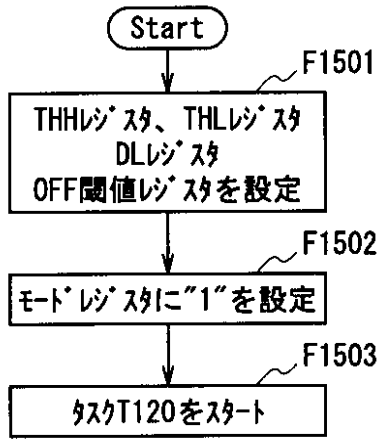
【 図 1 3 】



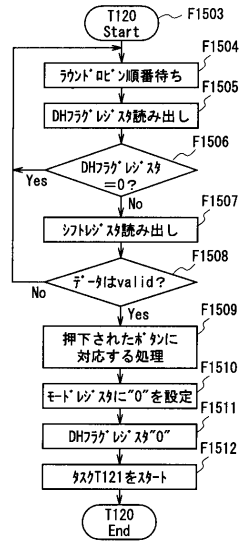
【 図 1 4 】



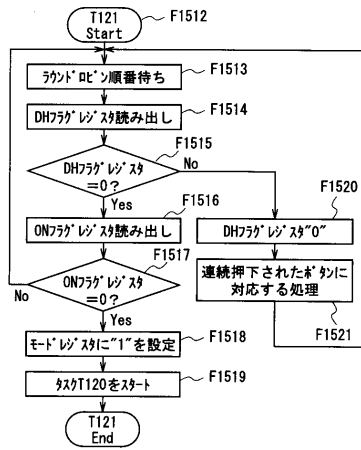
【図15(a)】



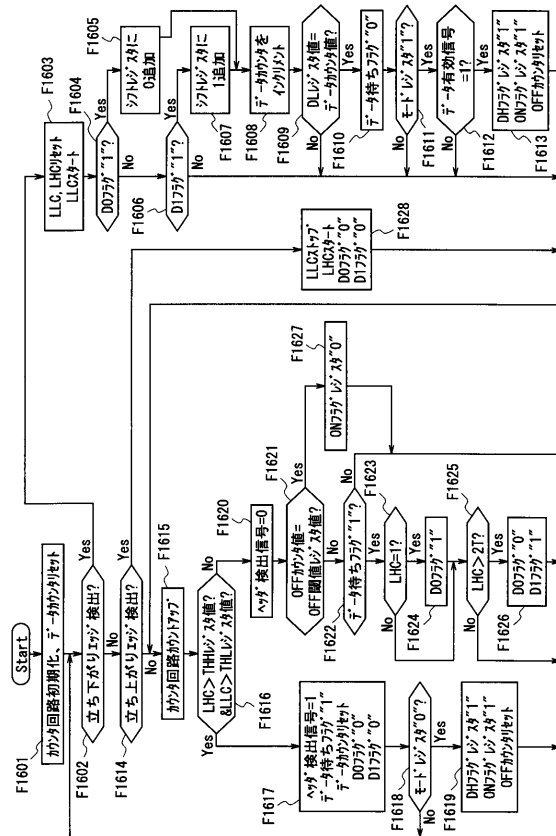
【図15(b)】



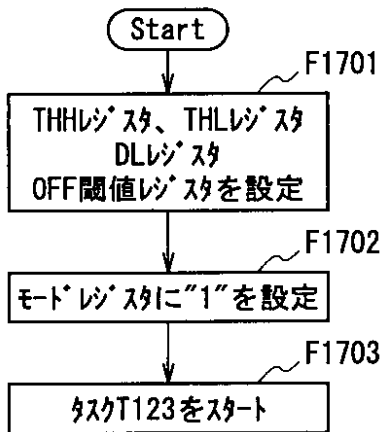
【図15(c)】



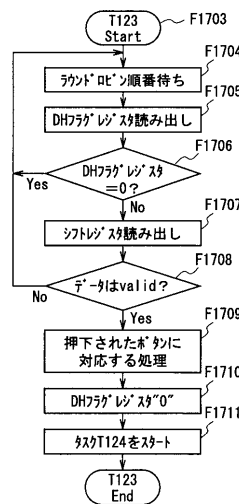
【図16】



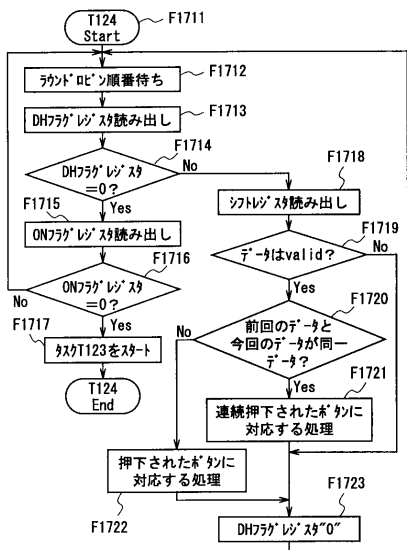
【図17(a)】



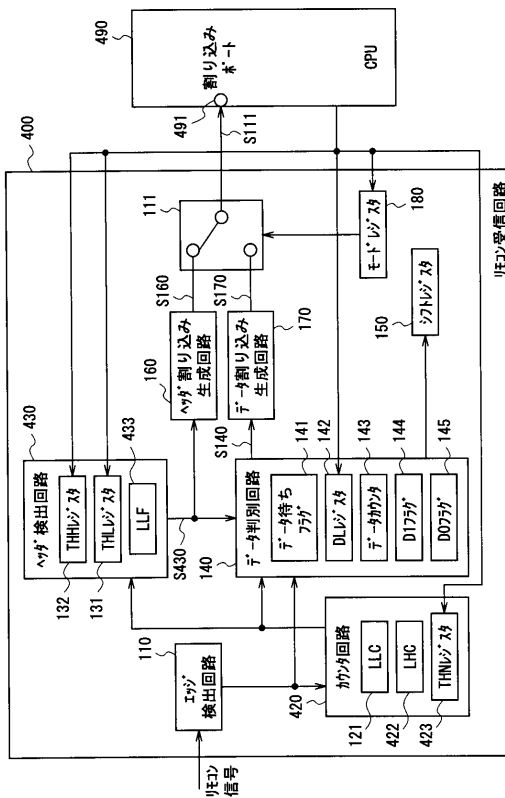
【図17(b)】



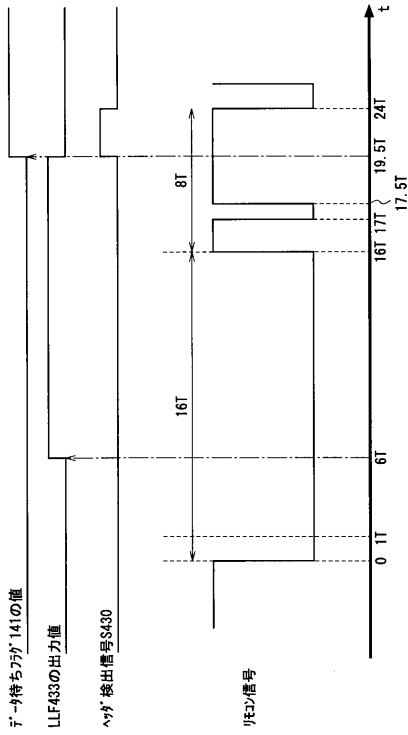
【図17(c)】



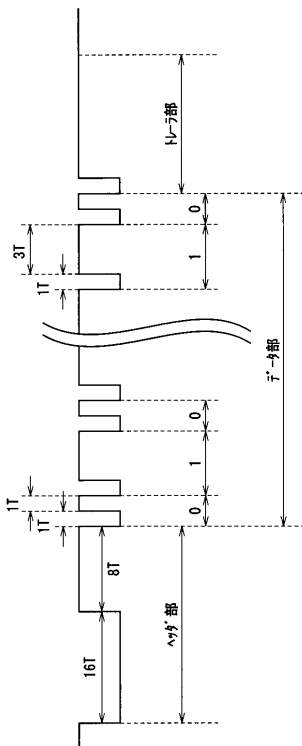
【図18】



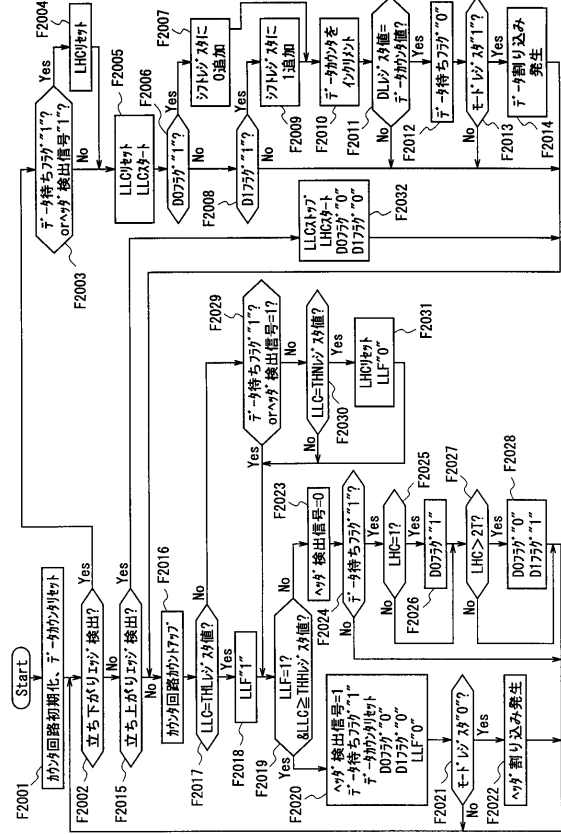
【 図 19 】



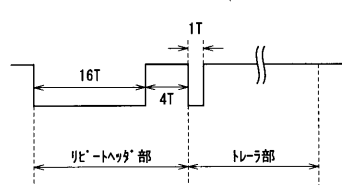
【 図 21 (a) 】



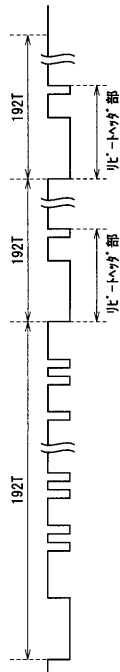
【 図 20 】



【 図 21 (b) 】



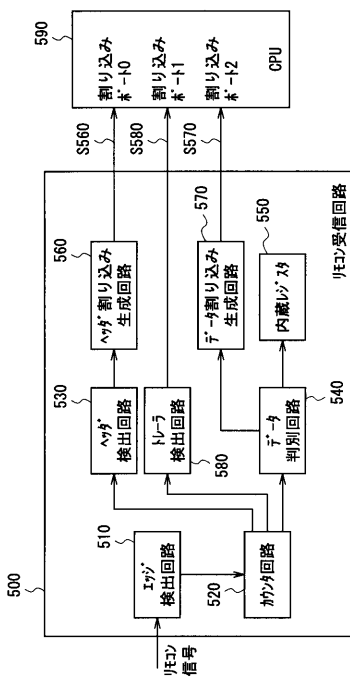
【 図 2 2 (a) 】



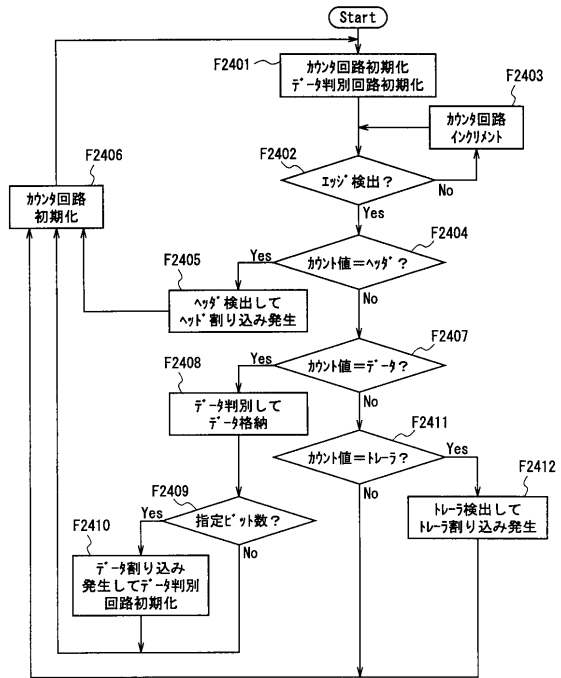
【 図 2 2 (b) 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

審査官 萩原 義則

(58)調査した分野(Int.Cl.⁷, DB名)
H04Q 9/00