

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6568994号
(P6568994)

(45) 発行日 令和1年8月28日 (2019.8.28)

(24) 登録日 令和1年8月9日 (2019.8.9)

(51) Int. Cl. F I
 H O 1 L 21/3205 (2006.01) H O 1 L 21/88 J
 H O 1 L 21/768 (2006.01)
 H O 1 L 23/522 (2006.01)

請求項の数 8 (全 18 頁)

(21) 出願番号	特願2018-503002 (P2018-503002)	(73) 特許権者	515026362
(86) (22) 出願日	平成29年2月10日 (2017.2.10)		パナソニック・タワージャズセミコンダク
(86) 国際出願番号	PCT/JP2017/004961		ター株式会社
(87) 国際公開番号	W02017/150146		富山県魚津市東山800番地
(87) 国際公開日	平成29年9月8日 (2017.9.8)	(74) 代理人	110001427
審査請求日	平成30年8月22日 (2018.8.22)		特許業務法人前田特許事務所
(31) 優先権主張番号	特願2016-36622 (P2016-36622)	(72) 発明者	井上 由佳
(32) 優先日	平成28年2月29日 (2016.2.29)		富山県魚津市東山800番地 パナソニッ
(33) 優先権主張国・地域又は機関	日本国 (JP)		ク・タワージャズセミコンダクター株式会
			社内
		(72) 発明者	福羅 満徳
			富山県魚津市東山800番地 パナソニッ
			ク・タワージャズセミコンダクター株式会
			社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の領域と、第2の領域とが形成された基板と、
 前記基板の上面上に形成された第1の層間膜と、
 前記第1の領域において、前記第1の層間膜の上部に埋め込まれた第1の金属配線と、
 前記第1の層間膜上及び前記第1の金属配線上に形成された第2の層間膜と、
 前記第1の領域において、前記第2の層間膜の上部に埋め込まれた第2の金属配線と、
 前記第2の層間膜を貫通し、前記第1の金属配線と前記第2の金属配線とを電気的に接
 続する第1のビアと、

前記第2の領域において、前記第1の層間膜の上部に埋め込まれるとともに、前記第2
 の層間膜を貫通するランディングパッドと、

前記第2の領域において、前記基板の裏面側から前記基板及び前記第1の層間膜を貫通
 し、前記ランディングパッドに接続する第2のビアとを備え、

前記ランディングパッドの下面位置は、前記第1の金属配線の下面位置と異なっている
 半導体装置。

【請求項 2】

請求項 1 において、

前記第1のビアと前記第2の金属配線とは同一の材料で構成されており、

前記ランディングパッドは、前記第1の層間膜の上部から前記第2の層間膜内に亘って
 設けられ、且つ前記第1のビア及び前記第2の金属配線と同一の材料で構成されている金

10

20

属膜を有していることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記ランディングパッドの下面位置は、前記第 1 の金属配線の下面位置よりも低く、前記ランディングパッドの厚みは、前記第 1 の金属配線の高さと、前記第 1 のビアの高さと、前記第 2 の金属配線の高さとの和よりも厚いことを特徴とする半導体装置。

【請求項 4】

第 1 の領域と第 2 の領域とが形成された基板の上面上に第 1 の層間膜と、前記第 1 の層間膜の上部に埋め込まれた第 1 の金属配線とを形成する工程と、

前記第 1 の層間膜上及び前記第 1 の金属配線上に、第 2 の層間膜を形成する工程と、

前記第 1 の領域において、前記第 2 の層間膜内の配線溝と、前記第 1 の金属配線の上方で前記第 2 の層間膜を貫通する第 1 のビアホールとをそれぞれ形成する工程と、

前記配線溝及び前記第 1 のビアホールを形成する際に、前記第 2 の領域において、前記第 1 の層間膜の上部にパッド用凹部を形成するとともに、前記第 2 の層間膜を貫通するパッド用孔を形成する工程と、

前記第 1 のビアホール、前記配線溝、前記パッド用凹部及び前記パッド用孔内に金属を埋め込むことによって前記第 1 のビアホール内に第 1 のビアを形成するとともに、前記配線溝内に第 2 の金属配線を形成し、且つ前記パッド用凹部及び前記パッド用孔内にランディングパッドを形成する工程と、

前記第 2 の領域において、前記基板の裏面側から前記基板及び前記第 1 の層間膜を貫通し、前記ランディングパッドに接続する第 2 のビアを形成する工程とを備えている半導体装置の製造方法。

【請求項 5】

請求項 4 において、

前記第 1 のビアホールを形成するのと同時に、前記パッド用孔を形成し、

前記配線溝を形成するのと同時に、前記パッド用凹部の少なくとも一部を形成することを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 4 において、

前記第 1 の金属配線を形成する工程の後、前記第 2 の層間膜を形成する工程の前に、前記第 1 の金属配線上及び前記第 1 の層間膜上に絶縁体からなるライナー膜を形成する工程をさらに備えており、

前記第 1 のビアホールを形成するのと同時に、前記パッド用孔を形成し、

前記ライナー膜のうち前記第 1 のビアホールによって露出された部分を除去すると同時に、前記第 2 の領域において、前記ライナー膜のうち前記パッド用孔によって露出された部分を除去すると共に前記パッド用凹部を形成することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 4 ～ 6 のうちいずれか 1 つにおいて、

前記第 1 の金属配線の下面高さと前記ランディングパッドの下面高さととは互いに異なっていることを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 4 ～ 7 のうちいずれか 1 つにおいて、

前記第 1 のビアホールを形成する工程では、前記第 2 の領域内の前記第 2 の層間膜に、前記第 1 のビアよりも大きい直径を有する第 3 のビアを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、through-silicon-via (TSV) 用のランディングパッドを備えた半導体装置及

10

20

30

40

50

びその製造方法に関するものである。

【背景技術】

【0002】

近年、デバイスの微細化及び高集積化に伴い、チップを縦方向に積層する三次元実装技術の開発が進み、基板を貫通して垂直方向に電氣的接続を形成するTSV技術が重要になってきている。

【0003】

このようなTSV構造において、TSVと接続するTSV用ランディングパッドの厚さを厚くすることにより、TSVを形成する際のパッドの突き抜けを防ぐ要求がある。この要求に対して、特許文献1には、2層もしくはそれ以上の金属膜を積層することによって厚いTSV用ランディングパッドを形成する技術が記載されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2015-79961号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、TSV構造において、2層もしくはそれ以上の金属層を積層することによってTSV用ランディングパッドを形成する従来の技術では、ランディングパッドとTSVとの間で接続不良が生じる場合がある。

20

【0006】

具体的に、従来の技術では、1層目の金属膜を形成後、2層目以降の金属膜を形成するためのエッチング工程によって1層目の金属膜がダメージを受けやすくなっている。そのため、エッチング工程後の洗浄工程によって1層目の金属膜のうちダメージを受けた部分が流失し、2層目の金属膜を形成する際に空洞が生じる可能性がある。このように、1層目の金属膜と2層目の金属膜との間に空洞が生じると、TSV用ランディングパッドのTSVとの接続部において電気特性が悪くなり、信頼性が低下する可能性がある。

【0007】

本発明の目的は、TSVの形成時にランディングパッドの突き抜けが防がれるとともに、TSVとランディングパッドとの良好な電氣的接続を確保できる半導体装置を提供することにある。

30

【課題を解決するための手段】

【0008】

本明細書に開示された半導体装置は、第1の領域と、第2の領域とが形成された基板と、前記基板の上面上に形成された第1の層間膜と、前記第1の領域において、前記第1の層間膜の上部に埋め込まれた第1の金属配線と、前記第1の層間膜上及び前記第1の金属配線上に形成された第2の層間膜と、前記第1の領域において、前記第2の層間膜の上部に埋め込まれた第2の金属配線と、前記第2の層間膜を貫通し、前記第1の金属配線と前記第2の金属配線とを電氣的に接続する第1のビアと、前記第2の領域において、前記第1の層間膜の上部に埋め込まれるとともに、前記第2の層間膜を貫通するランディングパッドと、前記第2の領域において、前記基板の裏面側から前記基板及び前記第1の層間膜を貫通し、前記ランディングパッドに接続する第2のビアとを備えている。前記ランディングパッドの下面位置は、前記第1の金属配線の下面位置と異なっている。

40

【発明の効果】

【0009】

本明細書に開示された半導体装置及びその製造方法によれば、TSVの形成時にランディングパッドの突き抜けが防がれるとともに、TSVとランディングパッドとの良好な電氣的接続を実現しうる。

【図面の簡単な説明】

50

【 0 0 1 0 】

【図 1 A】図 1 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 1 B】図 1 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 1 C】図 1 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 2 A】図 2 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 2 B】図 2 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

10

【図 2 C】図 2 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 A】図 3 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 B】図 3 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 C】図 3 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 A】図 4 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

20

【図 4 B】図 4 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 C】図 4 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 D】図 4 D は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 5 A】図 5 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 5 B】図 5 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 5 C】図 5 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

30

【図 6 A】図 6 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 6 B】図 6 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 6 C】図 6 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 7 A】図 7 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 7 B】図 7 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 7 C】図 7 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 8 A】図 8 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 8 B】図 8 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 8 C】図 8 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

【図 8 D】図 8 D は、参考例に係る半導体装置の製造方法を説明する断面図である。

40

【図 9 A】図 9 A は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 9 B】図 9 B は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 9 C】図 9 C は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 0 A】図 1 0 A は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 0 B】図 1 0 B は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

50

【図 1 0 C】図 1 0 C は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 1 A】図 1 1 A は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 1 B】図 1 1 B は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 1 C】図 1 1 C は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 2 A】図 1 2 A は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

10

【図 1 2 B】図 1 2 B は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 2 C】図 1 2 C は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 3 A】図 1 3 A は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 3 B】図 1 3 B は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 3 C】図 1 3 C は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

20

【図 1 4 A】図 1 4 A は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 4 B】図 1 4 B は、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0012】

(第 1 の実施形態)

- 半導体装置の製造方法 -

30

図 1 A ~ C、図 2 A ~ C、図 3 A ~ C 及び図 4 A ~ D は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。これらの図では、左側が素子形成領域 20 (第 1 の領域)、右側がパッド形成領域 30 (第 2 の領域)となっている。以下、半導体装置の製造方法を説明する。

【0013】

まず、図 1 A に示すように、素子形成領域 20 とパッド形成領域 30 とが形成された基板 1 の上面上に chemical vapor deposition (CVD) 法等により酸化ケイ素 (SiO_2) 等の絶縁体からなる第 1 の層間膜 2 を形成する。次いで、第 2 の層間膜 2 の上部に公知のリソグラフィ及びエッチングによって配線溝を形成する。次に、めっき法により当該配線溝内に銅等の金属を埋め込んだ後、chemical mechanical polishing (CMP) 法等により余剰の金属を除去することにより、配線溝内に埋め込まれた厚さ約 120 nm 程度の第 1 の金属配線 3 を形成する。この際の第 1 の層間膜 2 の厚さは、例えば 400 nm である。

40

【0014】

一方、パッド形成領域 30 では、第 1 の金属配線 3 に相当する金属層を形成しない。

【0015】

続いて、第 1 の金属配線 3 の上及び第 1 の層間膜 2 の上に、公知の方法により、例えば炭化ケイ素 (SiC) からなる厚さ 60 nm の第 1 のライナー膜 4 を形成する。

【0016】

次に、図 1 B に示すように、第 1 の層間膜 2 上及び第 1 の金属配線 3 上に第 1 のライナー膜 4 を挟んで酸化ケイ素からなる厚さ 300 nm の第 2 の層間膜 5 を形成する。

50

【 0 0 1 7 】

次いで、図 1 C に示すように、リソグラフィ及びエッチングによって、素子形成領域 2 0 における第 1 の金属配線 3 の上方に、第 2 の層間膜 5 を貫通するビアホール 6 を形成する。ビアホール 6 の形成と同時に、パッド形成領域 3 0 において第 2 の層間膜 5 を貫通するパッド用孔 6 A を形成する。ビアホール 6 の直径は約 1 0 0 n m であり、パッド用孔 6 A の直径は約 7 0 μ m である。ビアホール 6 とパッド用孔 6 A とは、同一のマスク（図示せず）を用いたエッチングにより形成できる。このエッチングは、第 1 のライナー膜 4 で止める。

【 0 0 1 8 】

次に、図 2 A に示すように、基板上に厚さ約 3 0 0 n m のレジスト 7 を形成する。素子形成領域 2 0 におけるビアホール 6 の開口面積は小さいため、レジスト 7 はビアホール 6 内に完全に埋め込まれ、ビアホール 6 内のレジストも含めほぼ 6 0 0 n m の厚さに形成される。一方、パッド形成領域 3 0 に形成されたパッド用孔 6 A の平面面積はビアホール 6 よりも広いので、パッド用孔 6 A 上ではレジスト 7 の厚さは約 3 0 0 n m となり、ビアホール 6 上でのレジスト 7 の厚さに比べて薄くなっている。

10

【 0 0 1 9 】

次に、図 2 B に示すように、レジスト 7 をエッチバックすることにより、レジスト 7 のうち第 2 の層間膜 5 上及びパッド用孔 6 A 内に形成された部分を除去する。この工程では、ビアホール 6 内にレジスト 7 が残るが、パッド用孔 6 A 内にはほとんどレジスト 7 が残らない。

20

【 0 0 2 0 】

次に、図 2 C に示すように、リソグラフィにより素子形成領域 2 0 では配線形成領域が開口し、パッド形成領域 3 0 ではパッド用孔 6 A の上方を開口するレジスト 8 を形成する。パッド用孔 6 A の上方に設けられた開口は、パッド用孔 6 A よりも大きい平面面積を有していてもよい。

【 0 0 2 1 】

次いで、図 3 A に示すように、レジスト 8 を用いて第 2 の層間膜 5 をエッチングすることにより、素子形成領域 2 0 に配線溝 9 を形成する。配線溝 9 の深さは約 1 8 0 n m である。ビアホール 6 内にはレジスト 7 が残っているため、ビアホール 6 が形成された領域では第 1 のライナー膜 4 はエッチングされない。

30

【 0 0 2 2 】

また、配線溝 9 と同時にパッド形成領域 3 0 では第 1 のライナー膜 4 及び第 1 の層間膜 2 の上部が除去されてパッド用凹部 9 A が形成される。パッド用凹部 9 A でのエッチング量は約 1 2 0 ~ 1 5 0 n m である。

【 0 0 2 3 】

次に、図 3 B に示すように、洗浄によりレジスト 7、8 を除去する。

【 0 0 2 4 】

続いて、図 3 C に示すように、エッチングにより第 1 のライナー膜 4 のうちビアホール 6 内に露出する部分を除去する。また、第 1 のライナー膜 4 の除去と同時にパッド形成領域 3 0 において第 1 の層間膜 2 の一部が除去され、パッド用凹部 9 B が形成される。パッド用凹部 9 B の深さは約 7 0 n m である。

40

【 0 0 2 5 】

次に、図 4 A に示すように、エッチングによる反応生成物を洗浄により除去する。本工程の洗浄により、半導体装置の形状は変わらない。

【 0 0 2 6 】

次に、図 4 B に示すように、めっき法により、素子形成領域 2 0 におけるビアホール 6 内及び配線溝 9 内、パッド形成領域 3 0 におけるパッド用孔 6 A 内、パッド用凹部 9 A、9 B 内に銅を埋め込んだ後、CMP 法により余剰の銅を除去する。これにより、ビアホール 6 内に第 1 のビア 1 0 を形成し、配線溝 9 内に第 2 の金属配線 1 1 を形成する。また、パッド用凹部 9 A、9 B 内及びパッド用孔 6 A 内にランディングパッド 1 2 を形成する。こ

50

の際に、ランディングパッド 12 の下面位置は、第 1 の金属配線 3 の下面位置よりも深くなっている。

【0027】

第 1 のビア 10 の高さは約 110 nm であり、第 2 の金属配線 11 の高さは約 120 nm である。また、ランディングパッド 12 の高さ（厚さ）は約 360 nm ~ 390 nm である。その後、第 2 の層間膜 5 上、第 2 の金属配線 11 上及びランディングパッド 12 上に厚さ 60 nm の炭化ケイ素からなる第 2 のライナー膜 13 を形成する。

【0028】

次に、図 4 C に示すように、第 2 のライナー膜 13 上に、公知の CVD 法等により窒化ケイ素からなる厚さ 1000 nm のパッシベーション膜 14 を形成する。以上で、基板 1 の上面側の加工は一旦完了する。

10

【0029】

次に、図 4 D に示すように、基板 1 を裏面側から削って基板 1 の厚さを約 300 ~ 400 μ m にする。次いで、基板 1 の裏面上に、素子形成領域 20 を覆い、例えば、酸化ケイ素膜等からなる絶縁膜 15 を形成する。その後、リソグラフィとエッチング法とにより、絶縁膜 15 と基板 1 とを裏面側からエッチングする。この際には、ランディングパッド 12 の一部までエッチングを行い、ビアホール 16 を形成する。次いで、公知のめっき法等によりビアホール 16 内に銅を埋め込んだ後、CMP により余剰の銅を除去することにより、基板 1 を貫通し、ランディングパッド 12 に接続する TSV（第 2 のビア）25 を形成する。ビアホール 16 内に形成する金属は、タングステン（W）やアルミニウム（Al）等であってよいし、ビアホール 16 内が完全に金属で埋め込まれていなくてもよい。以上の工程により、本実施形態の半導体装置を作製することができる。

20

【0030】

次に、上述の方法によってランディングパッド 12 を形成した理由を、参考例に係る製造方法と比較しながら説明する。

【0031】

図 5 A ~ C、図 6 A ~ C、図 7 A ~ C 及び図 8 A ~ D は、参考例に係る半導体装置の製造方法を説明する断面図である。

【0032】

本参考例では、図 5 A に示すように、素子形成領域 20 とパッド形成領域 30 とが形成された基板 1 の上面上に酸化ケイ素等の絶縁体からなる第 1 の層間膜 2 を形成する。次いで、第 1 の層間膜 2 の上部に公知のリソグラフィ及びエッチングによって配線溝を形成する。この際に、パッド形成領域 30 においても素子形成領域 20 内の配線溝と同じ深さの凹部を形成する。

30

【0033】

続いて、めっき法により基板上に銅を堆積し、その後 CMP 法により余剰の銅を除去することにより、素子形成領域 20 に第 1 の金属配線 3 を形成するとともに、パッド形成領域 30 に金属膜 17 を形成する。

【0034】

次に、図 5 B に示すように、第 1 の層間膜 2 上及び第 1 の金属配線 3 上に第 1 のライナー膜 4 を挟んで酸化ケイ素からなる厚さ 300 nm の第 2 の層間膜 5 を形成する。次いで、図 5 C に示すように、素子形成領域 20 においては第 2 の層間膜 5 を貫通するビアホール 6 を形成するとともに、パッド形成領域 30 においては金属膜 17 の上方にパッド用孔 6 A を形成する。

40

【0035】

次に、図 6 A に示すように、基板上に厚さ約 300 nm のレジスト 7 を形成する。レジスト 7 はビアホール 6 内及びパッド用孔 6 A 内に埋め込まれる。次に、図 6 B に示すように、レジスト 7 をエッチバックすることにより、レジスト 7 のうち第 2 の層間膜 5 上及びパッド用孔 6 A 内に形成された部分を除去する。

【0036】

50

次に、図 6 C に示すように、リソグラフィにより配線形成用のレジスト 8 を形成する。次いで、図 7 A に示すように、素子形成領域 2 0 に配線溝 9 を形成する。この際に、パッド形成領域 3 0 では、パッド用孔 6 A 内に露出する第 1 のライナー膜 4 が除去されるとともに、金属膜 1 7 の上部も除去されてパッド用凹部 9 D が形成される。金属膜 1 7 を構成する銅のエッチングレートは第 2 の層間膜 5 のエッチングレートよりも遅いため、パッド用凹部 9 D の深さは、本実施形態の半導体装置におけるパッド用凹部 9 A (図 3 A 参照) に比べて浅くなる。なお、本工程では、金属膜 1 7 がエッチングにより大きなダメージを受ける。

【 0 0 3 7 】

次に、図 7 B に示すように、洗浄によりレジスト 7 を除去する際に、エッチングによるダメージを受けた金属膜 1 7 の一部から銅が流出し、欠陥 4 0 が形成される。

10

【 0 0 3 8 】

次に、図 7 C に示すように、素子形成領域 2 0 においてビアホール 6 内に露出する第 1 のライナー膜 4 を除去する。本工程においても、金属膜 1 7 はダメージを受ける。続いて、図 8 A に示すように、エッチングによる反応生成物を洗浄により除去する。この際に、金属膜 1 7 がエッチングによって受けたダメージにより、金属膜 1 7 に欠陥 4 2 が生じる。

【 0 0 3 9 】

次に、図 8 B に示すように、めっき法により、素子形成領域 2 0 におけるビアホール 6 内及び配線溝 9 内、パッド形成領域 3 0 におけるパッド用孔 6 A 内、パッド用凹部 9 D 内に銅を埋め込んだ後、CMP 法により余剰の銅を除去する。これにより、ビアホール 6 内に第 1 のビア 1 0 を形成し、配線溝 9 内に第 2 の金属配線 1 1 を形成する。本工程では、パッド用孔 6 A 内及びパッド用凹部 9 D 内に銅が埋め込まれることにより、これらの銅及び金属膜 1 7 を含むランディングパッド 1 2 B が形成される。従って、参考例に係る方法で作製されたランディングパッド 1 2 B の下面位置は、第 1 の金属配線 3 の下面位置と等しくなっている。

20

【 0 0 4 0 】

参考例に係る方法では、製造工程中に金属膜 1 7 に生じた欠陥 4 0 、 4 2 が埋め込まれずに空洞として残る。

【 0 0 4 1 】

30

次いで、第 2 の層間膜 5 上、第 2 の金属配線 1 1 上及びランディングパッド 1 2 B 上に厚さ 6 0 n m の炭化ケイ素からなる第 2 のライナー膜 1 3 を形成する。

【 0 0 4 2 】

この後、図 8 C に示すように、第 2 のライナー膜 1 3 上に、公知の CVD 法等により窒化ケイ素からなる厚さ 1 0 0 0 n m のパッシベーション膜 1 4 を形成する。次に、図 8 D に示すように、基板 1 を裏面側から削って基板 1 の厚さを約 3 0 0 ~ 4 0 0 μ m にする。次いで、基板 1 の裏面上に、絶縁膜 1 5 を形成する。続いて、リソグラフィとエッチング法とにより、絶縁膜 1 5 と基板 1 とを裏面側からエッチングする。この際には、ランディングパッド 1 2 B の一部までエッチングを行い、ビアホール 1 6 を形成する。次いで、公知のめっき法等によりビアホール 1 6 内に銅を埋め込んだ後、CMP により余剰の銅を除去することにより、基板 1 を貫通し、ランディングパッド 1 2 B に接続する TSV (第 2 のビア) 2 5 を形成する。

40

【 0 0 4 3 】

参考例に係る半導体装置では、ランディングパッド 1 2 B 内に欠陥 4 0 、 4 2 が生じるので、ランディングパッド 1 2 B と TSV 2 5 との間で接続不良を起こす場合がある。

【 0 0 4 4 】

一方、本実施形態の半導体装置では、ランディングパッド 1 2 内にエッチングによるダメージが入らないので、ランディングパッド 1 2 と TSV 2 5 との間に接続不良は起こらない。また、本実施形態の半導体装置では、ランディングパッド 1 2 の下面位置を第 1 の金属配線 3 よりも低い位置にすることができるので、参考例に係る半導体装置よりもランデ

50

ィングパッド１２を厚くすることができ、ビアホール１６を形成する際にランディングパッド１２の突き抜けが生じにくくなっている。

【００４５】

また、本実施形態の方法では、ランディングパッド１２を形成するための凹部の形成は配線溝９やビアホール６を形成する工程と同時に行うことができ、ランディングパッド１２用の銅膜の形成は第２の金属配線１１及び第１のビア１０の形成と同時に行うことができるので、工程を増やすことなくランディングパッド１２を形成することができる。

【００４６】

- 半導体装置の構成 -

以上の方法によって作製される本実施形態実施形態の半導体装置は、図４Ｄに示すように、素子形成領域（第１の領域）２０と、パッド形成領域（第２の領域）３０とが形成された基板１と、基板１の上面上に形成された第１の層間膜２と、素子形成領域２０において、第１の層間膜２の上部に埋め込まれた第１の金属配線３と、第１の層間膜２上及び第１の金属配線３上に形成された第２の層間膜５と、素子形成領域２０において、第２の層間膜５の上部に埋め込まれた第２の金属配線１１と、第２の層間膜５を貫通し、第１の金属配線３と第２の金属配線１１とを電氣的に接続する第１のビア１０と、パッド形成領域３０において、第１の層間膜２の上部に埋め込まれるとともに、第２の層間膜５を貫通するランディングパッド１２と、パッド形成領域３０において、基板１の裏面側から基板１及び第１の層間膜２を貫通し、ランディングパッド１２に接続するTSV（第２のビア）２５とを備えている。本実施形態の半導体装置はまた、第２の層間膜５上、第２の金属配線１１上及びランディングパッド１２上に形成された第２のライナー膜１３と、第２のライナー膜１３上に形成されたパッシベーション膜１４とを備えている。

【００４７】

ランディングパッド１２の下面位置は、第１の金属配線３の下面位置と異っており、第１の金属配線３の下面位置よりも低い位置にある。

【００４８】

基板１は、シリコン等の半導体で構成されていてもよいが、これに限定されない。第１の層間膜２及び第２の層間膜５は、例えば酸化ケイ素等の絶縁膜で構成されている。第１の層間膜２及び第２の層間膜５は酸化ケイ素以外の絶縁体で構成されていてもよく、公知のLow- k 膜であってもよい。

【００４９】

ランディングパッド１２、第１の金属配線３及び第２の金属配線１１は、銅又は銅を主成分とする合金等で構成されていてもよいし、銅以外の導電性物質で構成されていてもよい。ランディングパッド１２は、第２の金属配線１１及び第１のビア１０と同じ材料で構成されていてもよい。

【００５０】

第１の金属配線３、第２の金属配線１１及び第１のビア、ランディングパッド１２及びTSV２５は、それぞれ銅等のみで構成されていてもよいが、配線溝又は凹部の内面に沿って薄く形成されたバリアメタル層と、銅等からなる金属層との二層で構成されていてもよく、これ以外の構成を有していてもよい。

【００５１】

本実施形態の半導体装置では、ランディングパッド１２の厚みは、第１の金属配線３の高さと、第１のビア１０の高さと、第２の金属配線１１の高さの合計値よりも厚くなっている。

【００５２】

また、本実施形態の半導体装置では、二層の金属配線層が設けられた例を示しているが、さらに多層の金属配線が設けられていてもよい。この場合、ランディングパッド１２は、上下で隣り合う２層の金属配線を形成する工程を利用して設けられていればよく、少なくとも１層の金属配線とこれに接続されたビアの合計高さよりも厚く形成されていればよい。

【 0 0 5 3 】

第 1 の層間膜 2 の厚さは例えば 4 0 0 n m 程度であってもよい。また、ランディングパッド 1 2 の直径は約 7 0 μ m 程度であってもよく、厚さは約 3 6 0 n m ~ 3 9 0 n m 程度であってもよい。

【 0 0 5 4 】

(第 2 の実施形態)

本発明の第 2 の実施形態に係る半導体装置の製造方法を説明する。

【 0 0 5 5 】

図 9 A ~ C、図 1 0 A ~ C は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。本実施形態の方法は、図 2 B に示す工程まで第 1 の実施形態の方法と同じである。従って、図 2 B に示す工程の後の工程について、以下に説明する。

【 0 0 5 6 】

図 9 A に示すように、素子形成領域 2 0 では配線形成領域が開口し、パッド形成領域 3 0 ではパッド用孔 6 A を覆うレジスト 8 を形成する。

【 0 0 5 7 】

次に、図 9 B に示すように、レジスト 8 を用いて第 2 の層間膜 5 をエッチングすることにより、素子形成領域 2 0 に配線溝 9 を形成する。この際に、パッド形成領域 3 0 では第 1 のライナー膜 4 はエッチングされない。

【 0 0 5 8 】

次に、図 9 C に示すように、洗浄によりレジスト 7、8 を除去する。

【 0 0 5 9 】

次に、図 1 0 A に示すように、エッチングにより第 1 のライナー膜 4 のうちビアホール 6 内に露出する部分を除去する。また、第 1 のライナー膜 4 の除去と同時にパッド形成領域 3 0 において第 1 のライナー膜 4 の一部及び第 1 の層間膜 2 の一部が除去され、パッド用凹部 9 C が形成される。

【 0 0 6 0 】

続いて、図 1 0 B に示すように、基板を洗浄後、めっき法により、素子形成領域 2 0 内のビアホール 6 内及び配線溝 9 内、パッド形成領域 3 0 内のパッド用孔 6 A 内及びパッド用凹部 9 C 内に銅を埋め込んだ後、CMP 法により余剰の銅を除去する。これにより、ビアホール 6 内に第 1 のビア 1 0 を形成し、配線溝 9 内に第 2 の金属配線 1 1 を形成する。また、パッド用凹部 9 C 内及びパッド用孔 6 A 内にランディングパッド 1 2 を形成する。この際に、ランディングパッド 1 2 の下面位置は、第 1 の金属配線 3 の下面位置よりも浅くなっている。ランディングパッド 1 2 の厚さは、約 2 4 0 n m である。

【 0 0 6 1 】

その後、第 2 の層間膜 5 上、第 2 の金属配線 1 1 上及びランディングパッド 1 2 上に厚さ 6 0 n m の炭化ケイ素からなる第 2 のライナー膜 1 3 を形成する。

【 0 0 6 2 】

次に、図 1 0 C に示すように、第 2 のライナー膜 1 3 上に、公知の CVD 法等により窒化ケイ素からなる厚さ 1 0 0 0 n m のパッシベーション膜 1 4 を形成する。次いで、基板 1 を裏面側から削って基板 1 の厚さを約 3 0 0 ~ 4 0 0 μ m にする。続いて、基板 1 の裏面に、絶縁膜 1 5 を形成する。その後、リソグラフィとエッチング法とにより絶縁膜 1 5 と基板 1 とを裏面側からエッチングする。この際には、ランディングパッド 1 2 の一部までエッチングを行い、ビアホール 1 6 を形成する。次いで、公知のめっき法等によりビアホール 1 6 内に銅を埋め込んだ後、CMP により余剰の銅を除去することにより、基板 1 を貫通し、ランディングパッド 1 2 に接続する TSV (第 2 のビア) 2 5 を形成する。

【 0 0 6 3 】

以上の方法によっても、ランディングパッド 1 2 は一度に形成した金属膜で形成されるので、当該金属膜がエッチングによるダメージを受けることがない。このため、ランディングパッド 1 2 内に欠陥が生じることがないので、TSV 2 5 とランディングパッド 1 2 との間に接続不良が生じにくくなっている。

10

20

30

40

50

【 0 0 6 4 】

また、本実施形態の方法によれば、ランディングパッド 1 2 の厚みを第 1 のビア 1 0 の高さとの金属配線 1 1 の高さとの合計値よりも厚くすることができるので、TSV 2 5 の形成時にランディングパッド 1 2 の突き抜けが生じにくくなっている。

【 0 0 6 5 】

(その他の実施形態)

図 1 1 A ~ C、図 1 2 A ~ C、図 1 3 A ~ C、図 1 4 A、B は、本発明の他の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 0 0 6 6 】

ここでは、パッド形成領域 3 0 内に素子形成領域 2 0 内と同じサイズのビアホール 6 B

10

【 0 0 6 7 】

図 1 1 A に示すように、パッド形成領域 3 0 内には、第 1 の金属配線 3 と同じ深さ位置に金属膜 1 7 が設けられている。第 1 の金属配線 3 上、金属膜 1 7 上及び第 1 の層間膜 2 上に第 1 のライナー膜 4 を形成する。次いで、第 1 のライナー膜 4 上に第 2 の層間膜 5 を形成した後、素子形成領域 2 0 にはビアホール 6 を形成し、パッド形成領域 3 0 にはビアホール 6 B を形成する。ここで、ビアホール 6 とビアホール 6 B の径は同じである。

【 0 0 6 8 】

次に、図 1 1 B に示すように、基板上にレジスト 7 を形成する。本工程では、ビアホール 6、6 B 内にレジスト 7 が埋め込まれる。次いで、図 1 1 C に示すように、レジスト 7

20

【 0 0 6 9 】

次いで、図 1 2 A に示すように、配線溝を形成するためのレジスト 8 を第 2 の層間膜 5 上に形成する。この際に、レジスト 8 には、ビアホール 6 B が形成された領域に開口が形成される。

【 0 0 7 0 】

次に、図 1 2 B に示すように、レジスト 8 をマスクとして第 2 の層間膜 5 をエッチングし、配線溝 9 を形成する。ビアホール 6 B 内にはレジスト 7 が残っているので、本工程において金属膜 1 7 が露出することはない。本工程により、パッド形成領域 3 0 では、パッド用孔 9 E が形成される。

30

【 0 0 7 1 】

次いで、図 1 2 C に示すように、洗浄によりレジスト 7、8 を除去する。続いて、図 1 3 A に示すように、素子形成領域 2 0 内及びパッド形成領域 3 0 内で、第 1 のライナー膜 4 のうち露出している部分をエッチングにより除去する。次いで、図 1 3 B に示すように、基板を洗浄する。図 1 3 A に示す工程では、素子形成領域 2 0 とパッド形成領域 3 0 とで同じ厚さの第 1 のライナー膜 4 を除去するので、金属膜 1 7 がエッチングによりダメージを受けにくくなっている。このため、図 1 3 B に示す工程では、金属膜 1 7 に欠陥が発生しにくくなっている。

【 0 0 7 2 】

次に、図 1 3 C に示すように、めっき法によってビアホール 6、6 B、配線溝 9、パッド用孔 9 E 内に銅を埋め込んだ後、CMP法によって余剰の銅を除去することにより、第 1 のビア 1 0 及び第 2 の金属配線 1 1、第 3 のビア 1 0 A 及び金属膜 1 1 A を形成する。ここで、金属膜 1 7、第 3 のビア 1 0 A 及び金属膜 1 1 A はランディングパッド 1 2 C を構成する。その後、第 2 の層間膜 5 上、第 2 の金属配線 1 1 上及びランディングパッド 1 2 上に厚さ 6 0 n m の炭化ケイ素からなる第 2 のライナー膜 1 3 を形成する。

40

【 0 0 7 3 】

次に、図 1 4 A に示すように、第 2 のライナー膜 1 3 上に、公知の CVD 法等により窒化ケイ素からなる厚さ 1 0 0 0 n m のパッシベーション膜 1 4 を形成する。次いで、図 1 4 B に示すように、基板 1 を裏面側から削って基板 1 の厚さを約 3 0 0 ~ 4 0 0 μ m にする。続いて、基板 1 の裏面上に絶縁膜 1 5 を形成する。その後、リソグラフィとエッチング

50

法とにより絶縁膜 15 と基板 1 とを裏面側からエッチングする。この際には、第 1 のライナー膜 4 及び第 2 の層間膜 5 の一部を除去するとともに、ランディングパッド 12C の一部までエッチングを行い、ビアホール 16 を形成する。次いで、公知のめっき法等によりビアホール 16 内に銅を埋め込んだ後、CMPにより余剰の銅を除去することにより、基板 1 を貫通し、ランディングパッド 12C に接続するTSV (第 2 のビア) 25 を形成する。

【0074】

本実施形態の方法によっても、ランディングパッド 12C の内部に欠陥が生じないので、ランディングパッド 12C とTSV 25 との間の接続不良を抑えることができる。

【0075】

ただし、本実施形態の方法によれば、パッド形成領域 30 において、ビアホール 6B 間には第 1 のライナー膜 4 及び第 2 の層間膜 5 が存在しているので、ビアホール 16 を形成する際に、ランディングパッド 12C 上で確実にエッチングを停止しにくくなっている。

【0076】

このため、パッド形成領域 30 に小さい径のビアを形成するのは好ましくない。従って、パッド形成領域 30 内では、素子形成領域 20 内の第 1 のビア 10 よりも径の大きいビアを形成することが好ましい。

【0077】

なお、以上で説明した半導体装置及びその製造方法は、実施形態の一例であって、半導体装置の構成、各層の膜厚やサイズ、材質等は適宜変更可能である。例えば、パッド形成領域 30 におけるレジスト 8 の開口のサイズはパッド用孔 6A よりも大きくてもよいが、パッド用孔 6A と同じ又はパッド用孔 6A 以下のサイズであってもよい。

【産業上の利用可能性】

【0078】

本発明に係る半導体装置及びその製造方法は、TSV構造を設けた様々な半導体装置に適用できる。

【符号の説明】

【0079】

- 1 基板
- 2 第 1 の層間膜
- 3 第 1 の金属配線
- 4 第 1 のライナー膜
- 5 第 2 の層間膜
- 6、6B ビアホール
- 6A パッド用孔
- 7、8 レジスト
- 9 配線溝
- 9A、9B、9C、9D パッド用凹部
- 9E パッド用孔
- 10 第 1 のビア
- 10A 第 3 のビア
- 11 第 2 の金属配線
- 11A 金属膜
- 12、12B、12C ランディングパッド
- 13 第 2 のライナー膜
- 14 パッシベーション膜
- 15 絶縁膜
- 16 ビアホール
- 17 金属膜
- 20 素子形成領域
- 25 TSV

10

20

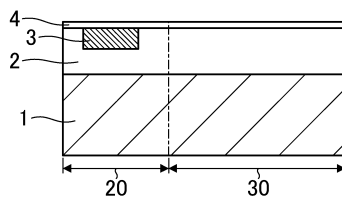
30

40

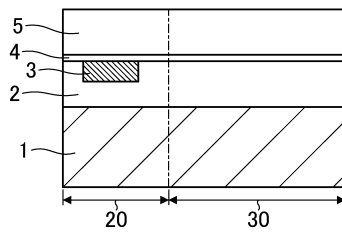
50

3 0 パッド形成領域
4 0、4 2 欠陥

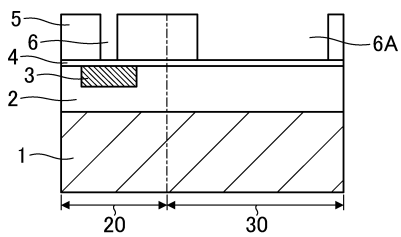
【図 1 A】



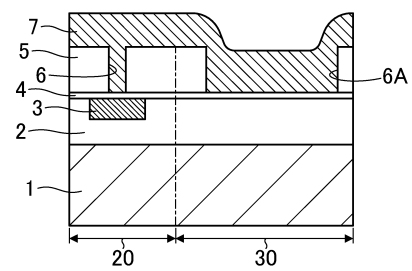
【図 1 B】



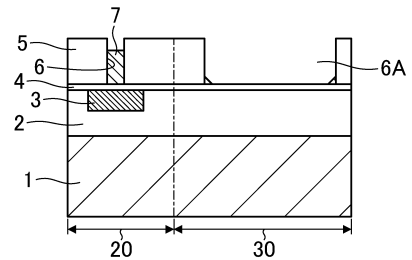
【図 1 C】



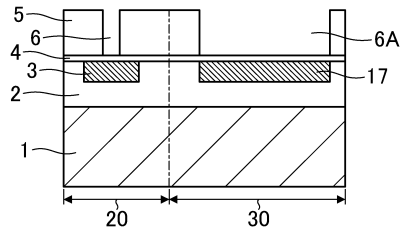
【図 2 A】



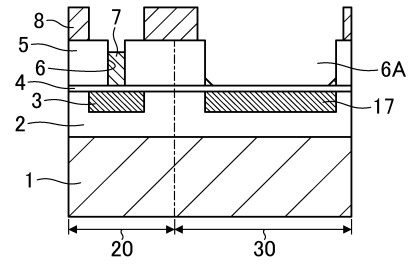
【図 2 B】



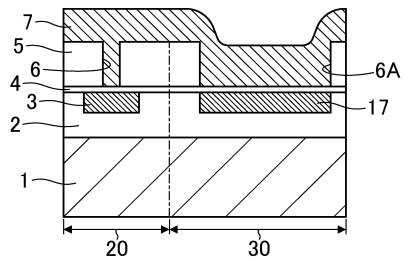
【 図 5 C 】



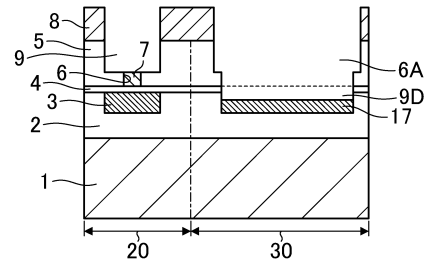
【 図 6 C 】



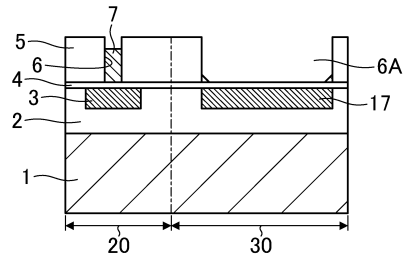
【 図 6 A 】



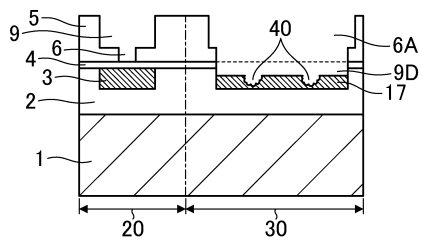
【 図 7 A 】



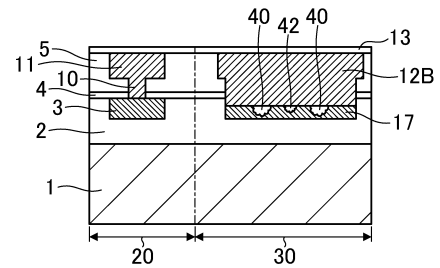
【 図 6 B 】



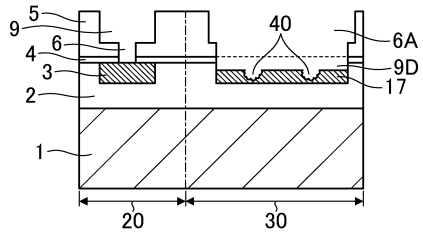
【圖 7 B】



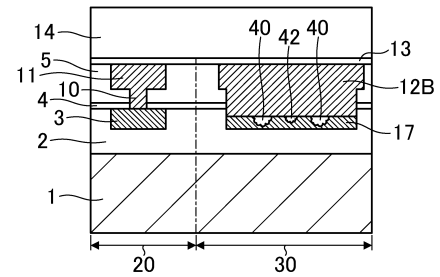
【 図 8 B 】



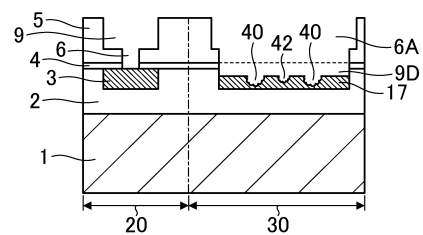
【 図 7 C 】



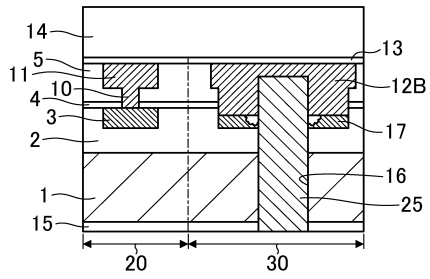
【 図 8 C 】



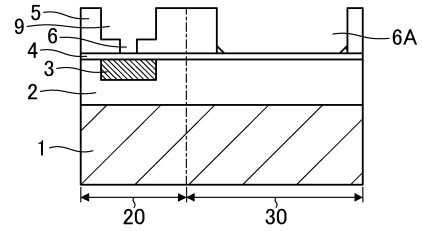
【 図 8 A 】



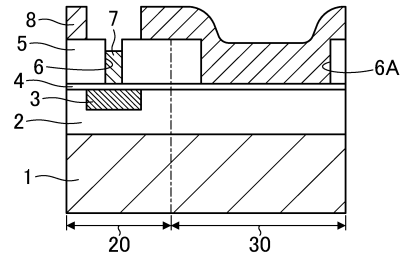
【図 8 D】



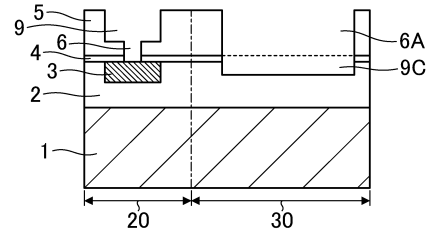
【図 9 C】



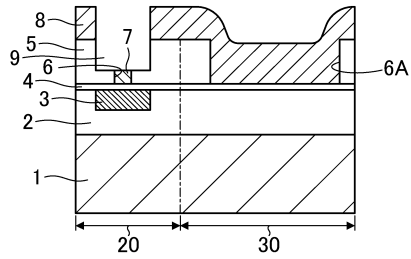
【図 9 A】



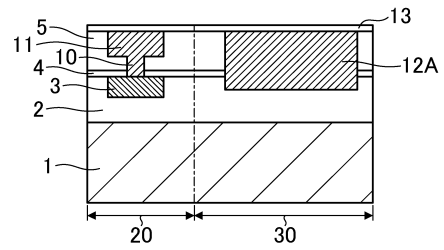
【図 10 A】



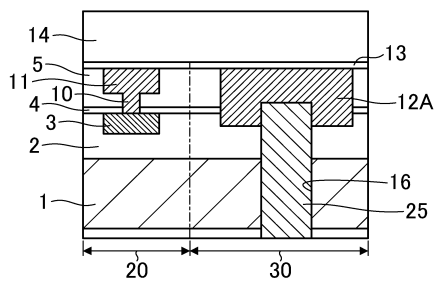
【図 9 B】



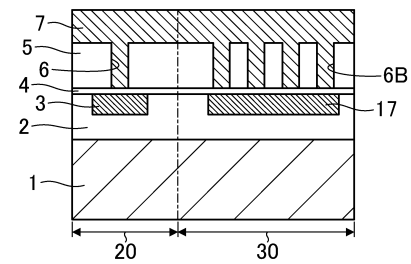
【図 10 B】



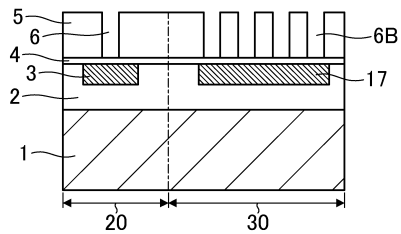
【図 10 C】



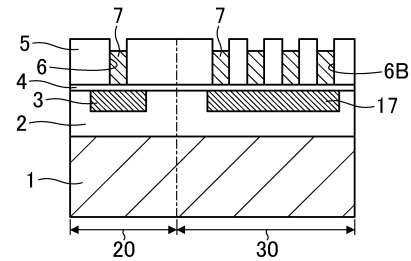
【図 11 B】



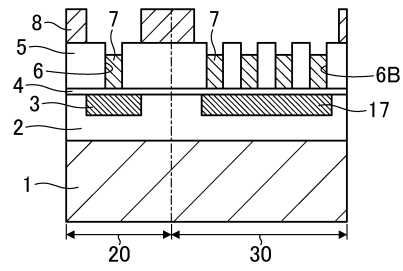
【図 11 A】



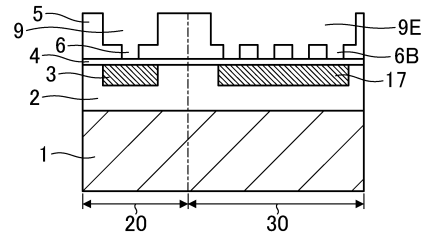
【図 11 C】



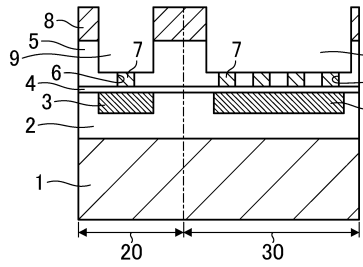
【図 1 2 A】



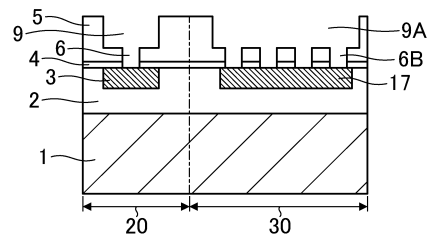
【図 1 2 C】



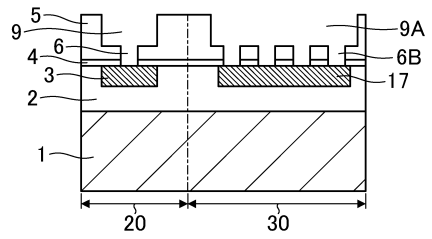
【図 1 2 B】



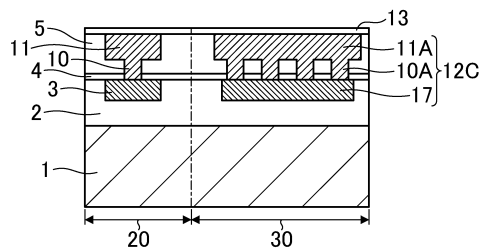
【図 1 3 A】



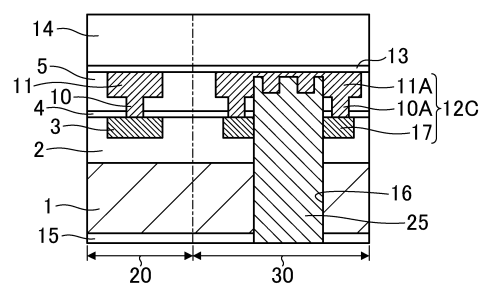
【図 1 3 B】



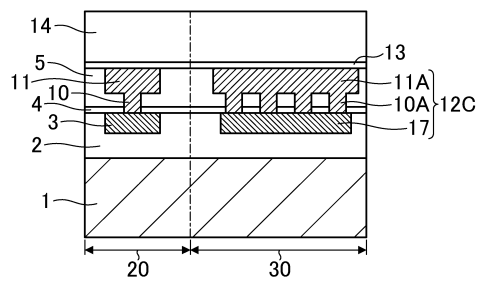
【図 1 3 C】



【図 1 4 B】



【図 1 4 A】



フロントページの続き

- (72)発明者 高橋 信義
富山県魚津市東山 8 0 0 番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 小田 真弘
富山県魚津市東山 8 0 0 番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 矢野 尚
富山県魚津市東山 8 0 0 番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 伊藤 豊
富山県魚津市東山 8 0 0 番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 森永 泰規
富山県魚津市東山 8 0 0 番地 パナソニック・タワージャズセミコンダクター株式会社内

審査官 宇多川 勉

- (56)参考文献 特開 2 0 0 9 - 1 1 1 0 6 1 (J P , A)
特開 2 0 1 4 - 0 7 2 2 9 6 (J P , A)
特開 2 0 1 3 - 0 7 7 7 1 1 (J P , A)
特開 2 0 1 5 - 0 7 9 9 6 1 (J P , A)
特開 2 0 1 2 - 0 2 8 6 9 6 (J P , A)
国際公開第 2 0 0 9 / 1 0 7 7 4 2 (W O , A 1)
国際公開第 2 0 1 1 / 0 0 1 5 2 0 (W O , A 1)
米国特許第 7 7 8 6 5 8 4 (U S , B 2)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2 2