

公告本

申請日期	90 年 3 月 7 日
案 號	90105332
類 別	H01L 21/768, 21/56; H05K 1/02

A4
C4

494531

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體系統及其製造方法
	英 文	Semiconducting system and production method
二、發明 人	姓 名	(1) 中野廣 (2) 板橋武之 (3) 赤星晴夫
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 名 姓 名	(1) 庄山悅彦

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本	2000 年 3 月 8 日	2000-068615	☒ 有主張優先權
日本	2000 年 8 月 30 日	2000-260977	☒ 有主張優先權
日本	2001 年 2 月 16 日	2001-040640	☒ 有主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明領域]

本發明關係於一半導體裝置及其製造方法,更明確地說,關係於一半導體裝置及其製造方法,其中,該半導體裝置具有由銅作成之接線結構,並具有一基本結構,其具有一線保護膜於該銅接線旁,即覆蓋銅接線的頂部,及一阻障膜包圍該銅接線的側及底部。

[先前技藝的說明]

裝置之操作速度的改變係需要完成更高積集度及半導體裝置的先進能力。這要求係跟隨著 LSI 內部接線之縮小及膜層數量之增加的製程。接線的縮小及層膜數量的增加將造成接線電阻及接線間能力之增加,並將影響於接線中之信號傳送速度。因為速度增加係受到由於延遲時間的限制,層間絕緣膜之介電常數係被降低,以減少接線間電容。於此時,該操作速度係藉由使用較低電阻之接線材料來降低接線電阻,而改良操作速度。

有很多研究已使用具有 $1.7 \mu \Omega \text{ cm}$ 低比電阻之銅,作為接線材料。至於形成一銅接線的技術,雙層嵌入法係為一引入注意的方法。以此參考第 10 圖說明此方法的例子:

絕緣膜 4(第 10a 圖中)係被形成於基材(於此例子中,相當具有下層接線 2b 之下層接線層 10a 並提供有線保護膜 8,其特徵在於一高絕緣在所有側)(在第 10b 圖中)。一接線凹槽 7,以內藏接線及一連接孔 10 以連接上及下接線係形成在該絕緣膜 4 上。因為一絕緣線保護膜 8 係位於下層接線層

五、發明說明(2)

10a 及絕緣膜 4 之間,線保護膜 8 可以由連接孔 10 之底部去除(第 10c 圖)。於阻障層 3 被形成於接線凹槽 7 及連接孔上之後(第 10d 圖),一種層 5 係形成於其上(第 10e 圖),並被填以接線材料 6(第 10f 圖)。然後,CMP(化學機械研磨)係被用以去除接線材料 6 之過量部份,及接線插塞 11 係同時形成於上層之接線 2 及連接孔 10 中(第 10g 圖)。然後,該線保護膜 8 係被形成,以覆蓋接線 2 及絕緣層 4(第 10h 圖)。此雙層嵌入法允許接線 2 及接線插塞 11 被一次形成,藉以確保製造成本之大量降低。

另外,銅與絕緣膜 4 反應並擴散於絕緣膜中。為了確保良好之接線可靠度,絕緣線保護膜 8 及阻障膜 3 必須如上所述提供於銅接線 2 及絕緣膜 4 之間。傳統上,例如氮化鈦,氮化鉬及氮化鎢之氮化物金屬可以防止銅擴散,及例如鉬及鎢及其合金之高熔點金屬已經被使用作為阻障層 3。同時,絕緣氮化矽膜(SiN)已經被使用作為在銅接線 2 上之線保護膜 8。

然而,SiN 具有 7.0 至 9.0 之比介電常數。其具有 SiO_2 之絕緣膜的兩倍之介電常數。因此,其阻礙了於極端細微接線圖案中之接線間電容量的降低。為了克服此問題,電容量必須藉由形成一導電膜係為在接線頂面上之線保護膜加以降低。

美國專利第 5,695,810 號揭示一鈷鎢磷導電膜係藉由無電電鍍加以形成為線保護膜。於鈷鎢磷無電電鍍中,次磷酸鈉係經常被使用作為還原劑。次磷酸鈉係為一已知不活性

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

還原劑,不會有反應發生於銅上,其不能直接鍍於銅上(如由美國佛州之美國電鍍者及表面加工協會之第318頁之"無電鍍-基礎及應用")。因此,於例如鈮之種層施加至銅接線後,鈷鎢磷膜必須被電鍍。然而,於此時,鈮可能與構成接線層之銅反應,而增加了銅電阻。再者,鈮可以沉積於絕緣層上而不是接線上,及鈷鎢磷膜可能形成於接線外之絕緣上。因此,當生產細微接線時,這涉及了降低需要接線間絕緣之問題。

再者,日本專利公報16906/1999揭示該含鈷無電電鍍係被使用作為抗氧化劑膜。然而,由該法所取得之含鈷膜具有不夠之防銅擴散的能力。若於半導體形成製程或形成後執行熱處理,則銅可能經由含鈷膜擴散入 SiO_2 中。

日本專利公報120674/1994揭示於生產電路基材中,一由鎢鈷硼合金作為主成份之中間金屬膜係被形成在接線板之表面上,其係被提供有一接線導體,並係塗覆以由銅作成之電路導體。然而,由鎢鈷硼合金作為主成份之中間金屬膜係想要增加於電路基材表面上之鎢或鈮之接線連接器及形成於其表面上之銅的電路導體間之黏著力;其並不作為一於銅接線及絕緣間之線保護膜。

如上所述,已經被使用作為線保護膜之 SiN 為絕緣,並具有高比介電常數。這係為一阻礙接線間電容量降低之因素。為了解決此問題,一接線保護膜可以被以金屬材料加以形成,以允許電容量之降低。然而,例如氮化鈦,氮化鋇及氮化鎢之氮化物金屬被作為一線保護膜,例如鋇及鎢之具有高熔點之金屬並不能在選擇下形成於銅接線上。為了避免於線

五、發明說明(4)

間之短路,則需要如圖案化及蝕刻之此等複雜製程。這將使接線形成精確度及可靠度劣化。因此,此二事項必須解決,以金屬材料形成線保護膜。

(i)爲了確保銅接線可靠性,有必要形成一金屬材料,其能防止銅擴散,而不會允許銅接線於熱處理中氧化。

(ii)示於(1)中之金屬材料必須以一選擇基礎形成在銅接線上。

一種符合此兩種要求之形成方法必須加以提供。當例如氮化鈦,氮化鉬及氮化鎢之金屬氮化物,例如鉬及鎢或其合金之具高熔化點之金屬被使用作爲一阻障膜時,一種層必須被形成,以提供因爲高電阻之銅電鍍。特別是,若能作爲功率饋送層之阻障膜可以被形成時,則電鍍銅可以直接提供於阻障膜上,及導電膜(銅接線膜)可以有效形成。特別是,當無電鍍被使用以形成一導電阻障膜時,阻障膜可以均勻地形成,而不管接線的複雜架構,其有效地作爲電鍍銅之種層。然而,符合這些要求之線保護膜或阻障膜於現在係爲未知的。

[發明概要]

本發明之目的係解決上述先前技藝的技術上的問題。更明確地說,本發明係想要防止由於銅接線氧化之電阻上升及由於銅擴散之銅接線及元件之可靠度降低。同時,吾人想要提供一半導體裝置及其形成方法,其中該半導體裝置係被提供有一銅線保護膜及/或阻障膜允許均勻地形成銅接線膜,而不管其複雜架構。

五、發明說明(5)

爲了完成上述目的,本發明提供一半導體裝置,其包含一線保護膜,以覆蓋形成於絕緣膜中之銅接線之頂部,及一阻障膜包圍住銅接線的側及底部,其中該線保護膜及/或阻障膜係以鈷合金膜加以形成,該合金膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈,及磷之至少之一,及(3)硼。

依據本發明之半導體裝置更特徵在於:

多數層之銅線係形成於絕緣膜中,

接線保護膜及阻障膜係被覆蓋以鈷合金膜,該膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈及磷之至少之一,及(3)硼,及

該在上層上之銅線係經由該阻障層電氣連接至在下層上之銅線。

於另一實施例中,該半導體裝置生產方法係特徵在於一作為蝕刻停止層之絕緣膜係進一步形成在線保護膜所形成之區域以外之絕緣膜之表面上。在所有表面上形成此一蝕刻停止層使半導體裝置製程中容易完成蝕刻連接。

本發明揭示了一半導體裝置生產方法,其特徵在於

半導體裝置包含一線保護膜,以覆蓋形成於絕緣膜中之銅接線頂部,及一阻障膜包圍住銅接線的側及底部;

其中該線保護膜及/或阻障膜係以鈷合金膜加以形成,該鈷合金膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈,及磷之至少之一,及(3)硼。

本發明由於銅接線的氧化之電阻增加,及由於銅擴散造成之銅接線及元件之可靠度的降低,並允許線保護膜被以選擇為基礎單獨形成於銅接線上。然後,阻障膜係由導電鈷合

五、發明說明(6)

金膜形成,銅可以直接塗覆於阻障膜上,而不需要任何功率饋送層。這解決了孔隙形成之問題並免除了形成一種層的步驟。

於依據本發明之半導體裝置中,該鈷合金,即線保護膜及/或阻障膜係較佳具有 100 奈米或更少之厚度,並包含 50 至 95 原子百分比鈷作為主成份,1 至 40 原子百分比之鉻,鉬,鎢,銻,鉍及磷之至少之一,及 0.1 至 10 原子百分比之硼。

以下參考附圖,說明依據本發明之半導體裝置及其生產方法的較佳實施例。依據本發明之半導體裝置係基本上依據以下製程步驟加以製造(見第 1 圖):

(a)形成一絕緣膜 4 於基材 10a 上(並不限定於下述之下層銅接線 2b 及線保護膜 1a,其係已經形成於第 1a 圖中作為絕緣層(第 1b 圖));

(b)形成一接線凹槽 7 及連接孔 10 於絕緣膜 4 上(第 1c 圖);

(c)形成一阻障膜 3 於接線凹槽 7 及連接孔 10 中(第 1d 圖);

(d)形成一種層 5 於該阻障膜 4 上(第 1e 圖);

(e)內藏銅膜 6 於接線凹槽 7 及孔 10 中(第 1f 圖);

(f)藉由去除形成於絕緣膜 4 上而不是接線凹槽 7 及孔 10 中之銅 6,而形成銅接線 2 及接線插塞 11(第 1g 圖);

(g)形成線保護膜 1 於銅接線 2 的表面(第 1h 圖)。

一具有接線層積層於多層上(於圖中為四層)之半導體裝置係藉由重覆步驟(a)至(g)若干次加以完成,如同於第 2 圖所

五、發明說明 (7)

示。

低介電常數之 SiO_2 , 倍半氧化物氫氧化物及甲基聚矽氧烷之絕緣材料及其積層膜可以使用作為絕緣膜 4。銅接線 2 可以藉由電鍍銅或無電電鍍加以形成。如由後述, 形成種層 5 之步驟可以被免除, 以銅接線 2 之無電銅電鍍可以當依據本發明之鈦合金膜被使用作為阻障膜 3 時被完成。

例如鈦, 鉬及鎢或其合金之高熔點材料, 及例如氮化鈦, 氮化鉬, 及氮化鎢之氮化物膜可以被使用作為阻障膜 3。再者, 依據本發明之鈦合金膜可以被使用。於此時, 形成步驟係藉由將被提供有接線凹槽 7 及孔 10 之基材浸入鈦為主無電電鍍浴中。

該鈦為主無電電鍍浴包含金屬鹽, 還原劑, 完成劑, pH 調整劑及添加劑。氯化鈦, 硫化鈦, 及硝酸鈦可以使用作為鈦鹽。至於鎢鹽, 有可能使用鎢酸鈉, 鎢酸鉍, 三水合磷酸鉍, 五水合仲鎢酸鉍, n-水合磷鎢酸鈉, 12-鎢矽酸 26-水, 鎢酸, 氧化鎢, 檸檬酸鎢鈉, 二矽酸鎢, 硼酸鎢等。較佳使用鎢酸鈉, 鎢酸鉍, 鎢酸及檸檬酸鎢鈉。至於鉬鹽, 有可能使用鉬酸, 氯酸鉬, 鉬酸鉀, 二水合鉬酸鈉, 鉬酸鉍, n-水合鉬酸矽化物, 乙醯丙酮酸氧化鉬, n-水合磷鉬酸鈉, 硼酸鉬等。至於鉻鹽, 也有可能使用鉻酸鉍, 十二水合硫酸鉍鉻, 六水合氯酸鉻, 硫酸鉻, n-水合, 氧化鉻, 硼酸鉻, 二水合重鉻酸鈉等。至於銻鹽, 有可能使用高銻酸鉍, 六氯銻酸鉀等。至於鉈鹽, 有可能使用硝酸鉈, 甲酸鉈, 硫酸鉈, 氧化鉈等。磷可以由單水合次磷酸鈉, 3-氨基丙次磷酸及次磷酸。

五、發明說明(8)

爲了選擇性地只在銅接線 2 上形成形保護膜,還原劑係爲聯氨及硼化合物,其中反應進行於銅接線 2 及鍍鈷膜之表面上。有可能使用二甲胺硼烷,乙胺硼烷,胺硼烷,嗎林硼烷,比定硼烷,六氫比定硼烷,乙二胺硼烷,乙二胺二硼烷,第三丁胺硼烷,咪唑硼烷,甲氧乙銨硼烷,硼氫化鈉,等。使用此一還原劑允許線保護膜 1 被直接形成於銅接線 2 上,而不必施加例如鈀之電鍍觸媒。

檸檬酸,丁二酸鹽,丙二酸鹽,蘋果酸鹽,酒石酸鹽等係較佳使用作爲完成劑。例如氫氧化鈉及氫氧化鉀之氫氧化鹼金屬,及例如氨,四甲基銨,四乙基銨,膽鹼等係較佳被使用作爲 pH 調整鹼溶液。一例如硫尿,糖精,硼酸,硝酸鈦及聚乙二醇可以被使用作爲添加劑。電鍍溶液之溫度較佳爲由 40 至 90 °C。

藉由使用此鈷爲主無電電鍍浴所形成之線保護膜 1 以選擇爲主,如所示地覆蓋在銅接線 2 之頂部。於此,線保護膜 1 展現由銅接線 2 之等向性成長,使得膜不只成長於銅接線 2 上之方向。它由銅接線 2 之邊緣成長至阻障膜 3 或絕緣膜 4 之頂部等於保護膜 1 之厚度。當線保護膜 1 之係薄於阻障膜 3 時,其成長至阻障膜 3 之頂部。若線保護膜 1 係厚於阻障膜 3,則其延伸至阻障膜 3 上絕緣膜 4 之頂部。再者,若於形成於步驟(c)中之阻障膜 3 之表面中之電鍍反應係活躍的,則其係藉由延伸超出絕緣膜 4 之頂部,等向地由阻障膜 3 之邊緣形成,如於第 3 圖所示。因此,由於線保護膜之等向性成長,線保護膜 1 之邊緣爲圓形並不是矩形。

五、發明說明(9)

當銅接線 2 之去除量由於步驟(f)中之過量研磨,而大於阻障膜 3 之去除量,及銅接線 2 係較阻障膜 3 下凹時,即,當所謂碟形化發生時,鈷為主無電電鍍溶液係被選擇,以確保沉積只發生在銅接線 2 之頂部,而沒有沉積在阻障膜 3 上。然後,銅接線 2 之下凹部可以被降低,並且,這係較佳的。

[圖式簡要說明]

第 1a-h 圖為一製程,顯示如何生產依本發明之一實施例之半導體裝置;

第 2 圖為一剖面圖,顯示代表本發明之半導體裝置的實施例;

第 3 圖為一剖面圖,顯示代表本發明之半導體裝置的另一實施例;

第 4 圖為一剖面圖,顯示代表本發明之半導體裝置的另一實施例;

第 5 圖為一剖面圖,顯示代表本發明之半導體裝置的另一實施例,其中提供有兩蝕刻停止層;

第 6 圖為一剖面圖,顯示代表本發明之半導體裝置的另一實施例,其中一蝕刻停止層係只提供在接線層之頂端上;

第 7a-h 圖為一製程,例示如何生產具有示於第 5 及 6 圖之蝕刻停止層 9 之半導體裝置;

第 8 圖為一剖面圖,代表一傳統半導體裝置;

第 9 圖為一表面圖,代表一傳統半導體裝置;

第 10a-h 圖為一製程,顯示如何生產一傳統半導體裝置;

五、發明說明 (10)

第 11 圖 爲 一 剖 面 圖 ,代 表 本 發 明 之 半 導 體 裝 置 之 另 一 實 施 例 ;及

第 12 圖 爲 一 剖 面 圖 ,代 表 本 發 明 之 半 導 體 裝 置 之 另 一 實 施 例 。

[符 號 說 明]

1	線 保 護 膜
1 a	線 保 護 膜
2	銅 接 線
2 b	銅 接 線
3	阻 障 膜
4	絕 緣 膜
5	銅 種 層
6	銅 膜
7	接 線 凹 槽
8	線 保 護 膜
9	觸 媒
10	連 接 孔
11	接 線 插 塞
13	接 線 間 故 障 沉 積 部
14	接 線 間 短 路 位 置
16	絕 緣 膜
17	蝕 刻 停 止 層
18	絕 緣 膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明 (11)

19	蝕刻停止層
20	SiO ₂ 膜
21	氮化矽膜
22	開口
23	光阻

[較佳實施例的說明]

(實施例 1)

以下實施例將參考第 1 圖加以說明。元件係形成於矽基材上,該基材具有 200mm 直徑,以形成一銅接線 2b 在一下層(第 1a 圖)。因此,形成有具有厚 1 微米之 SiO₂絕緣膜 4(第 1b 圖)。接線凹槽 7 及連接孔 10 係藉由乾蝕刻加以形成(第 1c 圖)。接線凹槽 7 係 0.3 微米寬,及連接孔 10 具有 0.3 微米直徑。然後,Ta 係藉由濺鍍被形成於具有 50 奈米之膜中,該膜作為阻障膜 3(第 1d 圖)。然後,銅係被形成至 150 奈米的厚度成為一種層 5(第 1e 圖)。對於銅種層 5,膜係被使用銅濺鍍 Ceraus ZX-1000(日本真空有限公司)之長距濺鍍系統,以每分 200 至 400 奈米之速度形成。基材係被浸於以下所示之電鍍溶液中,並受到 24 °C 之溶液溫度電鍍及 1 安每平方公分之電流密度 5 分鐘。銅係被內藏於接線凹槽 7 及連接孔 10 中,以形成銅膜 6。含磷銅係被使用作為一陽極。

- 硫酸銅:0.4mol/dm³
- 硫酸:2.0mol/dm³
- 氯離子:1.5 × 10⁻³mol/dm³

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明 (12)

Microfab Cu2100:10 × 10⁻³dm³/dm³(由日本電鍍密封公司之鍍銅添加劑)。

然後,用 IPEC 之化學機械研磨設備,一鋁土分佈輪含 1 至 2%之過氧化氫,及一墊(羅德公司之 IC1000)進行化學機械研磨。研磨係以 190 克每平方公分之研磨壓力,進行直到阻障膜 3 為止,以分離接線導體並形成銅接線 2(第 1g 圖)。然後,係被清洗於 5 重量百分比硫酸 1 分鐘,然後於純水中 1 分鐘。

隨後,基材係被浸於以下電鍍溶液中,以形成線保護膜 1,並受到鈷為主無電電鍍在以下之電鍍條件下(第 1h 圖):然後基材以純水清洗。

氯化鈷:0.1 莫耳/dm³

檸檬酸鈉:0.3 莫耳/dm³

對甲胺硼:0.06 莫耳/dm³

鎢酸鈉:0.03 莫耳/dm³

RE610:0.05g/dm³(由東和科學有限公司所製之表面劑)

電鍍條件:

pH:9.5(由 KOH 所調整)

溶液溫度:75 °C

電鍍時間:10 分鐘

於上述程序中所生產之半導體裝置係以 FIB(聚焦離子束)加以處理。包含接線凹槽 7 及連接孔 10 之裝置的剖面係以一掃描式電子顯微鏡(此後被簡稱為"SEM")加以觀察。可以看出具有膜厚 80 奈米之鈷-鎢-硼合金係均勻地沉積於銅

經濟部智慧財產局員工訓練教材

五、發明說明 (13)

接線 2 之表面上。然而,於絕緣膜 4 上未看到鈷-鎢-硼合金之沉積。因此,可以清楚了解線保護膜 1 可以依據本發明之電鍍方法,只形成於銅接線 2 上。

所取得之鈷合金係為一歐格電子頻譜儀加以分析。可以看出該膜係被為一無電電鍍膜,其包含 79 原子百分比鈷,20 原子百分比鎢及 1 原子百分比硼。

然後,半導體裝置係受到於 2% 氫及 98% 氮氣體 500 °C 之氣氛中 30 分鐘。表面係為歐格電子頻譜儀所量測,但銅並未在表面上檢測出。作為接線材料之銅的擴散並未看到。於熱處理前後,沒有接線電阻。由於銅氧化之接線電阻的增加並未被看到。

因此,依據本發明之無電電鍍,作為線保護膜 1 之鈷-鎢-硼合金係以選擇為基礎被形成於銅接線 2 上。再者,線保護膜 1 防止銅接線 2 之氧化及銅由銅接線 2 擴散入絕緣膜 4,並降低了於銅接線 2 之電阻增加。因此,可以取得高度可靠之半導體裝置。

(參考例 1)

以下顯示依據本發明之無電電鍍之鈷-鎢-磷化合物合金膜之線保護膜 1 的例子。

參考例 1:次磷酸鈉係被使用作為鈷-鎢-磷化合物電鍍溶液作為還原劑,使得電鍍反應並不會發生於銅上。電鍍並不會直接執行於銅接線 2 上。電鍍需要觸媒 9 例如鈀被事先提供於銅接線 2 上。作為電鍍的預處理,以下鈀觸媒製程係被

經濟部智慧財產局員工消費合作社印製

五、發明說明 (14)

執行於具有銅接線 2 形成於其上之矽基材上。

氯化鈮 : 0.003 莫耳 / dm³

鹽酸 : 1×10^{-3} 莫耳 / dm³

乙酸 : 0.5 莫耳 / dm³

氫氟酸 : 5×10^{-3} 莫耳 / dm³

溫度 : 24 °C

時間 : 10 秒

於觸媒處理中,一平均大小 50 奈米之鈮係以絕緣方式被沉積於半導體裝置的表面上。一旦被以純水清洗約 1 分鐘後,半導體裝置係被浸於如表 1 所示之電鍍溶液中並在相同於實施例 1 之電鍍條件下受到鈷為主無電電鍍。在鈷為主無電電鍍時,半導體裝置係被清洗於純水中。

此半導體裝置之剖面係以 SEM 加以觀看,及鈷-鎢-磷化物合金電鍍膜係被沉積於表面上。此鈷合金係為無電電鍍膜,其包含 84 原子百分比鈷,8 原子百分比鎢及 8 原子百分比磷化物。接線間故障沉積部 13(第 8 圖)及接線間短路位置 14 係被在半導體裝置的表面找到(第 9 圖),除了形成於銅接線 2 之線保護膜 1 之外。同時,表面不規則增加。

然後,半導體裝置係回火於 400 °C 約 30 分鐘,於 2 百分比氫及 98 百分比氮氣的氣氛中,以及 6 原子百分比銅係被檢測於表面上。作為接線材料的銅的擴散也被看到。再者,於加熱前後展現增加 10% 之接線電阻。

(實施例 2 至 5)

五、發明說明 (15)

以下顯示其他之實施例 2 至 5,其中鈷-鎢-硼合金係被形成於銅接線 2 之表面上作為線保護膜 1。

於實施例 2 中,鈷為主無電電鍍溶液係被作成如表中所示之鹼,及沒有含鹼之電鍍溶液係被使用。電鍍條件係相同於實施例 1 者。氨水係被用以備製酸性(pH)。

於實施例 3 中,鈷為主無電電鍍溶液具有如表 1 所示之成份百分比。保護膜 1 係如於實施例 1 中被形成。於實施例 4 中,銅接線 2 係被以無電電鍍形成,及線保護膜 1 係被形成於銅接線 2 上,藉由鈷為主無電電鍍。類似於實施例 1,元件係被形成於矽基材上,及銅種層 5 係被形成於接線凹槽 7 上及連接孔 10 上(第 1e 圖)。然後,基材係被浸於以下銅電鍍浴中,用以形成銅膜 6。

- 硫酸銅:0.4 莫耳/dm³
- 伸乙基二胺四乙酸二鈉:0.1 莫耳/dm³
- 甲醛:0.03 莫耳/dm³
- 2,2'-雙比定基:0.0002 莫耳/dm³
- 聚乙二醇:0.03 莫耳/dm³(平均分子量:600)
- 電鍍條件:
 - pH:9.5(以氫氧化鈉調整)
 - 溶液溫度:70 °C

隨後,化學機械研磨係被執行,以分離接線導線。然後,執行鈷為主無電電鍍,如同於實施例 1 中之情形一般。

用於實施例 5 中之鈷為主無電電鍍溶液係為鹼性的,使用鹼四甲銨,如於表 1 所示。其使用沒有含鹼金屬之電鍍溶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明 (16)

液。電鍍條件係相同於實施例 1 者,假設四甲銨水被使用以調配酸性(pH)的話。

鈷-鎢-硼合金係被均勻地沉積於生產於上述步驟中之實施例 2 至 5 之半導體裝置之銅接線 2 上。鈷合金沉積並未於絕緣膜 4 看到。因此,依據每一實施例中之電鍍,線保護膜 1 可以只形成於銅接線 2 之表面上。

然後,實施例 2 至 4 之半導體裝置係被回火於 400 °C ,及實施例 5 之半導體裝置係在 2 百分比氫及 98 百分比之氮氣氛下,於 500 °C 中 30 分。

於這些實施例中,銅並未檢測於銅上,及銅的擴散成接線材料並未看到。表 1 顯示於線保護膜 1 中以歐格電子顯微鏡所量測之每一實施例的成份百分比。

經濟部智慧財產局員工訓練合作社印刷

五、發明說明 (17)

表 1	電鍍溶液												保護膜厚 (奈米)	銅擴散
	氯化鈷 (莫耳/dm ³)	檸檬三鈉 (莫耳/dm ³)	檸檬酸氫二胺 (莫耳/dm ³)	檸檬酸 (莫耳/dm ³)	對甲苯胺 (莫耳/dm ³)	次磷酸鈉 (莫耳/dm ³)	鎢酸鈉 (莫耳/dm ³)	鎢酸銨 (莫耳/dm ³)	鎢酸 (莫耳/dm ³)	(由東和科學公 司之表面劑) (g/dm ³)	Co	W	b	p
實施例 1	0.1	0.3	-	-	0.06	-	0.03	-	-	0.05	79	20	1	-
實施例 2	0.1	-	0.3	-	0.06	-	0.03	0.03	-	0.05	81	18	1	-
實施例 3	0.2	0.3	-	-	0.06	-	0.01	-	-	0.05	85	13	2	-
實施例 4	0.1	0.3	-	-	0.06	-	0.03	-	-	0.05	79	20	1	-
實施例 5	0.1	-	-	0.3	0.06	-	0.03	-	0.03	0.05	78	21	2	-
參考例	0.1	0.3	-	-	-	0.2	0.03	-	-	0.05	84	8	-	8
														擴散 6
														原子%

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (18)

依據上述之步驟,一鈷-鎢-硼合金可以選擇地形成於銅接線 2 上,作為於實施例 2 至 5 中之線保護膜 1,如同於實施例 1,以取得高可靠半導體裝置。再者,一線保護膜係使用電鍍溶液加以形成,而沒有實施例 5 中之含鹼金屬。這已經成功地避免由於此例如鈉或鉀之鹼金屬之污染。

(實施例 6 至 13 及參考例 2 至 3)

於實施例 6 至 13 中,一線保護膜 1 係形成於示於表 2 中之成份之百分比,及服務壽命測試係被進行。對於每一實施例之半導體裝置,示於第 2 圖之接線層係被生產於四層中,藉由重覆示於第 11 圖中之步驟 1 至 8。於服務壽命測試中,接線電阻之上升係於 600 小時及 1200 小時後被量測。

接線形狀 (a)線寬:0.3 微米 (b)膜寬:1.0 微米 (c)線長:2.5mm

測試條件 (a)溫度:175 °C (b)電流密度: 3×10^6 安每平方公分。

表 2 顯示線保護膜 1 之成份百分比及服務壽命測試之結果。表 2 顯示參考例 2,其中一線保護膜未被形成,及參考例 3,其中鈷-鎢-磷膜係被形成為線保護膜 1,類似於參考例 1。

五、發明說明 (19)

表 2

	鈦合金組成(原子%)					服務壽命測試		
	Co	W	P	O	B	回火前後間之接線電阻比(%)		銅擴散
						600 小時	1200 小時	
實施例 6	79	20	-	-	1	1%或更低	2%或更低	未擴散
實施例 7	81	18	-	-	1	1	3	未擴散
實施例 8	85	13	-	-	2	2	4	未擴散
實施例 9	65	34	-	-	1	2	4	未擴散
實施例 10	98	1	-	-	1	3	6	未擴散
實施例 11	79.8	20	-	-	0.1	1	4	未擴散
實施例 12	74	20	-	-	6	2	3	未擴散
實施例 13	70	18	-	11	1	2	5	未擴散
參考例 2	無線保護膜層					16	30	已擴散

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (20)

實施例 13 之鈷-鎢-硼合金膜包含 11 百分比氧。此氧係為一不純成份,其當於形成線保護膜 1 時形成。當於其他實施例中之更細分析時,碳,氮,硫,重金屬及其他雜質均被包含。然而,接線電阻的上升係遠小於參考例 2 及 3。再者,銅並未於絕緣膜 4 中被檢出。再者,含此氧之鈷合金膜係有效於作為線保護膜 1。

依據示於表 2 之結果,於實施例 6 至 13 中之鈷-鎢-硼合金的線保護膜顯示一較參考例 2 及 3 為小之接線電阻上升。於絕緣膜 4 中未檢測出銅。因此,於實施例 6 至 13 中之線保護膜 1 係穩定一長時間,並防止銅接線 2 之氧化及銅由銅接線 2 擴散入絕緣膜 4,,藉以取得一高可靠度之半導體裝置。

(實施例 14 至 25)

於實施例 14 至 25 中,銅接線 2 係被形成於矽基材上,如同於實施例 1 般。此基材係被浸於示於表 3 中之電鍍浴中,並受到鈷為主之無電電鍍。電鍍條件係相同於實施例 1 者。

於實施例 24 中,低介電常數之碳氫化合物為主之有機絕緣膜材料係被使用作為絕緣膜 4。類似於實施例 1,元件係被形成於矽基材上。例如 SiLK(杜邦化學之商標)之有機絕緣膜係被旋塗於基材上至 300 奈米的厚度。此被熱處理並硬化於 400 °C 之氮氣氛(N₂)30 分。SiLK(杜邦化學之商標),BCB(杜邦化學之商標),FLARE(阿來信號的商標),及 VELOX(史馬克之商標)可以被使用作為碳氫化合物為主有機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21)

絕緣膜材料,包含芳香族化合物。此製程之後,進行圖案化步驟,以形成一接線凹槽 7 及連接孔 10。如同於實施例 1 中,銅接線 2 係被形成,及線保護膜 1 係被形成及清洗。

具有 80 奈米膜厚之鈷合金係被均勻地沉積於實施例 14 及 24 之半導體裝置之銅接線 2 之表面上。再者,於絕緣膜 4 上未看到鈷合金沉積。因此,依據實施例 14 至 23 之電鍍製程,線保護膜 1 可以只形成於銅接線 2 之表面上。如同於實施例 24 之中,線保護膜 1 可以只形成於銅接線 2 之表面上,而無關於絕緣膜 4 之類型。表 3 顯示每一實施例之線保護膜 1 之成份的百分比。於實施例 14 及 21 中之回火溫度為 400 °C,於實施例 15 至 19,22 及 23 之溫度為 450 °C,於實施例 20 及 24 中為 500 °C。

五、發明說明 (22)

表 3

	電鍍溶液	鈷合金組成(原子%)							銅擴散		
		Co	Cr	Mo	Re	Ti	P	W		B	
實施例 14	三氯化鉻:0.1 莫耳/dm ³ 鉬酸二鈉:0.1 莫耳/dm ³ 高錳酸鉍:0.03 莫耳/dm ³ 硝酸鉍:0.01 莫耳/dm ³ 次磷酸:0.1 莫耳/dm ³ 鎢酸鈉:0.03 莫耳/dm ³ 次磷酸:0.2 莫耳/dm ³ 鎢酸鈉:0.03 莫耳/dm ³ 高錳酸鉍:0.03 莫耳/dm ³ 鎢酸鈉:0.03 莫耳/dm ³ 三氯化鉻:0.1 莫耳/dm ³ 鎢酸鈉:0.03 莫耳/dm ³ 鉬酸二鈉:0.1 莫耳/dm ³ 鎢酸鈉:0.3 莫耳/dm ³ 硝酸鉍:0.01 莫耳/dm ³ 鎢酸鈉:0.03 莫耳/dm ³	95	3	-	-	-	-	-	2	未擴散	
實施例 15		88	-	10	-	-	-	-	-	2	未擴散
實施例 16		65	-	-	30	-	-	-	-	5	未擴散
實施例 17		96	-	-	-	-	2	-	-	2	未擴散
實施例 18		89	-	-	-	-	-	10	-	1	未擴散
實施例 19		80	-	-	-	-	-	19	9	1	未擴散
實施例 20		66	-	-	-	12	-	-	21	1	未擴散
實施例 21		80	2	-	-	-	-	-	17	1	未擴散
實施例 22		72	-	-	13	-	-	-	14	1	未擴散
實施例 23		78	-	-	-	-	3	-	18	1	未擴散
實施例 24	79	-	-	-	-	-	-	20	1	未擴散	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (23)

依據上述步驟生產之實施例 14 至 25 之半導體裝置係被回火於 400℃, 450℃, 及 500℃, 於 22 百分比氬及 98 百分比氮之氣氛中 30 分鐘。

於回火於 400℃ 後, 於每一實施例之半導體裝置表面上並未檢出銅。於示於表 3 之回火中, 作為接線材料銅的擴散並未看到。這明顯可看出實施例 14 至 23 之線保護膜 1 具有較實施例 1 之線保護膜 1 為低之熱電阻, 但於 400℃ 之加熱溫度之形成銅接線 2 之製程中, 防止銅擴散。再者, 於 400℃ 之熱溫度前後接線電阻並沒改變。已經確認沒有由於銅的氧化造成之接線電阻上升。

上述討論明顯看出, 當於本實施例中之無電鍍法被使用時, 鈷-鎢-硼合金作為銅接線 2 之線保護膜 1 可以以選擇方式形成於銅接線 2 上。另外, 銅的氧化及擴散可以被防止, 藉以取得高可靠度之半導體裝置。

(實施例 25 至 35)

於實施例 25 至 35 中, 半導體裝置係被產生, 其中線保護膜 1 係被形成於表 4 中之成份百分比中。然後, 相同於實施例 6 之服務壽命測試係被進行。於每一實施例中之半導體裝置具有相同於實施例 6 中之半導體裝置之結構(第 4 圖)。

於實施例 25 中, 低介電常數之有機絕緣膜係被使用作為示於第 4 圖之半導體裝置之絕緣膜 4。所用之有機絕緣膜材料為由杜邦化學之 SiLK(其介電常數係為約 2.65)。

五、發明說明 (24)

表 4

	鈦合金組成(原子%)								服務壽命測試		
									接線電阻上升(%)		銅擴散
	Co	Cr	Mo	Ra	Ti	W	P	B	600 小時	1200 小時	
實施例 25	81	-	-	-	-	18	-	1	1	3	未擴散
實施例 26	95	3	-	-	-	-	-	2	3	6	未擴散
實施例 27	88	-	10	-	-	-	-	2	2	4	未擴散
實施例 28	65	-	-	30	-	-	-	5	2	4	未擴散
實施例 29	96	-	-	-	2	-	-	2	2	7	未擴散
實施例 30	89	-	-	-	-	-	10	1	3	8	未擴散
實施例 31	80	-	-	-	-	9	10	1	1	3	未擴散
實施例 32	66	-	-	12	-	21	-	1	1	2	未擴散
實施例 33	80	2	-	-	-	17	-	1	2	5	未擴散
實施例 34	72	-	13	-	-	14	-	1	1	3	未擴散
實施例 35	78	-	-	-	3	18	-	1	2	4	未擴散

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (25)

表 4 之結果顯示於接線電阻上並未上升及銅未於半導體裝置之絕緣膜 4 中檢出,該半導體裝置中,包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈及磷之至少之一及(3)硼之鈷合金膜係被形成作為銅接線 2 之線保護膜 1。因此,實施例 26 至 35 之線保護膜 1 係適用以長時間,及銅接線 2 之氧化及銅由銅接線 2 擴散入絕緣膜 4 可以被避免。而可以獲得高可靠度之半導體裝置。

(實施例 36 至 38 及參考例 4)

於上述實施例中,含(1)鈷,(2)鉻,鉬,鎢,銻,鉈及磷之至少之一,及(3)硼係之鈷合金係被形成為銅接線 2 之線保護膜 1。以下說明描述用於一阻障膜 3 之鈷合金膜之例子。

於實施例 36 之半導體裝置中,鈷-鎢-硼合金係被使用作為一阻障膜 3。於實施例 36 中,元件形成係被執行如於實施例 1 中於矽基材上,以形成接線凹槽 7 及連接孔 10(第 1c 圖)。一作為觸媒層之具有厚 5 奈米之鈷膜係以濺鍍法被形成於接線凹槽 7 及連接孔 10 上。此基材係被浸入於示於表 5 中之鈷無電電鍍溶液中,並用以形成於實施例 1 中之線保護膜 1。其係受到鈷無電電鍍,以形成鈷無電電鍍膜作為阻障膜 3。當線保護膜 1 被形成於實施例 1 中時,電鍍條件係相同。於本實施例中,鈷-鎢-硼合金係藉由無電電鍍形成為阻障膜。本發明並未限定於此方法;濺鍍或化學氣相沉積法可以使用。

然後,銅接線 2 係如同實施例 1 藉由電鍍被形成(第 1g 圖

經濟部智慧財產局員工消費合作社印製

五、發明說明 (26)

)。然而,於實施例 1 中完成之銅種層之形成於本實施例中並不需要。阻障膜 3 係用以作為銅電鍍之電力饋送層,銅係被直接鍍於阻障膜 3 上。然後,對阻障膜 3 進行化學機械研磨,如同於實施例 1 般,以分離接線導線。同時,銅接線 2 及下層鈷無電電鍍膜係被確定以密實黏著,以忍受化學機械研磨。清洗後,氮化矽(SiN)係被濺鍍形成至 50 奈米的厚度,作為於銅接線 2 上之線保護膜 1。

於實施例 37 之半導體裝置中,鈷-鎢-硼合金不只被用於阻障膜 3 同時也用於線保護膜 1。於實施例 36 中,銅接線 2 被形成,及進行化學機械研磨。然後,鈷-鎢-硼合金之線保護膜 1(60 奈米厚)係被如實施例 1 中被使用。

於實施例 38 中,阻障膜 3 係被以用於實施例 5 中之鈷為主無電電鍍溶液加以形成。以下顯示電鍍條件:

pH 值:8.5(由四甲銨所調整)

溶液溫度:60℃

電鍍時間:五分鐘

於參考例 4 中,一半導體裝置係被產生,其中阻障膜 3 係由鈷-鎢-磷膜所作成。

一具有厚度 50 奈米(用於實施例 36 及 37)之鈷-鎢-硼合金膜及 40 奈米(用於實施例 38)係被均勻地形成於依據上述程序製程之實施例 36 至 38 之半導體裝置的接線凹槽 7 及連接孔 10 之側壁及底面上。銅接線 2 係被觀察於 100 位置,未看到孔隙。接線凹槽 7 及連接孔 10 係被看到完全被填充以銅。鈷合金沉積係未於絕緣膜 4 看到。因此,由鈷-鎢-硼合

經濟部智慧財產局員工消費合作社印製

五、發明說明 (27)

金所作成之阻障膜 3 之均勻形成可以依據實施例 36 至 38 之電鍍程序形成。

然後,每一實施例之半導體裝置係被回火於 500 °C 30 分鐘,於 2 百分比氫及 98 百分比氮氣中。於每一實施例中,均沒有在表面上檢出銅。未看到接線材料的銅的擴散。因此,鈷-鎢-硼合金係被作為銅接線 2 之阻障膜 3。

然後,服務壽命測試係進行於實施例 36 至 38 及參考例 4 之半導體裝置上,如於實施例 6 之例子。每一半導體裝置具有四層,如於第 2 圖所示。表 5 顯示每一實施例之阻障層 3 之成份的百分比及接線可靠度之估計結果。

接線形狀 (a)線寬:0.1 微米 (b)膜寬:1.0 微米,(c)線長 2.5mm

測試條件 (a)溫度:175 °C (b)電流密度: 3×10^6 安每平方公分

經濟部智慧財產局公告之專利文件

五、發明說明 (28)

表 5

	鈷合金組成(原子%)					服務壽命測試		阻障膜厚	銅擴散
	回火前後間之接線電阻比(%)								
	Co	W	P	O	B	600 小時	1200 小時		
實施例 36	79	20	-	-	1	1%或更低	2%或更低	50	未擴散
實施例 37	79	20	-	-	1	1%或更低	2%或更低	50	未擴散
實施例 38	69	25	-	5	1	2	5	40	未擴散
參考例 4	84	8	8	-		12	25	-	已擴散

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

因此,由銅接線 2 來之銅擴散入絕緣膜 4 可以為阻障膜 3 所避免。實施例 36 至 38 之半導體裝置係特徵於長穩定度及高可靠性。阻障層 3 具有較傳統使用,例如氮化鈦,氮化鉭,及氮化鎢之氮化物金屬,高熔點金屬,例如鉭及鎢或其合金之膜為低之電阻。所以,於連接孔 10 之底部及其下之銅接線 2 間之連接電阻可以比以前更小,及半導體裝置之接線電阻可以降低。此阻障膜 3 可以用作為用於電鍍銅之電力饋送層,銅種層並不需要。這完成了銅接線 2 的形成。

於實施例 36 中,鈷層係被濺鍍形成為觸媒層。除了濺鍍外,鈷層也可以藉由濕方法形成。當一鈰層係以濕法形成,則阻障膜 3 可以被形成於實施例 36 中。當除了鈷-鎢-硼合金外,用於線保護膜 1 中之鈷層被使用為實施例 2 至 35 中之阻障膜 3 時,來自銅接線 2 之銅擴散入絕緣膜 4 可以被避免。因此,可以取得高可靠度之半導體裝置。

(實施例 39)

如於第 5 圖所示,實施例 39 之半導體裝置係被提供以作為層間之蝕刻停止層 17 及 19 之絕緣膜。如於第 6 圖所示,蝕刻停止層 19 可以只被提供於接線之頂端。蝕刻控制係藉由提供蝕刻停止層加以完成。以下描述如何參考第 7 圖加以生產。

第 7 圖顯示於第 5 或 6 圖之半導體裝置之接線之形成步驟,使用雙層嵌入法。元件形成係形成於矽基材 10a 上作為絕緣膜,及具有厚度 600 奈米之第一絕緣膜 18 係形成於基材

五、發明說明 (30)

上(第 10a 圖),其中下層接線 2b 係被形成(第 10b 圖)。SiLK(介電常數約 2.65)係被旋塗於第一絕緣膜 16 上,及熱處理及硬化係被執行於氮(N_2)氣氛中,以約 $400^\circ C$ 之溫度,30 分。

然後,第一蝕刻停止層 17 係形成於第一絕緣膜 16 上(第 10c 圖)。具有 50 奈米厚之甲基矽氧烷(介電常數約 2.8)係藉由電漿 CVD 形成於蝕刻停止層 17 上。此步驟後藉為第二絕緣膜 18 及第二蝕刻停止層 19 係被以相同方式形成(於第 10d 圖)。第二絕緣膜 18 為具有 400 奈米厚之 SiLK,及第二蝕刻停止層 19 係為具有 50 奈米厚之甲基矽氧烷。

SiO_2 膜 20(50 奈米)及氮化矽膜 21(50 奈米)係被形成於第二蝕刻停止層 19 上。氮化矽膜 21 係使用光阻罩以電漿蝕刻作出圖案(第 10e 圖)。然後,開口 22 係以乾蝕刻,使用另一光阻 23 加以形成(第 10f 圖)。

第二絕緣膜 18 係被氮,氬及混合氣體穿孔 22 與光阻 23 加以蝕刻。隨後,氮化矽膜 21 係被遮罩,及 SiO_2 膜 20,甲基矽氧烷膜 19,及第一蝕刻停止膜 17 係受到電漿蝕刻,使用 C_4H_8 , CO , Ar , 及 O_2 混合氣體。然後,接線凹槽 7(0.2 微米寬)及連接孔 10(直徑 0.2 微米)係藉由以氮及氬之混合氣體加以蝕刻(第 10g 圖)。於此時,第一蝕刻停止膜 19 係為蝕刻停止的位置。

隨後,阻障膜 3 之形成係藉由濺鍍(第 10h 圖),種層 5 之形成,及銅接線 2 之形成係藉由電鍍銅(或銅接線 2 藉由無電鍍銅直接形成於阻障膜 3 上)及化學機械研磨,及線保護膜 1 之形成係被形成。當化學機械研磨時,蝕刻係停止於第二

五、發明說明 (31)

蝕刻停止層 19 上。

阻障膜 3 及 / 或線保護膜 1 係以鈷合金膜加以形成,該合金膜包含 (1)鈷, (2)鉻,鉬,鎢,銻,鉭,及磷之至少之一,及 (3)硼,如同於其他實施例般。

無機絕緣膜或有機絕緣膜均可以使用作為絕緣膜,但有機絕緣膜係較佳的。無機絕緣膜係較佳由具有例如 SiO_2 , 甲基矽氧烷,倍半氧化物氫氧化物及甲基聚矽氧烷氫氧化物之矽氧烷鍵之材料所作成,並可以藉由塗覆法及電漿 CVD 法作成。無機絕緣膜可以由低介電常數之碳氫為主有機絕緣材料作成,其包含例如 SiLK(杜邦化學之商標),BCB(杜邦化學之商標),FLARE(阿來信號的商標),及 VELOX(史馬克之商標)之芳香族化合物。蝕刻停止層可以是由 SiO_2 作成為無機絕緣膜,甲基矽氧烷,倍半氧化物氫氧化物,甲基聚矽氧烷,及其他含矽氧烷鍵,氮化矽及碳化矽之材料。絕緣膜及蝕刻停止層可以由這些材料之組合作成。為了改良半導體裝置之接線系統,較佳使用具有較傳統使用 SiO_2 (介電常數約 4.3)或氮化矽(介電常數約 7.0 至 9.0)為低之介電常數的材料。

如於第 6 圖所示,當接線凹槽 7 被形成時,於蝕刻停止位置中之有奈米程度之差。已經確認若蝕刻停止層 19 係只提供於接線層之頂端時,則於服務壽命測試上沒有問題發生。

於依據上述生產方法所生產之半導體裝置中,銅接線 2 之氧化及擴散可以藉由線保護膜 1 及阻障膜 3 所防止一長時間,及於銅接線 2 之電阻增加可以被降低,藉以確保一高可靠度。特別是,當鈷合金膜被使用作為線保護膜 1 時,相較於高

五、發明說明 (32)

介電常數之氮化矽被使用時,接線間之電容可以降低約 10%。這降低了信號傳送延遲。接線系統之效率係藉由使用低介電常數之有機絕緣膜加以改良。

爲了連接連接孔 10 底部及其下之銅接線 2b,絕緣線保護膜係依據傳統方法所去除(見第 10d 圖)。再者,若線保護膜保留,則連接故障可能依據傳統方式發生。若導電鈷合金膜被使用作爲保護膜 1,則電連接可以確保,而不必去除線保護膜 1。這使形成連接孔 10 中,容易蝕刻連線,而改良半導體裝置可靠度。再者,鈷合金膜具有較銅爲高之電阻。若於連接孔 10 底部上之線保護膜 1 被至少部份去除,如於第 11 及 12 圖所示,則有可能降低於下層銅接線 2b 及銅接線 2 間之連接的電阻,而改良接線系統效率。更明確地說,於連接孔 10 之底部上之鈷合金被分解並藉由在接線凹槽 7 及連接孔 10 形成後,如於第 7g 圖所示,浸於重量百分比 2 之硫酸中加以去除。於上層上之銅線係被形成,如於其他實施例般,結果,建立於下層之銅線 2b 及銅線 2 間之電連接經阻障膜 3,如於第 11 圖所示。這係成功地降低施加至接線插塞 11 之電阻。

於被提供有銅接線之半導體裝置中,一覆蓋形成於絕緣膜中之銅接線之上方之線保護膜及一包圍該銅接線之側及底部之阻障膜係被覆蓋以鈷合金膜,其包含(1)鈷,(2)鉻,鉬,鎢,銻,鉍,及磷之至少之一,及(3)硼。然後,作爲接線的銅的氧化及擴散可以被防止,藉以取得銅接線及元件的高可靠度。再者,一線保護膜可以被形成,而不使用鈮,結果,由於鈮之增加線阻的問題可以避免。

五、發明說明 (33)

若鈷合金膜係被使用作為線保護膜,則線保護膜可以以選擇方式,只形成在銅接線上。同時,若阻障膜係被導電鈷合金膜所形成,則銅可以直接電鍍在阻障膜上,而不必電力饋送層,藉以解決形成孔隙的問題並免除形成一種層之情形。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱: 半導體系統及其製造方法)

本發明之目的係防止由於銅接線之氧化及銅擴散所造成之電阻值之上升。

上述目的可以藉由本發明加以取得,提供一半導體裝置,其包含一線保護膜 1 覆蓋形成於絕緣膜中之銅接線 2 之頂上,及一阻障膜包圍該銅接線的側及底部;其中該線保護膜及/或阻障膜係形成有鈷合金膜,其包含(1)鈷,(2)鉻,鉬,鎢,銻,鉍及磷之至少之一,及(3)硼,如同於其他實施例。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

SEMICONDUCTING SYSTEM AND PRODUCTION METHOD

The object of the present invention is to prevent rise of resistance due to oxidation of the copper wiring and diffusion of copper.

The above object can be attained by the present invention providing a semiconductor device which contains a wire protective film 1 covering the top of the copper wiring 2 formed in the insulation film and a barrier film surrounding the side and bottom of the copper wiring; wherein the wire protective film and/or barrier film is formed with cobalt alloy film containing (1) cobalt, (2) at least one of chromium, molybdenum, tungsten, rhenium, thallium and phosphorus, and (3) boron, as in the case of other embodiments.

六、申請專利範圍

1.一種半導體裝置,包含:

- (1)多層銅線形成於一絕緣膜中,
- (2)一線保護膜覆蓋該銅線的頂部,及
- (3)一阻障膜,包圍該銅接線的側及底部;

該半導體裝置特徵在於該線保護膜及阻障膜的至少之一係由鈷合金膜及硼所形成,該鈷合金膜包含鉻,鉬,鎢,銻,鉈及磷之至少之一。

2.如申請專利範圍第1項所述之半導體裝置,其中:

多數層之銅線係形成於絕緣膜中,

接線保護膜及阻障膜係被覆蓋以鈷合金膜,該膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈及磷之至少之一,及(3)硼,及

該在上層上之銅線係經由該阻障層電氣連接至在下層上之銅線。

3.如申請專利範圍第1或2項所述之半導體裝置,其中:
該絕緣膜具有3或更少之介電常數。

4.如申請專利範圍第1或2項所述之半導體裝置,其中
該鈷合金膜具有100奈米或更低之厚度,並包含

50至95原子百分比鈷,

1至40原子百分比之鉻,鉬,鎢,銻,鉈及磷之至少之一,及
0.1至10原子百分比之硼。

5.如申請專利範圍第1或2項所述之半導體裝置,其中:

多數層之銅線係形成於絕緣膜中,

接線保護膜及阻障膜係被覆蓋以鈷合金膜,該膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈及磷之至少之一,及(3)硼,及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

該在上層上之銅線係經由該鈷合金電氣連接至在下層上之銅線。

6.如申請專利範圍第 1 或 2 項所述之半導體裝置,其中該作為蝕刻停止層之絕緣膜係進一步形成在線保護膜所形成之區域以外之絕緣膜的表面上。

7.如申請專利範圍第 1 或 2 項所述之半導體裝置,其中該多數層之銅線係形成於絕緣膜中,一接線保護膜及阻障膜係被覆蓋以鈷合金膜,該膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉈及磷之至少之一,及(3)硼,及該在上層上之銅線之至少一部份係經由該阻障層電氣連接至在下層上之銅線。

8.如申請專利範圍第 1 項所述之半導體裝置,其中該鈷合金並未包含鉍。

9.一種半導體裝置的生產方法,其中該半導體裝置包含:

- (1)多層銅線形成於一絕緣膜中,
- (2)一線保護膜覆蓋該銅線的頂部,及
- (3)一阻障膜,包圍該銅接線的側及底部;

其中至少線保護膜及阻障膜的至少之一係實質上藉由無電電鍍由鈷合金膜及硼所形成,該鈷合金膜包含鉻,鉬,鎢,銻,鉈及磷之至少之一。

10.一種半導體裝置生產方法,其中該半導體裝置包含:

- (1)多層銅線形成於一絕緣膜中,
- (2)一線保護膜覆蓋該銅線的頂部,及
- (3)一阻障膜,包圍該銅接線的側及底部;

該半導體裝置生產方法更特徵在於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

其具有形成絕緣膜的步驟,該絕緣膜作為在絕緣膜表面上形成有銅接線之蝕刻停止層,及

該線保護膜及/或阻障膜係由無電電鍍法加以形成,該鈷合金膜包含(1)鈷,(2)鉻,鉬,鎢,銻,鉭及磷之至少之一,及(3)硼。

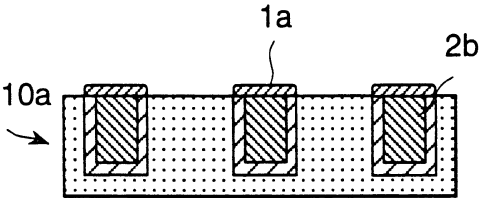
11.如申請專利範圍第9或10項所述之半導體裝置生產方法,其中該銅接線係由無電電鍍作成。

12.如申請專利範圍第9或10項所述之半導體裝置生產方法,其中該鈷合金膜具有100奈米或更低之厚度,並包含

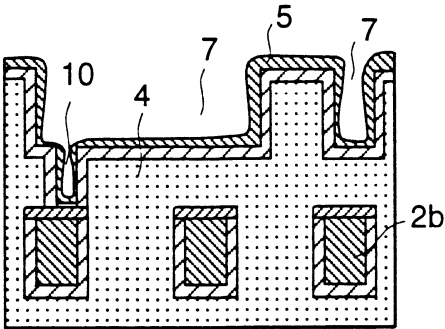
50至95原子百分比鈷,

1至40原子百分比之鉻,鉬,鎢,銻,鉭及磷之至少之一,及

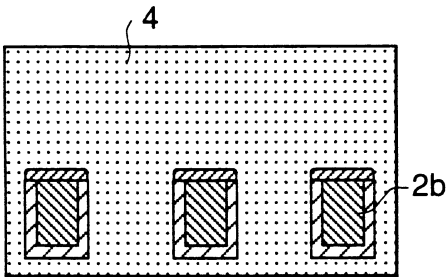
0.1至10原子百分比之硼。



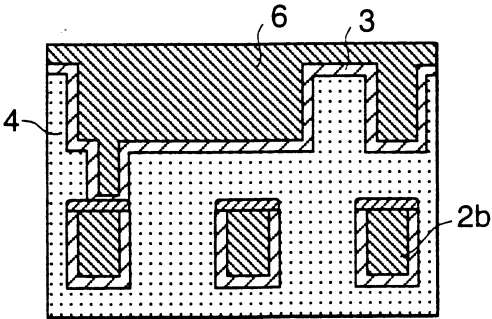
第 1a 圖



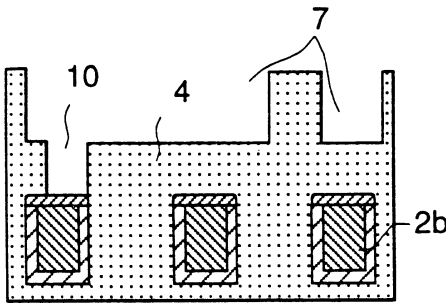
第 1e 圖



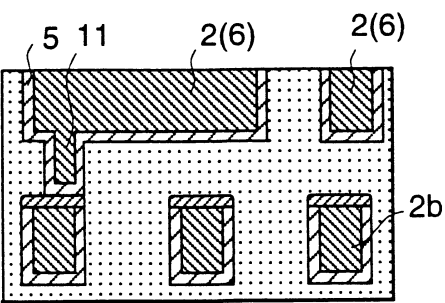
第 1b 圖



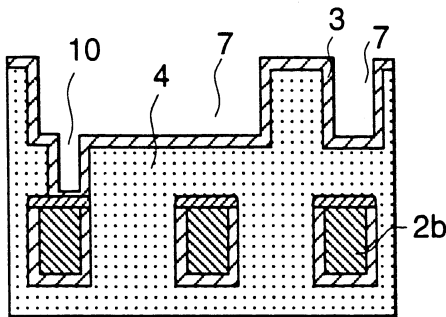
第 1f 圖



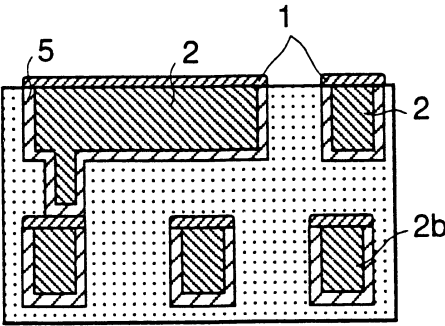
第 1c 圖



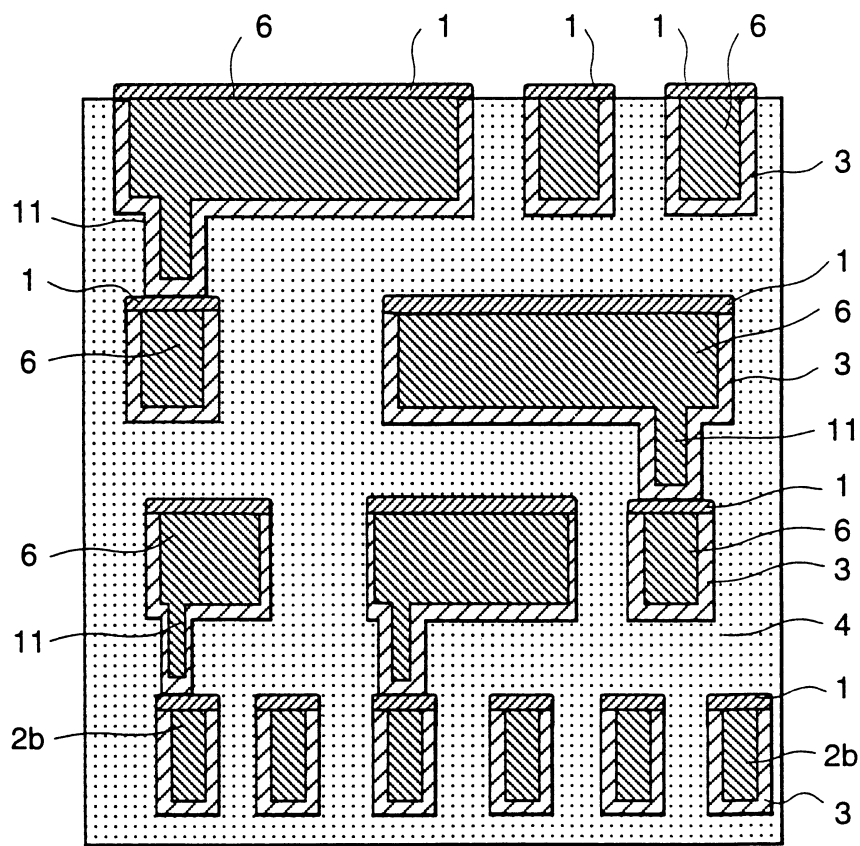
第 1g 圖



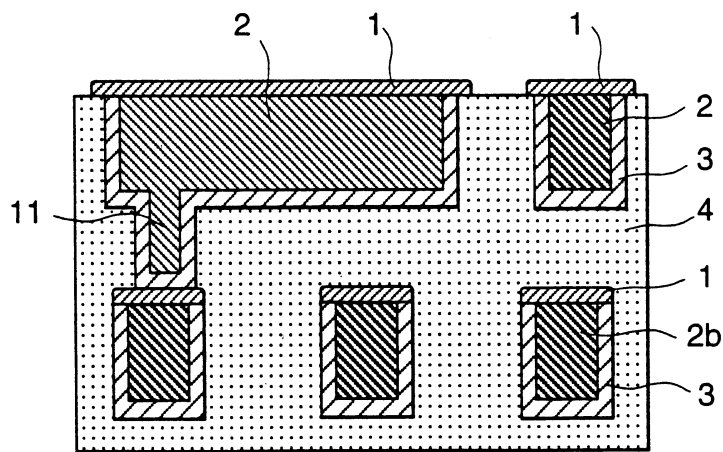
第 1d 圖



第 1h 圖

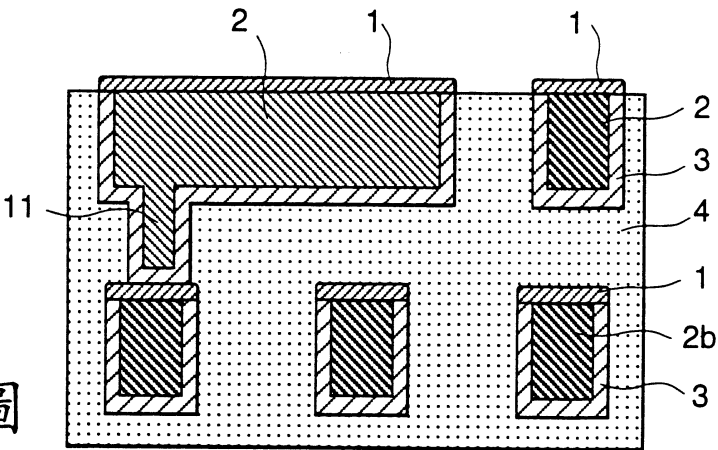


第 2 圖

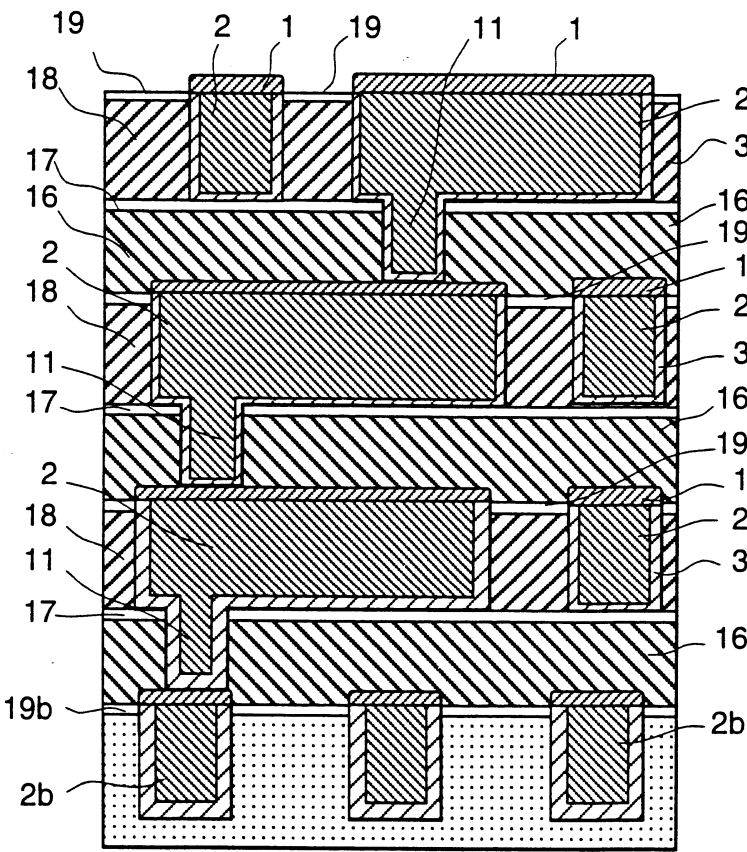


第 3 圖

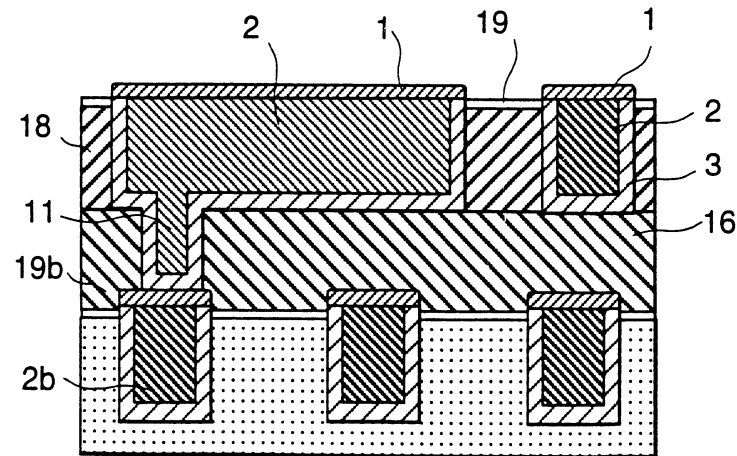
第 4 圖

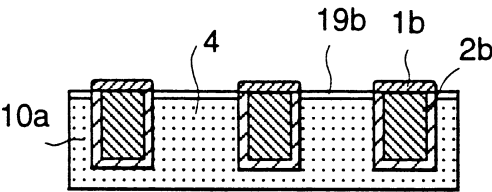


第 5 圖

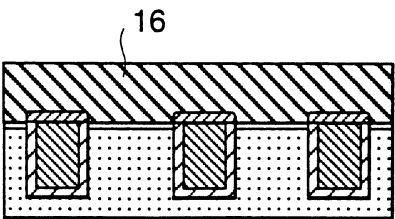


第 6 圖

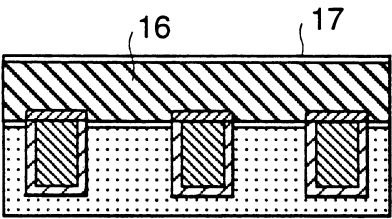




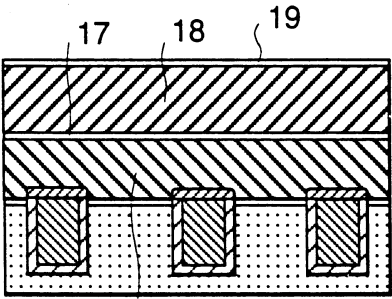
第 7a 圖



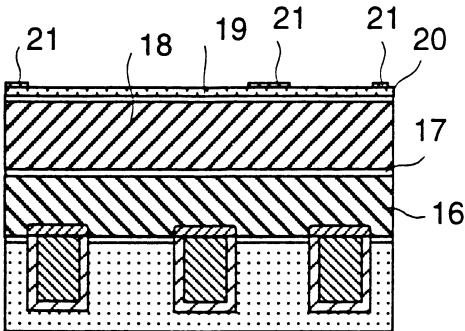
第 7b 圖



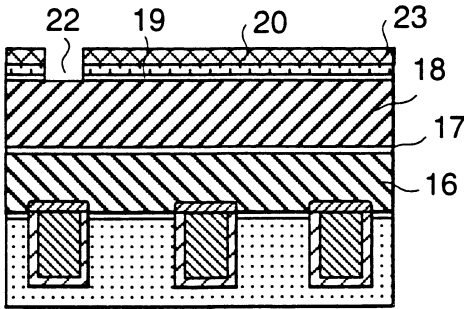
第 7c 圖



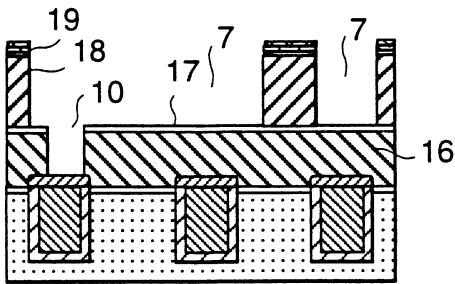
第 7d 圖



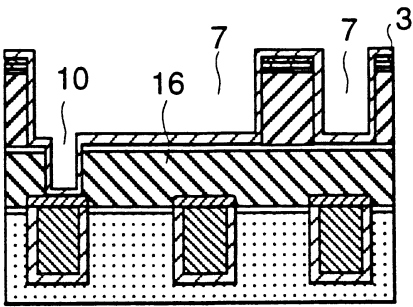
第 7e 圖



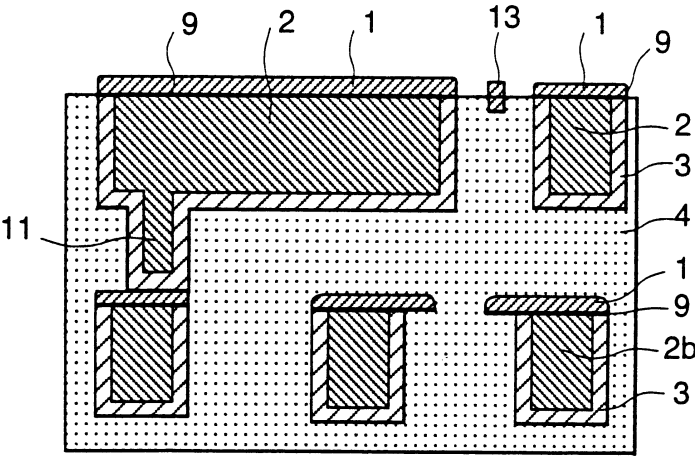
第 7f 圖



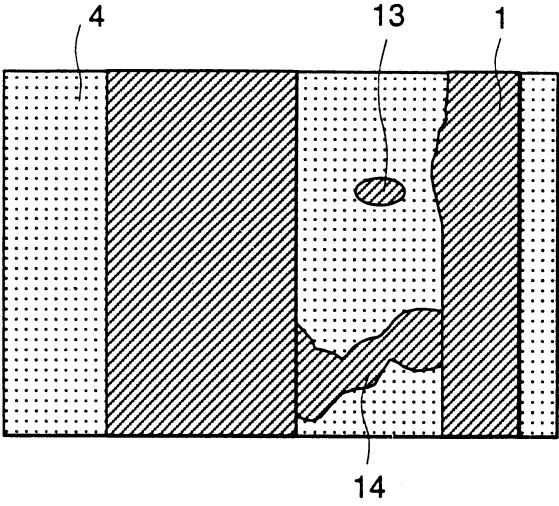
第 7g 圖



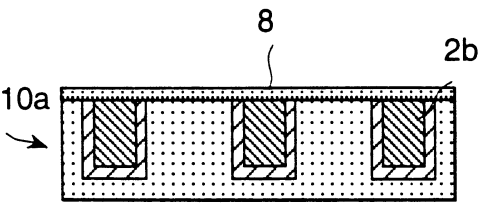
第 7h 圖



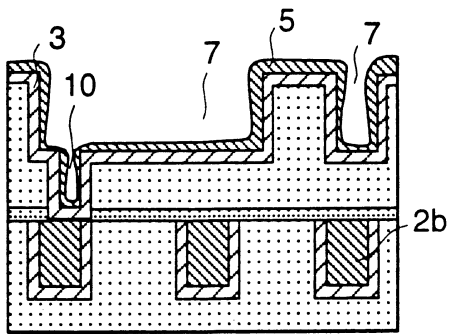
第 8 圖



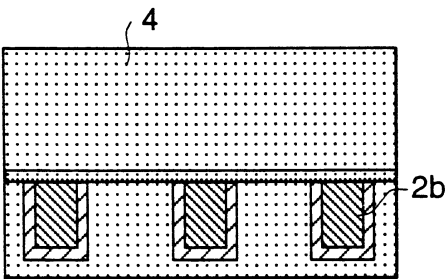
第 9 圖



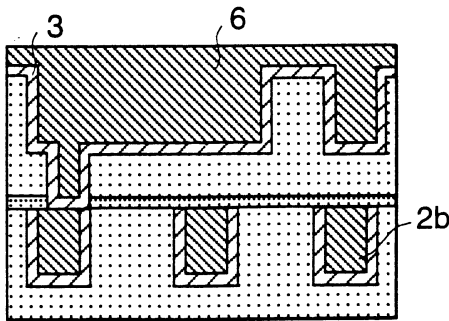
第 10a 圖



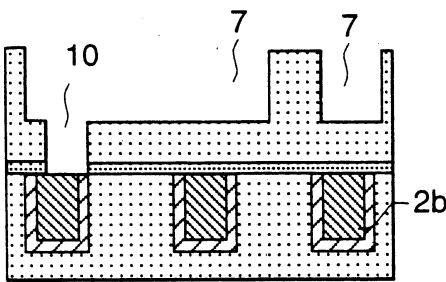
第 10e 圖



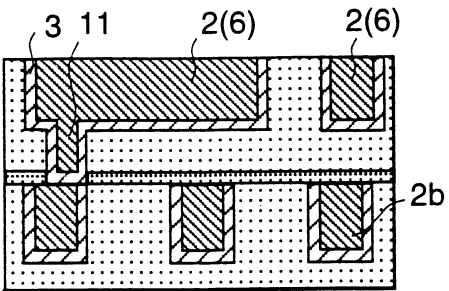
第 10b 圖



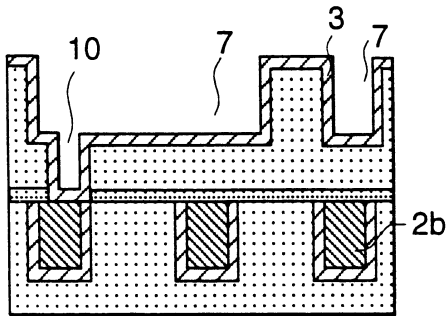
第 10f 圖



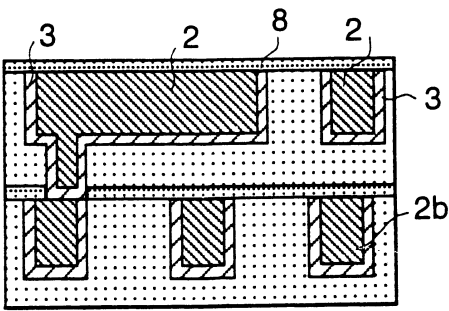
第 10c 圖



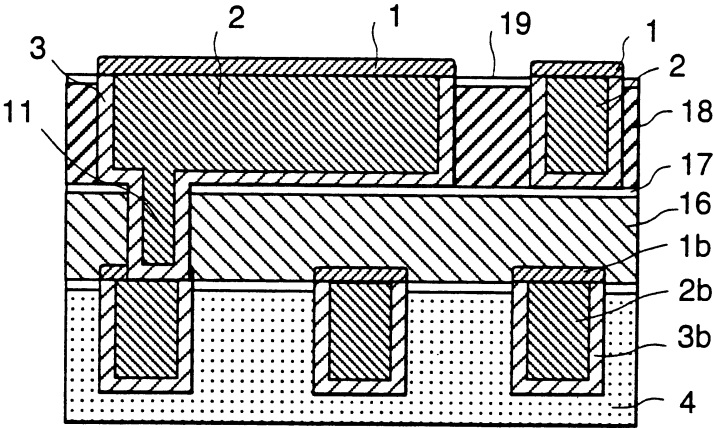
第 10g 圖



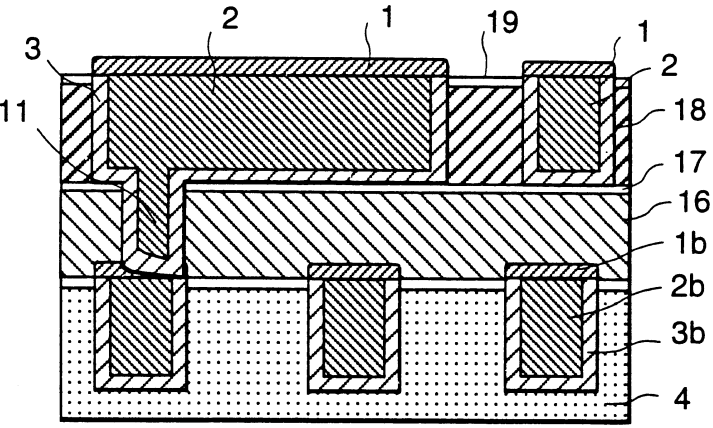
第 10d 圖



第 10h 圖



第 11 圖



第 12 圖