

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96109944

※ 申請日期：96.3.22

※IPC 分類：H01L

29/76

(2006.01)

一、發明名稱：(中文/英文)

形成具有鰭狀物之半導體裝置之方法及其結構

METHOD FOR FORMING A SEMICONDUCTOR DEVICE HAVING A
FIN AND STRUCTURE THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

瑪里雅斯 K 歐羅斯基

ORLOWSKI, MARIUS K.

國 籍：(中文/英文)

德國 GERMANY

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年04月27日；11/380,530

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種用於形成一半導體裝置之方法，其包括提供一半導體層(12)，在該半導體層上形成一鈍化層(20)，其中該鈍化層具有一開口(24)，其具有側壁；在該半導體層上形成一鰭狀物(16)，其中在形成該鈍化層後，該鰭狀物係在開口內；且在該開口內形成一閘極的一部分。在一具體實施例中，係使用一虛設閘極(52)。在一具體實施例中，間隔件(28、56)係形成在該鈍化層之開口內。本發明亦揭示該結構。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

10	裝置
16	鰭狀物
28	間隔件
38	閘極電極
40	閘極接觸區域
42	閘極接觸
44	第一源極/汲極區
46	第二源極/汲極區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明一般而言係關於半導體處理，且尤其係關於形成具有鰭狀物之半導體裝置。

【先前技術】

通常係需要具有雙重閘極之電晶體，因為其允許通道上之更嚴密靜電控制，以致(例如)能達到更小尺寸。一種目前已知具有雙重閘極電晶體之類型係鰭狀物場效電晶體(FinFET)。FinFET在一或多個鰭狀物上形成閘極電極，其中與閘極電極相鄰之鰭狀物的該等區形成裝置之通道區。然而，隨著此等裝置比例縮放，機械穩定性會減少。例如，在高縱橫比鰭狀物周圍環繞薄及高閘極電極時，可能產生機械不穩定的閘極電極。當技術增進且閘極長度持續比例縮放時，問題會惡化。

【發明內容】

如上述，隨著裝置尺寸持續比例縮放，FinFET之閘極電極日漸變得機械不穩定。因此，在一具體實施例中會形成FinFET，其中間隔件係用來增進機械穩定性同時允許更小的閘極尺寸。在一具體實施例中，間隔件係在形成閘極電極前形成，其可允許改進機械穩定性且其亦可用來達到更小(次微影)之尺寸。

在一具體實施例中，一種用於形成一半導體裝置之方法包括提供一半導體層，在該半導體層上形成一鈍化層，其中該鈍化層具有之一開口具有側壁；在該半導體層上形成

一鰭狀物，其中在形成鈍化層後該鰭狀物係在開口內；且在該開口內形成一閘極的一部分。

在一進一步具體實施例中，該鰭狀物係在形成鈍化層前形成。

在另一進一步具體實施例中，該方法包括沿開口之側壁形成間隔件。在又一進一步具體實施例中，該方法包括在鰭狀物上形成虛設(dummy)閘極，且在形成間隔件前移除虛設閘極，其中形成該閘極係在移除虛設閘極後執行。在又一進一步具體實施例中，形成該閘極進一步包括形成一閘極電極及一閘極接觸區域，且形成虛設閘極進一步包括形成一用於閘極電極的虛設結構。在又一進一步具體實施例中，形成間隔件包括在開口內及鰭狀物上沉積一介電層，及各向異性蝕刻介電層以移除除了與鈍化層相鄰之一些部分以外的該介電層之所有部分，以形成間隔件，其中間隔件具有一第一高度，且鈍化層之開口成為一第二高度，其中該第一高度係小於該第二高度。在又一進一步具體實施例中，該方法進一步包括在半導體層上設置一埋入式氧化層，在鰭狀物上形成一覆蓋層，及在開口內及鰭狀物上形成一閘極介電層，其中形成鰭狀物進一步包括在埋入式氧化層上形成鰭狀物，且形成閘極進一步包括在閘極介電層上形成該閘極。在又另一進一步具體實施例，在開口中形成閘極之一部分進一步包括形成閘極的部分，以致該閘極之部分具有一頂部部分及一底部部分，其中頂部部分係實質上與鈍化層之一頂部相連且具有一第一尺寸，該

底部部分係與間隔件相鄰且在該等間隔件間具有一第二尺寸，該第二尺寸係平行於該第一尺寸，且該第一尺寸係大於該第二尺寸。

在另一進一步具體實施例中，形成鈍化層進一步包括沉積一鈍化層，在鈍化層上形成一遮罩層，其中遮罩層具有一圖案，及使用遮罩層來蝕刻鈍化層以在鈍化層中形成開口。

在另一進一步具體實施例中，形成鰭狀物進一步包括形成具有一第一高度之鰭狀物，及形成鈍化層進一步包括形成具有一第二高度之鈍化層，其中第二高度係大於第一高度。

在另一具體實施例中，一種形成一半導體裝置之方法包括形成一半導體層；在半導體層上形成一鈍化層，其中該鈍化層具有一開口及其中該開口具有側壁；在半導體層上形成一鰭狀物，其中在形成鈍化層後，鰭狀物係在鈍化層之開口內；形成一與鈍化層之開口的側壁相鄰之間隔件；及形成一閘極，其中該閘極之一部分係在該鈍化層的開口內。

在一進一步具體實施例中，鰭狀物係在形成鈍化層前形成。

在另一進一步具體實施例中，形成該閘極進一步包括形成一閘極電極及一閘極接觸區。

在另一進一步具體實施例中，形成該間隔件進一步包括在鈍化層之開口內及鰭狀物上沉積一介電層，及各向異性

蝕刻該介電層以移除在鰭狀物上之介電層的至少部分，及與鰭狀物相鄰之介電層的至少部分，以沿鈍化層之開口的側壁形成間隔件。

在另一進一步具體實施例中，該方法進一步包括在鰭狀物上形成一虛設閘極，且在形成間隔件前移除虛設閘極，其中形成閘極係在移除虛設閘極後執行。

在另一進一步具體實施例中，形成鈍化層進一步包括沉積一鈍化層，在鈍化層上形成一遮罩層，其中遮罩層具有一圖案，及使用遮罩層來蝕刻鈍化層以形成鈍化層之開口。

在另一具體實施例中，一半導體裝置包括一半導體層，一鈍化層在該半導體層上，其中該鈍化層具有一開口及該開口具有側壁；一鰭狀物在半導體層上且在鈍化層之開口內；與鈍化層之開口的側壁相鄰之間隔件；及一閘極，其中閘極之一部分係在該鈍化層的開口內。

在一進一步具體實施例中，該間隔件中之閘極的部分具有頂部部分及一底部部分，該頂部部分係實質上與鈍化層之一頂部相連且具有一第一尺寸，該底部部分係與間隔件相鄰且在該等間隔件間具有一第二尺寸，該第二尺寸係平行於該第一尺寸，且該第一尺寸係大於第二尺寸。

在另一進一步具體實施例中，該鰭狀物具有一第一高度，該鈍化層具有一第二高度，且第二高度係大於第一高度。

在另一進一步具體實施例中，該閘極包括一金屬閘極。

【實施方式】

圖8顯示依據本發明之各種具體實施例形成的一FinFET半導體裝置的俯視圖。裝置10包括一鰭狀物部分16，其在一端具有一第一源極/汲極區44，且在一相對端具有一第二源極/汲極區46。一閘極電極38係形成在鰭狀物16上。裝置10在閘極電極38之一端處亦包括一閘極接觸區域40。閘極接觸區域40包括閘極接觸42。裝置10亦包括一位於閘極電極38及閘極接觸區域40之下的間隔件28。位於間隔件28及閘極電極38下之鰭狀物16的部分形成裝置10的通道區。應注意閘極電極38及閘極接觸區域40可稱為裝置10的閘極。

裝置10之格式係範例性且替代具體實施例可包括任何數目之變化。例如，一閘極接觸區域可位於閘極電極38之二端處。在不同具體實施例中，源極/汲極區44及46之形狀亦可能不同。同樣地，圖8僅顯示一單一鰭狀物16；然而，替代具體實施例可包括任何數目之鰭狀物，其中閘極電極38可因此在鰭狀物上形成。同樣地，可形成任何數目之閘極接觸。雖然未顯示，但裝置10亦可包括任何數目之源極/汲極接觸，其接觸源極/汲極區44及46。圖1至7顯示可用來形成圖8之裝置的各種處理步驟之斷面圖。

圖1顯示在鰭狀物16、鈍化層20及一圖案化遮罩層22形成後之裝置10。裝置10包括一層12及一覆蓋層12之絕緣層14。在一具體實施例中，層12包括一半導體層，例如矽層。然而，在替代具體實施例中，層12可由任何材料形

成，且可用於提供絕緣層14之支撐。在一具體實施例中，絕緣層14係氧化物。絕緣層14亦可稱為埋入式氧化層。鰭狀物16係形成在絕緣層14且可包括半導體材料，例如矽或矽鍺。在所示之具體實施例中，鰭狀物16亦包括一覆蓋層18，其係例如氮化物。在一具體實施例中，鰭狀物16係使用一絕緣物上半導體(SOI)晶圓形成。在此具體實施例中，所提供之一SOI晶圓具有覆蓋一絕緣層(例如絕緣層14)之半導體層，其位於一層(例如層12)之上。接著所提供之SOI的半導體層可經圖案化以形成例如鰭狀物16的一或多個鰭狀物。若覆蓋層18存在，則一層可在圖案化該鰭狀物前形成在SOI晶圓上，以產生覆蓋層18及鰭狀物16。(應注意覆蓋層18亦可稱為一蓋。)

鈍化層20係形成在絕緣層14及鰭狀物16上。在一具體實施例中，係使用例如四氧乙基矽(TEOS)來沉積鈍化層20。圖案化遮罩層22係形成在鈍化層20上，其中圖案化遮罩層界定一對應於閘極電極38及閘極接觸區域40之開口。在一具體實施例中，圖案化遮罩層包括光阻。

圖2顯示在使用圖案化遮罩層22以移除(例如蝕刻)在鰭狀物16上之鈍化層20的部分，來形成一開口24後之裝置10。開口24界定裝置10之閘極的至少一部分之位置。例如，回視圖8，開口24可界定閘極電極38及閘極接觸區域40的位置。應注意，鈍化層20內之開口24係鈍化層20內之一空腔的斷面圖。同樣地，應注意到鰭狀物16係在開口24內。在形成鈍化層20內之開口24後，係移除圖案化遮罩層

22。

圖3顯示於開口24內，在鈍化層20上及絕緣層14及鰭狀物16(及覆蓋層18，若其存在)上形成間隔層26後之裝置10。間隔層26可例如使用沉積製程形成。在一具體實施例中，間隔層26包括氧化物。應注意的是，間隔層26可包括任何適合之介電質，且所以亦可稱為介電層。

圖4顯示用以形成與鈍化層20之側壁相鄰的間隔件28，及與鰭狀物16之側壁相鄰的間隔件30之各向異性蝕刻間隔層26之中間階段期間的裝置10。該各向異性蝕刻會持續直至移除間隔件30，如圖5中所示。然而，因為鈍化層20之高度係大於鰭狀物16的高度，故間隔件28之部分保持與鈍化層20的側壁相鄰。因此，應注意到間隔件28之高度係小於鈍化層20的高度。間隔件28(如以下進一步討論)可用來增加裝置10的機械穩定性及亦可用來達到更小之閘極長度。(應注意儘管在圖4及5中，間隔件30及28由於所顯示之斷面圖而各顯現包括分離的部分，但其可各為單一間隔件的部分，如有關圖8之俯視圖中的間隔件28所示。因此，間隔件28及30之各者亦可分別稱為間隔件28及間隔件30。

圖6顯示在鈍化層20、間隔件28、鰭狀物16(及覆蓋層18，若其存在)、及絕緣層14上形成一閘極介電層32後之裝置10。閘極介電層32可包括例如氧化物或金屬氧化物之任何類型的閘極介電材料。閘極介電層32可包括一具有介電常數(K)大於二氧化矽的材料(其因此可稱為高K材料)，

諸如氧化鈣。在一具體實施例中，閘極介電質32係藉由化學汽相沉積(CVD)或原子層沉積(ALD)來沉積，如圖6中所示。在一替代具體實施例中，閘極介電層32可在鰭狀物16之側壁上成長。在此具體實施例中，閘極介電層32可為例如已成長二氧化矽或氮氧化矽。同樣地，在此替代具體實施例中，閘極介電層32將僅在鰭狀物16之側壁上成長。

一閘極層34係接著在閘極介電層32上形成。閘極層34可包括任何類型之閘極材料或複數個材料。例如，閘極層34可包括矽或可包括金屬。此外，閘極層34可包括任何數目之不同層，其中閘極層34可表示閘極堆疊層。

圖7顯示在平坦化閘極層34以形成閘極36後之裝置10。閘極36包括一閘極電極部分(閘極電極38)及一閘極接觸部分(閘極接觸區域40)。在一具體實施例中，在平坦化後，閘極36之一頂部部分係實質上與鈍化層20的頂部相連。因此，應注意圖7對應於一透過圖8之裝置10的俯視圖取得的一水平斷面圖，其已描述於上。

圖9顯示一對應於透過源極/汲極區44和46及鰭狀物16之中間取得的斷面圖。該斷面圖係透過圖8之裝置10的俯視圖所取得之位置，其係與圖10之斷面圖的位置相同；然而，在圖9中，鈍化層20仍出現。因此，閘極36及間隔件28係顯示覆蓋鰭狀物16(及覆蓋層18，若其存在)。應注意覆蓋圖9中之閘極36的鰭狀物16之部分包括裝置10的一通道區。同時，應注意到尺寸48(其對應於由圖案化遮罩層22界定之開口寬度)係大於對應於裝置10之實際閘極長度

的尺寸50。應注意到，尺寸48對應於閘極36之頂部部分的長度，其係實質上與鈍化層20的一頂部相連，且尺寸50對應於與間隔件28相鄰之閘極36的底部部分長度。因此，應注意間隔件28可用來達到比可透過使用圖案化遮罩層22或其他微影技術可達到之更短閘極長度。

圖10(對應於透過圖8之俯視圖取得的斷面圖)顯示在移除鈍化層20後之裝置10。應注意間隔件28仍沿閘極36之側面保留。因此，間隔件28可將機械支撐提供給閘極36，所以與目前FinFET裝置相比，其允許更機械穩定的裝置。在移除鈍化層20後，可以用習知處理來實質上完成FinFET裝置。例如，間隔件可使用習知處理技術沿閘極36及間隔件28之側壁形成。同樣地，可使用習知植入來形成源極/汲極區44及46。

圖11至16顯示裝置10之斷面圖，其係依據本發明之一替代具體實施例形成，且產生圖8的裝置10。圖11顯示層12、絕緣層14、鰭狀物16及覆蓋層18，其皆已參考圖1描述於上。在形成鰭狀物16及覆蓋層18後，一圖案化虛設閘極層52係形成在鰭狀物16及覆蓋層18上。因為虛設閘極層52以後將移除，故其可由可易於移除的任何適合材料形成。在一具體實施例中，源極/汲極植入可在形成虛設閘極層52後形成。依此方式，虛設閘極層52可在植入期間保護鰭狀物16。虛設閘極層52可視為一虛設結構，其係用於其後形成之閘極電極38的至少一部分。

圖12顯示在虛設閘極層52上形成一鈍化層54後之裝置

10。鈍化層 54 類似於鈍化層 20，且可使用相同製程及材料形成。

圖 13 顯示在平坦化鈍化層 54 以曝露虛設閘極層 52 之一頂部部分後的裝置 10。圖 14 顯示在移除虛設閘極層 52 後之裝置 10。應注意保留鰭狀物 16 及覆蓋層 18。因此，移除虛設閘極層 52 導致其中鰭狀物 16 所在之鈍化層 54 中的一開口 51。即，應注意在鈍化層 54 內之開口 51 係鈍化層 54 內之空腔的一斷面。應注意開口 51 係類似於上述開口 24。然而，在開口 24 界定閘極電極 38 及閘極接觸區域 40 之位置的同時，開口 51 界定閘極覆蓋鰭狀物 16 之一部分的位置。

圖 15 顯示形成與鈍化層 54 之側壁相鄰的間隔件 56。間隔件 56 係類似上述間隔件 28，且可使用以上有關間隔件 28 討論之相同方法及材料形成。例如，可用一間隔層之各向異性蝕刻來形成間隔件 56，其中間隔件 56 可包括介電材料，例如氧化物。如同鈍化層 20，鈍化層 54 具有一比鰭狀物 16 更大之高度，此允許在未形成與鰭狀物 16 之側壁相鄰的間隔件下，在鈍化層 54 之側壁上形成間隔件 56。同時，應注意鈍化層 54 之高度係大於間隔件 56 的高度。(如以上有關間隔件 30 及 28 討論，應注意間隔件 56 由於所示之斷面而看似包括分離部分；然而，其可為單一間隔件之部分。因此，複數個間隔件 56 亦可稱為間隔件 56。)

在形成間隔件 56 後，一閘極介電層 58 係形成在開口 51 內之鈍化層 54 上、及在間隔件 56、絕緣層 14 及鰭狀物 16 上。在形成閘極介電層 58 後，一閘極層 60 係在閘極介電層 58 上

形成。閘極介電層 58 及閘極層 60 係分別類似於上述閘極介電層 32 及閘極層 34，且可使用以上有關閘極介電層 32 及閘極層 34 討論之相同方法及材料形成。

圖 16 顯示在圖案化及蝕刻閘極層 60 以形成閘極電極 38 及閘極接觸區域 40 後之裝置 10。應注意，與上述閘極 36 不同，產生之閘極 60 係實質上不與鈍化層 54 之一頂部相連，而是在鈍化層 54 上延伸，以形成閘極電極 38 及閘極接觸區域 40 的剩餘部分。因此，應注意該閘極 60 應出現如圖 8 中所示。然而，應注意間隔件 56 將僅位於閘極電極 38 之一部分下，而非在所有閘極電極 38 及閘極接觸區域 40 下，如圖 8 中有關間隔件 28 所示。同樣地，在圖 1 至 7 之具體實施例中，應注意該閘極自鰭狀物 16 穿過閘極接觸區域 40 之部分，係置於其中鈍化層 20 未位於閘極 34 及絕緣層 14 間之絕緣層 14 上。然而，應注意在圖 11 至 16 之具體實施例中，鈍化層 54 其後未移除，且一部分的閘極電極 38 及閘極接觸區域 40 係形成在鈍化層 54 上。如圖 1 至 7 之具體實施例的情況，間隔件 56 可允許減少閘極長度尺寸及改進機械穩定性。

儘管本發明已針對特定導電率類型或電位極性說明，然而熟習技術者應明白導電率類型及電位極性可反轉。

再者，說明書及申請專利範圍中若有"前"、"後"、"頂部"、"底部"、"之上"、"之下"等名詞，則係用於說明之目的，並非描述永久之相對位置。應明白在適當情況中，所使用的該等名詞係可互換，使得本文所描述的本發明之具

體實施例亦(例如)可在本文所顯示或所描述以外的其他方向中操作。

在前述說明書中，已參考特定具體實施例來說明本發明。然而，熟習此項技術者會明白，可在不脫離如以下申請專利範圍所提出之本發明之範疇下進行各種修改及變化。因此，說明書及圖式應視為示範而非限制意義，且所有此類修改皆意於涵蓋在本發明之範疇內。

以上已針對特定具體實施例來說明益處、其他優點及問題解決方案。然而，此等益處、優點、問題解決方案、及造成任何益處、優點、或解決方案發生或突顯其重要性之任何(多個)元件，均不應被視為任何或全部申請專利範圍之一關鍵、必要或本質特徵或元件。本文中所使用的名詞"包括"、"包含"或其任何其他變化係意於涵蓋非排斥性內含項，以包括所列元件之一製程、方法、物品或設備不僅包含該等元件，且可包含未明確列出或此類製程、方法、物品或設備固有的其他元件。

如本文所用，名詞"複數個"係界定為二或二個以上。如本文所用，名詞"另一"係界定為至少一第二或多個。

如本文所用，名詞"耦合"係界定為連接，儘管不必直接，亦無須機械式連接。

因為以上詳細說明係範例性，當描述"一具體實施例"時，其係一範例性具體實施例。因此，在此上下文中所用之字"一"非意欲指示具有一所述特徵之一及唯一的具體實施例。而是，許多其他具體實施例可(且通常確實)具有範

例性"一具體實施例"的所述特徵。因此，如以上使用，當在一具體實施例之上下文中描述本發明時，該一具體實施例係本發明之許多可能具體實施例中之一。

儘管上述警示係有關在實施內容中之字詞"一具體實施例"的使用，熟習此項技術人士將理解若一所說明之請求項元件的特定數目係意欲在以下請求項中，則此一意圖將在請求項中明確地引用，且當未出現此引用時則不出現或預期此等限制。例如，在以下請求項中，當一請求項元件係描述為具有"一"特徵時，其意指該元件係限於所述之一且唯一的特徵。

本文所用名詞"一"或"一個"係界定為一或一個以上。同時，在請求項中使用諸如"至少一"及"一或多個"之引導式片語不應視為暗示由不定冠詞"一"或"一個"引入之另一請求項元件，會限制含有此引入請求項元件之任何特定請求項為僅含有一此元件之發明，即使當相同請求項包括引導式片語"一或多個"或"至少一"及諸如"一"或"一個"之不定冠詞。其對於使用定冠詞亦適用。

【圖式簡單說明】

本發明已藉由舉例來顯示且不受限於該等附圖，其中相同參考符號指示類似元件。

圖1至8顯示依據本發明之一具體實施例在處理一FinFET裝置中之各點處的斷面圖。

圖9顯示根據本發明之一具體實施例的FinFET之俯視圖。

圖 10 顯示透過圖 9 之 FinFET 所取得的斷面圖。

圖 11 至 16 顯示依據本發明之一替代具體實施例在處理一 FinFET 裝置中之各點處的斷面圖。

熟知技術人士應瞭解，圖式中之元件係為了簡單及清楚而顯示且不一定依比例繪製。例如，圖式中一些元件的尺寸可能會相對於其他元件誇大，以有助於增進對於本發明之具體實施例的瞭解。

【主要元件符號說明】

10	裝置
12	(半導體)層
14	絕緣層
16	鰭狀物
18	覆蓋層
20	鈍化層
22	圖案化遮罩層
24	開口
26	間隔層
28	間隔件
30	間隔件
32	閘極介電層
34	閘極層
36	閘極
38	閘極電極
40	閘極接觸區域

42	閘極接觸
44	第一源極/汲極區
46	第二源極/汲極區
48	尺寸
50	尺寸
51	開口
52	虛設閘極層
54	鈍化層
56	間隔件
58	閘極介電層
60	閘極層

102年3月15日修正本

十、申請專利範圍：

1. 一種形成一半導體裝置的方法，該方法包含：

提供一半導體層；

在該半導體層上形成一鈍化層，其中該鈍化層具有一開口，其具有側壁；

在該半導體層上形成一鰭狀物，其中在形成該鈍化層後，該鰭狀物係在該開口內；

在該開口內形成一閘極的一部分；及

沿該開口之該等側壁形成間隔件。

2. 如請求項1之方法，其中該鰭狀物係在形成該鈍化層前形成。
3. 如請求項1之方法，其進一步包含在該鰭狀物上形成一虛設閘極；及在形成該等間隔件前移除該虛設閘極；且其中形成該閘極係在移除該虛設閘極後執行。
4. 如請求項3之方法，其中形成該閘極進一步包含形成一閘極電極及一閘極接觸區域，且形成虛設閘極進一步包含形成一用於該閘極電極的虛設結構。
5. 如請求項1之方法，其中形成該等間隔件進一步包含：

在該開口內及該鰭狀物上沉積一介電層，及

各向異性蝕刻該介電層，以移除除了與該鈍化層相鄰之一些部分以外的該介電層之所有部分，以形成該等間隔件，其中該等間隔件具有一第一高度，且該鈍化層之開口成為一第二高度，其中該第一高度係小於該第二高度。

6. 如請求項5之方法，其進一步包含：

在該半導體層上提供一埋入式氧化層；

在該鰭狀物上形成一覆蓋層；

在該開口內及該鰭狀物上形成一閘極介電層，且其中：

該形成該鰭狀物進一步包含在該埋入式氧化層上形成該鰭狀物；及

該形成該閘極進一步包含在該閘極介電層上形成該閘極。

7. 如請求項1之方法，其中形成該鈍化層進一步包含：

沉積一鈍化層；

在該鈍化層上形成一遮罩層，其中該遮罩層具有一圖案；及

使用該遮罩層蝕刻該鈍化層以在該鈍化層中形成該開口。

8. 如請求項1之方法，其中在該開口中形成該閘極之一部分進一步包含：

形成該閘極之該部分，以致該閘極之該部分具有一頂部部分及一底部部分，其中：

該頂部部分係實質上與該鈍化層之一頂部相連且具有一第一尺寸；

該底部部分係與該等間隔件相鄰且在該等間隔件間具有一第二尺寸；

該第二尺寸係平行於該第一尺寸；及

該第一尺寸係大於該第二尺寸。

9. 如請求項1之方法，其中：

形成該鰭狀物進一步包含形成具有一第一高度之該鰭狀物；及

形成該鈍化層進一步包含形成具有一第二高度之該鈍化層，其中該第二高度係大於該第一高度。

10. 一種形成一半導體裝置的方法，其包含：

形成一半導體層；

在該半導體層上形成一鈍化層，其中該鈍化層具有一開口，且其中該開口具有側壁；

形成一在該半導體層上之鰭狀物，其中在形成該鈍化層後，該鰭狀物係在該鈍化層之開口內；

形成一間隔件，其係與該鈍化層之開口的該等側壁相鄰；及

形成一閘極，其中該閘極之一部分係在該鈍化層的開口內。

11. 如請求項10之方法，其中該鰭狀物係在形成該鈍化層前形成。

12. 如請求項10之方法，其中形成該閘極進一步包含形成一閘極電極及一閘極接觸區域。

13. 如請求項10之方法，其中形成該間隔件進一步包含：

在該鈍化層之開口內及該鰭狀物上沉積一介電層；及

各向異性蝕刻該介電層以移除在該鰭狀物上之該介電層的至少部分，及與該鰭狀物相鄰之該介電層的至少部

分，以沿該鈍化層之開口的該等側壁形成該間隔件。

14. 如請求項10之方法，其進一步包含在該鰭狀物上形成一虛設閘極；及在形成該間隔件前移除該虛設閘極；且其中該形成該閘極係在移除該虛設閘極後執行。

15. 如請求項10之方法，其中該形成該鈍化層進一步包含：

沉積一鈍化層；

在該鈍化層上形成一遮罩層，其中該遮罩層具有一圖案；及

蝕刻該鈍化層，其係使用該遮罩層以形成該鈍化層之開口。

16. 一種半導體裝置，其包含：

一半導體層；

一鈍化層，其係在該半導體層上，其中該鈍化層具有一開口且該開口具有側壁；

一鰭狀物，其係在該半導體層上且在該鈍化層之開口內；

間隔件，其係與該鈍化層之開口的該等側壁相鄰；及

一閘極，其中該閘極之一部分係在該鈍化層之開口內。

17. 如請求項16之半導體裝置，其中：

在該鈍化層之開口內的該閘極之部分具有頂部部分及一底部部分；

該頂部部分係實質上與該鈍化層之一頂部相連且具有一第一尺寸；

該底部部分係與該等間隔件相鄰且一第二尺寸在該等間隔件間；

該第二尺寸係平行於該第一尺寸；及

該第一尺寸係大於該第二尺寸。

18. 如請求項16之半導體裝置，其中：

該鰭狀物具有一第一高度；

該鈍化層具有一第二高度；及

該第二高度係大於該第一高度。

19. 如請求項17之半導體裝置，其中該閘極包含一金屬閘極。

十一、圖式：

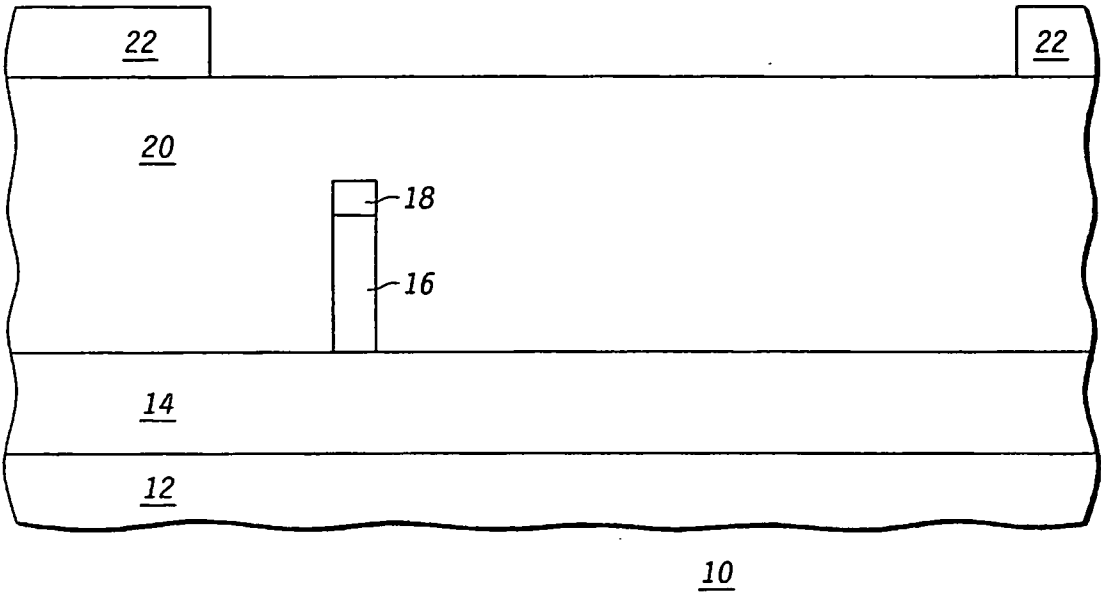


圖 1

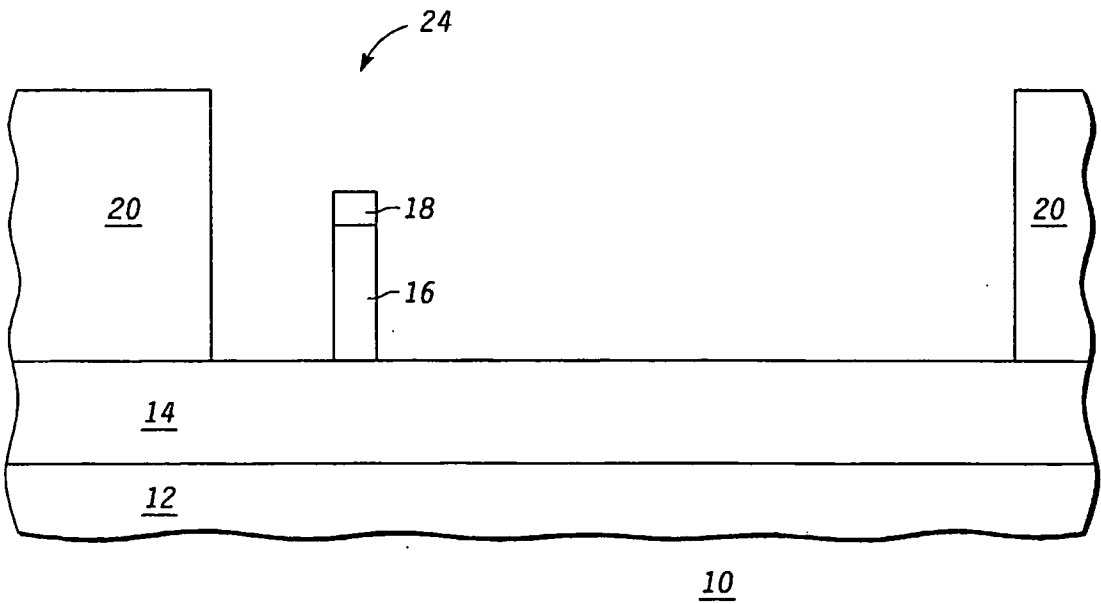


圖 2

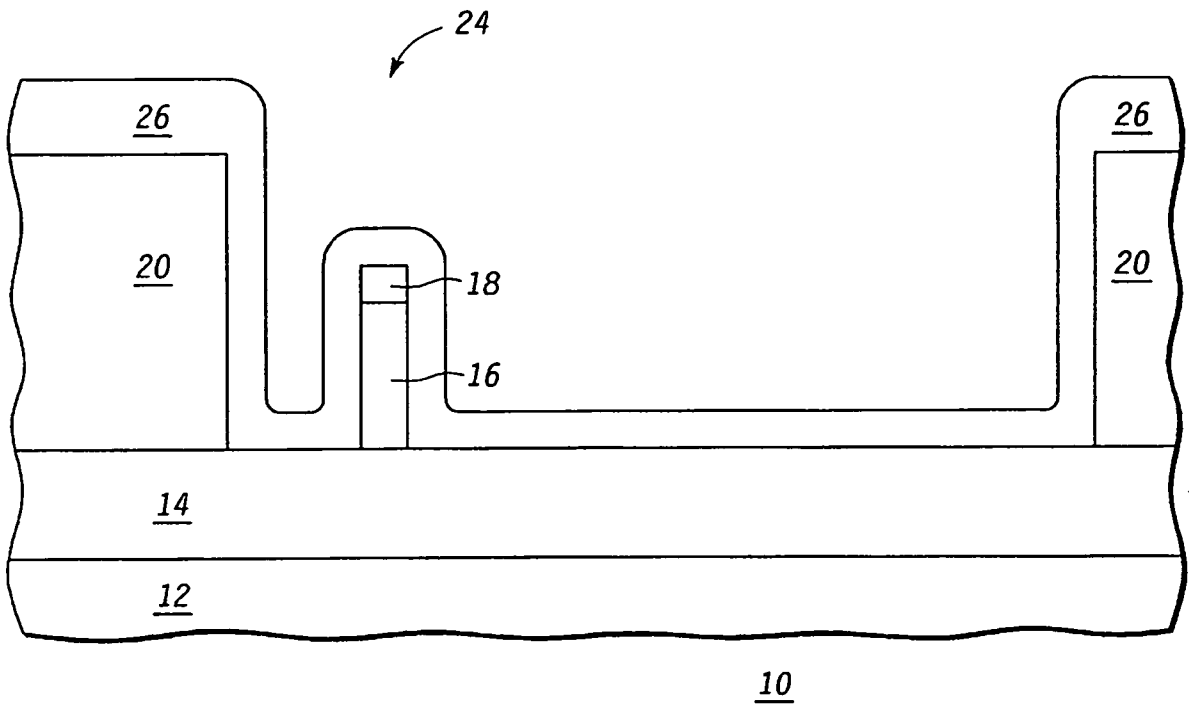


圖 3

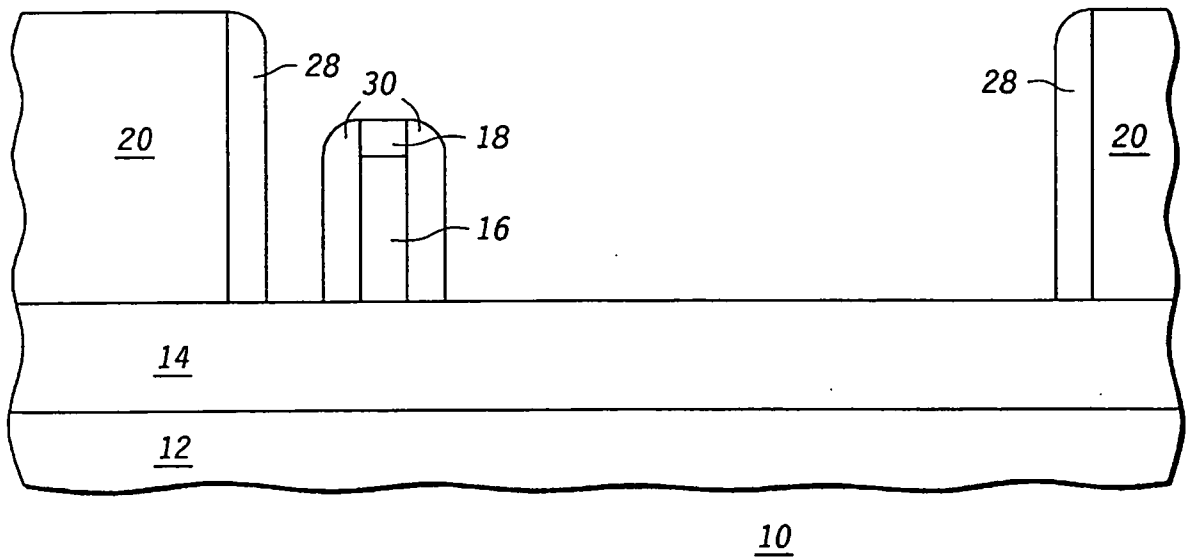


圖 4

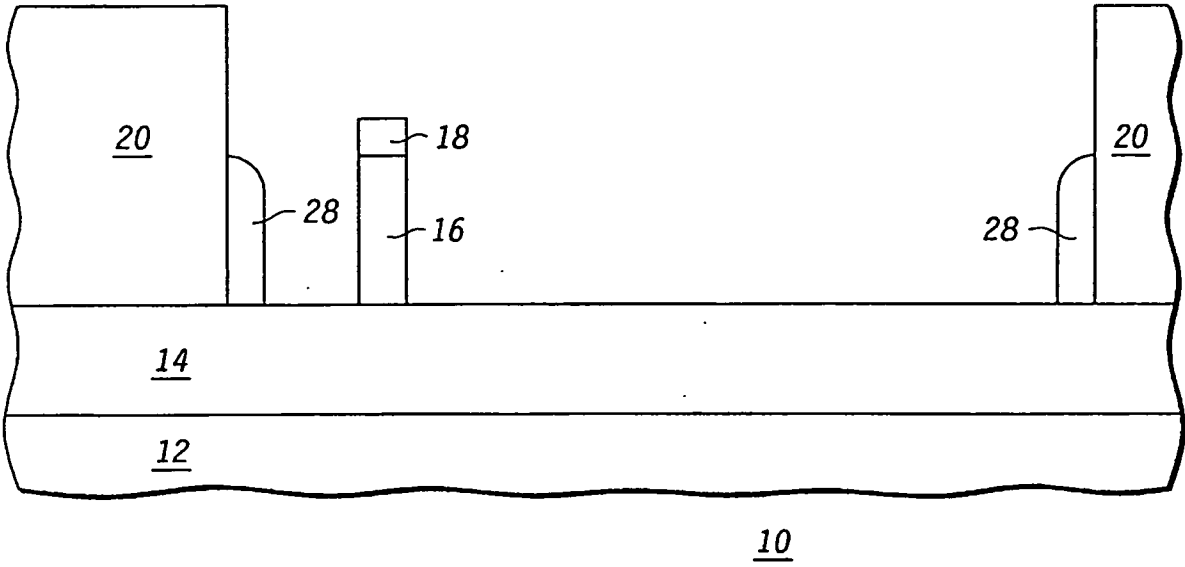


圖 5

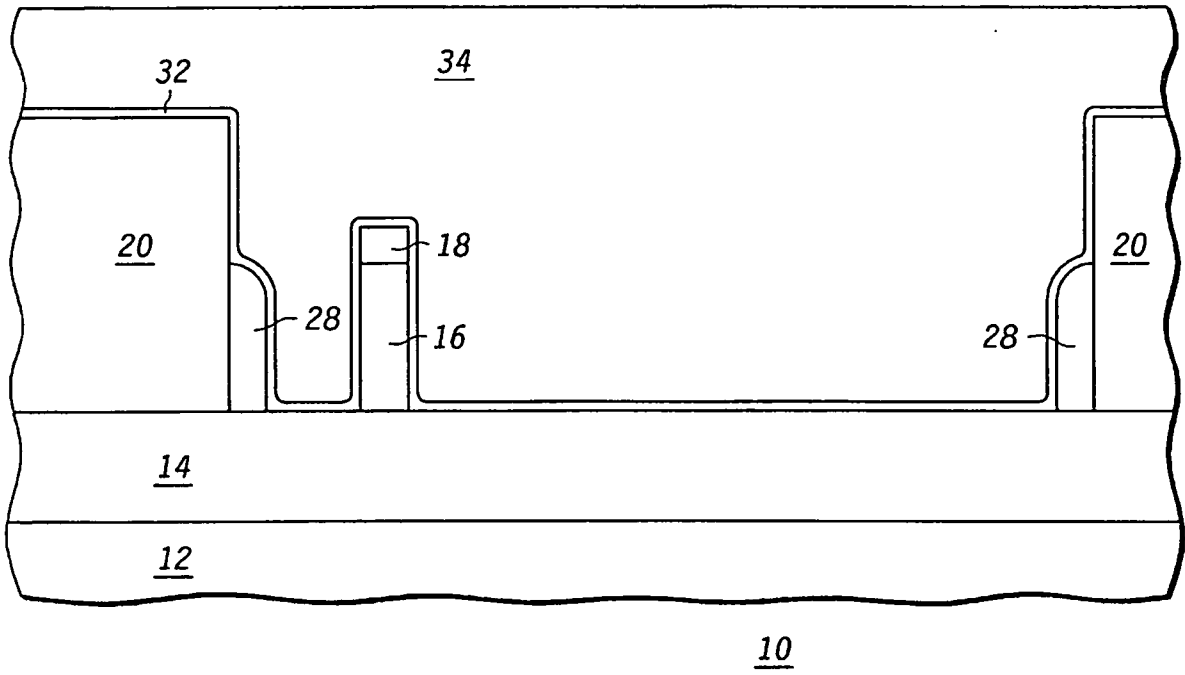


圖 6

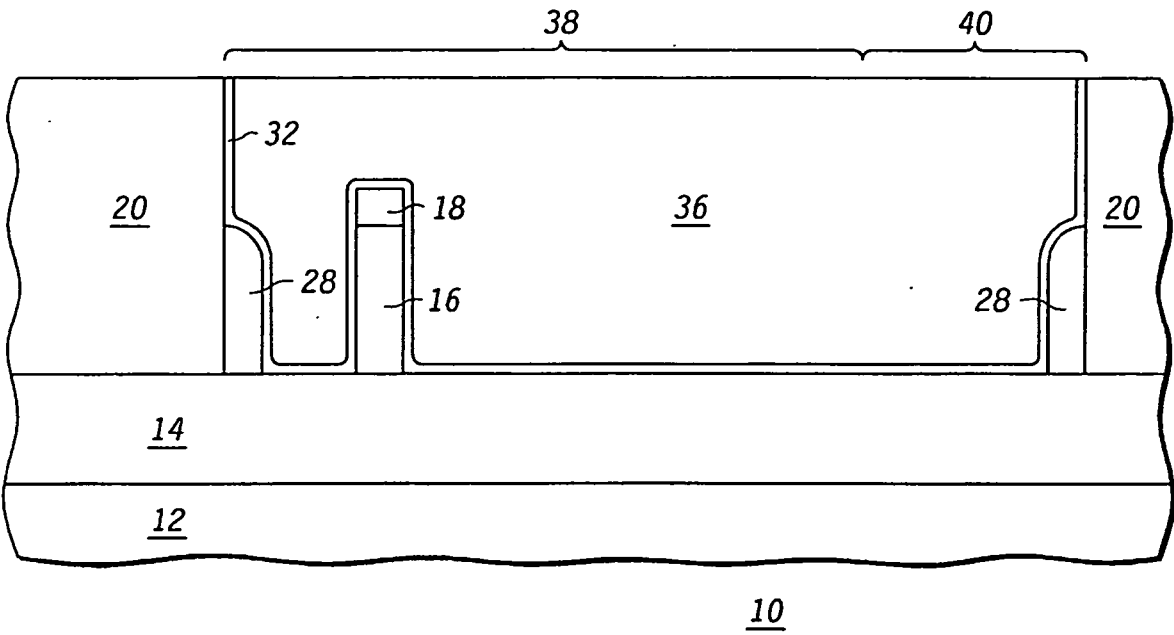


圖 7

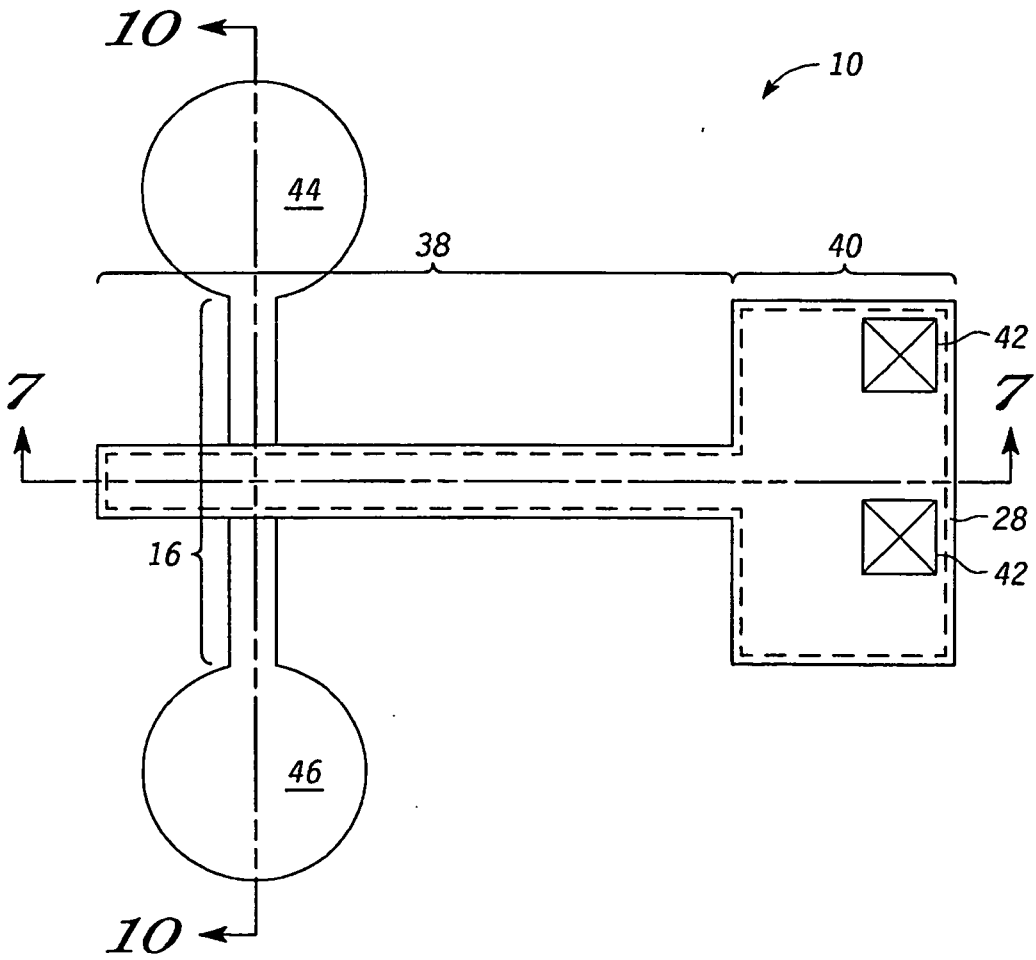


圖 8

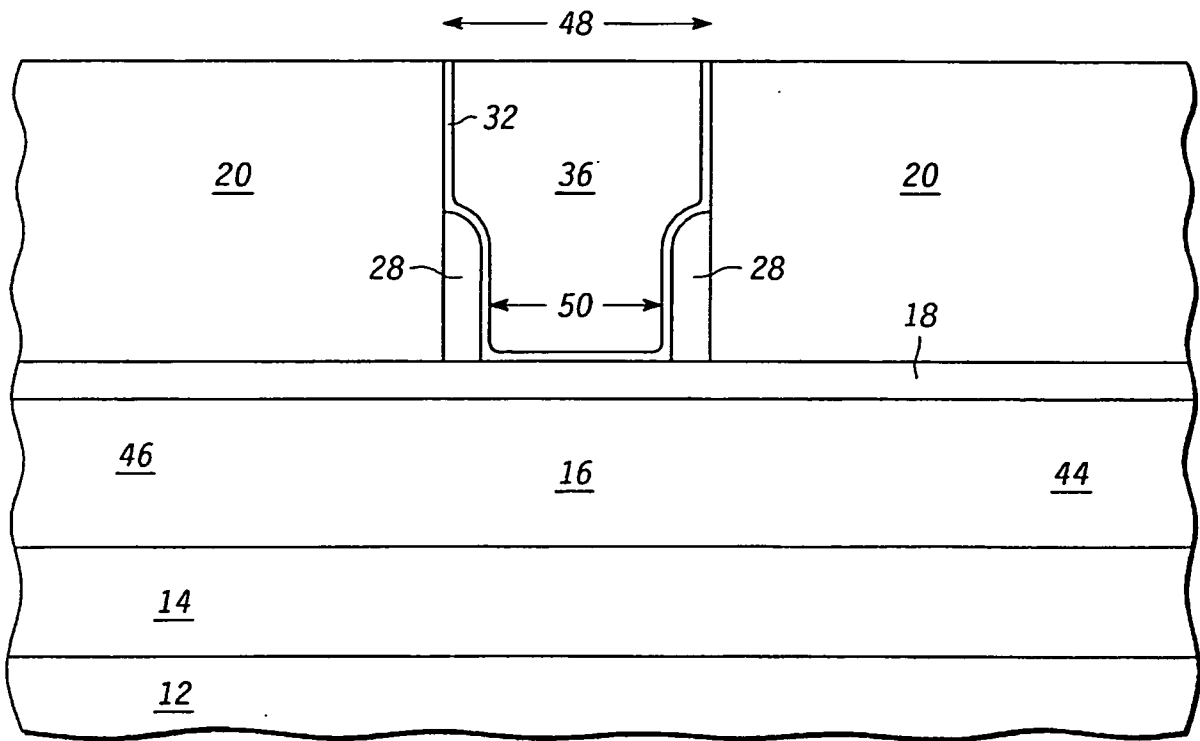


圖 9

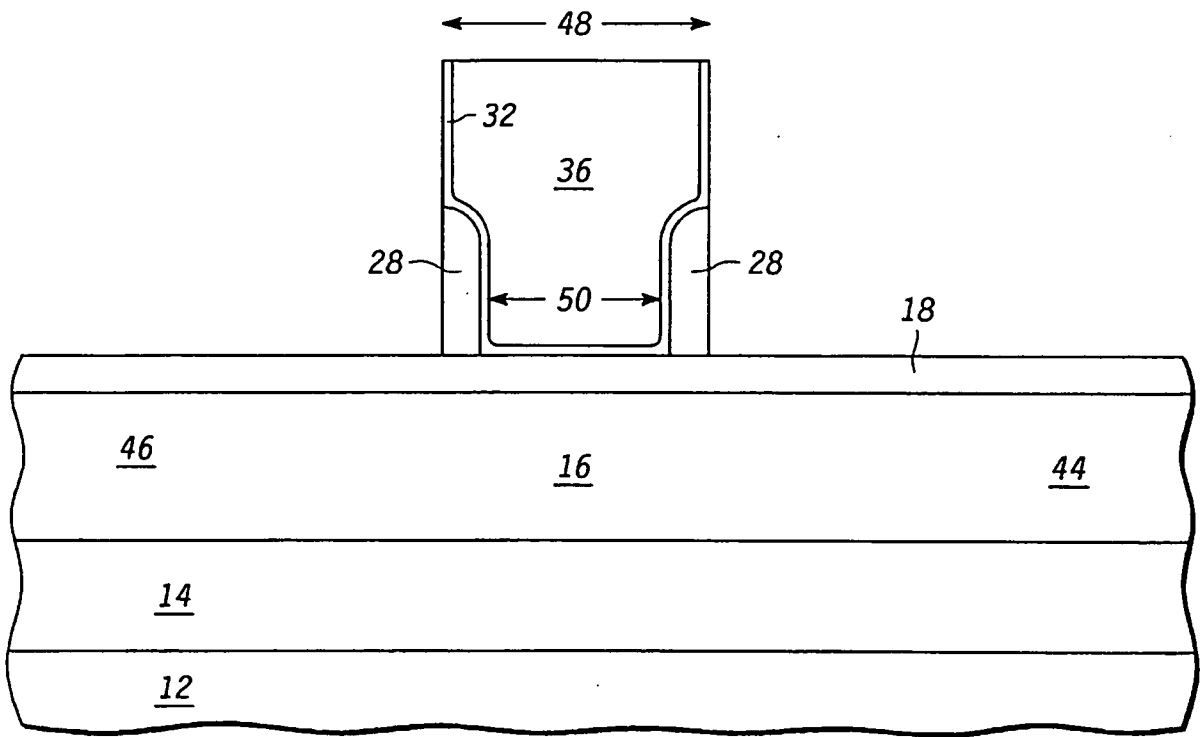


圖 10

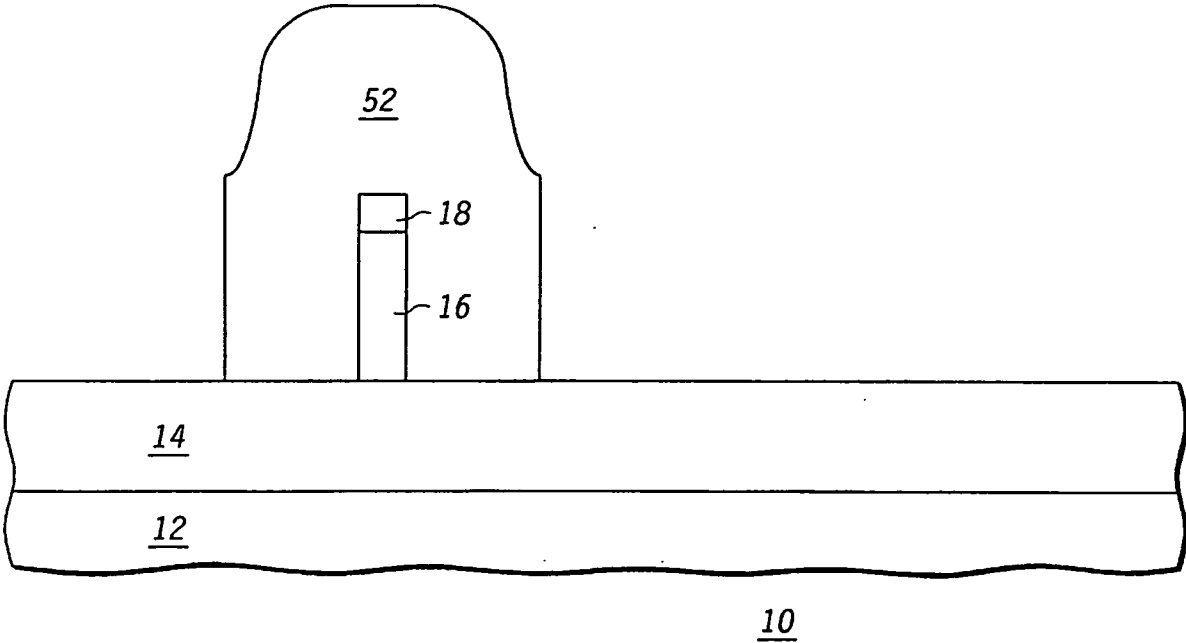


圖 11

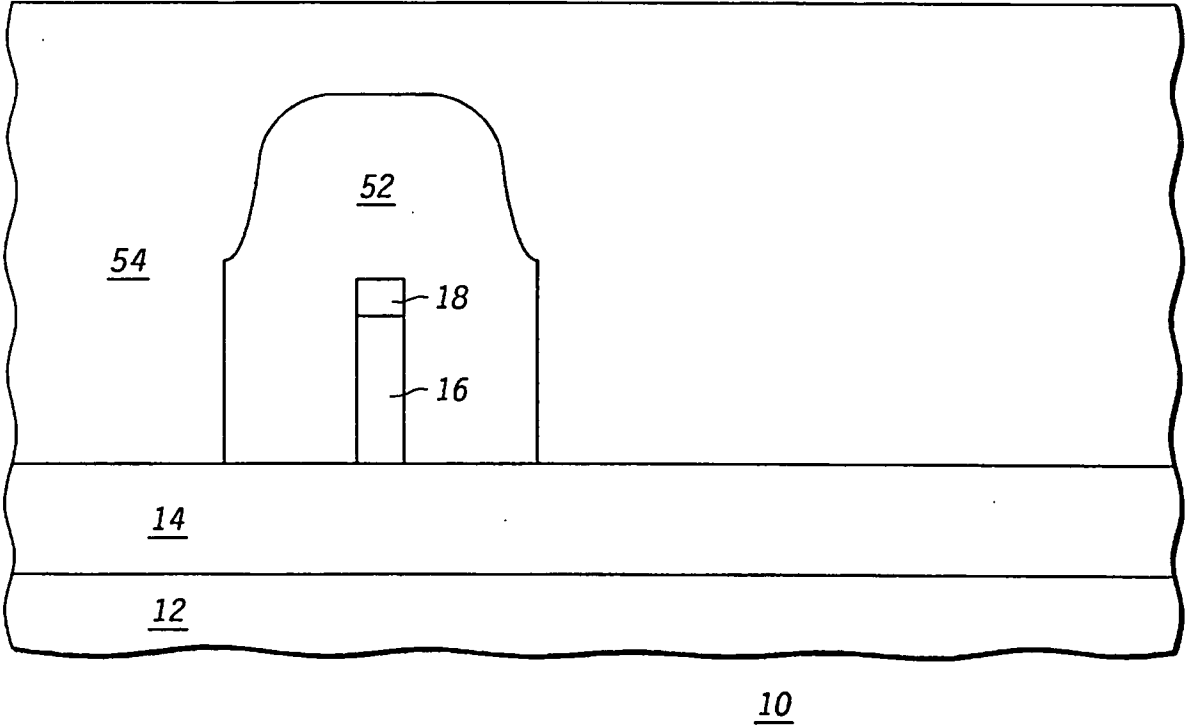


圖 12

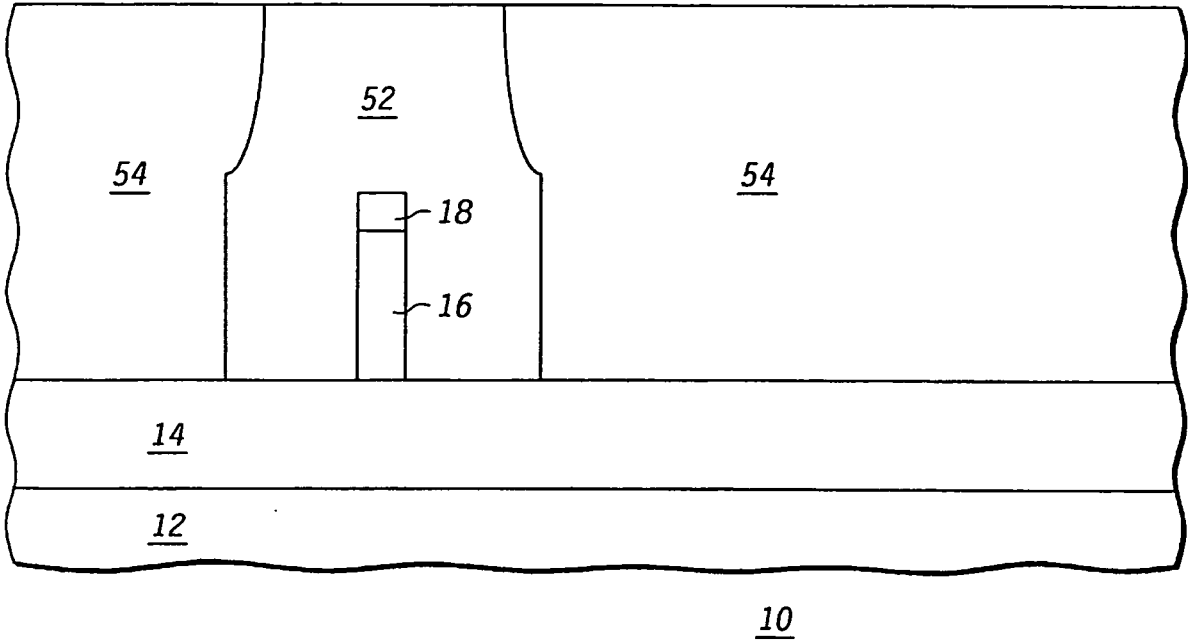


圖 13

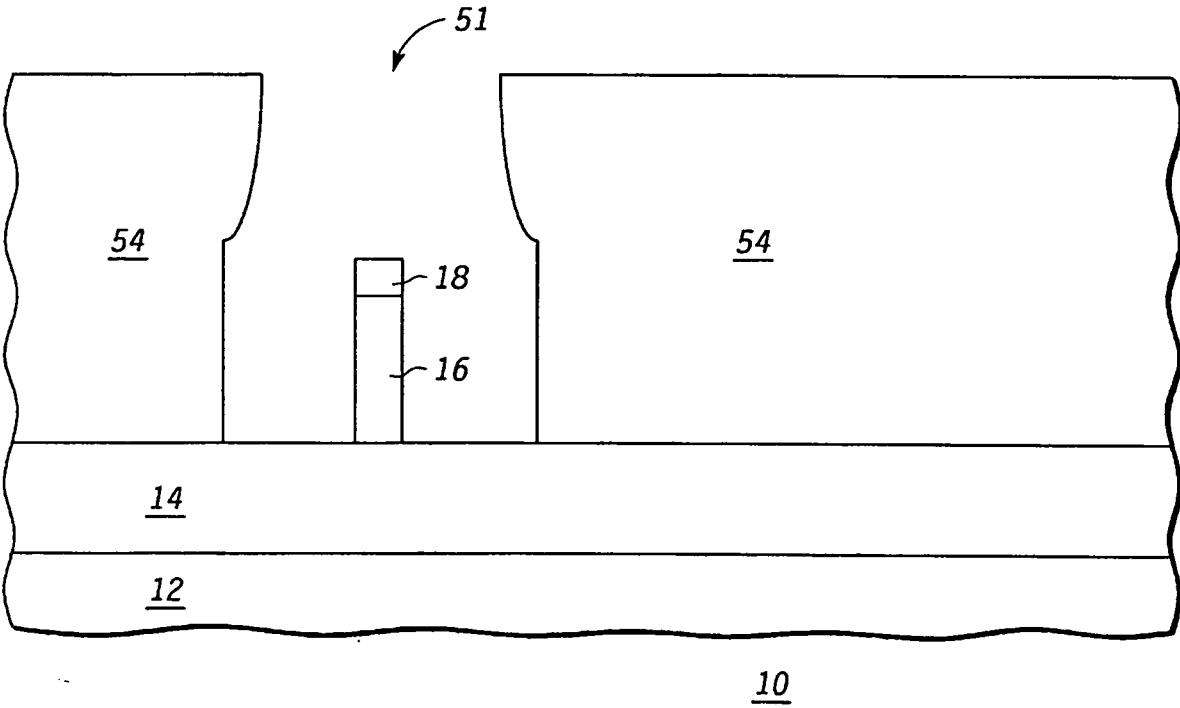


圖 14

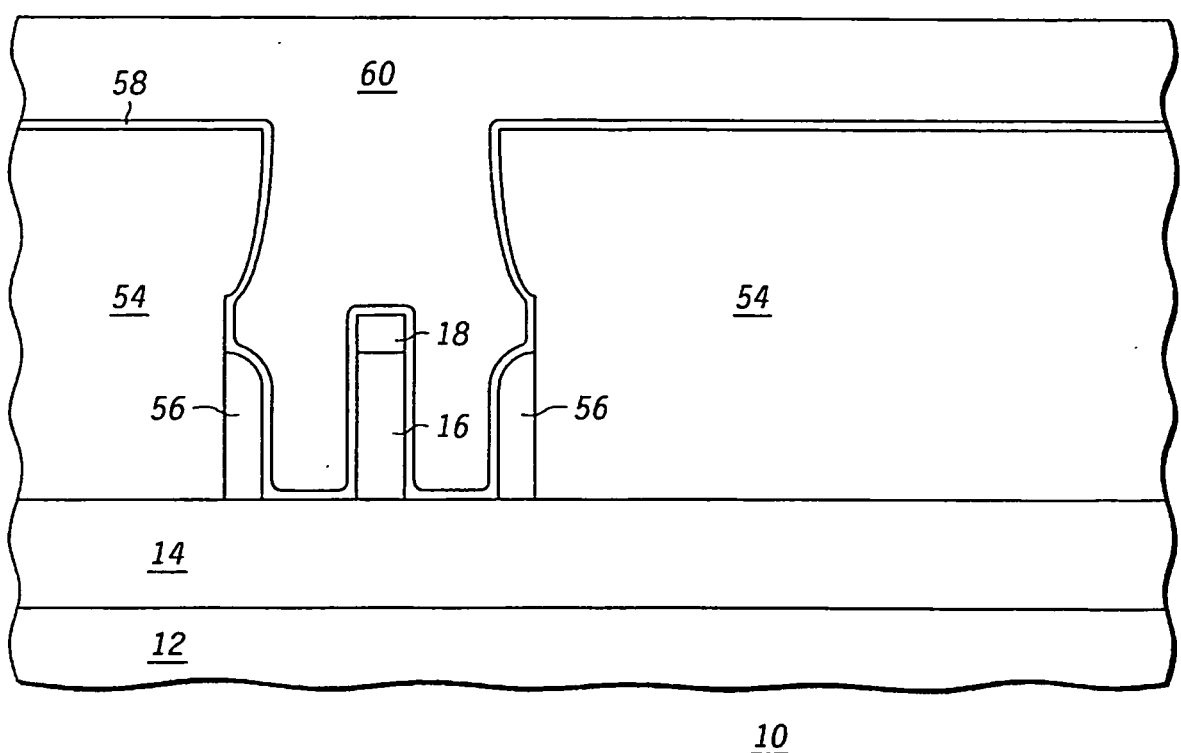


圖 15

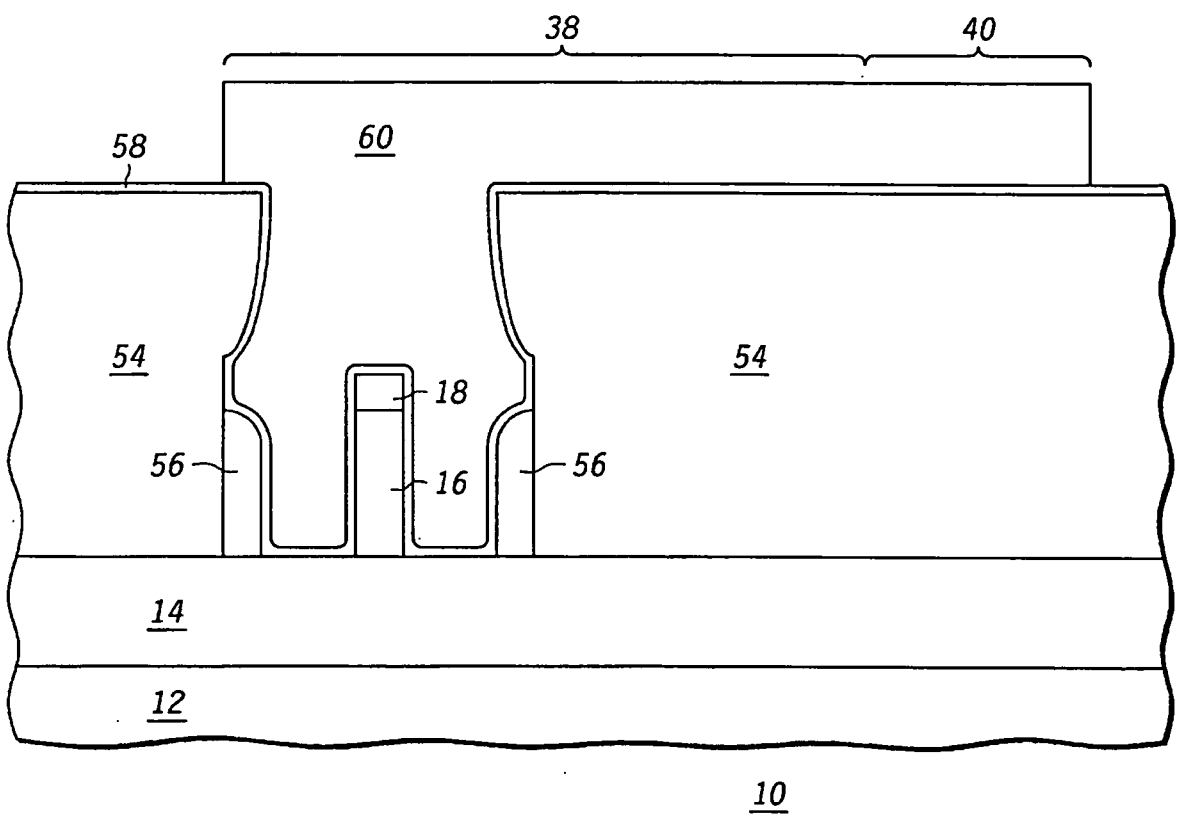


圖 16