



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0090280
(43) 공개일자 2025년06월19일

(51) 국제특허분류(Int. Cl.)
H10D 84/83 (2025.01) H10B 12/00 (2023.01)
H10D 30/67 (2025.01) H10D 84/01 (2025.01)
(52) CPC특허분류
H10D 84/834 (2025.01)
H10B 12/30 (2023.02)
(21) 출원번호 10-2025-7010144
(22) 출원일자(국제) 2023년10월06일
심사청구일자 없음
(85) 번역문제출일자 2025년03월27일
(86) 국제출원번호 PCT/IB2023/060029
(87) 국제공개번호 WO 2024/079585
국제공개일자 2024년04월18일
(30) 우선권주장
JP-P-2022-165766 2022년10월14일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
미야이리 히데카즈
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이
에기 유지
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

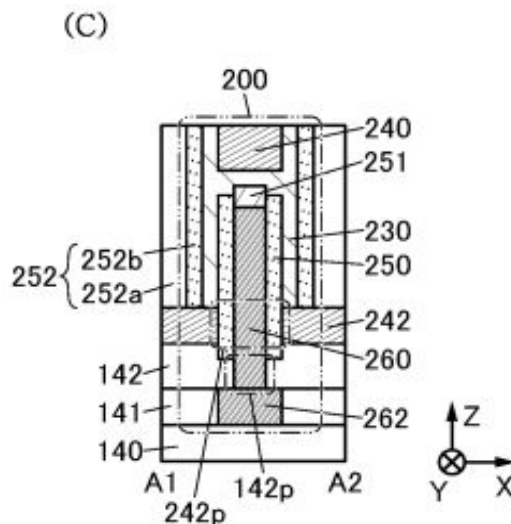
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 트랜지스터 및 기억 장치

(57) 요약

미세화 또는 고집적화가 가능한 기억 장치를 제공한다. 기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1 절연체와, 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 제 1 반도체 위의 제 3 도전체를 갖고, 제 1 절연체가 갖는 제 1 영역으로 제 1 도전체가 갖는 기둥 형상의 영역을 둘러싸고, 제 1 도전체는 제 2 도전체가 갖는 개구보다 상부에 위치하는 제 3 영역을 갖고, 제 1 도전체의 제 3 영역은 제 1 절연체가 갖는 제 1 영역을 사이에 두고 제 1 반도체가 갖는 제 2 영역으로 둘러싸인다.

대표도



(52) CPC특허분류

H10D 30/6735 (2025.01)

H10D 30/6755 (2025.01)

H10D 84/0158 (2025.01)

명세서

청구범위

청구항 1

트랜지스터로서,

기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1 절연체와, 상기 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 상기 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 상기 제 1 반도체 위의 제 3 도전체를 갖고,

상기 제 1 영역으로 상기 기둥 형상의 영역을 둘러싸고,

상기 제 1 도전체는 상기 개구보다 상부에 위치하는 제 3 영역을 갖고,

상기 제 1 도전체의 상기 제 3 영역은 상기 제 1 영역을 사이에 두고 상기 제 2 영역으로 둘러싸이는, 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 제 3 도전체는 상기 제 1 도전체와 중첩되는, 트랜지스터.

청구항 3

제 1 항에 있어서,

제 2 절연체를 갖고,

상기 제 2 절연체는 제 2 개구를 갖고,

상기 제 1 도전체는 상기 제 2 개구 내에 위치하는 영역을 갖고,

상기 제 2 도전체는 상기 제 2 절연체의 상면과 접촉하는 영역을 갖는, 트랜지스터.

청구항 4

트랜지스터로서,

기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1 절연체와, 상기 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 상기 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 상기 제 1 도전체 위의 제 2 절연체와, 상기 제 2 절연체 위의 제 3 도전체를 갖고,

상기 제 1 영역으로 상기 기둥 형상의 영역을 둘러싸고,

상기 제 1 도전체는 상기 개구보다 상부에 위치하는 제 3 영역을 갖고,

상기 제 1 도전체의 상기 제 3 영역은 상기 제 1 영역을 사이에 두고 상기 제 1 반도체가 갖는 상기 제 2 영역으로 둘러싸이고,

상기 제 3 도전체는 상기 제 2 절연체를 사이에 두고 상기 제 1 도전체와 중첩되는, 트랜지스터.

청구항 5

제 4 항에 있어서,

상기 제 3 도전체는 상기 제 1 도전체와 중첩되는, 트랜지스터.

청구항 6

제 4 항에 있어서,

상기 제 1 반도체는 상기 제 2 절연체 위에 위치하고, 또한 상기 제 2 절연체와 상기 제 3 도전체 사이에 위치하는 영역을 갖는, 트랜지스터.

청구항 7

제 4 항에 있어서,

상기 제 1 절연체는 산화 실리콘 및 산화질화 실리콘 중 적어도 한쪽을 갖고,

상기 제 2 절연체는 질화 실리콘 및 질화산화 실리콘 중 적어도 한쪽을 갖는, 트랜지스터.

청구항 8

제 4 항에 있어서,

제 3 절연체를 갖고,

상기 제 3 절연체는 제 2 개구를 갖고,

상기 제 1 도전체는 상기 제 2 개구 내에 위치하는 영역을 갖고,

상기 제 2 도전체는 상기 제 2 절연체의 상면과 접촉하는 영역을 갖는, 트랜지스터.

청구항 9

제 1 항 또는 제 4 항에 있어서,

상기 제 3 도전체는 상기 제 1 반도체의 상면과 접촉하는, 트랜지스터.

청구항 10

제 1 항 또는 제 4 항에 있어서,

상기 제 1 반도체는 상기 제 3 도전체의 측면과 접촉하는 영역을 갖는, 트랜지스터.

청구항 11

제 1 항 또는 제 4 항에 있어서,

상기 제 1 반도체는 인듐 또는 아연을 포함하는 금속 산화물인, 트랜지스터.

청구항 12

기억 장치로서,

트랜지스터와, 상기 트랜지스터 위의 용량 소자를 갖고,

상기 트랜지스터는 기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1 절연체와, 상기 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 상기 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 상기 제 1 반도체 위의 제 3 도전체를 갖고,

상기 용량 소자는 기둥 형상의 영역을 갖는 제 4 도전체와, 상기 제 4 도전체의 측면을 덮도록 제공되는 제 2 절연체와, 상기 제 2 절연체 위의 제 5 도전체를 갖고,

상기 제 1 절연체가 갖는 상기 제 1 영역으로 상기 기둥 형상의 영역을 둘러싸고,

상기 제 1 도전체는 상기 개구보다 상부에 위치하는 제 3 영역을 갖고,

상기 제 1 도전체의 상기 제 3 영역은 상기 제 1 영역을 사이에 두고 상기 제 1 반도체가 갖는 상기 제 2 영역으로 둘러싸이고,

상기 제 4 도전체는 상기 제 3 도전체 위에 위치하는, 기억 장치.

청구항 13

제 12 항에 있어서,

상기 제 3 도전체는 상기 제 1 도전체와 중첩되는, 기억 장치.

청구항 14

제 12 항에 있어서,

평면에서 보았을 때 상기 제 1 도전체와 상기 제 4 도전체는 중첩되는, 기억 장치.

청구항 15

제 12 항에 있어서,

제 3 절연체를 갖고,

상기 제 3 절연체는 제 2 개구를 갖고,

상기 제 4 도전체는 상기 제 2 개구 내에 위치하고 측면이 상기 제 3 절연체와 접촉하는 제 4 영역과, 상기 제 4 영역 위에 위치하고 측면이 상기 제 2 절연체와 접촉하는 제 5 영역을 갖는, 기억 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 트랜지스터, 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다. 또는 본 발명의 일 형태는 기억 장치 또는 반도체 장치의 제작 방법에 관한 것이다. 또는 본 발명의 일 형태는 반도체 웨이퍼 및 모듈에 관한 것이다.

[0002] 또한 본 명세서 등에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 갖는다고 할 수 있는 경우가 있다.

[0003] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에 있어서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배경 기술

[0004] 근년, 반도체 장치의 개발이 진행되고 있고, LSI, CPU, 메모리 등이 주로 반도체 장치에 사용되고 있다. CPU는 반도체 웨이퍼를 가공하여 칩으로 형성한 반도체 집적 회로(적어도 트랜지스터 및 메모리를 포함함)를 갖고, 집속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU, 메모리 등의 집적 회로(IC)가 탑재된 칩(IC 칩)은 회로 기관, 예를 들어 인쇄 배선 기관에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한 절연 표면을 갖는 기관 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC), 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서는 실리콘계 반도체 재료가 널리 알려져 있지만, 그 이외의 재료로서 산화물 반도체가 주목받고 있다.

[0007] 또한 산화물 반도체를 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 낮은 것이 알려져 있다. 예를 들어 특허문헌 1에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용한 소비 전력이 낮은 CPU 등이 개시되어 있다. 또한 예를 들어 특허문헌 2에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다.

[0008] 또한 근년에는 전자 기기가 소형화, 경량화되면서, 밀도가 더 높아진 집적 회로에 대한 요구가 높아지고 있다. 또한 집적 회로를 포함하는 반도체 장치의 생산성 향상이 요구되고 있다. 예를 들어 특허문헌 3 및 비특허문헌 1에서는 산화물 반도체막을 사용한 제 1 트랜지스터와 산화물 반도체막을 사용한 제 2 트랜지스터를 적층시켜 메모리 셀을 복수로 중첩시켜 제공함으로써 집적 회로를 고밀도화하는 기술이 개시되어 있다.

[0009] 또한 트랜지스터를 세로형으로 할 수 있으면, 집적 회로의 고밀도화가 가능하다. 예를 들어 특허문헌 4에는 산

화물 반도체의 측면이 게이트 절연체를 개재(介在)하여 게이트 전극으로 덮여 있는 세로형 트랜지스터가 개시되어 있다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호
(특허문헌 0002) 일본 공개특허공보 특개2011-151383호
(특허문헌 0003) 국제공개공보 W02021/053473호
(특허문헌 0004) 일본 공개특허공보 특개2013-211537호

비특허문헌

- [0011] (비특허문헌 0001) M.Oota et. al, "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp.50-53

발명의 내용

해결하려는 과제

- [0012] 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 동작 속도가 빠른 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 전기 특성이 양호한 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 전기 특성의 편차가 적은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 양호한 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 온 전류가 높은 트랜지스터를 제공하는 것을 과제 중 하나로 한다.
- [0013] 또는 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 동작 속도가 빠른 반도체 장치 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 양호한 반도체 장치 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 소비 전력이 낮은 반도체 장치 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다.
- [0014] 또는 본 발명의 일 형태는 신규 트랜지스터, 반도체 장치, 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 트랜지스터, 반도체 장치, 또는 기억 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.
- [0015] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

- [0016] 본 발명의 일 형태는 기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1 절연체와, 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 제 1 반도체 위의 제 3 도전체를 갖고, 제 1 절연체가 갖는 제 1 영역으로 제 1 도전체가 갖는 기둥 형상의 영역을 둘러싸고, 제 1 도전체는 제 2 도전체가 갖는 개구보다 상부에 위치하는 제 3 영역을 갖고, 제 1 도전체의 제 3 영역은 제 1 절연체가 갖는 제 1 영역을 사이에 두고 제 1 반도체가 갖는 제 2 영역으로 둘러싸인다.
- [0017] 또한 상기 구성에 있어서 제 3 도전체는 제 1 도전체와 중첩되는 것이 바람직하다.
- [0018] 또한 상기 구성에 있어서 제 2 절연체를 갖고, 제 2 절연체는 제 2 개구를 갖고, 제 1 도전체는 제 2 개구 내에 위치하는 영역을 갖고, 제 2 도전체는 제 2 절연체의 상면과 접촉하는 영역을 갖는 것이 바람직하다.
- [0019] 또는 본 발명의 일 형태는 기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1

절연체와, 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 제 1 도전체 위의 제 2 절연체와, 제 2 절연체 위의 제 3 도전체를 갖고, 제 1 절연체가 갖는 제 1 영역으로 제 1 도전체가 갖는 기둥 형상의 영역을 둘러싸고, 제 1 도전체는 제 2 도전체가 갖는 개구보다 상부에 위치하는 제 3 영역을 갖고, 제 1 도전체의 제 3 영역은 제 1 절연체가 갖는 제 1 영역을 사이에 두고 제 1 반도체가 갖는 제 2 영역으로 둘러싸이고, 제 3 도전체는 제 2 절연체를 사이에 두고 제 1 도전체와 중첩되는 트랜지스터이다.

[0020] 또한 상기 구성에 있어서 제 3 도전체는 제 1 도전체와 중첩되는 것이 바람직하다.

[0021] 또한 상기 구성에 있어서 제 1 반도체는 제 2 절연체 위에 위치하고, 또한 제 2 절연체와 제 3 도전체 사이에 위치하는 영역을 갖는 것이 바람직하다.

[0022] 또한 상기 구성에 있어서 제 1 절연체는 산화 실리콘 및 산화질화 실리콘 중 적어도 한쪽을 갖고, 제 2 절연체는 질화 실리콘 및 질화산화 실리콘 중 적어도 한쪽을 갖는 것이 바람직하다.

[0023] 또한 상기 구성에 있어서 제 3 절연체를 갖고, 제 3 절연체는 제 2 개구를 갖고, 제 1 도전체는 제 2 개구 내에 위치하는 영역을 갖고, 제 2 도전체는 제 2 절연체의 상면과 접촉하는 영역을 갖는 것이 바람직하다.

[0024] 또한 상기 구성에 있어서 제 3 도전체는 제 1 반도체의 상면과 접촉하는 것이 바람직하다.

[0025] 또한 상기 구성에 있어서 제 1 반도체는 제 3 도전체의 측면과 접촉하는 영역을 갖는 것이 바람직하다.

[0026] 또한 상기 구성에 있어서 제 1 반도체는 인듐 또는 아연을 포함하는 금속 산화물인 것이 바람직하다.

[0027] 또는 본 발명의 일 형태는 트랜지스터와, 트랜지스터 위의 용량 소자를 갖고, 트랜지스터는 기둥 형상의 영역을 갖는 제 1 도전체와, 통 형상의 제 1 영역을 갖는 제 1 절연체와, 제 1 도전체에 의하여 관통되는 개구를 갖는 제 2 도전체와, 제 2 도전체 위에 위치하고 통 형상의 제 2 영역을 갖는 제 1 반도체와, 제 1 반도체 위의 제 3 도전체를 갖고, 용량 소자는 기둥 형상의 영역을 갖는 제 4 도전체와, 제 4 도전체의 측면을 덮도록 제공되는 제 2 절연체와, 제 2 절연체 위의 제 5 도전체를 갖고, 제 1 절연체가 갖는 제 1 영역은 제 1 도전체가 갖는 기둥 형상의 영역을 둘러싸도록 배치되고, 제 1 도전체는 제 2 도전체가 갖는 개구보다 상부에 위치하는 제 3 영역을 갖고, 제 1 도전체의 제 3 영역은 제 1 절연체가 갖는 제 1 영역을 사이에 두고 제 1 반도체가 갖는 제 2 영역으로 둘러싸이고, 제 4 도전체는 제 3 도전체 위에 위치하는 기억 장치이다.

[0028] 또한 상기 구성에 있어서 제 3 도전체는 제 1 도전체와 중첩되는 것이 바람직하다.

[0029] 또한 상기 구성에 있어서 평면에서 보았을 때 제 1 도전체와 제 4 도전체는 중첩되는 것이 바람직하다.

[0030] 또한 상기 구성에 있어서 제 3 절연체를 갖고, 제 3 절연체는 제 2 개구를 갖고, 제 4 도전체는 제 2 개구 내에 위치하고 측면이 제 3 절연체와 접촉하는 제 4 영역과, 제 4 영역 위에 위치하고 측면이 제 2 절연체와 접촉하는 제 5 영역을 갖는 것이 바람직하다.

발명의 효과

[0031] 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 트랜지스터를 제공할 수 있다. 또는 동작 속도가 빠른 트랜지스터를 제공할 수 있다. 또는 전기 특성이 양호한 트랜지스터를 제공할 수 있다. 또는 전기 특성의 편차가 적은 트랜지스터를 제공할 수 있다. 또는 신뢰성이 양호한 트랜지스터를 제공할 수 있다. 또는 온 전류가 높은 트랜지스터를 제공할 수 있다.

[0032] 또는 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치 또는 기억 장치를 제공할 수 있다. 또는 동작 속도가 빠른 반도체 장치 또는 기억 장치를 제공할 수 있다. 또는 신뢰성이 양호한 반도체 장치 또는 기억 장치를 제공할 수 있다. 또는 트랜지스터의 전기 특성의 편차가 적은 기억 장치를 제공할 수 있다. 또는 소비 전력이 낮은 반도체 장치 또는 기억 장치를 제공할 수 있다.

[0033] 또는 본 발명의 일 형태에 의하여 신규 트랜지스터, 반도체 장치, 또는 기억 장치를 제공할 수 있다. 또는 신규 트랜지스터, 반도체 장치, 또는 기억 장치의 제작 방법을 제공할 수 있다.

[0034] 또한 이들 효과의 기제는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0035]

도 1의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 평면도이다. 도 1의 (C) 내지 (F)는 트랜지스터의 일례를 나타낸 단면도이다.

도 2의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 3의 (A)는 기억 장치의 일례를 나타낸 평면도이다. 도 3의 (B)는 기억 장치의 구성의 일례를 설명하기 위한 회로도이다. 도 3의 (C) 및 (D)는 기억 장치의 일례를 나타낸 단면도이다.

도 4의 (A) 및 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 5의 (A) 내지 (F)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 6의 (A) 내지 (F)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 7의 (A) 내지 (E)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 8의 (A) 내지 (E)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 9의 (A) 내지 (F)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 10의 (A) 내지 (C)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 11의 (A) 내지 (C)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 12의 (A) 및 (B)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 13의 (A) 내지 (C)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 14의 (A) 및 (B)는 기억 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 15의 (A) 내지 (D)는 트랜지스터의 일례를 나타낸 단면도이다.

도 16의 (A) 및 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 17의 (A) 내지 (E)는 본 발명의 일 형태에 따른 금속 산화물의 성막 방법을 설명하는 단면도이다.

도 18의 (A) 내지 (D)는 본 발명의 일 형태에 따른 금속 산화물의 단면도이다.

도 19의 (A) 내지 (D)는 본 발명의 일 형태에 따른 금속 산화물의 성막 방법을 설명하는 단면도이다.

도 20의 (A) 내지 (C)는 본 발명의 일 형태에 따른 금속 산화물의 성막 방법을 설명하는 단면도이다.

도 21의 (A)는 기억 장치의 일례를 나타낸 평면도이다. 도 21의 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 22는 기억 장치의 구성예를 설명하는 블록도이다.

도 23의 (A)는 기억 장치의 구성예를 설명하는 모식도이다. 도 23의 (B)는 기억 장치의 구성예를 설명하는 회로도이다.

도 24의 (A) 및 (B)는 기억 장치의 구성예를 설명하는 모식도이다.

도 25는 기억 장치의 구성예를 설명하는 회로도이다.

도 26은 기억 장치의 일례를 나타낸 단면도이다.

도 27의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 모식도이다.

도 28의 (A) 및 (B)는 전자 부품의 일례를 설명하는 도면이다.

도 29의 (A) 내지 (E)는 본 발명의 일 형태에 따른 기억 장치의 모식도이다.

도 30의 (A) 내지 (H)는 본 발명의 일 형태에 따른 전자 기기를 나타낸 도면이다.

도 31은 우주용 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0037] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 실제의 제조 공정에서, 에칭 등의 처리에 의하여 층 또는 레지스트 마스크 등이 의도치 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않는 경우가 있다. 또한 도면에 있어서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능을 갖는 부분을 가리키는 경우에는 해칭 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0038] 또한 특히 평면도('상면도'라고도 함) 또는 사시도 등에서, 발명의 이해를 용이하게 하기 위하여 일부 구성 요소의 기재를 생략하는 경우가 있다. 또한 일부 숨은선의 기재를 생략하는 경우가 있다.
- [0039] 또한 본 명세서 등에 있어서 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용되는 것이고, 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 그러므로 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔 설명할 수 있다. 또한 본 명세서 등에 기재되는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0040] 또한 본 명세서 등에 있어서 '위에', '아래에' 등의 배치를 나타내는 어구는 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0041] 예를 들어 본 명세서 등에 있어서 X와 Y가 접속되어 있다는 것은 X와 Y가 전기적으로 접속되는 경우를 말한다. 여기서 X와 Y가 전기적으로 접속되어 있다는 것은 X와 Y 사이에 대상물(스위치, 트랜지스터 소자, 또는 다이오드 등의 소자, 혹은 상기 소자 및 배선을 포함하는 회로 등을 가리킴)이 존재하는 경우에 X와 Y 사이에서 전기 신호를 전달할 수 있는 접속을 말한다. 또한 X와 Y가 전기적으로 접속되어 있는 경우에는 X와 Y가 직접 접속되어 있는 경우가 포함된다. 여기서 X와 Y가 직접 접속되어 있다는 것은 상기 대상물을 통하지 않고, 배선(또는 전극) 등을 통하여 X와 Y 사이에서 전기 신호를 전달할 수 있는 접속을 말한다. 바꿔 말하면, 직접 접속이란, 등이 회로로 나타낸 경우에 같은 회로도도 간주할 수 있는 접속을 말한다.
- [0042] 또한 본 명세서 등에 있어서 트랜지스터란 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널이 형성되는 영역(이하, 채널 형성 영역이라고도 함)을 갖고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한 본 명세서 등에 있어서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.
- [0043] 또한 소스 또는 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우 또는 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로 본 명세서 등에 있어서는 소스 또는 드레인이라는 용어는 서로 바꿔 사용할 수 있는 경우가 있다.
- [0044] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 결함 준위 밀도가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 산화물 반도체의 주성분 이외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 또한 몰도 불순물로서 기능하는 경우가 있다. 또한 예를 들어 불순물의 혼입으로 인하여 산화물 반도체에 산소 결손(V_O : oxygen vacancy라고도 함)이 형성되는 경우가 있다.
- [0045] 또한 본 명세서 등에 있어서 산화질화물이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 산화질화물로서는 산화질화 실리콘, 산화질화 알루미늄, 및 산화질화 하프늄 등을 들 수 있다. 또한 질화산화물이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말한다. 질화산화물로서는 질화산화 실리콘, 질화산화

알루미늄, 및 질화산화 하프늄 등을 들 수 있다.

- [0046] 또한 본 명세서 등에 있어서 '절연체'라는 용어를 절연막 또는 절연층이라고 환언할 수 있다. 또한 '도전체'라는 용어를 도전막 또는 도전층이라고 환언할 수 있다. 또한 '반도체'라는 용어를 반도체막 또는 반도체층이라고 환언할 수 있다.
- [0047] 또한 본 명세서 등에 있어서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한 '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.
- [0048] 또한 본 명세서 등에 있어서 '전압'과 '전위'는 적절히 바꿔 말할 수 있다. '전압'은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, '전압'을 '전위'로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화됨으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화된다.
- [0049] 본 명세서 등에 있어서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있는 경우에는 부호에 '_1', '[n]', 또는 '[m, n]' 등의 식별용 부호를 부기하여 기재하는 경우가 있다.
- [0050] 또한 본 명세서 등에 있어서 '높이가 일치'란, 단면에서 보았을 때 기준이 되는 면(예를 들어 기판 표면 등의 평탄한 면)과 높이가 같은 구성을 말한다. 예를 들어 기억 장치의 제조 공정에서 평탄화 처리(대표적으로는 CMP 처리)를 수행함으로써 단층 또는 복수의 층의 표면이 노출되는 경우가 있다. 이 경우, CMP 처리가 수행된 피처리면은 기준이 되는 면과 높이가 같다. 다만 CMP 처리에 사용되는 처리 장치, 처리 방법, 또는 피처리면의 재료에 따라서는 복수의 층의 높이가 서로 달라지는 경우가 있다. 본 명세서 등에 있어서는 이 경우도 '높이가 일치'에 포함시킨다. 예를 들어 기준이 되는 면에 대하여 2개의 높이를 갖는 층(여기서는 제 1 층과 제 2 층으로 함)을 갖고, 제 1 층의 상면의 높이와 제 2 층의 상면의 높이의 차이가 20nm 이하인 경우도 '높이가 일치'라고 한다.
- [0051] 또한 본 명세서 등에 있어서 '단부가 일치'란, 평면에서 보았을 때(상면에서 보았을 때라고 하는 경우가 있음) 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층의 윤곽이 아래층의 윤곽보다 내측에 위치하거나 위층의 윤곽이 아래층의 윤곽보다 외측에 위치하는 경우도 있고, 이 경우도 '단부가 일치'라고 한다.
- [0052] 또한 일반적으로, '완전히 일치한다'와 '실질적으로 일치한다'의 차이를 명확하게 구별하는 것은 어렵다. 그러므로 본 명세서 등에 있어서 '일치'란, 완전히 일치하는 경우와 실질적으로 일치하는 경우 모두를 포함하는 것으로 한다.
- [0053] 또한 본 명세서 등에 있어서 노멀리 온 특성이란 게이트에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 상태를 가리킨다. 또한 노멀리 오프 특성이란, 게이트에 전위를 인가하지 않거나 게이트에 접지 전위를 인가하였을 때 트랜지스터에 전류가 흐르지 않는 상태를 가리킨다.
- [0054] 또한 본 명세서 등에서는 오프 전류와 같은 의미로 누설 전류라고 기재하는 경우가 있다. 또한 본 명세서 등에 있어서 오프 전류란, 예를 들어 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다.
- [0055] (실시형태 1)
- [0056] 본 실시형태에서는 본 발명의 일 형태인 기억 장치의 일례, 트랜지스터의 일례, 용량 소자의 일례, 및 이들의 제작 방법에 대하여 설명한다.
- [0057] 본 발명의 일 형태의 기억 장치는 트랜지스터 및 용량 소자를 갖는다. 도 1의 (A) 내지 (F)에는 본 발명의 일 형태의 트랜지스터를 포함하는 구성예를 나타내었다. 또한 도 2의 (A) 및 (B)에는 도 1의 (E)의 일부를 확대하여 나타내었다. 도 1의 (A) 내지 (F) 등에 나타낸 트랜지스터(200)의 자세한 사항에 대해서는 후술한다.
- [0058] 도 3의 (A), (C), 및 (D)에는 도 1의 (D) 및 (E) 등에 나타낸 트랜지스터(200)와 본 발명의 일 형태의 용량 소

자를 포함하는 구성의 예를 나타내었다.

[0059] <기억 장치의 구성예>

[0060] 도 3의 (A) 내지 (D)를 사용하여 트랜지스터 및 용량 소자를 갖는 기억 장치의 구성에 대하여 설명한다. 본 발명의 일 형태의 기억 장치는 메모리 셀을 갖는다. 본 발명의 일 형태의 기억 장치는 매트릭스로 배치된 복수의 메모리 셀을 갖는 것이 바람직하다.

[0061] 도 3의 (A)는 트랜지스터(200) 및 용량 소자(100)를 갖는 기억 장치의 평면도이고, 도 3의 (C)는 도 3의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 도 3의 (D)는 도 3의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 3의 (A)의 평면도에서는 트랜지스터(200)가 갖는 구성 요소 중 도전체(240), 도전체(242), 도전체(260), 및 도전체(262)만을 나타내고, 다른 요소를 생략하였다. 또한 도 3의 (A)에서는 도면의 명료화를 위하여 용량 소자(100)의 일부 요소(예를 들어 절연체 등)도 생략하였다.

[0062] 또한 본 명세서에 따른 도면 등에 있어서, X방향, Y방향, 및 Z방향을 나타내는 화살표를 붙인 경우가 있다. 또한 본 명세서 등에 있어서, 'X방향'이란 X축을 따른 방향이고, 명시되는 경우를 제외하고 순방향과 역방향을 구별하지 않는 경우가 있다. 'Y방향' 및 'Z방향'에 대해서도 마찬가지이다. 또한 X방향, Y방향, 및 Z방향은 각각 서로 교차한다. 예를 들어 X방향, Y방향, 및 Z방향은 각각 서로 직교한다. 본 명세서 등에서는 X방향, Y방향, 및 Z방향 중 하나를 '제 1 방향'이라고 부르는 경우가 있다. 또한 다른 하나를 '제 2 방향'이라고 부르는 경우가 있다. 또한 나머지 하나를 '제 3 방향'이라고 부르는 경우가 있다.

[0063] 도 3의 (A), (C), 및 (D)에 나타낸 기억 장치는 기판(도시하지 않았음) 위의 절연체(140)와, 절연체(140) 위의 트랜지스터(200)와, 트랜지스터(200) 위의 용량 소자(100)를 갖는다. 용량 소자(100)와 트랜지스터(200)를 조합함으로써 메모리 셀(150)을 구성할 수 있다.

[0064] 도 3의 (A), (C), 및 (D)에 나타낸 바와 같이, 트랜지스터(200)는 용량 소자(100)와 중첩되도록 제공된다. 또한 트랜지스터(200)의 구성 요소의 적어도 일부는 용량 소자(100)의 구성 요소의 적어도 일부와 중첩되는 영역을 갖는다. 예를 들어 도전체(120)는 도전체(260)와 중첩되는 영역을 갖는 것이 바람직하다. 이러한 구성으로 함으로써 평면에서 보았을 때의 점유 면적을 크게 증가시키지 않고 트랜지스터(200) 및 용량 소자(100)를 제공할 수 있다. 이로써 메모리 셀(150)의 점유 면적을 저감할 수 있기 때문에, 메모리 셀(150)을 고밀도로 배치하고, 기억 장치의 기억 용량을 크게 할 수 있다. 바꿔 말하면 기억 장치를 고집적화할 수 있다.

[0065] 도전체(120) 및 도전체(260)를 평면에서 보았을 때의 면적을 작게 함으로써 메모리 셀(150)을 고밀도로 배치하여, 기억 장치의 용량을 크게 할 수 있다. 도전체(120)의 면적 및 도전체(260)의 면적을 얼마나 작게 할 수 있는지는 기억 장치의 제작에 사용하는 노광 장치의 한계 해상도, 가공 조건, 성막 조건 등에 의존한다. 도전체(120)를 평면에서 보았을 때의 면적을 예를 들어 기억 장치의 제작에서 실현할 수 있는 최소의 면적으로 함으로써, 용량 소자(100)를 평면에서 보았을 때의 점유 면적이 작아진다. 따라서 메모리 셀(150)을 매우 높은 밀도로 배치할 수 있는 경우가 있다. 또한 도전체(260)를 평면에서 보았을 때의 면적을 예를 들어 기억 장치의 제작에서 실현할 수 있는 최소의 면적으로 함으로써, 트랜지스터(200)를 평면에서 보았을 때의 점유 면적이 작아진다. 따라서 메모리 셀(150)을 매우 높은 밀도로 배치할 수 있는 경우가 있다.

[0066] 본 발명의 일 형태에 있어서 도전체(120) 및 도전체(260)는 예를 들어 기둥(필러) 형상의 영역을 갖는다(기둥인 영역을 갖거나 기둥 형상을 갖는다고도 함). 도 3의 (A), (C), 및 (D)에는 도전체(120)와 도전체(260)가 모두 기둥 형상을 갖는 예를 나타내었다. 또한 도 3의 (A), (C), 및 (D)에서 도전체(120)의 축 및 도전체(260)의 축은 각각 Z방향을 따른다. 도전체(120) 및 도전체(260)는 예를 들어 축이 Z방향을 따르는 기둥인 것이 바람직하다. 또는 예를 들어 축이 Z방향을 따르는 기둥 형상의 영역을 갖는 것이 바람직하다. 또한 축이 Z방향을 따르는 기둥에서는 예를 들어 기둥의 상면 및 하면은 각각 Z방향에 수직이다. 여기서 Z방향을 따르는 기둥에서 기둥의 축은 예를 들어 기둥의 상면 형상의 중심(重心)을 통과하여 Z방향을 따르는 선이다. Z방향을 따르는 원기둥의 경우, 예를 들어 기둥의 중심은 상면의 원에서의 중심(中心)을 통과하여 Z방향을 따르는 직선이다. 또한 기둥의 축은 Z방향을 대략 따르는 것이 바람직하고, 곡선 등을 포함하여도 좋다. 도 3의 (A)에는 도전체(120)와 도전체(260)가 원기둥인 예를 나타내었다. 또한 도 3의 (A)에는 도전체(120)의 상면 형상과 도전체(260)의 상면 형상이 모두 원형이고, 또한 직경이 실질적으로 같은 예를 나타내었지만, 도전체(120)의 직경과 도전체(260)의 직경은 상이하여도 좋다. 또한 도 3의 (A)에는 도전체(120)의 상면 형상과 도전체(260)의 상면 형상이 원형이고, 또한 원의 중심 위치가 실질적으로 일치하는 예를 나타내었지만, 도전체(120)의 중심 위치와 도전체(260)의 중심 위치는 상이하여도 좋다. 또한 도전체(120)의 상면 형상과 도전체(260)의 상면 형상은 각각 원형

에 한정되지 않는다. 상면 형상은 타원형, 다각형, 곡선과 직선으로 이루어지는 도형 등, 다양한 형상을 가질 수 있다. 예를 들어 도전체가 다각 기둥인 경우, 상면 형상은 다각형이다. 또한 여기서는 다각 기둥에 삼각 기둥, 사각 기둥도 포함되는 것으로 한다. 도전체(120) 및 도전체(260)에서 기둥의 폭을 1로 하는 경우, 예를 들어 기둥 형상의 높이가 1보다 높은 것이 바람직하다. 또한 기둥의 폭을 예를 들어 상면의 면적을 환산하여 산출된 면적에 대응하는 원의 직경으로 하는 것이 바람직하다. 또는 예를 들어 기둥의 단면에서의 단면의 폭이 가장 넓은 위치에서 기둥의 폭을 측정하는 것이 바람직하다.

[0067] 또는 본 발명의 일 형태에 있어서 도전체(120) 및 도전체(260)는 예를 들어 뿔 형상의 영역을 가져도 좋다(뿔 형상인 영역을 가져도 좋거나 뿔 형상을 가져도 좋다고도 함). 또는 본 발명의 일 형태에 있어서 도전체(120) 및 도전체(260)는 예를 들어 추체인 영역 또는 추상체(錐狀體)인 영역을 가져도 좋다.

[0068] 여기서 본 명세서 등에 있어서, 어떤 구성 요소의 상면 형상이란 평면에서 보았을 때의 상기 구성 요소의 윤곽 형상을 말한다. 또한 평면에서 보다란 상기 구성 요소의 피형성면 또는 상기 구성 요소가 형성되는 지지체(예를 들어 기판)의 표면의 법선 방향에서 보는 경우를 말한다.

[0069] 본 실시형태에서 설명하는 기억 장치에 따른 회로도를 도 3의 (B)에 나타내었다. 메모리 셀(150)은 트랜지스터(Tr)와 용량 소자(C)를 갖는다. 여기서 트랜지스터(Tr)는 도 3의 (A), (B), 및 (D) 등에 나타낸 트랜지스터(200)에 대응하고, 용량 소자(C)는 도 3의 (A), (B), 및 (D) 등에 나타낸 용량 소자(100)에 대응한다. 즉 도 3의 (A), (C), 및 (D)에 나타낸 구성은 기억 장치의 메모리 셀로서 기능한다.

[0070] 트랜지스터(Tr)의 소스 및 드레인 중 한쪽은 용량 소자(C)의 한 쌍의 전극 중 한쪽과 접속된다. 트랜지스터(Tr)의 소스 및 드레인 중 다른 쪽은 배선(BL)과 접속된다. 트랜지스터(Tr)의 게이트는 배선(WL)과 접속된다. 용량 소자(C)의 한 쌍의 전극 중 다른 쪽은 배선(PL)과 접속된다.

[0071] 여기서 배선(BL)은 도전체(242)에 대응하고, 배선(WL)은 도전체(262)에 대응하고, 배선(PL)은 도전체(110)에 대응한다. 도 3의 (A), (C), 및 (D)에 나타낸 바와 같이, 도전체(262)는 Y방향으로 연장되어 제공되고, 도전체(242)는 X방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써 배선(BL)과 배선(WL)은 서로 교차하여 제공된다. 또한 도 3의 (A)에서는 배선(PL)(도전체(110))이 면 형상으로 제공되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어 배선(PL)은 배선(WL)(도전체(260))에 평행하게 제공되어도 좋고, 배선(BL)(도전체(240))에 평행하게 제공되어도 좋다.

[0072] [트랜지스터(200)]

[0073] 도 1의 (A)는 트랜지스터(200)의 평면도이고, 도 1의 (B)는 도 1의 (A)에 나타낸 구성의 일부를 확대하여 나타낸 도면이다. 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 도 1의 (D)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 1의 (A) 등의 평면도에서는 트랜지스터(200)가 갖는 구성 요소 중 도전체(240), 도전체(242), 도전체(260), 및 도전체(262)만을 나타내고, 다른 요소를 생략하였다.

[0074] 도 1의 (A) 내지 (D)에 나타낸 바와 같이 트랜지스터(200)는 도전체(260)와, 산화물 반도체(230)와, 도전체(242)와, 도전체(240)와, 절연체(250)를 갖는다. 도전체(260)는 트랜지스터(200)의 게이트 전극으로서 기능한다. 산화물 반도체(230)는 트랜지스터(200)의 채널 형성 영역으로서 기능한다. 도전체(240)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전체(242)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 절연체(250)는 트랜지스터(200)의 게이트 절연체로서 기능한다.

[0075] 도전체(260)는 예를 들어 기둥 형상의 영역을 갖는다. 도 1의 (A) 내지 (D)에는 도전체(260)가 원기둥 형상을 갖는 예를 나타내었다. 산화물 반도체(230)는 도전체(260)의 측면과 대향하도록 배치되는 영역을 갖는다. 절연체(250)는 도전체(260)의 측면과 접촉하는 영역을 갖는 것이 바람직하고, 상기 영역에서 예를 들어 도전체(260)와 산화물 반도체(230) 사이에 끼워진다. 산화물 반도체(230)는 절연체(250)를 개재하여 도전체(260)의 주위를 둘러싸도록 배치된다. 도 1의 (A) 내지 (D)에 나타낸 구성에서 절연체(250)는 통 형상의 영역을 갖고, 상기 영역으로 도전체(260)를 둘러싼다. 예를 들어 절연체(250)는 도전체(260)가 갖는 기둥 형상의 영역의 외측을 둘러싸도록 배치된다고 표현할 수 있다. 여기서 상면도에서 절연체(250)는 예를 들어 도전체(260)의 외측에 배치된다. 도 1의 (A) 내지 (D)에 나타낸 구성에서 산화물 반도체(230)는 통 형상의 영역을 갖고, 상기 영역으로 도전체(260)를 둘러싼다. 예를 들어 산화물 반도체(230)는 도전체(260)가 갖는 기둥 형상의 영역의 외측을 둘러싸도록 배치된다고 표현할 수 있다. 여기서 도 1의 (A)에 나타낸 상면도에서 산화물 반도체(230)는 예를 들어 도전체(260)의 외측에 배치된다. 또한 도 1의 (A)에 나타낸 상면도에서 도전체(260)는 산화물 반도체

체(230)로 둘러싸여 있다. 또한 도 1의 (A) 내지 (D)에서 산화물 반도체(230)는 중공 원통 형상을 갖는다고 표현할 수 있다. 여기서 중공 원통이란 제 1 원기둥을 제 2 원기둥으로 둘러싼 구성을 가리키고, 제 1 원기둥의 중심과 제 2 원기둥의 중심은 같고, 제 2 원기둥은 제 1 원기둥보다 직경이 작다. 도전체(260)는 산화물 반도체(230)의 중공 원통 형상을 갖는 영역에서의 중공 부분에 배치된다고 표현할 수도 있다. 여기서 통 형상의 구성이란 예를 들어 제 1 기둥을 제 2 기둥으로 둘러싼 구성을 갖는다. 또한 제 1 기둥의 축과 제 2 기둥의 축은 같아도 좋고, 상이하여도 좋다.

[0076] 여기서 상면에서 보았을 때 기둥은 상부, 중간부, 하부 등, 상이한 높이에서 실질적으로 같은 형상을 갖는 것이 바람직하다. 그러나 기둥에서는 그 높이에 따라 상면(예를 들어 Z방향에서 보았을 때의 단면)의 형상이 상이한 경우가 있다. 예를 들어 상기 형상은 중간부에 가까워질수록 상면에서 보았을 때의 면적이 커지고, 위쪽 바닥부에 가까워질수록 면적이 다시 작아지는 볼록한 형상이어도 좋다. 또는 기둥의 측면은 요철을 가져도 좋다.

[0077] 기관(도시하지 않았음) 위에는 절연체(140)가 배치되고, 절연체(140) 위에는 절연체(141) 및 도전체(262)가 배치된다. 도전체(262)는 예를 들어 절연체(141)가 갖는 개구를 매립하도록 제공된다. 도전체(262) 위에는 도전체(260)가 배치된다. 도전체(260)는 도전체(262)의 상면과 접촉하도록 제공되는 것이 바람직하다. 절연체(140)로서는 후술하는 [절연체]의 항목에 기재되는 절연체를 단층 또는 적층으로 사용할 수 있다.

[0078] 도전체(262) 위 및 절연체(141) 위에는 절연체(142)가 배치되고, 절연체(142) 위에는 도전체(242) 및 절연체(143)가 배치된다. 도전체(242)는 예를 들어 절연체(143)가 갖는 개구(142p)를 매립하도록 제공된다. 도전체(260)는 절연체(142)가 갖는 개구(142p) 내에 배치되는 영역과, 도전체(242)가 갖는 개구(242p) 내에 배치되는 영역과, 주위가 산화물 반도체(230)로 둘러싸이는 영역을 갖는다. 도전체(260)는 도전체(242)가 갖는 개구(242p)를 관통한다고 표현할 수 있다.

[0079] 절연체(250)는 도전체(260)와 도전체(242) 사이에 끼워지는 영역을 갖는다. 도전체(260)와 도전체(242)는 절연체(250)에 의하여 전기적으로 절연되는 것이 바람직하다.

[0080] 또한 절연체(142)는 절연체(250)와 같은 재료를 사용하여 형성된 하나의 연속된 층이어도 좋다.

[0081] 절연체(250)로서는 후술하는 [절연체]의 항목에 기재되는 절연체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 절연체(250)로서 산화 실리콘 또는 산화질화 실리콘을 사용할 수 있다. 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[0082] 또한 절연체(250)로서 후술하는 [절연체]의 항목에 기재되는 비유전율이 높은 재료, 소위 high-k 재료를 사용하여도 좋다. 예를 들어 산화 하프늄 또는 산화 알루미늄 등을 사용하여도 좋다.

[0083] 절연체(250)의 막 두께를 0.5nm 이상 15nm 이하로 하는 것이 바람직하고, 0.5nm 이상 12nm 이하로 하는 것이 더 바람직하고, 0.5nm 이상 10nm 이하로 하는 것이 더 바람직하다. 절연체(250)는 적어도 일부에서 상기와 같은 막 두께의 영역을 갖는 것이 바람직하다.

[0084] 절연체(250) 내의 물, 수소 등의 불순물의 농도는 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 대한 물, 수소 등의 불순물의 혼입을 억제할 수 있다.

[0085] 도전체(260)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(260)에 사용할 수 있다.

[0086] 또한 도전체(260)로서 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 갖는 도전성 재료 등을 사용하는 것이 바람직하다. 상기 도전성 재료로서 질소를 포함하는 도전성 재료(예를 들어 질화 타이타늄 또는 질화 탄탈럼 등) 및 산소를 포함하는 도전성 재료(예를 들어 산화 루테튬 등) 등을 들 수 있다. 이로써 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다.

[0087] 또한 도전체(242)는 산화물 반도체(230)와 접촉하는 영역을 갖기 때문에, 후술하는 [도전체]의 항목에 기재되는 산소를 포함하는 도전성 재료가 사용되는 것이 바람직하다. 산소를 포함하는 도전성 재료를 도전체(242)에 용함으로써, 도전체(242)가 산화물 반도체(230)로부터 산소를 흡수하여도 도전성을 유지할 수 있다. 도전체(242)로서 예를 들어 인듐 주석 산화물(ITO라고도 함), 실리콘을 첨가한 인듐 주석 산화물(ITSO라고도 함), 인듐 아연 산화물(IZO(등록 상표)라고도 함) 등을 단층 또는 적층으로 사용할 수 있다.

[0088] 또한 산화물 반도체(230)와 도전체(242)가 접촉함으로써, 금속 화합물 또는 산소 결손이 형성되어, 산화물 반도체(230)에서 도전체(242)와 접촉하는 영역 및 그 근방의 영역이 저저항화된다. 도전체(242)와 접촉하는 산화물

반도체(230)가 저저항화됨으로써, 산화물 반도체(230)와 도전체(242)의 접촉 저항을 저감할 수 있다.

- [0089] 도 1의 (A) 내지 (D)에는 도전체(260)가 원기둥 형상을 갖는 예를 나타내었지만, 도전체(260)의 형상을 타원기둥, 다각 기둥 등의 다양한 기둥 형상으로 할 수 있다.
- [0090] 또한 도전체(260)가 갖는 영역의 형상은 기둥 형상에 한정되지 않는다. 예를 들어 도전체(260)는 원뿔, 타원뿔, 다각뿔 등의 뿔 형상의 영역(추체인 영역 또는 추상체인 영역이라고 하는 경우가 있음)을 가져도 좋다. 또한 도전체(260)의 형상은 예를 들어 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상의 바닥면을 갖는 기둥 형상 또는 뿔 형상이어도 좋다.
- [0091] 또한 뿔 형상에서 예를 들어 상면에서 보았을 때의 형상은 바닥면(여기서는 도전체(262)의 상면에 가까운 면)에서 그 면적이 크고, 상단에 가까워질수록 면적이 서서히 작아진다. 또한 뿔 형상은 요철 측면을 가져도 좋다. 또한 도전체(260)는 바늘 형상을 가져도 좋다. 여기서 바늘 형상이란 선단일수록(상단에 가까워질수록) 가늘어지는 형상을 가리킨다. 또한 바늘 형상의 선단은 예각을 가져도 좋고, 아래로 볼록한 곡면 형상을 가져도 좋다. 또한 바늘 형상 중 선단이 예각인 형상을 V자 형상이라고 불러도 좋다.
- [0092] 산화물 반도체(230)는 도전체(242) 위에 배치된다. 또한 도전체(240)는 산화물 반도체(230) 위에 배치된다. 산화물 반도체(230)는 도전체(242)의 상면과 접촉하는 영역을 갖는 것이 바람직하다. 또한 도전체(240)는 산화물 반도체(230)의 상면과 접촉하는 영역을 갖는 것이 바람직하다.
- [0093] 도 1의 (A)에는 도전체(240)를 상면에서 보았을 때의 형상이 원형인 예를 나타내었다. 또한 상면에서 보았을 때의 도전체(240)의 형상은 원형에 한정되지 않고, 타원형, 다각형 등이어도 좋다. 또한 도전체(240)는 예를 들어 X방향 또는 Y방향으로 연장되어도 좋다.
- [0094] 도전체(240)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 도전체(240)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 갖는 도전성 재료 등을 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 질화 탄탈럼 등을 사용할 수 있다. 또한 예를 들어 질화 타이타늄 위에 질화 탄탈럼을 적층한 구조를 가져도 좋다. 이 경우, 질화 타이타늄이 트랜지스터(200)의 위층에 제공되는 구성(예를 들어 후술하는 도전체(120) 및 절연체(144))와 접촉하고, 질화 탄탈럼이 산화물 반도체(230)와 접촉한다. 이러한 구조로 함으로써, 산화물 반도체(230)로 인하여 도전체(120)가 과잉으로 산화되는 것을 억제할 수 있다. 또한 트랜지스터(200)의 위층에 제공되는 절연체(144) 등으로서 산화물 절연체를 사용하는 경우, 절연체(144) 등으로 인하여 도전체(240)가 과잉으로 산화되는 것을 억제할 수 있다. 또는 도전체(240)는 예를 들어 질화 타이타늄 위에 텅스텐을 적층한 구조를 가져도 좋다.
- [0095] 또한 도전체(240)는 산화물 반도체(230)와 접촉하는 영역을 갖기 때문에, 후술하는 [도전체]의 항목에 기재되는 산소를 포함하는 도전성 재료가 사용되는 것이 바람직하다. 산소를 포함하는 도전성 재료를 도전체(240)에 사용함으로써, 도전체(240)는 산소를 흡수하여도 도전성을 유지할 수 있다. 도전체(240)로서 예를 들어 인듐 주석 산화물(ITO라고도 함), 실리콘을 첨가한 인듐 주석 산화물(ITSO라고도 함), 인듐 아연 산화물(IZO(등록 상표)라고도 함) 등을 단층 또는 적층으로 사용할 수 있다.
- [0096] 또한 산화물 반도체(230)와 도전체(240)가 접촉함으로써, 금속 화합물 또는 산소 결손이 형성되어, 산화물 반도체(230)에서 도전체(240)와 접촉하는 영역 및 그 근방의 영역이 저저항화된다. 도전체(240)와 접촉하는 산화물 반도체(230)가 저저항화됨으로써, 산화물 반도체(230)와 도전체(240)의 접촉 저항을 저감할 수 있다.
- [0097] 도전체(262)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다.
- [0098] 트랜지스터(200)에서 도전체(260)와 도전체(240) 사이에는 절연체(251)가 배치된다. 절연체(251)를 제공함으로써 예를 들어 산화물 반도체(230)에 오프셋 영역을 제공할 수 있다. 여기서 오프셋 영역이란 산화물 반도체(230)에서 게이트 전계가 가해지기 어려운 영역을 가리킨다. 예를 들어 도 1의 (C) 및 (D)의 산화물 반도체(230)에서 도전체(260)보다 높이가 높은 영역이 오프셋 영역이 될 수 있다. 또는 산화물 반도체(230)의 중공 원통 형상을 갖는 영역에서 도전체(260)보다 높이가 높은 영역이 오프셋 영역이 될 수 있다.
- [0099] 절연체(251)는 도전체(240)와 도전체(260)의 전기적인 누설을 억제하는 기능을 갖는다. 또한 절연체(251)는 산화물 반도체(230), 도전체(240) 등을 형성하는 공정에서 도전체(260)의 에칭을 억제하는 보호층으로서 기능하는 경우가 있다.
- [0100] 절연체(251)로서 후술하는 [절연체]의 항목에 기재되는 절연체를 사용할 수 있다. 특히 산화 실리콘 또는 산화 질화 실리콘을 적합하게 사용할 수 있다. 또한 절연체(251)에 산화 하프늄, 산화 알루미늄, 산화 지르코늄, 산

화 마그네슘 등을 사용하여도 좋다.

- [0101] 산화물 반도체(230)의 외측에는 절연체(252)가 배치된다. 절연체(252)는 산화물 반도체(230)의 외측의 측면과 접촉하여 제공되는 것이 바람직하다.
- [0102] 도 1의 (C) 및 (D)에는 절연체(252)가 절연체(252a)와 절연체(252b)의 적층 구성을 갖는 예를 나타내었다. 절연체(252b)에는 예를 들어 절연체(250)와 같은 재료를 사용할 수 있다. 또한 절연체(252a)에는 예를 들어 후술하는 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 사용할 수 있다.
- [0103] 또는 절연체(252)를 적층 구조로 하지 않고, 단층 구조로 하여도 좋다. 예를 들어 트랜지스터(200)에는 절연체(252a) 또는 절연체(252b)를 제공하지 않아도 된다.
- [0104] 도 1의 (C) 및 (D)에서 산화물 반도체(230)는 도전체(240)의 측면을 덮는 영역을 갖는다. 산화물 반도체(230)는 도전체(240)의 측면과 접촉하는 영역을 갖는 것이 바람직하다. 또한 절연체(252b)는 산화물 반도체(230)를 개재하여 도전체(240)의 측면을 덮는 영역을 갖는다. 산화물 반도체(230)가 도전체(240)의 측면과 접촉하는 영역을 가짐으로써, 예를 들어 산화물 반도체(230)와 도전체(240)의 접촉 면적이 증대되어 접촉 저항을 저감할 수 있다. 또한 산화물 반도체(230)는 도전체(240)의 측면을 덮지 않아도 되고, 그 경우 예를 들어 절연체(252b) 또는 절연체(252a)가 도전체(240)의 측면과 접촉하는 것이 바람직하다.
- [0105] 또한 산화물 반도체(230)는 예를 들어 통 형상의 제 1 영역과, 통 형상의 제 2 영역을 갖고, 제 1 영역으로 도전체(260)를 둘러싸고, 제 2 영역으로 도전체(240)를 둘러싼다.
- [0106] 또한 채널 형성 영역 근방에 배치되는 절연체로서는 가열에 의하여 이탈되는 산소(이하 과잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 사용하는 것이 바람직하다. 과잉 산소를 포함하는 절연체에 열처리를 수행함으로써, 절연체로부터 산화물 반도체(230)의 채널 형성 영역에 산소를 공급하여, 산소 결손 및 V_{th} 를 저감할 수 있다. 이로써 트랜지스터(200)의 전기 특성을 안정적으로 하고 신뢰성을 향상시킬 수 있다.
- [0107] 도 1의 (E) 및 (F)에 나타난 구성은 각각 도 1의 (C) 및 (D)에 나타난 구성에 비하여, 산화물 반도체(230)와 도전체(242) 사이에 금속 산화물(231)을 갖는 점에서 상이하다.
- [0108] 또한 도 1의 (E) 및 (F)에 나타난 구성의 예에서는 도전체(262)가 도전체(262a)와 도전체(262b)의 적층 구조를, 도전체(242)가 도전체(242a)와 도전체(242b)의 적층 구조를, 도전체(240)가 도전체(240a)와 도전체(240b)의 적층 구조를 각각 갖는다. 또한 도 1의 (C) 및 (D) 등, 다른 구성예에서 도전체(262), 도전체(242), 도전체(240)는 각각 적층 구조를 가져도 좋다.
- [0109] 도전체(262a), 도전체(262b), 도전체(242a), 도전체(242b), 도전체(240a), 도전체(240b)에 사용할 수 있는 재료 등에 대해서는 후술하는 [도전체]의 항목을 참조할 수 있다.
- [0110] 금속 산화물(231)의 저항은 산화물 반도체(230)의 저항보다 낮은 것이 바람직하다. 또한 금속 산화물(231)의 저항은 예를 들어 도전체(242)의 저항보다 높다.
- [0111] 금속 산화물(231)의 저항은 산화물 반도체(230)의 저항보다 낮고, 예를 들어 금속 산화물(231)은 채널 형성 영역으로서 기능하지 않는다. 따라서 도 1의 (E) 및 (F)에 나타난 트랜지스터(200)는 도 1의 (C) 및 (D)에 나타난 트랜지스터(200)에 비하여 예를 들어 실효적인 채널 길이가 짧다.
- [0112] 트랜지스터(200)가 n형 채널 트랜지스터이고 도전체(242)가 드레인 전극으로서 기능하는 경우에는, 금속 산화물(231)을 가짐으로써 드레인 영역 근방에 높은 전계가 생기기 어려워져, 핫 캐리어의 발생을 억제하기 때문에, 트랜지스터의 열화를 억제할 수 있다.
- [0113] 또한 금속 산화물(231)에는 도전체(242)와의 옴 접촉을 얻을 수 있는 재료를 사용하는 것이 바람직하다. 이로써 금속 산화물(231)과 도전체(242)의 접촉 저항을 저감할 수 있고, 산화물 반도체(230)와 도전체(242)가 접촉하는 구성에 비하여 트랜지스터(200)의 온 전류를 높일 수 있는 경우가 있다.
- [0114] 도 1의 (E) 및 (F)에 나타난 트랜지스터(200)는 도전체(260)와, 산화물 반도체(230)와, 금속 산화물(231)과, 도전체(242)와, 도전체(240)와, 절연체(250)를 갖는다. 산화물 반도체(230)는 절연체(250)를 사이에 두고 도전체(260)의 측면과 대향하도록 배치되는 영역을 갖는다. 금속 산화물(231)은 절연체(250)를 사이에 두고 도전체(260)의 측면과 대향하도록 배치되는 영역을 갖는다. 절연체(250)는 도전체(260)와 산화물 반도체(230) 사이에 끼워지는 영역과, 도전체(260)와 금속 산화물(231) 사이에 끼워지는 영역을 갖는다. 금속 산화물(231)은 산화물 반도체(230)와 도전체(242) 사이에 배치된다. 금속 산화물(231)은 도전체(242)의 상면과 접촉하는 것이 바

람직하다. 또한 금속 산화물(231)은 산화물 반도체(230)와 접촉하는 것이 바람직하다. 또한 금속 산화물(231)과 산화물 반도체(230)는 하나의 연속된 막으로서 관찰되는 경우가 있다.

- [0115] 금속 산화물(231)과 산화물 반도체(230)는 공통되는 금속 원소를 갖는 것이 바람직하다. 예를 들어 산화물 반도체(230)로서 든 재료를 하나 또는 복수 조합하여 금속 산화물(231)로서 사용할 수 있다. 금속 산화물(231)에 대해서는 예를 들어 후술하는 [금속 산화물]의 항목을 참조할 수 있다. 특히 인듐 주석 산화물, 실리콘을 포함하는 인듐 주석 산화물, 아연 산화물, 주석 산화물, 타이타늄 산화물, 갈륨을 포함하는 아연 산화물, 알루미늄을 포함하는 아연 산화물 등을 적합하게 사용할 수 있다. 여기서 실리콘을 포함하는 인듐 주석 산화물에서 예를 들어 실리콘의 원자수는 인듐의 원자수를 100으로 한 경우 2 이상 25 이하인 것이 바람직하다.
- [0116] 또한 금속 산화물(231)에 사용할 수 있는 재료는 금속 산화물에 한정되지 않는다. 예를 들어 그래핀, 그래핀 화합물 등을 사용하여도 좋다. 또한 그래핀, 그래핀 화합물 등을 금속 산화물과 조합하여 사용할 수도 있다.
- [0117] 금속 산화물(231)은 절연체(250)를 개재하여 도전체(260)의 주위를 둘러싸도록 배치된다.
- [0118] 또한 금속 산화물(231)의 형성에는 ALD법 또는 스퍼터링법을 적합하게 사용할 수 있다. 금속 산화물(231)의 형성 방법의 자세한 사항에 대해서는 후술한다.
- [0119] 트랜지스터(200)의 채널 길이는 소스 영역과 드레인 영역 사이의 거리에 의존한다. 트랜지스터(200)의 채널 길이는 예를 들어 산화물 반도체(230)에서 채널이 형성되는 영역의 길이이다. 산화물 반도체(230)에서 채널이 형성되는 영역은 예를 들어 산화물 반도체(230)에서 도전체(260)와 대향하는 영역이다.
- [0120] 또한 산화물 반도체(230)에서 예를 들어 오프셋 영역은 채널 형성 영역에 포함되지 않는다.
- [0121] 도 2의 (A)에는 도 1의 (C)의 일부를 확대한 도면을 나타내었다. 또한 도 2의 (A)에는 산화물 반도체(230)의 저저항 영역인 영역(230n)과 i형 영역인 영역(230i)의 일례를 나타내었다.
- [0122] 트랜지스터(200)의 채널 길이를 예를 들어 도전체(242)와 도전체(240) 사이에 위치하는 산화물 반도체(230)에서 게이트 전극, 즉 여기서는 도전체(260)와 중첩되는 영역으로 할 수 있다. 따라서 도 2의 (A)에 나타낸 바와 같이 트랜지스터(200)의 채널 길이(Lg)를 예를 들어 산화물 반도체(230)에서 도전체(260)와 중첩되는 영역의 길이로서 나타낼 수 있다.
- [0123] 또한 산화물 반도체(230)에서 도전체(260)와 중첩되는 영역 중 영역(230i)의 길이를 길이(Li)로 한다. 예를 들어 길이(Li)가 트랜지스터(200)의 실효적인 채널 길이인 것으로 생각할 수 있다.
- [0124] 또한 도 2의 (A)에서 영역(Off)을 예를 들어 영역(230i)에서 도전체(260)와 중첩되지 않는 영역이라고 나타낼 수 있다. 영역(Off)을 오프셋 영역이라고 표현할 수 있다. 또한 영역(Off)은 절연체로부터 산화물 반도체(230)로 확산되는 산소의 양 또는 수소의 양에 따라 그 영역의 크기가 변화된다. 예를 들어 절연체(251)로부터 확산되는 수소의 양이 많은 경우에는 영역(Off)은 좁아지는 경우가 있다.
- [0125] 도 2의 (B)에는 도 1의 (E)의 일부를 확대한 도면을 나타내었다.
- [0126] 도 2의 (B)에서 트랜지스터(200)의 채널 길이를 예를 들어 도전체(242)와 도전체(240) 사이에 위치하는 산화물 반도체(230) 및 금속 산화물(231)에서 게이트 전극, 즉 여기서는 도전체(260)와 중첩되는 영역으로 할 수 있다. 따라서 도 2의 (B)에 나타낸 바와 같이 트랜지스터(200)의 채널 길이(Lg)를 예를 들어 산화물 반도체(230)에서 도전체(260)와 중첩되는 영역의 길이인 길이(Li)와, 금속 산화물(231)에서 도전체(260)와 중첩되는 영역의 길이인 길이(Lov)의 합으로서 나타낼 수 있다.
- [0127] 또한 금속 산화물(231)의 저항은 산화물 반도체(230)의 저항보다 낮은 것이 바람직하다. 금속 산화물(231)의 저항이 산화물 반도체(230)의 저항보다 낮은 경우, 채널 형성 영역에는 금속 산화물(231)이 포함되지 않는 경우가 있다. 이러한 경우에는 예를 들어 산화물 반도체(230)에서 도전체(260)와 중첩되는 영역의 길이, 즉 길이(Li)가 트랜지스터(200)의 실효적인 채널 길이인 것으로 생각할 수도 있다.
- [0128] 또한 도 2의 (A) 및 (B)에 나타낸 영역(230n) 및 영역(230i)은 일례이고, 산화물 반도체(230) 근방의 절연체, 도전체 등으로부터 수소가 확산되는 양, 절연체로부터 산소가 확산되는 양 등에 따라 각 영역이 변화된다. 또한 절연체(251)로부터 수소가 확산되는 양이 많은 경우에는 절연체(251) 근방의 산화물 반도체(230)는 저저항 영역이 되기 쉽고, 수소가 확산되는 양이 적은 경우 또는 산소가 확산되는 양이 많은 경우에는 예를 들어 절연체(251) 근방의 산화물 반도체(230)는 i형 영역이 되는 경우가 있다.

- [0129] 또한 트랜지스터(200)의 채널 길이는 예를 들어 도전체(242)와 도전체(240) 사이의 거리에 의존하여 변화된다. 도전체(242)와 도전체(240) 사이의 거리는 예를 들어 2개의 도전체 사이에 위치하는 절연체(252)의 높이에 따라 변화된다.
- [0130] 종래의 트랜지스터에서는 채널 길이가 포토리소그래피의 노광 한계로 설정되었지만, 본 발명에서는 예를 들어 도전체(240)의 높이, 절연체(252)의 높이, 도전체(242)의 상면과 도전체(240)의 하면의 거리 등으로 채널 길이를 설정할 수 있다. 따라서 트랜지스터(200)의 채널 길이를 포토리소그래피의 노광 한계 이하의 매우 미세한 구조(예를 들어 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하이고, 1nm 이상 또는 5nm 이상임)로 할 수 있다. 이로써 트랜지스터(200)의 온 전류가 커지고, 주파수 특성을 향상시킬 수 있다. 따라서 메모리 셀(150)의 판독 속도 및 기록 속도를 향상시킬 수 있기 때문에 동작 속도가 빠른 기억 장치를 제공할 수 있다.
- [0131] 또한 산화물 반도체(230), 절연체(250), 및 도전체(260)는 동심원상으로 제공된다. 따라서 중심에 제공된 도전체(260)의 측면은 절연체(250)를 개재하여 산화물 반도체(230)의 측면과 대향한다. 즉 평면에서 보았을 때 산화물 반도체(230)의 둘레 전체가 채널 형성 영역이 된다. 이때 예를 들어 산화물 반도체(230)의 외주의 길이에 따라 트랜지스터(200)의 채널 폭이 결정된다. 즉 트랜지스터(200)의 채널 폭 W 는 도전체(260)의 최대 직경 D (평면에서 보았을 때 도전체(260)가 원형인 경우에는 최대 직경)의 크기 및 절연체(250)의 두께에 따라 결정된다고 할 수 있다. 예를 들어 도전체(260)의 최대 직경 D 의 크기를 크게 함으로써, 단위 면적당 채널 폭을 크게 하고, 온 전류를 높일 수 있다.
- [0132] 포토리소그래피법으로 도전체(260)를 형성하는 경우, 도전체(260)의 최대 직경 D 는 포토리소그래피의 노광 한계로 설정된다. 도전체(260)의 최대 직경 D 는 예를 들어 0.5nm 이상, 3nm 이상, 또는 10nm 이상이고, 45nm 이하, 20nm 이하, 10nm 이하, 5nm 이하, 또는 3nm 이하인 것이 바람직하다. 또한 평면에서 보았을 때 도전체(260)가 원형인 경우, 도전체(260)의 최대 직경 D 는 도전체(260)의 직경에 상당하고, 채널 폭 W 는 ' $D \times \pi$ '로 산출할 수 있다.
- [0133] 또한 평면에서 보았을 때 원형이 되도록 도전체(260)를 형성함으로써, 산화물 반도체(230), 절연체(250), 및 도전체(260)는 동심원상으로 제공된다. 이로써 도전체(260)와 산화물 반도체(230) 사이의 거리가 실질적으로 균일하게 되기 때문에, 산화물 반도체(230)에 게이트 전계를 실질적으로 균일하게 인가할 수 있다.
- [0134] 반도체층에 산화물 반도체를 사용하는 트랜지스터의 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나 수소, 질소, 금속 원소 등의 불순물의 농도가 낮은 것이 바람직하다. 또한 산소 결손 근방의 수소가 산소 결손에 수소가 들어간 결함(이하 V_{H} 라고 부르는 경우가 있음)을 형성하고, 캐리어가 되는 전자를 생성하는 경우가 있기 때문에, 채널 형성 영역에서는 V_{H} 도 저감되어 있는 것이 바람직하다. 이와 같이 트랜지스터의 채널 형성 영역은 캐리어 농도가 낮은 고저항 영역이다. 따라서 트랜지스터의 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.
- [0135] 또한 반도체층에 산화물 반도체를 사용하는 트랜지스터의 소스 영역 및 드레인 영역은 채널 형성 영역보다 산소 결손이 많거나, V_{H} 가 많거나, 수소, 질소, 금속 원소 등의 불순물의 농도가 높기 때문에, 캐리어 농도가 증가되고 저저항화된 영역이다. 즉 트랜지스터의 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 캐리어 농도가 높고 저항이 낮은 n형 영역이다.
- [0136] 도전체(260)가 기둥 형상의 영역을 갖는 경우, 그 측면은 메모리 셀(150)이 제공되는 기관의 상면에 수직인 것이 바람직하다. 수직인 측면으로 함으로써 도전체(260)의 점유 면적을 작게 할 수 있어, 트랜지스터(200)를 사용하는 회로의 고집적화가 가능하다.
- [0137] 또는 도전체(260)의 측면은 테이퍼 형상을 가질 수도 있다. 도전체(260)가 뿔 형상의 영역을 갖는 경우, 도전체(260)의 측면은 예를 들어 테이퍼 형상을 갖는다. 예를 들어 도전체(260)의 측면이 테이퍼 형상을 가짐으로써 도전체(260)에 대한 절연체(250)의 피복성 및 절연체(250)에 대한 산화물 반도체(230)의 피복성을 높일 수 있다. 피복성을 높임으로써, 형성되는 층의 두께의 균일성이 향상된다. 또한 형성되는 층의 공동 등의 결함을 저감할 수 있다.
- [0138] 예를 들어 도전체(260)가 기둥 형상의 영역을 갖는 경우, 도전체(260)의 측면과 도전체(262)의 상면 또는 절연체(142)의 상면이 이루는 각도(A_n)는 90° 또는 그 근방인 것이 바람직하다. 예를 들어 각도(A_n)는 90° 인 것이 바람직하고, 85° 이상 95° 이하인 것이 바람직하다. 또는 각도(A_n)는 예를 들어 70° 이상 85°

미만이다.

- [0139] 각도(An)가 90° 보다 크면 도전체(260)의 형상은 테이퍼 형상이라고 불리는 경우가 있고, 각도(An)가 90° 미만이면 도전체(260)의 형상은 역 테이퍼 형상이라고 불리는 경우가 있다.
- [0140] 산화물 반도체(230)에 사용하는 금속 산화물의 밴드 갭은 예를 들어 2eV 이상인 것이 바람직하다. 특히 채널 형성 영역으로서 기능하는 산화물 반도체에서 밴드 갭은 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다. 산화물 반도체(230)에 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다. 오프 전류가 작은 트랜지스터를 메모리 셀에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작 빈도가 매우 낮기 때문에 기억 장치의 소비 전력을 충분히 저감할 수 있다. 또한 일반적인 DRAM에서는 리프레시 동작의 빈도를 약 1회/60msec로 할 필요가 있지만, 본 발명의 일 형태의 기억 장치에서는 리프레시 동작의 빈도를 약 1회/10sec로 10배 이상 또는 100배 이상으로 할 수 있다. 또한 본 발명의 일 형태의 기억 장치로 함으로써, 리프레시 동작은 1sec 이상 100sec 이하, 바람직하게는 5sec 이상 50sec 이하에 1회의 빈도로 할 수 있다.
- [0141] 또한 산화물 반도체(230)로서는 후술하는 [금속 산화물]의 항목에 기재되는 금속 산화물을 단층 또는 적층으로 사용할 수 있다.
- [0142] 산화물 반도체(230)로서 구체적으로는 $\text{In:M:Zn}=1:3:2$ [원자수비] 또는 그 근방의 조성, $\text{In:M:Zn}=1:3:4$ [원자수비] 또는 그 근방의 조성, $\text{In:M:Zn}=1:1:0.5$ [원자수비] 또는 그 근방의 조성, $\text{In:M:Zn}=1:1:1$ [원자수비] 또는 그 근방의 조성, $\text{In:M:Zn}=1:1:1.2$ [원자수비] 또는 그 근방의 조성, $\text{In:M:Zn}=1:1:2$ [원자수비] 또는 그 근방의 조성, 혹은 $\text{In:M:Zn}=4:2:3$ [원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하는 것이 바람직하다. 또한 근방의 조성이란, 원하는 원자수비의 $\pm 30\%$ 의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다.
- [0143] 또한 금속 산화물을 스퍼터링법에 의하여 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타겟의 원자수비이어도 좋다.
- [0144] 산화물 반도체(230)에 사용하는 금속 산화물의 조성의 분석에는 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectrometry), 유도 결합 플라즈마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라즈마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)을 사용할 수 있다. 또는 이들 방법 중 복수를 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향으로 인하여 분석에 의하여 얻어진 함유율이 실제의 함유율과 상이한 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮은 경우가 있다.
- [0145] 금속 산화물의 형성에는 스퍼터링법 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적합하게 사용할 수 있다. 또한 금속 산화물을 스퍼터링법에 의하여 형성하는 경우, 형성 후의 금속 산화물의 조성은 스퍼터링 타겟의 조성과 상이한 경우가 있다. 특히 아연은 형성 후의 금속 산화물에서의 함유율이 스퍼터링 타겟에 비하여 50% 정도까지 감소하는 경우가 있다.
- [0146] 산화물 반도체(230)는 결정성을 갖는 것이 바람직하다. 결정성을 갖는 산화물 반도체로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor), nc-OS(nanocrystalline oxide semiconductor), 다결정 산화물 반도체, 단결정 산화물 반도체 등을 들 수 있다. 산화물 반도체(230)로서 CAAC-OS 또는 nc-OS를 사용하는 것이 바람직하고, CAAC-OS를 사용하는 것이 특히 바람직하다.
- [0147] CAAC-OS는 복수의 층상 결정 영역을 갖고, c축이 피형성면의 법선 방향으로 배향되어 있는 것이 바람직하다. 예를 들어 산화물 반도체(230)는 절연체(250)의 측벽에 대하여 실질적으로 평행한 층상 결정을 갖는 것이 바람직하다. 이러한 구성으로 함으로써 트랜지스터(200)의 채널 길이 방향에 대하여 산화물 반도체(230)의 층상 결정이 실질적으로 평행하게 형성되기 때문에, 트랜지스터의 온 전류를 높일 수 있다.
- [0148] CAAC-OS는 결정성이 높고 치밀한 구조를 가지며, 불순물 및 결함(예를 들어 산소 결손 등)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400°C 이상 600°C 이하)에서 가열 처리함으로써, CAAC-OS를 결정성이 더 높고 치밀한 구조로 할 수 있다. 이와 같이, CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS 내의 불순물 또는 산소의 확산을 더 저감할 수 있다.
- [0149] 또한 CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일

어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 갖는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 갖는 금속 산화물은 열에 강하고 신뢰성이 높다.

- [0150] 또한 산화물 반도체(230)로서 CAAC-OS 등의 결정성을 갖는 산화물을 사용함으로써, 소스 전극 또는 드레인 전극에 의하여 산소가 산화물 반도체(230)로부터 추출되는 것을 억제할 수 있다. 이로써 열처리를 수행하여도 산화물 반도체(230)로부터 산소가 추출되는 것을 억제할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.
- [0151] 산화물 반도체(230)의 결정성은 예를 들어 X선 회절(XRD: XRay Diffraction), 투과형 전자 현미경(TEM: Transmission Electron Microscope), 또는 전자선 회절(ED: Electron Diffraction)에 의하여 해석할 수 있다. 또는 이들 방법 중 복수를 조합하여 분석을 수행하여도 좋다.
- [0152] 또한 도 1의 (C) 및 (D)에서는 산화물 반도체(230)를 단층으로 나타내었지만, 본 발명은 이에 한정되지 않는다. 산화물 반도체(230)는 화학 조성이 상이한 복수의 산화물층의 적층 구조를 가져도 좋다. 예를 들어 상기 금속 산화물에서 선택되는 복수 종류를 적절하게 적층하는 구조로 하여도 좋다. 또한 금속 산화물(231)도 마찬가지로 적층 구조를 가져도 좋다.
- [0153] 또한 산화물 반도체(230), 금속 산화물(231) 등에 사용하는 금속 산화물은 그 조성이 연속적으로 변화되어도 좋다. 예를 들어 ALD법으로 금속 산화물을 형성하는 경우에는 금속 원소를 갖는 층의 형성 횟수, 형성 시간 등에 따라 그 조성을 변화시킬 수 있다. 따라서 예를 들어 소스 전극 또는 드레인 전극에 가까워질수록 밴드 갭이 감소되도록 조성을 변화시켜도 좋다.
- [0154] 또는 금속 산화물(231)에 사용하는 재료의 도전율은 산화물 반도체(230)에 사용하는 재료의 도전율과 상이한 것이 바람직하다.
- [0155] 예를 들어 금속 산화물(231)에는 산화물 반도체(230)보다 도전율이 높은 재료를 사용할 수 있다. 소스 전극 또는 드레인 전극으로서 기능하는 도전체(242)와 접촉하는 금속 산화물(231)에 도전율이 높은 재료를 사용함으로써, 금속 산화물(231)과 도전체(242)의 접촉 저항을 낮출 수 있어, 온 전류가 높은 트랜지스터로 할 수 있다.
- [0156] 또한 금속 산화물(231)의 캐리어 농도는 산화물 반도체(230)의 캐리어 농도보다 높은 것이 바람직하다. 금속 산화물(231)의 캐리어 농도를 높임으로써 도전율이 높아지기 때문에, 금속 산화물(231)과 도전체(242)의 접촉 저항을 낮출 수 있어, 온 전류가 높은 트랜지스터로 할 수 있다. 또한 산화물 반도체(230)의 캐리어 농도를 낮춤으로써 도전율이 낮아지기 때문에, 노멀리 오프의 트랜지스터로 할 수 있다.
- [0157] 금속 산화물(231)에 사용하는 제 1 금속 산화물의 밴드 갭은 산화물 반도체(230)에 사용하는 제 2 금속 산화물의 밴드 갭과 상이한 것이 바람직하다. 예를 들어 제 1 금속 산화물의 밴드 갭과 제 2 금속 산화물의 밴드 갭의 차이는 0.1eV 이상인 것이 바람직하고, 0.2eV 이상인 것이 더 바람직하고, 0.3eV 이상인 것이 더 바람직하다.
- [0158] 금속 산화물(231)에 사용하는 제 1 금속 산화물의 밴드 갭을 산화물 반도체(230)에 사용하는 제 2 금속 산화물의 밴드 갭보다 작게 할 수 있다. 이로써 금속 산화물(231)과 도전체(242)의 접촉 저항을 낮출 수 있어, 온 전류가 높은 트랜지스터로 할 수 있다. 또한 트랜지스터(200)가 n채널형 트랜지스터인 경우에는 문턱 전압을 높일 수 있어, 노멀리 오프의 트랜지스터로 할 수 있다.
- [0159] 여기서는 제 1 금속 산화물의 밴드 갭이 제 2 금속 산화물의 밴드 갭보다 작은 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 금속 산화물의 밴드 갭은 제 2 금속 산화물의 밴드 갭보다 큰 경우도 있다.
- [0160] 상술한 바와 같이 제 1 금속 산화물의 밴드 갭을 제 2 금속 산화물의 밴드 갭보다 작게 할 수 있다. 제 1 금속 산화물의 조성은 제 2 금속 산화물의 조성과 상이한 것이 바람직하다. 제 1 금속 산화물과 제 2 금속 산화물의 조성을 상이하게 함으로써, 밴드 갭을 제어할 수 있다. 예를 들어 제 1 금속 산화물의 원소 M의 함유율은 제 2 금속 산화물의 원소 M의 함유율보다 낮은 것이 바람직하다. 구체적으로는 제 1 금속 산화물 및 제 2 금속 산화물을 In-M-Zn 산화물로 하는 경우, 제 1 금속 산화물을 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, 제 2 금속 산화물을 In:M:Zn=1:3:2[원자수비] 또는 그 근방의 조성으로 할 수 있다. 원소 M으로서는 갈륨, 알루미늄, 및 주석 중 하나 또는 복수를 사용하는 것이 특히 바람직하다.
- [0161] 제 1 금속 산화물은 원소 M을 포함하지 않아도 된다. 예를 들어 제 1 금속 산화물을 In-Zn 산화물로 하고, 제 2 금속 산화물을 In-M-Zn 산화물로 할 수 있다. 구체적으로는 제 1 금속 산화물을 In-Zn 산화물로 하고, 제 2

금속 산화물을 In-Ga-Zn 산화물로 할 수 있다. 더 구체적으로는 제 1 금속 산화물을 In:Zn=1:1[원자수비] 또는 그 근방의 조성, 혹은 In:Zn=4:1[원자수비] 또는 그 근방의 조성으로 하고, 제 2 금속 산화물을 In:Ga:Zn=1:1:1[원자수비] 또는 그 근방의 조성으로 할 수 있다.

[0162] 여기서 제 1 금속 산화물의 원소 M의 함유율이 제 2 금속 산화물의 원소 M의 함유율보다 낮은 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 금속 산화물의 원소 M의 함유율은 제 2 금속 산화물의 원소 M의 함유율보다 높은 경우도 있다. 또한 제 1 금속 산화물과 제 2 금속 산화물에서 조성이 상이한 것이 바람직하고, 원소 M 이외의 원소의 함유율이 상이하여도 좋다.

[0163] 산화물 반도체(230)의 막 두께 및 금속 산화물(231)의 막 두께는 각각 0.5nm 이상, 1nm 이상, 또는 3nm 이상이고, 20nm 이하, 10nm 이하, 8nm 이하, 또는 5nm 이하인 것이 바람직하다. 여기서 산화물 반도체(230)의 막 두께 및 금속 산화물(231)의 막 두께란 예를 들어 절연체(250)의 측면을 피형성면으로 한 경우의 막 두께를 가리킨다.

[0164] 절연체(252a) 및 절연체(252b) 중 적어도 한쪽으로는 산소를 포함하는 절연체를 사용할 수 있다. 절연체(252a) 및 절연체(252b) 중 적어도 한쪽의 산소의 함유량을 많게 함으로써, 산화물 반도체(230)에서의 절연체(252)와 접촉하는 영역과 그 근방에 i형 영역을 형성하기 쉬워진다.

[0165] 또한 절연체(252a) 및 절연체(252b) 중 적어도 한쪽으로는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 더 바람직하다. 트랜지스터(200)의 제작 공정 중에 가해지는 열에 의하여 절연체(252a) 또는 절연체(252b)가 산소를 방출함으로써 산화물 반도체(230)에 산소를 공급할 수 있다. 절연체(252)로부터 산화물 반도체(230), 특히 산화물 반도체(230)의 채널 형성 영역에 산소를 공급함으로써, 산화물 반도체(230) 내의 산소 결손 및 V_{th} 를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0166] 예를 들어 산소를 포함하는 분위기하에서의 가열 처리 또는 산소를 포함하는 분위기하에서의 플라즈마 처리를 수행함으로써, 절연체(252a) 또는 절연체(252b)에 산소를 공급할 수 있다. 또한 산소 분위기하에서 스퍼터링법에 의하여 절연체(252a) 또는 절연체(252b)의 상면에 산화물막을 성막함으로써 산소를 공급하여도 좋다. 그 후, 상기 산화물막을 제거하여도 좋다.

[0167] 절연체(252a) 또는 절연체(252b)를 스퍼터링법 또는 플라즈마 화학 기상 퇴적(PECVD: Plasma Enhanced Chemical Vapor Deposition)법 등의 성막 방법으로 형성하는 것이 바람직하다. 특히 스퍼터링법에서 수소를 포함하지 않는 성막 가스를 사용함으로써, 수소의 함유량이 매우 적은 막으로 할 수 있다. 그러므로 산화물 반도체(230)에 수소가 공급되는 것이 억제되어, 트랜지스터(200)의 전기 특성을 안정화시킬 수 있다.

[0168] 트랜지스터(200)의 채널 길이가 짧은 경우, 채널 형성 영역의 산소 결손 및 V_{th} 가 전기 특성 및 신뢰성에 미치는 영향이 특히 커진다. 절연체(252a) 또는 절연체(252b)로부터 산화물 반도체(230)에 산소를 공급함으로써, 적어도 산화물 반도체(230)에서 절연체(252a) 또는 절연체(252b)와 접촉하는 영역 또는 근방의 영역에서 산소 결손 및 V_{th} 가 증가되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 채널 길이가 짧은 트랜지스터를 실현할 수 있다.

[0169] 또한 절연체(252a) 및 절연체(252b) 중 적어도 한쪽으로서, 후술하는 [절연체]의 항목에 기재되는, 수소를 포획하는 기능 또는 수소를 고착하는 기능을 갖는 절연체를 사용하여도 좋다. 이러한 구성으로 함으로써 산화물 반도체(230)의 수소를 포획하거나 고착하여 산화물 반도체(230)의 수소 농도를 저감할 수 있다. 수소를 포획하거나 수소를 고착하는 기능을 갖는 절연체로서는 산화 마그네슘 또는 산화 알루미늄 등을 사용할 수 있다.

[0170] 또한 절연체(252a)를 적층 구조로 하여도 좋다. 예를 들어 산소를 방출하는 절연체와, 산소에 대한 배리어성을 갖는 절연체의 적층 구조로 할 수도 있다. 예를 들어 산소를 방출하는 절연체의 외측에 산소에 대한 배리어성을 갖는 절연체를 배치할 수 있다. 이로써 산소를 방출하는 절연체에 포함되는 산소의 외방 확산을 억제할 수 있다. 이로써 산화물 반도체(230)에 산소를 효과적으로 공급할 수 있다.

[0171] 또한 절연체(252a)를 적층 구조로 하여도 좋다. 예를 들어 산소를 방출하는 절연체와, 수소에 대한 배리어성을 갖는 절연체의 적층 구조로 할 수도 있다. 예를 들어 산소를 방출하는 절연체의 외측에 수소에 대한 배리어성을 갖는 절연체를 배치할 수 있다. 이로써 트랜지스터의 외부로부터 절연체(252)를 통하여 산화물 반도체(230)로 수소가 확산되는 것을 억제할 수 있다. 질화 실리콘막 및 질화산화 실리콘막은 이들 각각으로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 산소 및 수소를 투과시키기 어렵다는 특징을 갖기 때문에 적합하게 사용할 수 있다.

- [0172] 또한 절연체(252a)를 적층 구조로 하여도 좋다. 예를 들어 산소를 방출하는 절연체와, 수소를 포획하거나 수소를 고착하는 기능을 갖는 절연체의 적층 구조를 가질 수도 있다. 예를 들어 산소를 방출하는 절연체의 외측에 수소를 포획하거나 수소를 고착하는 기능을 갖는 절연체를 배치할 수 있다. 이로써 절연체(252)의 외측으로부터 산화물 반도체(230)로 수소가 확산되는 것을 억제하고, 산화물 반도체(230)의 수소를 포획하거나 고착하여 산화물 반도체(230)의 수소 농도를 저감할 수 있다. 수소를 포획하거나 수소를 고착하는 기능을 갖는 절연체로서는 산화 마그네슘, 산화 알루미늄, 또는 산화 하프늄 등을 사용할 수 있다. 또한 예를 들어 산화 알루미늄과 상기 산화 알루미늄 위의 질화 실리콘의 적층막을 사용하여도 좋다.
- [0173] [용량 소자(100)]
- [0174] 도 3의 (A), (C), 및 (D)에 나타난 용량 소자(100)는 도전체(120)와, 절연체(130)와, 도전체(110)를 갖는다. 도전체(120)는 한 쌍의 전극 중 한쪽(하부 전극이라고 부르는 경우가 있음)으로서 기능하고, 도전체(110)는 한 쌍의 전극 중 다른 쪽(상부 전극이라고 부르는 경우가 있음)으로서 기능하고, 절연체(130)는 유전체로서 기능한다. 즉 용량 소자(100)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.
- [0175] 도전체(120)는 도전체(240) 위에 제공된다. 도전체(120)는 도전체(240)의 상면과 접촉하는 영역을 갖는 것이 바람직하다. 도전체(120)는 도전체(240)와 전기적으로 접속된다.
- [0176] 도전체(120)는 예를 들어 원기둥, 타원기둥, 다각 기둥 등의 기둥 형상의 영역을 갖는다. 또한 도전체(120)는 예를 들어 원뿔, 타원뿔, 다각뿔 등의 뿔 형상의 영역을 가져도 좋다. 또한 도전체(120)의 형상은 예를 들어 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상의 바닥면을 갖는 기둥 형상 또는 뿔 형상이어도 좋다.
- [0177] 트렌치형 용량 소자의 경우에는 예를 들어 절연체 등에 제공된 개구부의 내벽을 피복하도록 도전체를 형성하고, 그 내측을 피복하도록 유전체를 형성한다. 이때 절연체 등에 제공된 개구부의 개구 직경이 작아지면, 개구의 바닥부 또는 바닥부로부터 측벽까지의 영역 등에서 피복성이 저하되는 경우가 있다. 도전체(120)를 기둥 형상 또는 뿔 형상으로 하고 도전체(120)의 외측에 유전체를 피복하는 구성을 사용함으로써 미세화에 대응할 수 있다.
- [0178] 또한 도 3의 (A), (B), 및 (D) 등에 나타난 용량 소자(100)는 필러형 용량 소자라고 불리는 경우가 있다.
- [0179] 또한 도전체(120)가 기둥 형상의 영역을 갖는 경우, 그 측벽은 메모리 셀(150)이 제공되는 기관의 상면에 수직인 것이 바람직하다. 수직인 측벽으로 함으로써 도전체(120)의 점유 면적을 작게 할 수 있어, 메모리 셀의 고 집적화가 가능하다. 도전체(120)가 기둥 형상의 영역을 갖는 경우, 도전체(120)의 측면과, 도전체(240)의 상면 또는 절연체(252a)의 상면이 이루는 각도는 60° 이상이고, 바람직하게는 70° 이상이고, 더 바람직하게는 80° 이상이고, 90° 이하인 것이 바람직하다.
- [0180] 또는 도전체(120)의 측벽은 테이퍼 형상을 가질 수도 있다. 도전체(120)가 뿔 형상의 영역을 갖는 경우, 도전체(120)의 측벽은 예를 들어 테이퍼 형상을 갖는다. 도전체(120)의 측벽을 테이퍼 형상으로 함으로써 도전체(120)에 대한 절연체(130)의 피복성 및 절연체(130)에 대한 도전체(110)의 피복성을 높일 수 있다.
- [0181] 도전체(120)의 높이를 높일수록, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 이와 같이 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써, 기억 장치의 판독 동작을 안정적으로 할 수 있다. 또한 기억 장치의 미세화 또는 고집적화를 추진할 수 있다.
- [0182] 도전체(120)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(120)에 사용할 수 있다.
- [0183] 또한 도전체(120)로서 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 갖는 도전성 재료 등을 사용하는 것이 바람직하다. 상기 도전성 재료로서 질소를 포함하는 도전성 재료(예를 들어 질화 타이타늄 또는 질화 탄탈럼 등) 및 산소를 포함하는 도전성 재료(예를 들어 산화 루테튬 등) 등을 들 수 있다. 이로써 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다.
- [0184] 절연체(130)는 도전체(120) 위에 제공된다. 절연체(130)는 도전체(120)의 상면 및 측면을 덮도록 제공된다. 또한 절연체(130)는 도전체(120)의 측면과 접촉하도록 제공되는 것이 바람직하다. 이로써 도전체(110)와 도전체(120)가 단락되는 것을 방지할 수 있다.
- [0185] 절연체(130)에 사용할 수 있는 구성, 재료 등에 대해서는 후술한다.
- [0186] 도 3의 (C) 및 (D)에 나타난 구성에서는 도전체(120) 위에 절연체(121)가 제공되어 있다. 절연체(121)는 도전

체(120)와 도전체(110) 사이에 위치한다. 또한 절연체(121)는 도전체(120)의 상면과 접촉하도록 제공되는 것이 바람직하다. 또한 절연체(121)와 도전체(120)를 조합한 구성은 예를 들어 기둥 형상의 영역을 갖는 것이 바람직하다. 또한 절연체(121)와 도전체(120)를 조합한 구성은 예를 들어 뿔 형상의 영역을 가져도 좋다.

[0187] 기둥 형상의 선단 또는 뿔 형상의 선단에서는 예를 들어 도전체(120)와 도전체(110) 사이의 전계가 집중되기 쉬운 경우가 있다. 또한 절연체(130)의 형성 조건, 막 두께 등에 따라서는 기둥 형상의 선단 또는 뿔 형상의 선단에서 예를 들어 절연체(130)의 피복성이 부족할 우려가 있다. 용량 소자(100)에서 도전체(120)와 도전체(110) 사이에 절연체(121)를 제공함으로써 전계의 집중 및 피복성의 부족 등으로 인한 도전체(120)와 도전체(110)의 전류 누설 등을 억제하여, 용량 소자(100)의 신뢰성을 높일 수 있다.

[0188] 또한 절연체(121)는 절연체(144) 등을 형성하는 공정에서 도전체(120)의 에칭을 억제하는 보호층으로서 기능하는 경우가 있다.

[0189] 절연체(121)로서 예를 들어 절연체(251)로서 적용할 수 있는 재료를 적절히 적용할 수 있다.

[0190] 또한 절연체(130)의 측단부는 도전체(110)의 측단부와 일치하는 구조로 하여도 좋다. 이러한 구조로 함으로써, 절연체(130)와 도전체(110)를 동일한 마스크를 사용하여 형성할 수 있어, 기억 장치의 제작 공정을 간략화할 수 있다.

[0191] 도전체(110)는 절연체(130) 위에 제공된다. 도전체(110)는 배선(PL)으로서 기능한다. 도전체(110)는 배선(PL)이 전기적으로 접속되는 복수의 메모리 셀(150)에 걸쳐 공통적으로 제공되어도 좋다. 도전체(110)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(110)에 사용할 수 있다. 이와 같이 도전성이 높은 도전성 재료를 사용함으로써, 도전체(110)의 도전성을 향상시켜, 배선(PL)으로서 충분히 기능시킬 수 있다.

[0192] 또한 도전체(110)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 갖는 도전성 재료 등을 단층 또는 적층으로 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 실리콘을 첨가한 인듐 주석 산화물 등을 사용하여도 좋다. 또는 예를 들어 텅스텐 위에 질화 타이타늄을 적층한 구조를 가져도 좋다. 또는 예를 들어 제 1 질화 타이타늄 위에 텅스텐을 적층하고, 상기 텅스텐 위에 제 2 질화 타이타늄을 적층한 구조를 가져도 좋다. 이러한 구조로 함으로써, 절연체(130)로서 산화물 절연체를 사용하는 경우, 절연체(130)로 인하여 도전체(110)가 산화되는 것을 억제할 수 있다.

[0193] 도 3의 (C) 및 (D)에 나타난 구성에서 절연체(130) 및 도전체(110)는 절연체(144)가 갖는 개구부 내에 제공되는 영역을 갖는다. 절연체(130)는 도전체(120)의 측면 및 상면과, 절연체(144)에 제공되는 개구의 바닥면 및 측면을 덮도록 제공된다. 또한 절연체(130)는 절연체(144)의 상면을 덮도록 제공된다.

[0194] 도전체(110)는 도전체(120)의 측면 및 상면을 덮도록 제공된다. 또한 도전체(110)는 절연체(144)에 제공되는 개구의 바닥면 및 측면을 덮도록 제공된다. 또한 도전체(110)는 절연체(144)의 상면을 덮도록 제공된다.

[0195] 절연체(130)는 도전체(110)와 절연체(144) 사이에 제공되는 영역을 갖는다. 예를 들어 절연체(130)를 사이에 두고 도전체(120)의 측면을 도전체(110)로 덮는다. 또한 예를 들어 절연체(121) 및 절연체(130)를 사이에 두고 도전체(120)의 상면을 도전체(110)로 덮는다. 또한 예를 들어 절연체(130)를 사이에 두고 절연체(144)에 제공되는 개구의 바닥면 및 측면을 도전체(110)로 덮는다.

[0196] 절연체(130)에는 후술하는 [절연체]의 항목에 기재되는 비유전율이 높은 재료, 소위 high-k 재료를 사용하는 것이 바람직하다. 절연체(130)에 high-k 재료를 사용함으로써, 누설 전류를 억제할 수 있을 정도로 절연체(130)를 두껍게 하고, 또한 용량 소자(100)의 정전 용량을 충분히 확보할 수 있다.

[0197] 또한 절연체(130)에는 high-k 재료로 이루어지는 절연층을 적층하여 사용하는 것이 바람직하고, 비유전율이 높은(high-k) 재료와 상기 high-k 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(130)로서는, 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같은 절연 내력이 비교적 큰 절연체를 적층하여 사용함으로써, 절연 내력이 향상되어 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0198] 또한 절연체(130)에 강유전성을 가질 수 있는 재료를 사용하여도 좋다. 강유전성을 가질 수 있는 재료로서는

산화 하프늄, 산화 지르코늄, HfZrO_x (x 는 0보다 큰 실수로 함) 등의 금속 산화물을 들 수 있다. 또한 강유전성을 가질 수 있는 재료로서는 산화 하프늄에 원소 J1(여기서의 원소 J1은 지르코늄, 실리콘, 알루미늄, 가돌리늄, 이트륨, 란타넘, 스트론튬 등에서 선택된 하나 또는 복수임)을 첨가한 재료를 들 수 있다. 여기서 하프늄 원자의 원자수와 원소 J1의 원자수의 비를 적절히 설정할 수 있고, 예를 들어 하프늄 원자의 원자수와 원소 J1의 원자수의 비를 1:1 또는 그 근방으로 하는 것이 바람직하다. 또한 강유전성을 가질 수 있는 재료로서는 산화 지르코늄에 원소 J2(여기서의 원소 J2는 하프늄, 실리콘, 알루미늄, 가돌리늄, 이트륨, 란타넘, 스트론튬 등에서 선택된 하나 또는 복수임)를 첨가한 재료 등을 들 수 있다. 또한 지르코늄 원자의 원자수와 원소 J2의 원자수의 비를 적절히 설정할 수 있고, 예를 들어 지르코늄 원자의 원자수와 원소 J2의 원자수의 비를 1:1 또는 그 근방으로 하는 것이 바람직하다. 또한 강유전성을 가질 수 있는 재료로서 타이타늄산 납(PbTiO_x), 타이타늄산 바륨 스트론튬(BST), 타이타늄산 스트론튬, 타이타늄산 지르콘산 연(PZT), 탄탈럼산 비스무트산 스트론튬(SBT), 비스무트 페라이트(BFO), 타이타늄산 바륨 등의 페로브스카이트 구조를 갖는 압전성 세라믹을 사용하여도 좋다.

[0199] 또한 강유전성을 가질 수 있는 재료로서는, 원소 M1과, 원소 M2와, 질소를 갖는 금속 질화물을 들 수 있다. 여기서 원소 M1은 알루미늄, 갈륨, 인듐 등에서 선택된 하나 또는 복수이다. 또한 원소 M2는 붕소, 스칸듐, 이트륨, 란타넘, 세륨, 네오디뮴, 유로퓸, 타이타늄, 지르코늄, 하프늄, 바나듐, 나이오븀, 탄탈럼, 크로뮴 등에서 선택된 하나 또는 복수이다. 또한 원소 M1의 원자수와 원소 M2의 원자수의 비를 적절히 설정할 수 있다. 또한 원소 M1과 질소를 포함하는 금속 산화물은 원소 M2를 포함하지 않아도 강유전성을 갖는 경우가 있다. 또한 강유전성을 가질 수 있는 재료로서는 상기 금속 질화물에 원소 M3이 첨가된 재료를 들 수 있다. 또한 원소 M3은 마그네슘, 칼슘, 스트론튬, 아연, 카드뮴 등에서 선택된 하나 또는 복수이다. 여기서 원소 M1의 원자수, 원소 M2의 원자수, 및 원소 M3의 원자수의 비를 적절히 설정할 수 있다.

[0200] 또한 강유전성을 가질 수 있는 재료로서는 SrTaO_2N , BaTaO_2N 등의 페로브스카이트형 산화질화물, κ 알루미나형 구조의 GaFeO_3 등을 들 수 있다.

[0201] 또한 앞의 설명에서는 금속 산화물 및 금속 질화물에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어 상술한 금속 산화물에 질소가 첨가된 금속 산화질화물 또는 상술한 금속 질화물에 산소가 첨가된 금속 질화산화물 등을 사용하여도 좋다.

[0202] 또한 강유전성을 가질 수 있는 재료로서는 예를 들어 위에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 혼합물 또는 화합물을 사용할 수 있다. 또는 절연체(130)를 위에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 적층 구조로 할 수 있다. 또한 위에서 열거한 재료 등은 성막 조건뿐만 아니라 각종 공정 등에 따라서도 결정 구조(특성)가 변화될 가능성이 있기 때문에, 본 명세서 등에서는 강유전성을 발현하는 재료를 강유전체라고만 부르지 않고 강유전성을 가질 수 있는 재료라고도 부른다.

[0203] 하프늄 및 지르코늄 중 한쪽 또는 양쪽을 포함하는 금속 산화물은 수nm 정도의 박막으로 가공하여도 강유전성을 가질 수 있기 때문에 바람직하다. 여기서 절연체(130)의 막 두께를 100nm 이하, 바람직하게는 50nm 이하, 더 바람직하게는 20nm 이하, 더 바람직하게는 10nm 이하(대표적으로는 2nm 이상 9nm 이하)로 할 수 있다. 예를 들어 막 두께를 8nm 이상 12nm 이하로 하는 것이 바람직하다. 박막화가 가능한 강유전체층으로 함으로써, 용량 소자(100)를 미세화된 트랜지스터 등의 반도체 소자에 조합하여 반도체 장치를 형성할 수 있다. 또한 본 명세서 등에 있어서 강유전성을 가질 수 있는 재료를 층상으로 한 것을 강유전체층, 금속 산화물막, 또는 금속 질화물막이라고 부르는 경우가 있다. 또한 본 명세서 등에 있어서 이러한 강유전체층, 금속 산화물막, 또는 금속 질화물막을 갖는 장치를 강유전체 디바이스라고 부르는 경우가 있다.

[0204] 또한 하프늄 및 지르코늄 중 한쪽 또는 양쪽을 포함하는 금속 산화물은 면적이 매우 작아도 강유전성을 가질 수 있기 때문에 바람직하다. 예를 들어 평면에서 보았을 때의 강유전체층의 면적(점유 면적)이 $100\mu\text{m}^2$ 이하, $10\mu\text{m}^2$ 이하, $1\mu\text{m}^2$ 이하, 또는 $0.1\mu\text{m}^2$ 이하인 경우에도 강유전성을 가질 수 있다. 또한 10000nm^2 이하 또는 1000nm^2 이하이어도 강유전성을 갖는 경우가 있다. 면적이 작은 강유전체층으로 하면, 용량 소자(100)의 점유 면적을 작게 할 수 있다.

[0205] 강유전체는 절연체이고, 외부로부터 전기장을 인가함으로써 내부에 분극이 발생하고, 또한 상기 전기장을 0로 하여도 분극이 잔존하는 성질을 갖는다. 그러므로 상기 재료를 유전체로서 사용한 용량 소자(이하 강유전체 커패시터라고 부르는 경우가 있음)를 사용하여 비휘발성 기억 소자를 형성할 수 있다. 강유전체 커패시터를 사용

한 비휘발성 기억 소자는 FeRAM(Ferroelectric Random Access Memory), 강유전체 메모리 등이라고 불리는 경우가 있다. 예를 들어 강유전체 메모리는 트랜지스터와 강유전체 커패시터를 갖고, 트랜지스터의 소스 및 드레인 중 한쪽이 강유전체 커패시터의 한쪽 단자와 전기적으로 접속된 구성을 갖는다. 따라서 용량 소자(100)로서 강유전체 커패시터를 사용하는 경우, 본 실시형태에서 설명하는 기억 장치는 강유전체 메모리로서 기능한다.

[0206] 또한 강유전성은 강유전체층에 포함되는 결정의 산소 또는 질소가 외부 전기장에 의하여 변위됨으로써 발현되는 것으로 알려져 있다. 또한 강유전성의 발현은 강유전체층에 포함되는 결정의 결정 구조에 의존하는 것으로 추정된다. 따라서 절연체(130)가 강유전성을 발현하기 위해서는 절연체(130)는 결정을 포함할 필요가 있다. 특히 절연체(130)로서 직방정계 결정 구조를 갖는 결정을 포함하면 강유전성이 발현되기 때문에 바람직하다. 또한 절연체(130)에 포함되는 결정의 결정 구조로서는 입방정계, 정방정계, 직방정계, 단사정계, 및 육방정계에서 선택되는 어느 하나 또는 복수이어도 좋다. 또한 절연체(130)는 비정질 구조를 가져도 좋다. 이때 절연체(130)를 비정질 구조와 결정 구조를 갖는 복합 구조로 하여도 좋다.

[0207] 절연체(144)는 층간막으로서 기능하기 때문에, 비유전율이 낮은 것이 바람직하다. 비유전율이 낮은 재료를 층간막으로 함으로써, 배선들 사이에 생기는 기생 용량을 저감할 수 있다. 절연체(144)로서는 후술하는 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 포함하는 절연체를 단층 또는 적층으로 사용할 수 있다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 이때 절연체(144)는 적어도 실리콘과 산소를 갖는다.

[0208] 또한 절연체(144)로서 후술하는 [절연체]의 항목에 기재되는 산소에 대한 배리어성을 갖는 절연체를 사용할 수도 있다. 이로써 산화물 반도체(230)로부터 산소가 이탈되는 것을 억제할 수 있다.

[0209] 또한 절연체(144)로서 후술하는 [절연체]의 항목에 기재되는 수소에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 이로써 절연체(130) 및 도전체(110)로부터 산화물 반도체(230)로 수소가 확산되는 것을 억제할 수 있다. 질화 실리콘 및 질화산화 실리콘은 각각 이들로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 산소 및 수소를 투과시키기 어려운 특징을 갖기 때문에, 적합하게 사용할 수 있다. 이때 절연체(144)는 적어도 실리콘과 질소를 갖는다.

[0210] 또한 절연체(144)로서 후술하는 [절연체]의 항목에 기재되는 수소를 포획하는 기능 또는 수소를 고착하는 기능을 갖는 절연체를 사용하는 것이 바람직하다. 이러한 구성으로 함으로써 절연체(130)의 수소를 포획하거나 고착하여 절연체(130)의 수소 농도를 저감할 수 있다. 예를 들어 산화 마그네슘, 산화 알루미늄, 또는 산화 하프늄 등을 적합하게 사용할 수 있다. 또한 예를 들어 절연체(144)로서 산화 알루미늄과, 상기 산화 알루미늄 위의 질화 실리콘의 적층막을 사용하여도 좋다.

[0211] 또한 절연체(144)가 2층 이상의 적층 구조를 가져도 좋다. 예를 들어 적층된 층 중 산화물 반도체(240) 측에 위치하는 층에 산소에 대한 배리어성을 갖는 절연체, 수소에 대한 배리어성을 갖는 절연체, 및 수소를 포획하거나 수소를 고착하는 기능을 갖는 절연체 등을 사용할 수 있고, 절연체(130) 측에 위치하는 층에 비유전율이 낮은 재료를 사용할 수 있다.

[0212] 도 4의 (A)는 2개의 트랜지스터(200)가 나란히 배열되고, 도전체(242)를 공유하는 기억 장치의 구성예를 나타낸 것이다. 각 트랜지스터(200) 위에는 용량 소자(100)가 하나씩 제공되고, 도전체(110)가 2개의 용량 소자(100)에서 공유되어 있다.

[0213] 또한 도 4의 (B)에는 2개의 용량 소자(100)에서 각 도전체(120)의 측면을 덮는 도전체(110)의 각 영역 사이에 절연체(144)가 배치되지 않는 예를 나타내었다.

[0214] <기억 장치의 구성 재료>

[0215] 이하에서는 기억 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0216] [기판]

[0217] 트랜지스터(200) 및 용량 소자(100)를 형성하는 기판으로서의 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하는 것이 바람직하다. 절연체 기판으로서의 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서의 예를 들어 실리콘, 저마늄을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 갖는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로

서는 흑연 기관, 금속 기관, 합금 기관, 도전성 수지 기관 등이 있다. 또는 금속의 질화물을 갖는 기관, 금속의 산화물을 갖는 기관 등이 있다. 또한 절연체 기관에 도전체 또는 반도체가 제공된 기관, 반도체 기관에 도전체 또는 절연체가 제공된 기관, 도전체 기관에 반도체 또는 절연체가 제공된 기관 등이 있다. 또는 이들 기관에 소자가 제공된 것을 사용하여도 좋다. 기관에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다. 또한 이들 기관에 트랜지스터를 갖는 회로가 제공된 것을 사용할 수 있다. 또한 이들 기관에 구동 회로 등의 회로가 제공된 것을 사용할 수 있다.

[0218] [절연체]

[0219] 절연체로서는 절연성을 갖는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0220] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하다. 한편으로 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 바람직하다. 또한 비유전율이 낮은 재료는 절연 내력이 큰 재료이기도 하다.

[0221] 비유전율이 높은(high-k) 재료로서는 예를 들어 산화 알루미늄, 산화 갈륨, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 하프늄 지르코늄 산화물, 알루미늄 및 하프늄을 갖는 산화물, 알루미늄 및 하프늄을 갖는 산화질화물, 실리콘 및 하프늄을 갖는 산화물, 실리콘 및 하프늄을 갖는 산화질화물, 그리고 실리콘 및 하프늄을 갖는 질화물 등이 있다.

[0222] 비유전율이 낮은 재료로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 및 질화산화 실리콘 등의 무기 절연 재료, 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 및 아크릴 등의 수지가 있다. 또한 비유전율이 낮은 다른 무기 절연 재료로서 예를 들어 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 그리고 탄소 및 질소를 첨가한 산화 실리콘 등이 있다. 또한 예를 들어 공공을 갖는 산화 실리콘이 있다. 또한 이들 산화 실리콘은 질소를 포함하여도 좋다.

[0223] 또한 금속 산화물을 사용한 트랜지스터는 불순물 및 산소의 투과를 억제하는 기능을 갖는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 불순물 및 산소의 투과를 억제하는 기능을 갖는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층하여 사용할 수 있다. 구체적으로는, 불순물 및 산소의 투과를 억제하는 기능을 갖는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0224] 또한 게이트 절연체 등 반도체층과 접촉하는 절연체 또는 반도체층 근방에 제공되는 절연체는 과잉 산소를 포함하는 영역을 갖는 절연체인 것이 바람직하다. 예를 들어 반도체층과 접촉하는 절연체, 또는 반도체층 근방에 제공되는 절연체를, 과잉 산소를 포함하는 영역을 갖는 절연체로 함으로써 반도체층이 갖는 산소 결손을 저감할 수 있다. 과잉 산소를 포함하는 영역을 형성하기 쉬운 절연체로서 산화 실리콘, 산화질화 실리콘, 또는 공공을 갖는 산화 실리콘 등을 들 수 있다.

[0225] 또한 산소에 대한 배리어성을 갖는 절연체로서는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물, 하프늄 및 실리콘을 포함하는 산화물(하프늄실리케이트), 산화 마그네슘, 산화 갈륨, 갈륨 아연 산화물, 인듐 갈륨 아연 산화물, 질화 실리콘, 그리고 질화산화 실리콘 등을 들 수 있다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미늄네이트) 등을 들 수 있다.

[0226] 또한 수소에 대한 배리어성을 갖는 절연체로서는 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 들 수 있다.

[0227] 산소에 대한 배리어성을 갖는 절연체, 및 수소에 대한 배리어성을 갖는 절연체는 산소 및 수소 중 한쪽 또는 양쪽에 대한 배리어성을 갖는 절연체라고 할 수 있다.

- [0228] 또한 수소를 포획하거나 고착하는 기능을 갖는 절연체로서 마그네슘을 포함하는 산화물 또는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물을 들 수 있다. 또한 이들 산화물은 비정질 구조를 갖는 것이 더 바람직하다. 비정질 구조를 갖는 산화물에서는 산소 원자가 땀글링 본드(dangling bond)를 갖고, 상기 땀글링 본드로 수소를 포획하거나 고착하는 성질을 갖는 경우가 있다. 또한 이들 금속 산화물은 비정질 구조인 것이 바람직하지만, 일부에 결정 영역이 형성되어 있어도 좋다.
- [0229] 또한 본 명세서 등에 있어서, 배리어 절연막이란, 배리어성을 갖는 절연막을 가리킨다. 또한 배리어성이란 대응하는 물질이 확산되기 어려운 성질(대응하는 물질이 투과하기 어려운 성질, 대응하는 물질에 대한 투과성이 낮은 성질, 또는 대응하는 물질의 확산을 억제하는 기능이라고도 함)을 가리킨다. 또한 대응하는 물질을 포획하거나 고착하는(캐터링이라고도 함) 기능을 배리어성이라고 바꿔 말할 수 있다. 또한 대응하는 물질로서 기재되는 경우의 수소는 예를 들어 수소 원자, 수소 분자, 그리고 물 분자 및 OH^- 등 수소와 결합된 물질 등 중 적어도 하나를 가리킨다. 또한 대응하는 물질로서 기재되는 경우의 불순물은 특별한 명시가 없는 한 채널 형성 영역 또는 반도체층에서의 불순물을 가리키고, 예를 들어 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등 중 적어도 하나를 가리킨다. 또한 대응하는 물질로서 기재되는 경우의 산소는 예를 들어 산소 원자, 산소 분자 등 중 적어도 하나를 가리킨다. 구체적으로는 산소에 대한 배리어성이란 산소 원자, 산소 분자 등 중 적어도 하나가 확산되기 어려운 성질을 가리킨다.
- [0230] [도전체]
- [0231] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 상술한 금속 원소를 성분으로 하는 합금으로서 상기 합금의 질화물 또는 상기 합금의 산화물을 사용하여도 좋다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0232] 또한 탄탈럼을 포함하는 질화물, 타이타늄을 포함하는 질화물, 몰리브데넘을 포함하는 질화물, 텅스텐을 포함하는 질화물, 루테튬을 포함하는 질화물, 탄탈럼 및 알루미늄을 포함하는 질화물, 또는 타이타늄 및 알루미늄을 포함하는 질화물 등의 질소를 포함하는 도전성 재료, 산화 루테튬, 스트론튬 및 루테튬을 포함하는 산화물, 또는 란타넘 및 니켈을 포함하는 산화물 등의 산소를 포함하는 도전성 재료, 타이타늄, 탄탈럼, 또는 루테튬 등의 금속 원소를 포함하는 재료는 산화되기 어려운 도전성 재료, 산소의 확산을 억제하는 기능을 갖는 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 산소를 포함하는 도전성 재료로서 산화 텅스텐을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 실리콘을 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 및 산화 텅스텐을 포함하는 인듐 아연 산화물 등을 들 수 있다. 본 명세서 등에서는 산소를 포함하는 도전성 재료를 사용하여 성막되는 도전막을 산화물 도전막이라고 부르는 경우가 있다.
- [0233] 또한 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료는 도전성이 높기 때문에 바람직하다.
- [0234] 또한 상기 재료로 형성되는 도전층을 복수로 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.
- [0235] 또한 트랜지스터의 채널 형성 영역에 금속 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공하는 것이 바람직하다. 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.
- [0236] 특히 게이트 전극으로서 기능하는 도전체에는, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함하는 도전성 재료를

사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 및 실리콘을 첨가한 인듐 주석 산화물 중 하나 또는 복수를 사용하여도 좋다. 또한 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이러한 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0237] 또한 소스 전극 또는 드레인 전극으로서 기능하는 도전체는 예를 들어 반도체와 접촉하는 영역을 갖는다. 반도체에 산화물 반도체를 사용하고, 소스 전극 또는 드레인 전극에 산화되기 쉬운 금속(예를 들어 알루미늄)을 사용한 경우, 소스 전극 또는 드레인 전극과 반도체 사이에 절연성 산화물(예를 들어 산화 알루미늄)이 형성되어, 이들 사이의 도통이 저해될 우려가 있다. 그러므로 소스 전극 및 드레인 전극에는 산화되기 어려운 도전 재료 또는 산화되어도 전기 저항이 낮게 유지되는 도전 재료를 사용하는 것이 바람직하다. 예를 들어 타이타늄, 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 루테튬, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 중 하나 또는 복수를 사용하는 것이 바람직하다. 이들은 산화되기 어려운 도전 재료 또는 산화되어도 전기 저항이 낮게 유지되는 도전 재료이기 때문에 바람직하다. 또한 예를 들어 소스 전극 또는 드레인 전극에 상술한 산소를 포함하는 도전성 재료를 사용할 수 있다. 구체적으로는 산화 인듐, 산화 아연, ITO, In-Zn 산화물, In-W 산화물, In-W-Zn 산화물, In-Ti 산화물, In-Ti-Sn 산화물, 실리콘을 포함하는 In-Sn 산화물, 및 갈륨을 첨가한 산화 아연 중 하나 또는 복수를 사용할 수 있다.

[0238] 도전체(262a), 도전체(110a), 도전체(240a), 도전체(242a) 등에 상술한 질소를 포함하는 도전성 재료를 사용하고, 도전체(262b), 도전체(110b), 도전체(240b), 도전체(242b) 등에 상술한 금속 원소를 주성분으로 하는 도전성 재료를 사용할 수 있다. 질소를 포함하는 도전성 재료는 물 및 수소에 대한 배리어성을 갖는 경우가 있고, 물 및 수소가 전기 특성의 변동의 요인이 되는 산화물 반도체를 사용한 기억 장치의 신뢰성을 높일 수 있다. 또한 금속 원소를 주성분으로 하는 도전성 재료는 도전성이 높은 경우가 있고, 배선의 저항 및 플러그의 저항을 적절하게 낮출 수 있어, 기억 장치의 특성을 높일 수 있다.

[0239] 또한 도전체(240a)에는 상술한 소스 전극 및 드레인 전극에 사용할 수 있는 재료를 적절히 사용할 수 있다.

[0240] 또한 도전체(242b)에는 상술한 소스 전극 및 드레인 전극에 사용할 수 있는 재료를 적절히 사용할 수 있다.

[0241] 또는 도전체(242)는 도전체(242a), 도전체(242b)에 더하여 제 3 도전체를 포함하는 3층의 적층 구조를 가져도 좋다. 이 경우에는 예를 들어 제 3 도전체로서 상술한 소스 전극 및 드레인 전극에 사용할 수 있는 재료를 적절히 사용할 수 있다.

[0242] [금속 산화물]

[0243] 금속 산화물은 격자 결함을 갖는 경우가 있다. 격자 결함이란 원자 공공 및 이종 원자 등의 점 결함, 전위(轉位) 등의 선 결함, 결정립계 등의 면 결함, 공공 등의 체적 결함을 말한다. 또한 격자 결함이 생성되는 요인으로는 구성 원소의 원자수의 비율의 차이(구성 원자의 과부족) 및 불순물 등이 있다.

[0244] 금속 산화물을 트랜지스터의 반도체층에 사용하는 경우, 금속 산화물 내의 격자 결함은 캐리어의 생성 또는 포획 등을 일으킬 요인이 될 수 있다. 따라서 격자 결함이 많은 금속 산화물을 트랜지스터의 반도체층에 사용하면, 상기 트랜지스터의 전기 특성이 불안정해질 우려가 있다. 따라서 트랜지스터의 반도체층, 특히 채널 형성 영역에 사용하는 금속 산화물은 격자 결함이 적은 것이 바람직하다.

[0245] 금속 산화물을 사용한 트랜지스터는 특히 금속 산화물 내의 채널 형성 영역에 산소 결손(V_O) 및 불순물이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 저하되는 경우가 있다. 또한 산소 결손 근방의 수소가 산소 결손에 수소가 들어간 결함(V_OH)을 형성하고, 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 금속 산화물 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 따라서 금속 산화물 내의 채널 형성 영역에서는 산소 결손 및 불순물은 가능한 한 저감되어 있는 것이 바람직하다. 바꿔 말하면 금속 산화물 내의 채널 형성 영역은 캐리어 농도가 저감되어, i형화(진성화) 또는 실질적으로 i형화되어 있는 것이 바람직하다.

[0246] 한편으로 금속 산화물의 n형 영역 등의 저저항 영역에서는, 채널 형성 영역에 비하여 예를 들어 V_O 및 V_OH 가 많고, 수소, 질소, 금속 원소 등의 불순물의 농도가 높다.

- [0247] 금속 산화물 내에 존재하기 쉬운 격자 결함의 종류 및 격자 결함의 존재량은 금속 산화물의 구조 또는 금속 산화물의 성막 방법 등에 따라 상이하다.
- [0248] 금속 산화물의 구조는 단결정 구조와, 그 이외의 구조(비단결정 구조)로 나누어진다. 비단결정의 구조로서는 예를 들어 CAAC 구조, 다결정(polycrystalline) 구조, nc 구조, a-like(amorphous-like) 구조, 및 비정질 구조 등이 있다. a-like 구조는 nc 구조와 비정질 구조의 중간의 구조를 갖는다. 또한 결정 구조의 분류에 대해서는 후술한다.
- [0249] 또한 a-like 구조를 갖는 금속 산화물, 및 비정질 구조를 갖는 금속 산화물은, 공동 또는 저밀도 영역을 갖는다. 즉 a-like 구조를 갖는 금속 산화물 및 비정질 구조를 갖는 금속 산화물은 nc 구조를 갖는 금속 산화물 및 CAAC 구조를 갖는 금속 산화물보다 결정성이 낮다. 또한 a-like 구조를 갖는 금속 산화물은 nc 구조를 갖는 금속 산화물 및 CAAC 구조를 갖는 금속 산화물보다 금속 산화물 내의 수소 농도가 높다. 따라서 a-like 구조를 갖는 금속 산화물 및 비정질 구조를 갖는 금속 산화물에서는 격자 결함이 생성되기 쉽다.
- [0250] 따라서 트랜지스터의 반도체층에는 결정성이 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 CAAC 구조를 갖는 금속 산화물 또는 단결정 구조의 금속 산화물을 사용하는 것이 바람직하다. 상기 금속 산화물을 트랜지스터에 사용함으로써 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0251] 또한 트랜지스터의 채널 형성 영역에는, 상기 트랜지스터의 온 전류가 높아진 금속 산화물을 사용하는 것이 바람직하다. 상기 트랜지스터의 온 전류를 높이기 위해서는 상기 트랜지스터에 사용하는 금속 산화물의 이동도를 높이는 것이 바람직하다. 금속 산화물의 이동도를 높이기 위해서는 캐리어(n채널형 트랜지스터의 경우에는 전자)의 전송(傳送)을 향상시키거나, 캐리어의 전송에 기여하는 산란 인자를 저감할 필요가 있다. 또한 캐리어는 채널 형성 영역을 통하여 소스로부터 드레인으로 흐른다. 따라서 캐리어가 채널 길이 방향으로 흐르기 쉬운 채널 형성 영역을 제공함으로써, 트랜지스터의 온 전류를 높일 수 있다.
- [0252] 본 발명의 일 형태의 금속 산화물로서 인듐 산화물, 갈륨 산화물, 및 아연 산화물을 들 수 있다. 본 발명의 일 형태의 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연에서 선택되는 2개 또는 3개를 갖는 것이 바람직하다. 또한 원소 M은 산소와의 결합 에너지가 높은 금속 원소 또는 반금속 원소이고, 예를 들어 산소와의 결합 에너지가 인듐보다 높은 금속 원소 또는 반금속 원소이다. 원소 M으로서 구체적으로는 알루미늄, 갈륨, 주석, 이트륨, 타이타늄, 바나듐, 크로뮴, 망가니즈, 철, 코발트, 니켈, 지르코늄, 몰리브데넘, 하프늄, 탄탈럼, 텅스텐, 란타넘, 세륨, 네오디뮴, 마그네슘, 칼슘, 스트론튬, 바륨, 붕소, 실리콘, 저마늄, 및 안티모니 등을 들 수 있다. 금속 산화물이 갖는 원소 M은 상기 원소 중 어느 1종류 또는 복수 종류인 것이 바람직하고, 알루미늄, 갈륨, 주석, 및 이트륨에서 선택된 1종류 또는 복수 종류인 것이 더 바람직하고, 갈륨이 더 바람직하다. 금속 산화물이 갖는 원소 M이 갈륨인 경우, 본 발명의 일 형태의 금속 산화물은 인듐, 갈륨, 및 아연에서 선택되는 어느 하나 또는 복수를 갖는 것이 바람직하다. 또한 본 명세서 등에 있어서, 금속 원소와 반금속 원소를 통틀어 '금속 원소'라고 부르는 경우가 있고, 본 명세서 등에 기재된 '금속 원소'에는 반금속 원소가 포함되는 경우가 있다.
- [0253] 본 발명의 일 형태의 금속 산화물 반도체로서, 예를 들어 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 갈륨 산화물(In-Ga 산화물), 인듐 갈륨 알루미늄 산화물(In-Ga-Al 산화물), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물), 갈륨 아연 산화물(Ga-Zn 산화물, GZO라고도 기재함), 알루미늄 아연 산화물(Al-Zn 산화물, AZO라고도 기재함), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 기재함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물, IGZTO라고도 기재함), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO, 또는 IAGZO라고도 기재함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물, 갈륨 주석 산화물(Ga-Sn 산화물), 알루미늄 주석 산화물(Al-Sn 산화물) 등을 들 수 있다.
- [0254] 여기서 저저항 영역에 사용할 수 있는 금속 산화물로서 상술한 산화물을 사용할 수 있다. 또한 상술한 산화물에 도펀트로서 기능하는 원소, 화합물 등을 첨가하여도 좋다. 산화물에 첨가하는 원소로서 예를 들어 알루미늄, 스칸듐, 타이타늄, 바나듐, 갈륨, 이트륨, 지르코늄, 나이오븀, 몰리브데넘, 인듐, 주석, 안티모니, 텔루륨, 하프늄, 탄탈럼, 텅스텐, 저마늄, 실리콘, 비소, 붕소, 플루오린 등에서 선택되는 하나 또는 복수가 있다.

- [0255] 또한 저저항 영역에 사용할 수 있는 금속 산화물로서, 특히 인듐 주석 산화물, 실리콘을 포함하는 인듐 주석 산화물, 아연 산화물, 주석 산화물, 타이타늄 산화물, 갈륨을 포함하는 아연 산화물, 알루미늄을 포함하는 아연 산화물 등을 적절하게 사용할 수 있다.
- [0256] 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 인듐의 원자수의 비율을 높임으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.
- [0257] 또한 금속 산화물은 인듐 대신에 주기율표에서의 주기의 수가 큰 금속 원소의 1종류 또는 복수 종류를 가져도 좋다. 또는 금속 산화물은 인듐에 더하여 주기율표에서의 주기의 수가 큰 금속 원소의 1종류 또는 복수 종류를 가져도 좋다. 금속 원소의 궤도의 중첩이 클수록 금속 산화물에서의 캐리어 전도가 높아지는 경향이 있다. 따라서 주기율표에서의 주기의 수가 큰 금속 원소를 포함함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 주기율표에서의 주기의 수가 큰 금속 원소로서는 제 5 주기에 속하는 금속 원소 및 제 6 주기에 속하는 금속 원소 등을 들 수 있다. 상기 금속 원소로서 구체적으로는 이트륨, 지르코늄, 은, 카드뮴, 주석, 안티모니, 바륨, 납, 비스무트, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸 등을 들 수 있다. 또한 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸은 경희토류 원소라고 불린다.
- [0258] 또한 금속 산화물은 비금속 원소의 1종류 또는 복수 종류를 가져도 좋다. 금속 산화물이 비금속 원소를 가짐으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 비금속 원소로서는 예를 들어 탄소, 질소, 인, 황, 셀레늄, 플루오린, 염소, 브로민, 및 수소 등이 있다.
- [0259] 본 발명의 일 형태의 금속 산화물을 ALD법으로 적절하게 형성할 수 있다.
- [0260] ALD법으로서는 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법 및 플라스마 여기된 반응제를 사용하는 플라스마 ALD(PEALD: Plasma Enhanced ALD)법 등을 들 수 있다.
- [0261] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한 PEALD법에서는 플라스마를 이용함으로써 더 낮은 온도에서 성막할 수 있기 때문에 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 또는 염소 등의 원소가 포함되는 경우가 있다. 그러므로 ALD법으로 제공된 막은, 다른 성막법으로 제공된 막에 비하여 탄소 또는 염소 등의 원소를 많이 포함하는 경우가 있다. 또한 이들 원소의 정량은 XPS 또는 SIMS를 사용하여 수행할 수 있다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법에서는 ALD법을 사용하지만, 성막 시의 기판 온도가 높은 조건의 채용 및 불순물 제거 처리의 실시 중 한쪽 또는 양쪽을 적용하기 때문에, 이들을 적용하지 않고 ALD법을 사용하는 경우에 비하여, 막 내에 포함되는 탄소 및 염소의 양이 적은 경우가 있다.
- [0262] ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어려워, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 스퍼터링법 또는 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다. 예를 들어 스퍼터링법을 사용하여 제 1 금속 산화물을 성막하고, 상기 제 1 금속 산화물 위에 ALD법으로 제 2 금속 산화물을 성막하는 방법 등이 있다. 예를 들어 상기 제 1 금속 산화물이 결정부를 갖는 경우, 상기 제 2 금속 산화물이 상기 결정부를 핵으로 하여 결정 성장하는 경우가 있다.
- [0263] ALD법에서는 원료 가스의 도입량에 따라 얻어지는 막의 조성을 제어할 수 있다. 예를 들어 ALD법에서는 원료 가스의 도입량, 도입 횟수(펄스 횟수라고도 함), 1펄스에 필요한 시간(펄스 시간이라고도 함) 등을 조절함으로써, 임의의 조성의 막을 성막할 수 있다. 또한 예를 들어 ALD법에서는 성막하면서 원료 가스를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반응 및 압력 조정에 걸리는 시간이 불필요한 만큼 성막에 걸리는 시간을 단축할 수 있다. 따라서 기억 장치의 생산성을 높일 수 있는 경우가 있다.
- [0264] 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 아연의 원자수의 비율을 높임으로써 결정성이 높은 금속 산화물이 되어 금속 산화물 내의 불순물의 확산을 억제할 수 있다. 따라서 이러한 금속 산화물을 채널 형성 영역에 사용함으로써 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.

- [0265] 또한 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 원소 M의 원자수비를 높임으로써 금속 산화물에 산소 결손이 형성되는 것을 억제할 수 있다. 따라서 이러한 금속 산화물을 채널 형성 영역에 사용함으로써 산소 결손에 기인하는 캐리어 생성이 억제되어, 오프 전류가 작은 트랜지스터로 할 수 있다. 또한 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.
- [0266] 또한 채널 형성 영역 등에서 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 In의 원자수의 비율을 높임으로써, 트랜지스터는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0267] 여기서 본 발명의 일 형태의 트랜지스터가 갖는 금속 산화물은 높은 결정성을 가져도 좋다. 특히 채널 형성 영역을 포함하는 금속 산화물에는 결정성이 높은 금속 산화물을 사용하는 것이 바람직하다. 또한 상기 결정은 복수의 층(예를 들어 제 1 층과, 제 2 층과, 제 3 층)이 적층된 결정 구조를 갖는 것이 바람직하다. 즉 상기 결정은 층상 결정 구조(층상 결정, 층상 구조라고도 함)를 갖는다. 이때 상기 결정의 c축의 방향은 복수의 층이 적층되는 방향이 된다. 상기 결정을 갖는 금속 산화물에는 예를 들어 단결정 산화물 반도체, CAAC-OS 등이 포함된다.
- [0268] 또한 상기 결정의 c축을 금속 산화물의 피형성면 또는 막 표면에 대한 법선 방향으로 배향하는 것이 바람직하다. 이로써 복수의 층은 금속 산화물의 피형성면 또는 막 표면에 대하여 평행 또는 실질적으로 평행하게 배치된다. 즉 복수의 층은 채널 길이 방향으로 전개된다.
- [0269] 예를 들어 상기와 같은 3층의 층상 결정 구조는 이하와 같은 구조가 된다. 제 1 층은 상기 제 1 층이 갖는 금속이 중심에 존재하는 산소의 팔면체형의 원자의 배위 구조를 갖는다. 또한 제 2 층은 상기 제 2 층이 갖는 금속이 중심에 존재하는 산소의 삼각 쌍뿔형 또는 사면체형의 원자의 배위 구조를 갖는다. 또한 제 3 층은 상기 제 3 층이 갖는 금속이 중심에 존재하는 산소의 삼각 쌍뿔형 또는 사면체형의 원자의 배위 구조를 갖는다.
- [0270] 상기 결정의 결정 구조로서 예를 들어 YbFe_2O_4 형 구조, $\text{Yb}_2\text{Fe}_3\text{O}_7$ 형 구조, 이들의 변형형 구조 등이 있다.
- [0271] 또한 제 1 층 내지 제 3 층은 각각 하나의 금속 원소 또는 가수가 같은 복수의 금속 원소와 산소로 구성되는 것이 바람직하다. 또한 제 1 층을 구성하는 하나 또는 복수의 금속 원소의 가수와 제 2 층을 구성하는 하나 또는 복수의 금속 원소의 가수는 같은 것이 바람직하다. 또한 제 1 층과 제 2 층은 같은 금속 원소를 가져도 좋다. 또한 제 1 층을 구성하는 하나 또는 복수의 금속 원소의 가수와 제 3 층을 구성하는 하나 또는 복수의 금속 원소의 가수는 상이한 것이 바람직하다.
- [0272] 상기 구성으로 함으로써, 금속 산화물의 결정성을 향상시켜, 상기 금속 산화물의 이동도를 높일 수 있다. 따라서 상기 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써 트랜지스터의 온 전류가 높아져, 상기 트랜지스터의 전기 특성을 향상시킬 수 있다.
- [0273] [금속 산화물을 갖는 트랜지스터]
- [0274] 이어서 금속 산화물(산화물 반도체)을 트랜지스터에 사용하는 경우에 대하여 설명한다. 이하에서는 반도체층에 산화물 반도체를 사용한 트랜지스터를 OS 트랜지스터라고 기재하고, 반도체층에 실리콘을 사용한 트랜지스터를 Si 트랜지스터라고 기재하는 경우가 있다.
- [0275] 본 발명의 일 형태의 금속 산화물(산화물 반도체)을 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다. 또한 미세화 또는 고집적화된 트랜지스터를 실현할 수 있다. 예를 들어 채널 길이가 2nm 이상 30nm 이하인 트랜지스터를 제작할 수 있다.
- [0276] 트랜지스터의 채널 형성 영역에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역에서의 캐리어 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하이고, 바람직하게는 $1 \times 10^{17} \text{ cm}^{-3}$ 이하이고, 더 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이고, 더 바람직하게는 $1 \times 10^{13} \text{ cm}^{-3}$ 이하이고, 더 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하이고, 더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고, $1 \times 10^{-9} \text{ cm}^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추는 것이 바람직하다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.
- [0277] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위

밀도도 낮아지는 경우가 있다.

- [0278] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0279] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 탄소, 질소 등을 들 수 있다. 또한 산화물 반도체 내의 불순물이란, 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다.
- [0280] 또한 채널 형성 영역에 사용하는 산화물 반도체의 밴드 갭은 실리콘의 밴드 갭(대표적으로는 1.1eV)보다 큰 것이 바람직하고, 바람직하게는 2eV 이상이고, 더 바람직하게는 2.5eV 이상이고, 더 바람직하게는 3.0eV 이상이다. 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류(I_{off} 라고도 부름)를 저감할 수 있다.
- [0281] 또한 Si 트랜지스터에서는 트랜지스터의 미세화가 진행됨에 따라 단채널 효과(쇼트 채널 효과: Short Channel Effect: SCE라고도 함)가 발현한다. 그러므로 Si 트랜지스터는 미세화가 어렵다. 단채널 효과가 발현하는 요인의 하나로서 실리콘의 밴드 갭이 작은 것을 들 수 있다. 한편으로 OS 트랜지스터는 밴드 갭이 큰 반도체 재료인 산화물 반도체를 사용하기 때문에 단채널 효과를 억제할 수 있다. 바꿔 말하면 OS 트랜지스터는 단채널 효과가 없거나 단채널 효과가 매우 적은 트랜지스터이다.
- [0282] 또한 단채널 효과란 트랜지스터의 미세화(채널 길이의 축소)에 따라 현재화되는 전기 특성의 열화이다. 단채널 효과의 구체적인 예로서는 문턱 전압의 저하, 서브스레숄드 스윙값(S값이라고 표기하는 경우가 있음)의 증대, 누설 전류의 증대 등이 있다. 여기서 S값이란 드레인 전압이 일정한 상태에서 드레인 전류를 한 자릿수 변화시키는 서브스레숄드 영역에서의 게이트 전압의 변화량을 말한다.
- [0283] 또한 단채널 효과에 대한 내성의 지표로서 특성 길이(Characteristic Length)가 널리 사용되고 있다. 특성 길이란, 채널 형성 영역의 퍼텐셜의 굴곡성의 지표이다. 특성 길이가 짧을수록 퍼텐셜이 가파르게 상승되기 때문에 단채널 효과에 강하다고 할 수 있다.
- [0284] OS 트랜지스터는 축적형 트랜지스터이고, Si 트랜지스터는 반전형 트랜지스터이다. 따라서 Si 트랜지스터에 비하여 OS 트랜지스터는 소스 영역-채널 형성 영역 사이의 특성 길이 및 드레인 영역-채널 형성 영역 사이의 특성 길이가 짧다. 따라서 OS 트랜지스터는 Si 트랜지스터보다 단채널 효과에 강하다. 즉 채널 길이가 짧은 트랜지스터를 제작하고자 하는 경우에는, OS 트랜지스터가 Si 트랜지스터보다 적합하다.
- [0285] 채널 형성 영역이 i형 또는 실질적으로 i형이 될 때까지 산화물 반도체의 캐리어 농도를 낮춘 경우에도 단채널 트랜지스터에서는 Conduction-Band-Lowering(CBL) 효과에 의하여 채널 형성 영역의 전도대 하단이 낮아지기 때문에, 소스 영역 또는 드레인 영역과 채널 형성 영역 사이의 전도대 하단의 에너지 차이는 0.1eV 이상 0.2eV 이하까지 작아질 가능성이 있다. 이로써 OS 트랜지스터는 채널 형성 영역이 n^- 형 영역이 되고, 소스 영역 및 드레인 영역이 n^+ 형 영역이 되는 $n^+/n^-/n^+$ 의 축적형 junction-less 트랜지스터 구조 또는 $n^+/n^-/n^+$ 의 축적형 non-junction 트랜지스터 구조를 갖는 것으로 간주할 수도 있다.
- [0286] OS 트랜지스터를 상기 구조로 함으로써, 기억 장치를 미세화 또는 고집적화하여도 양호한 전기 특성을 가질 수 있다. 예를 들어 OS 트랜지스터의 채널 길이 또는 게이트 길이가 20nm 이하, 15nm 이하, 10nm 이하, 7nm 이하, 또는 6nm 이하이고, 1nm 이상, 3nm 이상, 또는 5nm 이상이어도 양호한 전기 특성을 얻을 수 있다. 한편으로 Si 트랜지스터에서는 단채널 효과가 발현하기 때문에, 20nm 이하 또는 15nm 이하의 게이트 길이로 하기 어려운 경우가 있다. 따라서 OS 트랜지스터에는 Si 트랜지스터에 비하여 채널 길이가 짧은 트랜지스터에 적합하게 사용할 수 있다. 또한 게이트 길이란, 트랜지스터 동작 시에 캐리어가 채널 형성 영역 내부를 이동하는 방향에서의 게이트 전극의 길이를 말한다.
- [0287] 또한 OS 트랜지스터를 미세화함으로써 트랜지스터의 고주파 특성을 향상시킬 수 있다. 구체적으로는 트랜지스터의 차단 주파수를 향상시킬 수 있다. OS 트랜지스터의 게이트 길이가 상기 범위 내에 있는 경우, 예를 들어 실온 환경하에서 트랜지스터의 차단 주파수를 50GHz 이상으로, 바람직하게는 100GHz 이상으로, 더 바람직하게는 150GHz 이상으로 할 수 있다.

- [0288] 상술한 바와 같이 OS 트랜지스터는 Si 트랜지스터에 비하여 오프 전류가 작다는 것, 채널 길이가 짧은 트랜지스터의 제작이 가능하다는 것 등의 우수한 효과를 갖는다.
- [0289] [[금속 산화물 내의 불순물]]
- [0290] 여기서 금속 산화물(산화물 반도체) 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0291] 산화물 반도체에 14족 원소 중 하나인 실리콘 또는 탄소가 포함되면, 산화물 반도체에서 결합 준위가 형성된다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 탄소의 농도는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하로, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $3 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $3 \times 10^{18} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다. 또한 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 실리콘의 농도는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하로, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $3 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $3 \times 10^{18} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다.
- [0292] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 질소 농도는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하로, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0293] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 산화물 반도체에서의 채널 형성 영역 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 산화물 반도체에서의 채널 형성 영역 내의 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만으로, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만으로, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만으로, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만으로, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.
- [0294] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결합 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체에서의 채널 형성 영역 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.
- [0295] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0296] [기타 반도체 재료]
- [0297] 산화물 반도체(230)를 트랜지스터의 채널 형성 영역을 포함하는 반도체층이라고 바꿔 말할 수 있다. 반도체층에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 반도체층으로서 밴드 갭을 갖는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어 단체 원소의 반도체, 화합물 반도체, 또는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다.
- [0298] 여기서 본 명세서 등에 있어서, 층상 물질이란 층상의 결정 구조를 갖는 재료군의 총칭이다. 층상의 결정 구조에서는, 공유 결합 또는 이온 결합에 의하여 형성되는 층이 반데르발스의 힘(Van der Waals force)과 같은 공유 결합 또는 이온 결합보다 약한 결합에 의하여 적층되어 있다. 층상 물질은 단위 층 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고, 또한 2차원 전기 전도성이 높은 재료를 채널 형성 영

역에 사용함으로써, 온 전류가 높은 트랜지스터를 제공할 수 있다.

- [0299] 반도체 재료에 사용할 수 있는 단체 원소의 반도체로서 실리콘 및 저마늄 등을 들 수 있다. 반도체층에 사용할 수 있는 실리콘으로서 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 및 비정질 실리콘을 들 수 있다. 다결정 실리콘으로서는 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)이 있다.
- [0300] 반도체 재료에 사용할 수 있는 화합물 반도체로서 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 질화 붕소, 및 비소화 붕소 등을 들 수 있다. 반도체층에 사용할 수 있는 질화 붕소는 비정질 구조를 포함하는 것이 바람직하다. 반도체층에 사용할 수 있는 비소화 붕소는 입방정 구조의 결정을 포함하는 것이 바람직하다.
- [0301] 층상 물질로서 예를 들어 그래핀, 실리센, 탄질화 붕소, 칼코겐화물 등이 있다. 층상 물질로서의 탄질화 붕소는 탄소 원자, 질소 원자, 및 붕소 원자가 평면 위에 육각형 격자 구조로 배열되어 있다. 칼코겐화물은 칼코젠을 포함하는 화합물이다. 또한 칼코젠은 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코겐화물로서 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.
- [0302] 반도체층으로서 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 반도체층으로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 MoSe_2), 몰리브데넘 텔루륨(대표적으로는 MoTe_2), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 HfSe_2), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 ZrSe_2) 등을 들 수 있다. 상술한 전이 금속 칼코제나이드를 반도체층에 적용함으로써, 온 전류가 높은 기억 장치를 제공할 수 있다.
- [0303] 다음으로 본 발명의 일 형태인 기억 장치의 제작 방법에 대하여 설명한다.
- [0304] <트랜지스터의 제작 방법예>
- [0305] 우선 트랜지스터(200)의 제작 방법에 대하여 설명한다.
- [0306] 이하에서 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여 성막할 수 있다.
- [0307] 또한 스퍼터링법으로서, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 성막하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막할 때 사용된다.
- [0308] 또한 CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.
- [0309] 플라즈마 CVD법에 의하여, 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. 또한 열 CVD법은 플라즈마를 사용하지 않기 때문에, 피처리물에 대한 플라즈마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 기억 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라즈마로부터 전하를 받아 차지 업하는 경우가 있다. 이때, 축적된 전하로 인하여 기억 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편으로, 플라즈마를 사용하지 않는 열 CVD법의 경우, 이러한 플라즈마 대미지가 생기지 않기 때문에, 기억 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라즈마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.
- [0310] 또한 ALD법으로서, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD법, 플라즈마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.
- [0311] CVD법 및 ALD법은 타겟 등으로부터 방출되는 입자가 퇴적되는 스퍼터링법과 상이하다. 따라서 피처리물의 형상의 영향을 받기 어려워, 단차 피복성이 양호한 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 갖기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만, ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용되는 것이 바람직

한 경우도 있다.

- [0312] 또한 CVD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성의 막을 성막할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반응 또는 압력 조절에 시간이 덜 걸리는 만큼, 성막에 걸리는 시간을 단축할 수 있다. 따라서 기억 장치의 생산성을 높일 수 있는 경우가 있다.
- [0313] 또한 ALD법은 복수 종류의 상이한 전구체를 동시에 도입함으로써 임의의 조성을 갖는 막을 성막할 수 있다. 또는 복수 종류의 상이한 전구체를 도입하는 경우, 전구체 각각의 사이클 수를 제어함으로써, 임의의 조성을 갖는 막을 성막할 수 있다.
- [0314] 우선 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(140)를 형성한다. 절연체(140)에는 상술한 절연성 재료를 적절히 사용하는 것이 바람직하다.
- [0315] 다음으로 절연체(140) 위에 개구를 갖는 절연체(141)를 형성하고, 상기 개구를 매립하도록 도전체(262)를 형성한다(도 5의 (A) 참조). 도전체(262)에는 상술한 도전성 재료를 적절히 사용하는 것이 바람직하다. 예를 들어 도전체(262)로서 도전체(262a), 도전체(262b)를 이 순서대로 성막한 적층막을 사용하고, CVD법으로 도전체(262a)로서 텅스텐을, 도전체(262b)로서 질화 타이타늄을 각각 형성하는 것이 바람직하다. 예를 들어 도전체(262)가 되는 도전체를 절연체(141)의 개구 내 및 절연체(141) 위에 형성하고, CMP 등을 사용하여 절연체(141) 위의 도전체를 제거함으로써 도전체(262)를 형성할 수 있다.
- [0316] 다음으로 절연체(141) 위 및 도전체(262) 위에 개구(91)를 갖는 절연체(142f_1)를 형성한다(도 5의 (B) 참조). 절연체(142f_1)의 재료에 대해서는 절연체(142)에 사용할 수 있는 재료를 참조할 수 있다. 개구(91)의 폭을 폭 S1로 한다. 절연체(142f_1)의 개구를 예를 들어 리소그래피법으로 가공할 수 있다. 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.
- [0317] 또한 리소그래피법에서는 우선 마스크를 통하여 레지스트를 노광한다. 다음으로, 현상액을 사용하여 노광된 영역을 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 다음으로, 상기 레지스트 마스크를 통하여 에칭 처리를 수행함으로써, 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성하는 것이 바람직하다. 또한 개구의 형성에는 LELE(Litho-Etch-Litho-Etch) 및 SADP(Self-Aligned Double Patterning) 등의 더블 패터닝, SAQP(Self-Aligned Quadruple Patterning) 등의 쿼드러플 패터닝, 그리고 옥튜플 패터닝 등의 멀티 패터닝 기술을 사용하는 것이 좋다. 멀티 패터닝 기술을 사용함으로써, 미세한 오목부 또는 미세한 개구를 형성할 수 있다.
- [0318] 멀티 패터닝으로서 하드 마스크를 사용하여 여러 번의 패터닝 또는 패터닝과 에칭을 반복함으로써 미세한 패턴을 형성하여도 좋다. 또한 레지스트 패턴에 ALD막을 성막하고, 이방성 에칭으로 레지스트 측면에 사이드월을 형성하고, 레지스트를 제거하고, ALD막을 마스크로서 이용하는 셀프 얼라인 멀티 패터닝을 사용하여도 좋다.
- [0319] 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 또한 전자 빔 또는 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한 레지스트 마스크를 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.
- [0320] 또한 드라이 에칭 장치로서는 평행 평판형 전극을 갖는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 갖는 용량 결합형 플라스마 에칭 장치는 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 주파수가 같은 고주파 전압을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 주파수가 상이한 고주파 전압을 인가하는 구성이어도 좋다. 또는 고밀도 플라스마원을 갖는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 갖는 드라이 에칭 장치로서는 예를 들어 유도 결합 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.
- [0321] 또한 절연체(142f_1)에 형성되는 개구는 평면에서 보았을 때 도전체(262)와 중첩되는 영역을 갖는다. 또한 도전체(262)는 절연체(142f_1)에 형성되는 개구를 덮도록 배치되는 것이 바람직하다. 구체적으로는 예를 들어 평

면에서 보았을 때 상기 개구가 도전체(262)의 내측에 위치하는 것이 바람직하다. 또는 상기 개구의 일부가 평면에서 보았을 때 도전체(262)의 외측에 위치하는 경우가 있다. 또는 절연체(142f_1)에 형성되는 개구가 도전체(262)를 덮도록 형성되어도 좋다.

[0322] 다음으로 절연체(142f_1)에 형성된 개구(91)의 측벽, 절연체(142f_1)의 상면, 및 절연체(142f_1)가 갖는 개구(91)의 바닥에서 노출되는 도전체(262)의 상면을 덮도록 절연체(142f_2)를 성막한다(도 5의 (C) 참조). 여기서 개구(91)의 측벽에 형성되는 절연체(142f_2)의 막 두께를 두께 T1로 한다. 절연체(142f_2)의 재료에 대해서는 절연체(142)에 사용할 수 있는 재료를 참조할 수 있다. 또한 절연체(142f_2)에는 절연체(142f_1)와 같은 재료를 사용하는 것이 바람직하다. 또한 도 5의 (C)에서는 절연체(142f_1)와 절연체(142f_2)를 통틀어 절연체(142f)라고 나타낸다.

[0323] 다음으로 절연체(142f)를 가공하여 절연체(142g)를 형성한다. 구체적으로는 절연체(142f_2)에서 이방성 에칭을 사용하여 도전체(262)의 상면을 덮는 영역의 적어도 일부를 제거함으로써 도전체(262)의 표면을 노출시킨다. 이로써 예를 들어 개구(92)를 갖는 절연체(142g)를 형성할 수 있다(도 5의 (D) 참조). 개구(92)의 폭을 폭 S2로 한다. 개구(92)의 폭 S2를 개구(91)의 폭 S1 및 개구(91)의 측벽에 형성되는 절연체(142f_2)의 두께 T1을 사용하여 $S2=S1-(2 \times T1)$ 이라고 나타낼 수 있다. 여기서 도전체(260)가 원기둥 형상의 영역을 갖는 경우, 예를 들어 폭 S2는 상기 원기둥의 상면 형상의 원에서의 직경이다.

[0324] 폭 S1을 리소그래피법에 의한 개구 치수의 최소값으로 한 경우, 폭 S2를 상기 최소 치수보다 작은 값으로 할 수 있다. 이로써 후술하는 도전체(260)의 형성에서 도전체(260)의 폭을 작게 할 수 있어, 트랜지스터(200)의 미세화를 수행할 수 있다. 또한 여기서는 절연체(142f_2)를 형성함으로써 개구 치수를 축소하는 방법을 나타내었지만, 개구(91)의 에칭에서 반응 생성물 등을 개구의 측벽에 부착시켜 개구 치수를 축소하여도 좋다.

[0325] 또한 개구(92)의 측면의 각도에 따라 도전체(260)의 측면의 각도가 결정된다. 개구(92)의 측면의 각도는 실질적으로 수직인 것이 바람직하다.

[0326] 다음으로 절연체(142g)의 개구(92) 내 및 절연체(142g) 위에 도전체(260f)를 형성한다(도 5의 (E) 참조). 도전체(260f)는 개구(92) 내를 매립하도록 형성되는 것이 바람직하고, 도전체(262)의 상면과 접촉하도록 형성되는 것이 바람직하다. 도전체(260f)의 재료에 대해서는 도전체(260)에 사용할 수 있는 재료를 참조할 수 있다.

[0327] 다음으로 도전체(260f)의 일부를 에칭으로 제거함으로써 도전체(260)를 형성한다. 상기 에칭으로 도전체(260f)에서 절연체(142g)의 상면을 덮는 영역이 제거되어, 기둥 형상의 도전체(260)가 형성되는 것이 바람직하다. 또한 상기 에칭으로 기둥의 상면이 절연체(142g)의 상면보다 낮아지도록 기둥 형상의 도전체(260)가 형성되는 것이 바람직하다.

[0328] 도전체(260f)의 에칭을 예를 들어 드라이 에칭법으로 수행할 수 있다. 상기 에칭에 따라 도전체(260)의 높이가 결정되기 때문에, 기판면 내에서 에칭의 분포가 양호한 것이 바람직하다. 또한 도전체(260f)의 에칭에서는 위쪽의 영역만을 제거하여 일부를 잔존시킨다. 이와 같이 에칭으로 일부를 잔존시키는 처리를 하프 에칭 처리라고 부르는 경우가 있다.

[0329] 다음으로 절연체(142g)의 상면, 도전체(260)의 상면, 및 절연체(142g)가 갖는 개구(92)에서 도전체(260f)가 제거된 영역에 절연체(251f)를 형성한다(도 5의 (F) 참조). 절연체(251f)는 예를 들어 도전체(260)의 상면과 접촉하도록 형성된다. 여기서 절연체(142g)의 성막을 예를 들어 ALD법으로 수행할 수 있다. 절연체(142g)의 재료에 대해서는 절연체(142)에 사용할 수 있는 재료를 참조할 수 있다.

[0330] ALD법은 피복성이 높고, 치밀한 막을 적합하게 얻을 수 있는 방법 중 하나이다. 절연체(142g)의 성막에서는 예를 들어 절연체(142g)의 막 두께를 개구(92)의 폭 S2의 절반($S2 \times 0.5$)보다 두껍게 함으로써 개구(92) 내에서의 도전체(260) 위의 영역을 절연체(142g)로 적합하게 매립할 수 있다.

[0331] 다음으로 절연체(251f)의 일부를 에칭으로 제거함으로써 절연체(251)를 형성한다(도 6의 (A) 참조). 상기 에칭으로 절연체(251f)에서 절연체(142g)의 상면 위에 위치하는 영역이 제거되어, 기둥 형상의 절연체(251)가 형성되는 것이 바람직하다. 또한 상기 에칭으로 기둥의 상면이 절연체(142g)의 상면보다 낮아지도록 절연체(251)가 형성되는 것이 바람직하다. 또한 CMP를 사용한 평탄화 처리에 의하여 절연체(251f)를 제거하여도 좋다.

[0332] 절연체(251f)의 에칭을 예를 들어 드라이 에칭법으로 수행할 수 있다. 또한 절연체(251f)의 에칭 처리는 하프 에칭 처리라고 불리는 경우가 있다.

[0333] 또한 절연체(251f)의 에칭에서 절연체(142g)의 에칭 양이 적은 조건, 즉 절연체(142g)에 대하여 선택비가 큰 조

건을 사용함으로써, 형성되는 절연체(251)의 높이를 절연체(142g)의 높이보다 적합하게 낮게 할 수 있다. 예를 들어 절연체(251)에 질화 실리콘 또는 질화산화 실리콘을 사용하고, 절연체(142g)에 산화 실리콘 또는 산화질화 실리콘을 사용함으로써 절연체(251)를 적합하게 형성할 수 있다. 또는 예를 들어 절연체(142g)에 산화 실리콘 또는 산화질화 실리콘을 사용하고, 절연체(251)에 산화 하프늄, 산화 알루미늄, 산화 지르코늄, 산화 마그네슘 등을 사용하여도 좋다.

[0334] 다음으로 절연체(251) 위, 절연체(142g)의 개구 내, 및 절연체(142g) 위에 절연체(277f)를 형성한다(도 6의 (B) 참조). 여기서 절연체(277f)에는 예를 들어 절연체(142g)와 같은 재료를 사용할 수 있다.

[0335] 이어서 절연체(142g) 및 절연체(277f)를 가공하여 도전체(260)의 상면을 덮는 절연체 및 도전체(260)의 측면을 덮는 절연체를 형성한다(도 6의 (C) 참조). 구체적으로는 예를 들어 CMP 또는 에치백 등을 사용한 평탄화 처리에 의하여 절연체(142g)의 상면을 노출시킨 후, 마스크를 사용하여 절연체(142)를 가공함으로써 절연체(142k)를 형성한다. 여기서 도전체(260)의 측면을 덮는 절연체의 막 두께는 나중에 트랜지스터(200)의 게이트 절연체로서 기능하는 절연체(250)의 막 두께에 대응하기 때문에, 도전체(260)의 측면에서 그 막 두께가 실질적으로 균일한 것이 바람직하다.

[0336] 도 6의 (C)에는 절연체(277f)를 가공하여 형성되는 절연체(277)로 도전체(260)의 상면을 덮고 절연체(142g)를 가공하여 형성되는 절연체(142k)로 도전체(260)의 측면을 덮는 구성을 나타내었지만, 예를 들어 절연체(277)로 도전체(260)의 측면을 덮는 영역을 가져도 좋다. 또한 절연체(277f)에 절연체(142g)와 같은 재료를 사용하는 경우에는 트랜지스터(200)를 관찰하였을 때에 절연체(277)와 절연체(142k)의 경계를 판별하기 어려운 경우가 있고, 하나의 연속된 막으로서 관찰되는 경우가 있다. 예를 들어 리소그래피법으로 마스크를 형성하고 상기 마스크를 사용하여 드라이 에칭으로 절연체(277f) 및 절연체(142g) 각각을 가공할 수 있다.

[0337] 여기서 예를 들어 가공에 의하여 단면을 노출시키고, 투과형 전자 현미경(TEM: Transmission Electron Microscope), 주사 투과형 전자 현미경(TEM: Scanning Transmission Electron Microscope) 등을 사용하여 트랜지스터(200)를 관찰할 수 있다.

[0338] 다음으로 절연체(142k) 위 및 절연체(277) 위에 도전체(242f)를 형성한다(도 6의 (D) 참조). 도전체(242f)의 재료에 대해서는 도전체(242)에 사용할 수 있는 재료를 참조할 수 있다.

[0339] 이어서 도전체(242f)의 일부를 에칭으로 제거하여 도전체(242)를 형성한다(도 6의 (E) 참조). 예를 들어 도전체(242f)의 상면에 대하여 실질적으로 균일하게 에칭을 수행함으로써 도전체(242f)를 가공할 수 있다. 이러한 에칭 공정을 에치 백 처리라고 부르는 경우가 있다. 도전체(242f)의 상면에 요철이 있는 경우에는 도전체(242)의 표면을 평탄화한 후 에칭을 수행하여도 좋다. 평탄화에는 CMP(Chemical Mechanical Polishing) 처리를 사용할 수 있다.

[0340] 다음으로 도전체(242), 절연체(142k), 및 절연체(277)를 덮도록 금속 산화물(231f)을 형성한다(도 6의 (F) 참조). 금속 산화물(231f)의 재료에 대해서는 금속 산화물(231)에 사용할 수 있는 재료를 참조할 수 있다. 금속 산화물(231f)은 절연체(142k)를 개재하여 도전체(260)와 중첩되는 영역을 갖는다.

[0341] 다음으로 금속 산화물(231f)에서 도전체(242)의 상면 및 절연체(277)의 상면을 덮는 영역 등을 에칭으로 제거하여 금속 산화물(231g)을 형성한다(도 7의 (A) 참조). 금속 산화물(231g)은 절연체(142k)를 개재하여 도전체(260)와 중첩되는 영역을 갖는다.

[0342] 다음으로 도전체(242), 금속 산화물(231g), 절연체(277), 절연체(142k) 등을 덮도록 절연체(252a_f)를 형성한다(도 7의 (B) 참조). 절연체(252a_f)의 재료에 대해서는 절연체(252a)에 사용할 수 있는 재료를 참조할 수 있다.

[0343] 이어서 절연체(252a_f)의 상면의 평탄화를 수행하고, 일부를 제거함으로써 절연체(252a_g)를 형성한다(도 7의 (C) 참조). 도 7의 (B)에 나타나지 않았지만, 피형성면의 요철에 기인하여 절연체(252a_f)의 표면이 요철을 갖는 경우가 있다. 이러한 경우, 평탄화를 수행함으로써 표면을 실질적으로 평탄하게 하거나 표면의 요철을 작게 할 수 있다. 평탄화에는 CMP 처리를 사용할 수 있다.

[0344] 절연체(252a_f)의 평탄화에 의하여 예를 들어 나중에 형성되는 도전체(240f)의 두께를 균일하게 하여, 도전체(240)의 가공에서의 치수 편차 등을 저감함으로써, 제작하기 쉽게 할 수 있다.

[0345] 다음으로 절연체(252a_g)의 일부를 제거하여 절연체(252a_h)를 형성한다(도 7의 (D) 참조). 절연체(252a_h)는 예를 들어 트랜지스터(200)가 되는 각 영역을 이격하도록 형성된다. 절연체(252a_g)에서 제거되는 영역은 도전

체(260)와 중첩되는 영역 및 금속 산화물(231g)과 중첩되는 영역을 포함한다. 또한 절연체(252a_g)에서 제거되는 영역의 일부는 나중에 절연체(252b)가 형성되는 영역이다. 예를 들어 절연체(252a_g)에서 도전체(260)와 금속 산화물(231g) 사이의 영역에 위치하는 영역이 제거되고, 상기 영역은 나중에 절연체(250)가 형성되는 영역이다.

[0346] 절연체(252a_h) 위 및 절연체(252a_g)가 제거되어 공극이 된 영역에 절연체(250f)를 형성한다(도 7의 (E) 참조). 절연체(250f)의 재료에 대해서는 절연체(250)에 사용할 수 있는 재료를 참조할 수 있다. 절연체(250f)가 형성되는 영역은 도전체(260)와 금속 산화물(231g) 사이의 영역에 형성된 공극(93)을 포함한다. 공극(93)의 폭(WA)은 트랜지스터(200)의 게이트 절연체의 막 두께에 상당할 정도의 폭이고, 이러한 폭이 비교적 좁은 영역에서는 피복성이 높은 성막 방법을 사용하는 것이 바람직하다. 이러한 관점에서 절연체(250f)의 형성에는 ALD법을 적합하게 사용할 수 있다.

[0347] 또한 절연체(250f)의 막 두께를 폭(WA)의 절반($WA \times 0.5$)보다 두껍게 함으로써 공극(93)을 절연체(250f)로 매립할 수 있다.

[0348] 다음으로 절연체(250f)의 일부를 에칭으로 제거하여 절연체(250) 및 절연체(252b_g)를 형성한다(도 8의 (A) 참조). 상기 에칭으로 적어도 절연체(250f)에서 금속 산화물(231g) 위의 영역이 제거되는 것이 바람직하다. 또한 상기 에칭으로 제거되는 영역은 예를 들어 절연체(252a_h)의 상면을 덮는 영역 등을 포함한다. 또한 절연체(250f)의 에칭 처리는 하프 에칭 처리라고 불리는 경우가 있다.

[0349] 다음으로 금속 산화물(231g)의 일부를 에칭으로 제거하여 금속 산화물(231)을 형성한다(도 8의 (B) 참조). 상기 에칭으로 절연체(250)와 절연체(252b_g) 사이의 영역에 공극(94)이 형성된다. 금속 산화물(231)의 높이에 따라 산화물 반도체(230)와 도전체(260)가 중첩되는 영역의 높이가 변화된다. 트랜지스터(200)에서 요구되는 특성 및 신뢰성에 따라 금속 산화물(231)의 높이를 결정하는 것이 바람직하다. 또한 금속 산화물(231g)의 에칭 처리는 하프 에칭 처리라고 불리는 경우가 있다.

[0350] 다음으로 금속 산화물(231g)이 제거되어 형성된 공극을 포함하는 영역에 산화물 반도체(230f)를 형성한다(도 8의 (C) 참조). 산화물 반도체(230f)의 재료에 대해서는 산화물 반도체(230)에 사용할 수 있는 재료를 참조할 수 있다. 산화물 반도체(230f)는 금속 산화물(231), 절연체(250), 절연체(251), 절연체(252b_g), 및 절연체(252a_h)를 덮도록 형성된다. 공극(94)의 폭(WB)은 산화물 반도체(230)의 막 두께에 상당할 정도의 폭이고, 이러한 폭이 비교적 좁은 영역에서는 피복성이 높은 성막 방법을 사용할 수 있다. 이러한 관점에서 산화물 반도체(230f)의 형성에는 ALD법을 적합하게 사용할 수 있다.

[0351] 또한 산화물 반도체(230f)의 막 두께를 폭(WB)의 절반($WB \times 0.5$)보다 두껍게 함으로써 공극(94)을 산화물 반도체(230f)로 매립할 수 있다.

[0352] 다음으로 산화물 반도체(230f) 위에 도전체(240f)를 형성한다(도 8의 (D) 참조). 도전체(240f)의 재료에 대해서는 도전체(240)에 사용할 수 있는 재료를 참조할 수 있다.

[0353] 다음으로 도전체(240f)의 일부, 산화물 반도체(230f)의 일부, 절연체(252a_h)의 일부, 및 절연체(252b_g)의 일부를 제거하고 평탄화를 수행하여, 상면의 높이가 실질적으로 일치하도록 도전체(240), 산화물 반도체(230), 절연체(252a), 및 절연체(252b)를 형성한다(도 8의 (E) 참조). 상기 평탄화에 의하여 인접한 트랜지스터(200) 각각이 갖는 도전체(240)가 절연체(252a)에 의하여 이격된 구성을 제작할 수 있다. 평탄화에는 CMP 처리를 사용할 수 있다.

[0354] 상술한 공정을 거쳐 본 발명의 일 형태의 트랜지스터를 제작할 수 있다.

[0355] <트랜지스터의 제작 방법에 2>

[0356] 또한 도 9의 (F)에 나타낸 바와 같이 도 8의 (E)에 나타낸 트랜지스터(200)에서 절연체(121)를 절연체(149)와 절연체(149) 위의 절연체(148)의 적층 구조로 바꾸어도 좋다. 도 9의 (F)에 나타낸 구성의 제작 방법에 대하여 도 9의 (A) 내지 (E)를 사용하여 설명한다.

[0357] 우선 절연체(141) 위 및 도전체(262) 위에 절연체(149f)를 형성하고, 절연체(149f) 위에 개구를 갖는 절연체(147f_1)를 형성한다. 또한 절연체(147f_1) 위에 절연체(147f_2)를 형성한다(도 9의 (A) 참조). 여기서 절연체(147f_2)를 형성함으로써 절연체(147f_1)가 갖는 개구의 폭을 좁게 할 수 있다. 또한 도 9의 (A)에서는 절연체(147f_1)와 절연체(147f_2)를 통틀어 절연체(147f)라고 나타낸다.

- [0358] 다음으로 절연체(147f)를 가공하여 절연체(147g)를 형성한다. 구체적으로는 절연체(147f_2)에서 절연체(149f)의 상면과 접촉하는 영역의 적어도 일부를 제거하여 절연체(147g)를 형성한다. 또한 절연체(147g)를 마스크로서 사용하여 절연체(149f)에 개구를 제공함으로써 절연체(149g)를 형성한다(도 9의 (B) 참조).
- [0359] 다음으로 절연체(147g) 및 절연체(149g) 각각이 갖는 개구 내에 도전체(260)를 형성한다. 이어서 절연체(147g)의 개구 내에 절연체(251)를 형성한다(도 9의 (C) 참조).
- [0360] 다음으로 절연체(147g)를 제거하여 절연체(149g)의 표면을 노출시킨다(도 9의 (D) 참조). 여기서 절연체(147g)의 에칭에서 절연체(149g)는 잔존하는 것이 바람직하다. 따라서 절연체(149g)로서 절연체(147g)에 대한 에칭 선택비가 큰 막을 사용하는 것이 바람직하다. 예를 들어 절연체(149g)에 질화 실리콘 또는 질화산화 실리콘을, 절연체(147g)에 산화 실리콘 또는 산화질화 실리콘을 각각 사용할 수 있다. 절연체(149g)를 제공함으로써 하프 에칭 처리를 사용하지 않고 도전체(262)와 도전체(242) 사이에 절연체를 형성할 수 있다. 따라서 에칭 공정에서의 기판면 내의 에칭 양의 편차로 인한 상기 절연체의 편차 등을 억제할 수 있다.
- [0361] 다음으로 절연체(149g), 도전체(260), 및 절연체(251)를 덮도록 절연체(148f)를 형성한다(도 9의 (E) 참조). 그 후 도 6의 (D) 내지 도 8의 (E)의 공정을 참조함으로써 도 9의 (F)에 나타낸 구성을 제작한다.
- [0362] <기억 장치의 제작 방법예>
- [0363] 본 발명의 일 형태에서의 기억 장치의 제작 방법의 일례에 대하여 이하에서 설명한다.
- [0364] 우선 도 5의 (A) 내지 도 8의 (E)에 나타낸 방법을 사용하여 기판(도시하지 않았음) 위에 절연체(140)를 형성하고, 절연체(140) 위에 트랜지스터(200)를 형성한다.
- [0365] 다음으로 트랜지스터(200) 위에 절연체(144f_1)가 되는 절연체를 형성한다. 그 후 상기 절연체에서 도전체(240)와 중첩되는 영역에 개구를 제공하고, 절연체(144f_1)를 형성한다(도 10의 (A) 참조). 절연체(144f)의 재료에 대해서는 절연체(144)에 사용할 수 있는 재료를 참조할 수 있다.
- [0366] 다음으로 절연체(144f_1)에 형성된 개구의 측벽, 절연체(144f_1)의 상면, 및 절연체(144f_1)가 갖는 개구의 바닥에서 노출되는 도전체(240)의 상면을 덮도록 절연체(144f_2)를 성막한다(도 10의 (B) 참조). 절연체(144f_2)는 절연체(144f_1)와 같은 재료를 사용하여 형성되는 것이 바람직하다. 또한 도 10의 (B)에서는 절연체(144f_1)와 절연체(144f_2)를 통틀어 절연체(144f)라고 나타낸다.
- [0367] 다음으로 절연체(144f)를 가공하여 절연체(144g)를 형성한다. 구체적으로는 절연체(144f_2)에서 도전체(240)의 상면을 덮는 영역의 적어도 일부를 제거한다. 이로써 예를 들어 개구(96)를 갖는 절연체(144g)를 형성할 수 있다(도 10의 (C) 참조). 절연체(144f_2)를 제공함으로써 리소그래피법에 의한 개구 치수의 최소값보다 작은 폭의 개구를 갖는 절연체(144g)를 형성할 수 있다. 또한 개구의 형성에 상술한 멀티 패터닝 기술을 적절히 사용할 수 있다.
- [0368] 또한 개구(96)의 측면의 각도에 따라 도전체(120)의 측면의 각도가 결정된다. 개구(96)의 측면의 각도는 실질적으로 수직인 것이 바람직하다.
- [0369] 다음으로 절연체(144g)에 제공된 개구를 매립하도록 도전체(120)가 되는 도전체를 형성하고, 상면의 높이가 절연체(144g)의 상면의 높이보다 낮아지도록 상기 도전체를 가공하여, 기둥 형상의 도전체(120)를 얻는다(도 11의 (A) 참조). 도전체(120)를 예를 들어 ALD법으로 형성할 수 있다. 여기서의 일례로서 질화 타이타늄을 사용하여 도전체(120)가 되는 도전체를 ALD법으로 형성한다.
- [0370] 다음으로 절연체(144g)의 상면, 도전체(120)의 상면, 및 절연체(144g)가 갖는 개구(96)에서 도전체(120)가 매립되지 않은 영역에 절연체(121f)를 형성한다(도 11의 (B) 참조). 절연체(121f)의 재료에 대해서는 절연체(121)에 사용할 수 있는 재료를 참조할 수 있다.
- [0371] 여기서 절연체(121f)의 성막을 예를 들어 ALD법으로 수행할 수 있다. 또한 절연체(121f)의 막 두께를 예를 들어 개구(96)의 폭의 절반보다 두껍게 하는 것이 바람직하다.
- [0372] 다음으로 절연체(121f)의 일부를 에칭으로 제거함으로써 절연체(121)를 형성한다(도 11의 (C) 참조). 상기 에칭으로 절연체(251f)에서 절연체(144g)의 상면 위에 위치하는 영역이 제거되어, 기둥 형상의 절연체(121)가 형성되는 것이 바람직하다. 또한 상기 에칭으로 기둥의 상면이 절연체(144g)의 상면보다 낮아지도록 절연체(121)가 형성되는 것이 바람직하다.

- [0373] 절연체(121f)의 에칭을 예를 들어 드라이 에칭법으로 수행할 수 있다.
- [0374] 또한 절연체(121f)의 에칭에서 절연체(144g)에 대하여 선택비가 큰 조건을 사용함으로써, 형성되는 절연체(121)의 높이를 절연체(144g)의 높이보다 적절하게 낮게 할 수 있다. 예를 들어 절연체(121)에 질화 실리콘 또는 질화산화 실리콘을 사용하고, 절연체(144g)에 산화 실리콘 또는 산화질화 실리콘을 사용함으로써 절연체(121)를 적절하게 형성할 수 있다.
- [0375] 이어서 절연체(144g)의 일부를 에칭으로 제거하여 개구(97)를 갖는 절연체(144)를 형성한다(도 12의 (A) 참조). 상기 에칭으로 절연체(144g)에서 도전체(120)를 둘러싸는 영역이 제거되어 도전체(120)의 측면이 노출된다. 개구(97)는 도전체(120)를 둘러싸는 영역에 제공되고, 또한 그 바닥부에는 절연체(144)가 잔존한다. 그러므로 개구(97)를 제공한 후이어도 도전체(240)의 상면은 노출되지 않는다.
- [0376] 예를 들어 절연체(144g) 위에서 개구를 제공하는 영역 이외를 레지스트 마스크로 덮고 드라이 에칭법 등으로 개구(97)를 형성할 수 있다. 이때 레지스트 마스크로 덮이지 않은 절연체(144g) 전체를 에칭하지 않고, 에칭을 도중에서 정지하여, 그 일부를 잔존시킨다. 절연체(144g)의 에칭 처리는 하프 에칭 처리라고 불리는 경우가 있다.
- [0377] 또한 도 12의 (A)에는 개구(97)의 바닥부가 도전체(240)의 상면까지 도달하지 않는 구성을 나타내었다. 이로써 도전체(240)와 나중의 공정에서 형성되는 도전체(110) 사이에는 절연체(130)에 더하여 절연체(144)가 배치되고, 도전체(110)와 트랜지스터(200)가 형성되는 층의 거리를 길게 할 수 있다. 이로써 절연체(130)가 개구(97)의 바닥부 등에서 얇게 형성된 경우이어도 도전체(240)와 도전체(110)의 누설을 억제할 수 있다. 또한 용량 소자(100)의 용량값은 개구(97)의 깊이에 의존하기 때문에, 깊이를 제어함으로써 용량 소자(100)의 용량값 및 소자들 사이의 용량 편차 등도 제어할 수 있다.
- [0378] 또한 상기 에칭으로 절연체(121)는 잔존하고, 절연체(121)를 둘러싸는 영역에서의 절연체(144g)가 제거되어, 절연체(121)의 측면이 노출되는 것이 바람직하다. 따라서 절연체(121)로서 절연체(144g)에 대한 에칭 선택비가 큰 막을 사용하는 것이 바람직하다. 예를 들어 절연체(121)에 질화 실리콘 또는 질화산화 실리콘을, 절연체(144g)에 산화 실리콘 또는 산화질화 실리콘을 각각 사용할 수 있다. 또한 절연체(144g)의 에칭에서 도전체(120)와의 에칭 선택비를 충분히 크게 할 수 있는 경우에는 용량 소자(100)에 절연체(121)를 제공하지 않아도 된다.
- [0379] 다음으로 노출된 도전체(120)의 측면을 덮도록 절연체(130)를 형성한다. 도전체(120)의 측면에 더하여 예를 들어 절연체(144g)의 개구(97)의 바닥부, 개구(97)의 측면, 및 절연체(144g)의 상면을 절연체(130)로 덮는다.
- [0380] 절연체(130)로서 예를 들어 ALD법을 사용하여 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 성막된 적층막을 형성하는 것이 바람직하다. 여기서 절연체(130)의 막 두께는 용량 소자(100)의 정전 용량에 대응한다. 용량 소자(100)의 정전 용량의 설정값에 따라 절연체(130)의 막 두께를 적절히 설정할 수 있다. 또한 절연체(130)의 박막화에 따라 도전체(120)와 도전체(110) 사이의 누설 전류가 생길 가능성이 있다. 기억 장치의 동작에서 이러한 누설 전류에 의한 영향을 억제할 수 있을 정도의 충분한 용량값이 되도록 절연체(130)의 두께, 도전체(120)의 높이 등을 적절히 제어하는 것이 바람직하다.
- [0381] 다음으로 절연체(130) 위에 도전체(110)를 형성한다(도 12의 (B) 참조). 또한 처리를 수행하여 도전체(110)의 표면을 평탄화하는 것이 바람직하다. 평탄화에는 예를 들어 CMP법 등을 사용할 수 있다.
- [0382] 도전체(110)에 도 3의 (C) 및 (D) 등에 나타난 도전체(110a)와 도전체(110b)의 적층 구조를 사용하는 경우에는 예를 들어 도전체(110a)와 도전체(110b)에 각각 질화 타이타늄과 텅스텐을 사용하는 것이 바람직하다. 도전체(110)를 예를 들어 CVD법으로 형성할 수 있다.
- [0383] 상술한 공정을 거쳐 도 4의 (A) 등에 나타난 것과 같은 본 발명의 일 형태의 기억 장치를 제작할 수 있다.
- [0384] <기억 장치의 제작 방법예 2>
- [0385] 또한 도 14의 (B)에 나타난 바와 같이 도 12의 (B)에 나타난 기억 장치에서 절연체(144)를 절연체(144a)와 절연체(144a) 위의 절연체(144b)의 적층 구조로 바꾸어도 좋다. 도 14의 (B)에 나타난 구성의 제작 방법에 대하여 도 13의 (A) 내지 도 14의 (B)를 사용하여 설명한다.
- [0386] 우선 트랜지스터(200) 위에 절연체(144a_f)를 형성하고, 절연체(144a_f) 위에 개구를 갖는 절연체(144b_f1)를 형성한다. 또한 절연체(144b_f1) 위에 절연체(144b_f2)를 형성한다(도 13의 (A) 참조). 여기서 절연체

(144b_f2)를 형성함으로써 절연체(144b_f1)가 갖는 개구의 폭을 좁게 할 수 있다. 또한 도 13의 (A)에서는 절연체(144b_f1)와 절연체(144b_f2)를 통틀어 절연체(144b_f)라고 나타낸다.

[0387] 다음으로 절연체(144b_f)를 가공하여 절연체(144b_g)를 형성한다. 구체적으로는 절연체(144b_f2)에서 절연체(144a_f)의 상면과 접촉하는 영역의 적어도 일부를 제거하여, 절연체(144b_g)를 형성한다. 또한 절연체(144b_g)를 마스크로서 사용하여 절연체(144a_f)에 개구를 제공함으로써 절연체(144a)를 형성한다(도 13의 (B) 참조).

[0388] 다음으로 절연체(144a) 및 절연체(144b_g) 각각이 갖는 개구 내에 도전체(120)를 형성한다. 이어서 절연체(144b_g)의 개구 내에 절연체(121)를 형성한다(도 13의 (C) 참조).

[0389] 다음으로 절연체(144b_g)의 일부를 제거하여 개구를 갖는 절연체(144b)를 형성한다(도 14의 (A) 참조). 여기서 절연체(144b_g)의 에칭에서 절연체(144a)는 잔존하는 것이 바람직하다. 따라서 절연체(144a)로서 절연체(144b_g)에 대한 에칭 선택비가 큰 막을 사용하는 것이 바람직하다. 예를 들어 절연체(144a)에 질화 실리콘 또는 질화산화 실리콘을 사용할 수 있다. 절연체(144a)를 제공함으로써 하프 에칭 처리를 사용하지 않고 절연체(130) 및 도전체(110)를 매립하는 개구를 형성할 수 있다. 따라서 에칭 공정에서의 기판면 내의 에칭 양의 편차에 의한 개구 깊이의 편차 등을 억제할 수 있다.

[0390] 다음으로 노출된 도전체(120)의 측면을 덮도록 절연체(130)를 형성한다. 도전체(120)의 측면에 더하여 예를 들어 절연체(144a)의 상면, 절연체(144b)가 갖는 개구의 측면, 및 절연체(144b)의 상면을 절연체(130)로 덮는다.

[0391] 다음으로 절연체(130) 위에 도전체(110)를 형성하여 본 발명의 일 형태의 기억 장치를 제작할 수 있다(도 14의 (B) 참조).

[0392] 또한 본 발명의 일 형태의 기억 장치에서 산소를 포함하는 분위기에서 스퍼터링법으로 절연체를 성막함으로써, 과잉 산소를 포함하는 절연체를 형성할 수 있다. 또한 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체 내의 수소 농도를 저감할 수 있다.

[0393] 또한 산소를 갖는 절연체의 형성에 이어서 가열 처리를 수행하여도 좋다. 가열 처리를 수행함으로써 절연체에 포함되는 산소를 산화물 반도체(230)로 적합하게 확산시킬 수 있다.

[0394] [트랜지스터(200)의 변형예 1]

[0395] 도 15의 (A) 및 (B)에 나타난 구성은 도 1의 (C) 및 (D)에 나타난 구성에 비하여 산화물 반도체(230)로 도전체(240)의 측면을 덮지 않는 점 등에서 상이하다.

[0396] [트랜지스터(200)의 변형예 2]

[0397] 도 15의 (C) 및 (D)에 나타난 구성은 도 1의 (C) 및 (D)에 나타난 구성에 비하여 절연체(250)의 형상, 산화물 반도체(230)의 형상 등이 상이하다.

[0398] 도 15의 (C) 및 (D)에서 절연체(250)는 도전체(260)의 측면을 덮는 영역, 절연체(251)의 측면 및 상면을 덮는 영역, 절연체(142)와 도전체(242) 사이에 끼워지는 영역 등을 갖는다. 또한 산화물 반도체(230)는 도전체(242)의 상면을 덮는 영역, 절연체(250)의 측면 및 상면을 덮는 영역 등을 갖는다. 도전체(240)는 산화물 반도체(230)의 상면을 덮는 영역, 절연체(252)의 상면을 덮는 영역 등을 갖는다. 절연체(252)는 산화물 반도체(230)의 주위를 둘러싸도록 제공되고, 도전체(240)와 도전체(242)는 절연체(252) 등으로 절연되어 있다.

[0399] 또한 산화물 반도체(230)의 상면에 더하여 측면의 일부를 도전체(240)로 덮어도 좋다.

[0400] [기억 장치의 변형예 1]

[0401] 도 16의 (A)에 나타난 기억 장치는 트랜지스터(200)와, 트랜지스터(200) 위의 용량 소자(100)를 갖는다. 도 16의 (A)에 나타난 용량 소자(100)의 구성은 도 3의 (C) 등에 나타난 용량 소자의 구성과 상이하다.

[0402] 도 16의 (A)에 나타난 용량 소자(100)는 도전체(240) 위의 도전체(120)와, 도전체(120) 위의 절연체(130)와, 절연체(130) 위의 도전체(110)를 갖는다.

[0403] 절연체(144)에는 도전체(240)에 도달하는 개구가 제공되어 있고, 도전체(120)의 적어도 일부는 상기 개구 내에 배치되어 있다. 또한 도전체(120)는 상기 개구 내에서 도전체(240)의 상면과 접촉하는 영역과, 절연체(144)의 측면과 접촉하는 영역을 갖는다. 또한 도전체(120)는 절연체(144)의 상면과 접촉하는 영역을 갖는다.

- [0404] 절연체(130)는 도전체(120)의 상면 및 측면과, 절연체(144)의 상면을 덮도록 제공된다. 또한 절연체(130)는 절연체(144)가 갖는 개구 내에서 도전체(120)의 측면을 덮도록 제공되고, 도전체(120)는 절연체(144)와 절연체(130) 사이에 끼워지는 영역을 갖는다. 도전체(110)는 절연체(130)를 개재하여 절연체(144)가 갖는 오목부를 매립하도록 제공된다.
- [0405] 예를 들어 절연체(144)에 개구를 제공하고, 절연체(144) 위에 도전체(120)가 되는 막을 형성한 후, 상기 막을 가공하여 도전체(120)를 형성하고, 도전체(120)를 덮도록 절연체(130)를 형성하고, 절연체(130)를 개재하여 절연체(144)의 오목부에 도전체(110)를 형성하는 간단한 공정에서 도 16의 (A)에 나타난 용량 소자(100)를 제작할 수 있다.
- [0406] [기억 장치의 변형예 2]
- [0407] 도 16의 (B)에 나타난 기억 장치는 트랜지스터(200)와, 트랜지스터(200) 위의 용량 소자(100)를 갖는다. 도 16의 (B)에 나타난 용량 소자(100)는 도 16의 (A) 등에 나타난 용량 소자에 비하여 도전체(110)가 절연체(130)를 개재하여 도전체(120)의 외측의 측면 측에 위치하는 영역을 갖는 점 등에서 상이하다. 도 16의 (B)에서 도전체(120)는 외측의 측면과 내측의 측면 모두가 절연체(130)로 덮이는 영역을 갖는다.
- [0408] 도 16의 (B)에 나타난 구성은 도 16의 (A)에 나타난 구성에 비하여 도전체(120)의 외측의 측면 측에도 용량 소자를 형성할 수 있기 때문에, 용량값을 높일 수 있다.
- [0409] 본 실시형태에 나타난 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0410] (실시형태 2)
- [0411] 본 실시형태에서는 도 17 내지 도 20을 사용하여 앞의 실시형태에 나타난 기억 장치의 트랜지스터의 반도체층에 적용할 수 있는 금속 산화물(이하, 산화물 반도체 또는 산화물이라고 부르는 경우도 있음) 및 그 성막 방법에 대하여 설명한다.
- [0412] 본 발명의 일 형태의 기억 장치에서는 채널 형성 영역을 포함하는 금속 산화물에 결정성이 높은 금속 산화물을 사용하는 것이 바람직하다. 또한 상기 결정은 복수의 층(예를 들어 제 1 층과, 제 2 층과, 제 3 층)이 적층된 결정 구조를 갖는 것이 바람직하다. 즉 상기 결정은 층상 결정 구조(층상 결정, 층상 구조라고도 함)를 갖는다. 이때 상기 결정의 c축의 방향은 복수의 층이 적층되는 방향이 된다.
- [0413] 상기 층상 결정 구조를 갖는 금속 산화물을 형성하기 위해서는 한 층씩 원자를 퇴적하는 것이 바람직하다. 예를 들어 금속 산화물의 형성 방법으로서 ALD(Atomic Layer Deposition)법을 사용할 수 있다.
- [0414] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇은 성막이 가능하고, 중형비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한 ALD법에는 열을 이용한 성막 방법인 열 ALD(thermal ALD)법 및 플라스마를 이용한 성막 방법인 플라스마 ALD(PEALD: Plasma Enhanced ALD)법도 포함된다. 플라스마를 이용함으로써, 더 낮은 온도에서 성막할 수 있기 때문에 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 또는 염소 등의 원소가 포함되는 경우가 있다. 그러므로 ALD법에 의하여 제공된 막은, 다른 성막법에 의하여 제공된 막에 비하여 탄소 또는 염소 등의 원소를 많이 포함하는 경우가 있다. 또한 이들 원소의 정량은 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy) 또는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)을 사용하여 수행할 수 있다.
- [0415] ALD법은 타겟 등으로부터 방출되는 입자가 퇴적되는 성막 방법과 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어려워, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 중형비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다.
- [0416] <ALD법을 사용한 금속 산화물의 성막 방법>
- [0417] 여기서 본 발명의 일 형태에 사용할 수 있는, ALD법을 사용한 금속 산화물의 성막 방법에 대하여 설명한다.
- [0418] 금속 산화물을 ALD법을 사용하여 성막하는 방법의 일례에 대하여, 도 17의 (A) 내지 (E)를 사용하여 설명한다. 우선 전구체(611a)를 챔버에 도입하고, 기판(610)의 표면에 전구체(611a)를 흡착시킨다(도 17의 (A) 참조. 이하 상기 공정을 제 1 단계라고 부르는 경우도 있음). 여기서 도 17의 (A)에 나타난 바와 같이, 전구체(611

a)가 기판(610)의 표면에 흡착됨으로써, 표면 화학 반응의 자기 정지 기구가 작용하기 때문에, 기판(610) 위의 전구체(611a)의 층 위에 전구체(611a)가 더 흡착되지는 않는다. 또한 표면 화학 반응의 자기 정지 기구가 작용하는 기판 온도의 적정 범위를 ALD Window라고도 부른다. ALD Window는 전구체의 온도에 대한 흡착률, 분해 온도 등에 따라 결정되지만, 예를 들어 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하가 되는 경우가 있다.

[0419] 다음으로 불활성 가스(아르곤, 헬륨, 또는 질소 등) 등을 체임버에 도입하고, 과잉의 전구체(611a) 및 반응 생성물 등을 체임버로부터 배출한다(이하, 상기 공정을 제 2 단계라고 부르는 경우가 있음). 또한 불활성 가스를 체임버에 도입하는 대신에 진공 배기에 의하여 과잉의 전구체 및 반응 생성물 등을 체임버로부터 배출하여도 좋다. 제 2 단계는 퍼지(purge)라고도 불린다.

[0420] 다음으로 반응제(612a)(예를 들어 산화제(오존(O_3), 산소(O_2), 물(H_2O), 및 이들의 플라즈마, 라디칼, 이온 등))를 체임버에 도입하여, 기판(610)의 표면에 흡착된 전구체(611a)와 반응시킴으로써, 전구체(611a)의 구성 분자를 기판(610)에 흡착시킨 채로, 전구체(611a)에 포함되는 성분의 일부를 이탈시킨다(도 17의 (B) 참조. 이하 상기 공정을 제 3 단계라고 부르는 경우가 있음). 이로써 전구체(611a)의 일부가 산화되어 형성된 산화물(613a)의 층이 기판(610)의 표면에 형성된다.

[0421] 다음으로 불활성 가스의 도입 또는 진공 배기에 의하여, 과잉의 반응제(612a) 또는 반응 생성물 등을 체임버로부터 배출한다(이하, 상기 공정을 제 4 단계라고 부르는 경우가 있음).

[0422] 다음으로 전구체(611a)와 상이한 금속 원소를 갖는 전구체(611b)를 도입하고 제 1 단계와 같은 공정을 수행하고, 산화물(613a)의 층의 표면에 전구체(611b)를 흡착시킨다(도 17의 (C) 참조). 여기서 도 17의 (C)에 나타난 바와 같이 전구체(611b)가 산화물(613a)의 층에 흡착됨으로써, 표면 화학 반응의 자기 정지 기구가 작용하기 때문에, 기판(610) 위의 전구체(611b)의 층 위에 전구체(611b)가 더 흡착되지는 않는다.

[0423] 다음으로, 제 2 단계와 마찬가지로, 불활성 가스의 도입 또는 진공 배기에 의하여, 과잉의 전구체(611b) 및 반응 생성물 등을 체임버로부터 배출한다.

[0424] 다음으로, 제 3 단계와 마찬가지로, 반응제(612b)를 체임버에 도입한다. 여기서 반응제(612b)로서는 반응제(612a)와 같은 것을 사용하여도 좋고, 상이한 것을 사용하여도 좋다(도 17의 (D) 참조). 이로써 전구체(611b)의 일부가 산화되어 형성된 산화물(613b)의 층이 산화물(613a)의 층 위에 형성된다.

[0425] 다음으로, 제 4 단계와 마찬가지로, 불활성 가스의 도입 또는 진공 배기에 의하여, 과잉의 반응제(612b) 및 반응 생성물 등을 체임버로부터 배출한다.

[0426] 또한 마찬가지로 제 1 단계 내지 제 4 단계를 수행하고, 산화물(613c)의 층을 산화물(613b)의 층 위에 형성할 수 있다. 이와 같이 산화물(613a) 내지 산화물(613c)을 형성하는 공정을 반복적으로 수행함으로써, 산화물(613a) 내지 산화물(613c)의 적층 구조가 반복되는, 층상의 결정 구조의 금속 산화물을 형성할 수 있다(도 17의 (E) 참조).

[0427] 또한 층상의 금속 산화물의 두께를 1nm 이상 100nm 미만으로, 바람직하게는 3nm 이상 20nm 미만으로 하는 것이 바람직하다.

[0428] 또한 층상의 결정 구조의 금속 산화물을 형성하는 데에 있어서, 도 17에 나타난 공정을 기판을 가열하면서 수행하는 것이 바람직하다. 예를 들어 기판 온도를 200℃ 이상 600℃ 이하, 바람직하게는 300℃ 이상 전구체의 분해 온도 이하로 하는 것이 바람직하다. 또한, 종류가 상이한 복수의 전구체를 사용하여 ALD법에 의한 성막을 수행하는 경우에는, 기판 온도를 복수의 전구체의 분해 온도 중 가장 낮은 분해 온도 이하로 하는 것이 바람직하다. 이로써, ALD법에 의한 성막 시에 사용하는 복수의 전구체를 각각 분해시키지 않고, 대상물(예를 들어 기판 등)에 흡착시킬 수 있다.

[0429] 이러한 온도 범위에서 기판을 가열하면서 상기 성막을 수행함으로써, 단계 1 내지 단계 4의 각 과정에서, 전구체 및 반응제 등에 포함되는 수소 또는 탄소 등의 불순물을 금속 산화물 내에서 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO_2 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H_2O 로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자의 재배열이 수행되어, 각 산화물의 층을 높은 질서성으로 배열할 수 있다. 따라서 결정성이 높은 층상 결정 구조의 금속 산화물을 형성할 수 있다.

[0430] 상기 온도 범위에서 기판을 가열하면서 성막을 수행하기 위하여, 상기 성막에 사용하는 전구체는 분해 온도가

높은 것이 바람직하다. 예를 들어 전구체의 분해 온도가 200℃ 이상 700℃ 이하인 것이 바람직하고, 300℃ 이상 600℃ 이하인 것이 더 바람직하다. 이와 같이 분해 온도가 높은 전구체로서는, 무기물로 형성되는 전구체(이하 무기 전구체라고 부름)를 사용하는 것이 바람직하다. 일반적으로 무기 전구체는 유기물로 형성되는 전구체(이하 유기 전구체라고 부름)보다 분해 온도가 높은 경향이 있기 때문에, 상기와 같은 온도 범위에 ALD Window를 갖는 경우가 있다. 또한 무기 전구체에는 수소 또는 탄소 등의 불순물이 포함되지 않기 때문에, 성막되는 금속 산화물 내의 수소 또는 탄소 등의 불순물의 농도가 높아지는 것을 방지할 수 있다.

[0431] 또한 상기 금속 산화물의 성막 후에 가열 처리를 수행하는 것이 바람직하다. 특히 상기 ALD법에 의한 성막 후에 외기에 노출시키지 않고 연속적으로 가열 처리를 수행하는 것이 바람직하다. 상기 가열 처리는 100℃ 이상 1200℃ 이하에서, 바람직하게는 200℃ 이상 1000℃ 이하에서, 더 바람직하게는 250℃ 이상 650℃ 이하에서, 더 바람직하게는 300℃ 이상 600℃ 이하에서, 더 바람직하게는 400℃ 이상 550℃ 이하에서, 더 바람직하게는 420℃ 이상 480℃ 이하에서 수행하는 것이 바람직하다. 또한, 가열 처리는 질소 가스 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한, 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 가열 처리는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다.

[0432] 이와 같이 가열 처리를 수행함으로써, 금속 산화물에 포함되는 수소 또는 탄소 등의 불순물을 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO₂ 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H₂O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자의 재배열이 수행되고, 결정성을 향상시킬 수 있다. 따라서 결정성이 높은 층상의 결정 구조의 금속 산화물을 형성할 수 있다.

[0433] 또한 상기 금속 산화물 성막 후에, 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써 상기 금속 산화물 내의 불순물 농도를 저감하는 처리를 수행하는 것이 바람직하다. 또한 불순물로서는 특히 수소 및 탄소를 들 수 있다. 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 갖는 장치를 사용하는 처리를 말한다.

[0434] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라스마화하여, 상기 산소 플라스마를 작용시킬 수 있다. 또한 금속 산화물에 작용하는 산소는 산소 원자, 산소 분자, 산소 이온, 및 산소 라디칼(0 라디칼이라고도 하고, 홀전자(unpaired electron)를 갖는 원자, 분자, 또는 이온) 등의 다양한 형태를 갖는다. 또한 금속 산화물에 작용하는 산소는 상술한 형태 중 어느 하나 또는 복수를 가지면 좋고, 특히 산소 라디칼을 갖는 것이 적합하다.

[0435] 또한 상술한 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때 기판을 가열함으로써 금속 산화물 내의 불순물 농도를 더 저감할 수 있기 때문에 적합하다. 상술한 기판의 가열은 100℃ 이상 650℃ 이하, 바람직하게는 200℃ 이상 600℃ 이하, 더 바람직하게는 300℃ 이상 450℃ 이하의 온도에서 수행하는 것이 바람직하다.

[0436] 상술한 산소를 포함하는, 분위기에서의 마이크로파 처리를 수행할 때 기판을 가열함으로써, SIMS에 의하여 얻어지는 금속 산화물 내의 탄소 농도를 1×10^{20} atoms/cm³ 미만, 바람직하게는 1×10^{19} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만으로 할 수 있다.

[0437] 또한 앞에서는 금속 산화물에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어 금속 산화물 근방에 위치하는 절연막, 더 구체적으로는 산화 실리콘막에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행하여도 좋다. 예를 들어 절연체(250)를 성막한 후에 마이크로파 처리를 수행하여도 좋다. 산화 실리콘막에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 상기 산화 실리콘막 내에 포함되는 수소를 H₂O로서 외부로 방출시킬 수 있다. 금속 산화물 근방에 위치하는 산화 실리콘막으로부터 수소를 방출시킴으로써 신뢰성이 높은 기억 장치를 제공할 수 있다.

[0438] 또한 도 17에서는 산화물(613a) 내지 산화물(613c)의 적층 구조가 반복되는 구조에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 하나, 2개, 또는 4개 이상의 산화물이 반복적으로 형성되는 금속 산화물로 하여도 좋다.

[0439] 또한 본 명세서 등에 특별히 기재되어 있지 않으면, 반응제 또는 산화제로서 오존, 산소, 물을 사용하는 경우, 이들은 가스 상태 또는 분자 상태에 한정되지 않고, 플라스마 상태, 라디칼 상태, 및 이온 상태의 것도 포함하

는 것으로 한다. 플라스마 상태, 라디칼 상태, 또는 이온 상태의 산화제를 사용하여 성막하는 경우, 후술하는 라디칼 ALD 장치 또는 플라스마 ALD 장치를 사용하는 것이 바람직하다.

[0440] 전구체에 포함되는 탄소 또는 수소 등의 불순물을 제거하기 위해서는, 상기 전구체에 산화제를 충분히 반응시키는 것이 바람직하다. 예를 들어 산화제를 도입하는 펄스 시간을 길게 하는 것이 바람직하다. 또는 산화제를 여러 번 도입하는 것이 바람직하다. 산화제를 여러 번 도입하는 경우, 같은 종류의 산화제를 도입하여도 좋고, 상이한 종류의 산화제를 도입하여도 좋고, 예를 들어 제 1 산화제로서 물을 চে임버에 도입한 후, 진공 배기를 수행하고, 제 2 산화제로서 수소를 포함하지 않는 오존 또는 산소를 চে임버에 도입하고 진공 배기를 수행하여도 좋다.

[0441] 이러한 식으로, চে임버 내에서 산화제의 도입과 불활성 가스의 도입(또는 진공 배기)을 단시간에 여러 번 반복함으로써, 기판 표면에 흡착된 전구체로부터, 불필요한 수소 원자, 탄소 원자, 염소 원자 등을 더 확실하게 제거하고, চে임버 외에 배제할 수 있다. 또한 산화제의 종류를 2종류로 늘림으로써, 기판 표면에 흡착된 전구체로부터 불필요한 수소 원자 등을 더 많이 제거할 수 있다. 이와 같이, 성막 중에 수소 원자가 막 내로 들어가지 않도록 함으로써, 형성된 막에 포함되는 물, 수소 등을 저장할 수 있다.

[0442] ALD법은 열 에너지를 사용하여 전구체 및 반응제를 반응시켜 수행하는 성막 방법이다. 전구체 및 반응제의 반응에 필요한 온도는 이들의 온도 특성, 증기압, 분해 온도 등에 따라 결정되지만, 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 600℃ 이하, 더 바람직하게는 300℃ 이상 600℃ 이하이다.

[0443] 또한 상기 전구체 및 반응제의 반응에 더하여, 제 3 원료 가스로서 플라스마 여기된 반응제도 চে임버에 도입함으로써 처리를 수행하는 ALD법을 플라스마 ALD법이라고 부르는 경우가 있다. 이 경우, 제 3 원료 가스의 도입 부에는 플라스마 생성 장치가 제공된다. 플라스마의 생성에는 유도 결합 플라스마를 사용할 수 있다. 또한 이에 대하여 전구체 및 반응제의 반응을 열 에너지로 수행하는 ALD법을 열 ALD법이라고 부르는 경우가 있다.

[0444] 플라스마 ALD법에서는, 제 3 단계에서 플라스마 여기된 반응제를 도입함으로써 성막을 수행한다. 또는 제 1 단계 내지 제 4 단계를 반복하는 것과 동시에, 플라스마 여기된 반응제(제 2 반응제)를 도입함으로써 성막을 수행한다. 이 경우, 제 3 단계에서 도입되는 반응제를 제 1 반응제라고 부른다. 플라스마 ALD법에서 제 3 원료 가스로서 사용하는 제 2 반응제에는 상기 산화제와 같은 재료를 사용할 수 있다. 즉 제 2 반응제로서, 플라스마 여기된 오존, 산소, 및 물을 사용할 수 있다. 또한 제 2 반응제로서는, 산화제 이외에 질화제를 사용하여도 좋다. 질화제로서는 질소(N_2) 또는 암모니아(NH_3)를 사용할 수 있다. 또한 질소(N_2)와 수소(H_2)의 혼합 가스를 질화제로서 사용할 수 있다. 예를 들어 질소(N_2) 5%, 수소(H_2) 95%의 혼합 가스를 질화제로서 사용할 수 있다. 플라스마 여기된 질소 또는 암모니아를 도입하면서 성막을 수행함으로써, 금속 질화막 등의 질화막을 형성할 수 있다.

[0445] 또한 제 2 반응제의 캐리어 가스로서, 아르곤(Ar), 헬륨(He), 또는 질소(N_2)를 사용하여도 좋다. 아르곤, 헬륨, 또는 질소 등의 캐리어 가스를 사용함으로써, 플라스마의 방전이 용이해지고, 플라스마 여기된 제 2 반응제가 용이하게 생성되기 때문에 바람직하다. 또한 플라스마 ALD법을 사용하여 금속 산화막 등의 산화막을 형성하는 경우, 캐리어 가스로서 질소를 사용하면, 막 내에 질소가 혼입되어 원하는 막질을 얻을 수 없는 경우가 있다. 이 경우, 캐리어 가스로서 아르곤 또는 헬륨을 사용하는 것이 바람직하다.

[0446] ALD법은 매우 얇은 막을 균일한 막 두께로 성막할 수 있다. 또한 요철을 갖는 면에 대해서도 표면 피복률이 높다.

[0447] 여기서 층상의 결정 구조의 금속 산화물이 In-M-Zn 산화물인 경우의, 결정 내의 원자 배열에 대하여 도 18의 (A) 내지 (D)를 사용하여 설명한다. 또한 도 18의 (B) 및 (D)에서는 원자를 공(원형)으로 나타내고, 금속 원자와 산소 원자의 결합을 선으로 나타내었다. 도 18의 (B) 및 (D)에서, In-M-Zn 산화물의 결정 구조에서의 c축(c-axis) 방향은 도면 중의 화살표로 나타내었다. 또한 In-M-Zn 산화물의 결정 구조에서의 a-b면 방향은 도 18의 (B) 및 (D)에서 화살표로 나타낸 c축 방향에 수직인 방향이다.

[0448] 도 18의 (A)는 구조체(650)에 형성된 In-M-Zn 산화물을 갖는 산화물(660)을 나타낸 도면이다. 여기서 구조체란, 트랜지스터 등의 반도체 장치를 구성하는 요소를 가리킨다. 구조체(650)에는 기판, 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체, 게이트 절연막, 층간 절연막, 하지 절연막 등의 절연체, 금속 산화물, 및 실리콘 등의 반도체 등이 포함된다. 도 18의 (A)에는 구조체(650)의 피성막면이 기판(또는 기체, 도시하지 않았음)에 평행하게 배치되는 경우를 나타내었다.

- [0449] 도 18의 (B)는 도 18의 (A)에서의 산화물(660)의 일부인 영역(653)에서의 결정 내의 원자 배열을 나타낸 확대도이다. 여기서 도 18의 (A) 및 (B)에 나타난 산화물(660)의 조성은 $\text{In:M:Zn}=1:1:1$ [원자수비]이고, 결정 구조는 YbFe_2O_4 형 구조로 한다. 또한 원소 M은 +3가의 금속 원소로 한다.
- [0450] 도 18의 (B)에 나타난 바와 같이, 산화물(660)이 갖는 결정은 인듐(In)과 산소를 갖는 층(621), 원소 M과 산소를 갖는 층(631), 아연(Zn)과 산소를 갖는 층(641)이 이 순서대로 반복적으로 적층되어 있다. 층(621), 층(631), 및 층(641)은 구조체(650)의 피성막면에 실질적으로 평행하게 배치되어 있다. 즉 산화물(660)의 a-b면은 구조체(650)의 피성막면에 실질적으로 평행하고, 산화물(660)의 c축은 구조체(650)의 피성막면의 법선 방향에 실질적으로 평행하다.
- [0451] 도 18의 (B)에 나타난 바와 같이, 상기 결정이 갖는 층(621), 층(631), 층(641) 각각이 하나의 금속 원소와 산소로 구성됨으로써, 양호한 결정성으로 배열되어, 상기 금속 산화물의 이동도를 높일 수 있다.
- [0452] 또한 $\text{In:M:Zn}=1:1:1$ [원자수비]의 In-M-Zn 산화물은 도 18의 (B)에 나타난 구조에 한정되는 것은 아니다. 층(621), 층(631), 층(641)의 적층 순서가 변경되어도 좋다. 예를 들어 층(621), 층(641), 층(631)이 이 순서대로 반복적으로 적층되어도 좋다. 또는 층(621), 층(631), 층(641), 층(621), 층(641), 층(631)이 이 순서대로 반복적으로 적층되어도 좋다. 또한 층(631)의 원소 M의 일부가 아연으로 치환되어도 좋고, 층(641)의 아연의 일부가 원소 M으로 치환되어도 좋다.
- [0453] 상기에서는 조성이 $\text{In:M:Zn}=1:1:1$ [원자수비]의 In-M-Zn 산화물을 형성하는 예를 나타내었지만, 조성식이 $\text{In}_{(1+\alpha)}\text{M}_{(1-\alpha)}\text{O}_3(\text{ZnO})_m$ (α 는 0보다 크고 1보다 작은 실수이고, m은 양의 수임)으로 나타내어지는 결정성의 In-M-Zn 산화물은 마찬가지로 층상의 결정 구조를 가질 수 있다. 이 예로서, 도 18의 (C) 및 (D)를 사용하여 조성이 $\text{In:M:Zn}=1:3:4$ [원자수비]의 In-M-Zn 산화물에 대하여 설명한다.
- [0454] 도 18의 (C)는 구조체(650)에 형성된 In-M-Zn 산화물을 갖는 산화물(662)을 나타낸 도면이다. 도 18의 (D)는 도 18의 (C)에서의 산화물(662)의 일부인 영역(654)에서의 결정 내의 원자 배열을 나타낸 확대도이다.
- [0455] 도 18의 (D)에 나타난 바와 같이, 산화물(662)이 갖는 결정은 인듐(In)과 원소 M과 산소를 갖는 층(622), 아연(Zn)과 산소를 갖는 층(641), 및 원소 M과 산소를 갖는 층(631)을 갖는다. 산화물(662)에서, 복수의 층은 층(622), 층(641), 층(631), 층(641)의 순서로 반복적으로 적층되어 있다. 층(622), 층(631), 및 층(641)은 구조체(650)의 피성막면에 실질적으로 평행하게 배치되어 있다. 즉 산화물(662)의 a-b면은 구조체(650)의 피성막면에 실질적으로 평행하고, 산화물(662)의 c축은 구조체(650)의 피성막면의 법선 방향에 실질적으로 평행하다.
- [0456] 또한 $\text{In:M:Zn}=1:3:4$ [원자수비]의 In-M-Zn 산화물은 도 18의 (D)에 나타난 구조에 한정되지 않고, $\text{In:M:Zn}=1:3:4$ [원자수비]의 범위 내에서 구조가 변화되어도 좋다. 예를 들어 층(622), 층(631), 층(641)의 적층 순서가 변경되어도 좋다. 또한 층(631)의 원소 M의 일부가 아연으로 치환되고, 층(641)의 아연의 일부가 원소 M으로 치환되어도 좋다. 또한 층(622) 대신에 층(621) 또는 층(631)이 형성되어도 좋다.
- [0457] <In-M-Zn 산화물>
- [0458] 다음으로 도 18의 (A) 및 (B)에 나타난 In-M-Zn 산화물을 갖는 산화물(660)의 자세한 형성 방법에 대하여 도 19의 (A) 내지 도 20의 (C)를 사용하여 설명한다.
- [0459] 우선 인듐을 갖는 전구체를 포함하는 원료 가스를 챔버에 도입하여, 구조체(650)의 표면에 상기 전구체를 흡착시킨다(도 19의 (A) 참조). 여기서 원료 가스에는 전구체 이외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다. 인듐을 갖는 전구체로서 트라이메틸인듐, 트라이에틸인듐, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)인듐, 사이클로펜타다이엔일인듐, 인듐(III)아세틸아세토네이트, (3-(다이메틸아미노)프로필)다이메틸인듐 등을 사용할 수 있다.
- [0460] 또한 인듐을 갖는 전구체로서 탄화수소를 갖지 않는 무기 전구체를 사용하여도 좋다. 인듐을 갖는 무기 전구체로서 삼염화 인듐, 삼브로민화 인듐, 삼아이오딘화 인듐 등의 할로젠계 인듐 화합물을 사용할 수 있다. 삼염화 인듐은 분해 온도가 500℃ 이상 700℃ 이하 정도이다. 따라서 삼염화 인듐을 사용함으로써 400℃ 이상 600℃ 이하 정도, 예를 들어 500℃에서 기판을 가열하면서 ALD법으로 성막을 수행할 수 있다.
- [0461] 다음으로 상기 원료 가스의 도입을 멈추고 챔버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 챔버에서 배출한다.

- [0462] 다음으로 반응제로서 산화제를 체임버에 도입하여, 흡착된 전구체와 반응시키고, 인듐을 기관에 흡착시킨 채로 인듐 이외의 성분을 이탈시킴으로써, 인듐과 산소가 결합된 층(621)을 형성한다(도 19의 (B) 참조). 산화제로서는 오존, 산소, 물 등을 사용할 수 있다. 다음으로 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.
- [0463] 다음으로 원소 M을 갖는 전구체를 포함하는 원료 가스를 체임버에 도입하여, 층(621) 위에 상기 전구체를 흡착시킨다(도 19의 (C) 참조). 원료 가스에는 전구체 이외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다. 원소 M으로서 갈륨을 사용하는 경우, 갈륨을 갖는 전구체로서 트라이메틸갈륨, 트라이에틸갈륨, 트리스(다이메틸아마이드)갈륨, 갈륨(III)아세틸아세토네이트, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)갈륨, 다이메틸클로로갈륨, 다이에틸클로로갈륨, 다이메틸갈륨아이스프로폭사이드 등을 사용할 수 있다.
- [0464] 또한 갈륨을 갖는 전구체로서 탄화수소를 갖지 않는 무기 전구체를 사용하여도 좋다. 갈륨을 갖는 무기 전구체로서 삼염화 갈륨, 삼브로민화 갈륨, 삼아이오딘화 갈륨 등의 할로젠계 갈륨 화합물을 사용할 수 있다. 삼염화 갈륨은 분해 온도가 550℃이상 700℃이하 정도이다. 따라서 삼염화 갈륨을 사용함으로써 450℃이상 650℃이하 정도, 예를 들어 550℃에서 기관을 가열하면서 ALD법으로 성막을 수행할 수 있다.
- [0465] 다음으로 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 체임버에서 배출한다.
- [0466] 다음으로 반응제로서 산화제를 체임버에 도입하고, 흡착된 전구체와 반응시켜 원소 M을 기관에 흡착시킨 채로 원소 M 이외의 성분을 이탈시킴으로써, 원소 M과 산소가 결합된 층(631)을 형성한다(도 19의 (D) 참조). 이때 층(641)을 구성하는 산소의 일부가 층(631) 위에 흡착되는 경우가 있다. 다음으로 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.
- [0467] 다음으로 아연을 갖는 전구체를 포함하는 원료 가스를 체임버에 도입하고, 층(631) 위에 전구체를 흡착시킨다(도 20의 (A) 참조). 이때 아연과 산소가 결합된 층(641)의 일부가 형성되는 경우가 있다. 원료 가스에는 전구체 이외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다. 아연을 포함하는 전구체로서 다이메틸아연, 다이에틸아연, 비스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)아연, 아세트산 아연 등을 사용할 수 있다.
- [0468] 또한 아연을 갖는 전구체로서 탄화수소를 갖지 않는 무기 전구체를 사용하여도 좋다. 아연을 갖는 무기 전구체로서 이염화 아연, 이브로민화 아연, 이아이오딘화 아연 등의 할로젠계 아연 화합물을 사용할 수 있다. 이염화 아연은 분해 온도가 450℃이상 700℃이하 정도이다. 따라서 이염화 아연을 사용함으로써 350℃이상 550℃이하 정도, 예를 들어 450℃에서 기관을 가열하면서 ALD법으로 성막을 수행할 수 있다.
- [0469] 다음으로 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 체임버에서 배출한다.
- [0470] 다음으로 반응제로서 산화제를 체임버에 도입하고, 흡착된 전구체와 반응시켜 아연을 기관에 흡착시킨 채로 아연 이외의 성분을 이탈시킴으로써, 아연과 산소가 결합된 층(641)을 형성한다(도 20의 (B) 참조). 다음으로 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.
- [0471] 다음으로 층(641) 위에 상술한 방법으로 층(621)을 다시 형성한다(도 20의 (C) 참조). 이상의 방법을 반복함으로써, 기관 위 또는 구조체 위에 산화물(660)을 형성할 수 있다.
- [0472] 또한 상기 전구체 중에는 금속 원소 이외에, 탄소 및 염소 중 한쪽 또는 양쪽을 포함하는 것이 있다. 탄소를 포함하는 전구체를 사용하여 형성된 막에는 탄소가 포함되는 경우가 있다. 또한 염소 등의 할로젠을 포함하는 전구체를 사용하여 형성된 막에는 염소 등의 할로젠이 포함되는 경우가 있다.
- [0473] 상술한 바와 같이, ALD법을 사용하여 산화물(660)을 형성함으로써, 피성막면의 법선 방향에 실질적으로 평행하게 c축이 배향된 금속 산화물을 형성할 수 있다. 예를 들어 상기 실시형태에 따른 도 1의 (B) 및 (C)에 나타난 산화물 반도체(230)에서 절연체(250)의 측벽에 실질적으로 평행한 층상의 결정을 형성할 수 있다. 이러한 구성으로 함으로써 산화물 반도체(230)의 층상 결정이 트랜지스터(200)의 채널 길이 방향에 실질적으로 평행하게 형성되기 때문에, 트랜지스터의 온 전류를 높일 수 있다.
- [0474] 도 19의 (A) 내지 도 20의 (C)에 나타난 공정을 기관을 가열하면서 수행하는 것이 바람직하다. 예를 들어 기관 온도를 200℃이상 600℃이하, 바람직하게는 300℃이상 전구체의 분해 온도 이하로 하는 것이 바람직하다.
- [0475] 상기 온도 범위에서 기관을 가열하면서 성막을 수행하기 위하여, 상기 성막에 사용하는 전구체는 분해 온도가

높은 것이 바람직하다. 예를 들어 전구체의 분해 온도가 200℃ 이상 700℃ 이하인 것이 바람직하고, 300℃ 이상 600℃ 이하인 것이 더 바람직하다. 이와 같이 분해 온도가 높은 전구체로서는 무기 전구체를 사용하는 것이 바람직하다. 무기 전구체는 일반적으로 유기 전구체보다 분해 온도가 높은 경향이 있기 때문에, 상기와 같이 기판을 가열하면서 성막을 하여도 전구체가 분해되기 어렵다.

[0476] 무기 전구체로서는 예를 들어 상술한 삼염화 인듐, 삼염화 갈륨, 이염화 아연을 사용할 수 있다. 상술한 바와 같이, 이들 전구체는 분해 온도가 350℃ 이상 700℃ 이하 정도이고, 일반적인 유기 전구체의 분해 온도보다 상당히 높다. 다만 상술한 바와 같이 삼염화 인듐, 삼염화 갈륨, 이염화 아연의 분해 온도는 상이하다. 이와 같이 종류가 상이한 복수의 전구체를 사용하여 ALD법에 의한 성막을 수행하는 경우에는, 기판 온도를 복수의 전구체의 분해 온도 중 가장 낮은 온도 이하로 하는 것이 바람직하다. 상기 예에서는 전구체의 분해 온도가 가장 낮은 이염화 아연이 분해되지 않는 범위에서 기판 온도를 설정하는 것이 바람직하다. 이로써 다른 삼염화 인듐, 삼염화 갈륨도 분해시키지 않고, 대상물(예를 들어 기판 등)에 흡착시킬 수 있다.

[0477] 또한 도 19의 (A) 내지 도 20의 (C)에는 인듐을 포함하는 층으로서 층(621)을 형성하고, 그 위에 원소 M을 포함하는 층으로서 층(631)을 형성하고, 그 위에 아연을 포함하는 층으로서 층(641)을 더 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 층(631) 및 층(641) 중 한쪽을 형성하고, 그 위에 층(621)을 형성하고, 그 위에 층(631) 및 층(641) 중 다른 쪽을 더 형성하여도 좋다. 또는 층(631) 및 층(641) 중 한쪽을 형성하고, 그 위에 층(631) 및 층(641) 중 다른 쪽을 형성하고, 그 위에 층(621)을 더 형성하여도 좋다.

[0478] 또한 In:M:Zn=1:1:1[원자수비]과 상이한 원자수비의 금속 산화물을 형성하는 경우에는 원자수비에 따라 상기 층(621), 층(631), 층(641)을 적절히 형성하는 것이 바람직하다. 예를 들어 도 20의 (A)에 나타낸 층(631)의 형성 전후에 층(641)의 형성을 여러 번 반복함으로써, 2개의 층(621) 사이에 원하는 원자수, 층수, 및 두께를 갖는 층(631)과 층(641)의 적층을 형성하는 것이 바람직하다.

[0479] <In과 Sn을 갖는 산화물>

[0480] 다음으로 인듐과 주석을 갖는 산화물의 형성 방법에 대하여 설명한다.

[0481] 우선 인듐을 갖는 전구체를 포함하는 원료 가스를 챔버에 도입하여, 피형성면의 표면에 상기 전구체를 흡착시킨다. 여기서 원료 가스에는 전구체 이외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다.

[0482] 인듐을 갖는 전구체로서 트라이메틸인듐, 트라이에틸인듐, 트리스(2,2,6,6-테트라메틸-3,5-헵타인다이온산)인듐, 사이클로펜타다이엔일인듐, 인듐(III)아세틸아세토네이트, (3-(다이메틸아미노)프로필)다이메틸인듐 등을 사용할 수 있다.

[0483] 또한 인듐을 갖는 전구체로서 탄화수소를 갖지 않는 무기 전구체를 사용하여도 좋다. 인듐을 갖는 무기 전구체로서 삼염화 인듐, 삼브로민화 인듐, 삼아이오딘화 인듐 등의 할로젠계 인듐 화합물을 사용할 수 있다. 삼염화 인듐은 분해 온도가 500℃ 이상 700℃ 이하 정도이다. 따라서 삼염화 인듐을 사용함으로써 400℃ 이상 600℃ 이하 정도, 예를 들어 500℃에서 기판을 가열하면서 ALD법으로 성막을 수행할 수 있다.

[0484] 다음으로 상기 원료 가스의 도입을 멈추고 챔버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 챔버에서 배출한다.

[0485] 다음으로 반응제로서 산화제를 챔버에 도입하여, 흡착된 전구체와 반응시키고, 인듐을 기판에 흡착시킨 채로 인듐 이외의 성분을 이탈시킴으로써, 인듐과 산소가 결합된 층을 형성한다. 산화제로서는 오존, 산소, 물 등을 사용할 수 있다. 다음으로 상기 산화제의 도입을 멈추고, 챔버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 챔버에서 배출한다.

[0486] 다음으로 주석을 갖는 전구체를 포함하는 원료 가스를 챔버에 도입하여 인듐과 산소가 결합한 층 위에 상기 전구체를 흡착시킨다. 원료 가스에는 전구체 이외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다.

[0487] 주석을 갖는 전구체로서 테트라키스(다이메틸아마이드)주석, 주석(II)아세틸아세토네이트, 사염화 주석 등을 사용할 수 있다.

[0488] 다음으로 상기 원료 가스의 도입을 멈추고 챔버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 챔버에서 배출한다.

[0489] 다음으로 반응제로서 산화제를 챔버에 도입하여, 흡착된 전구체와 반응시키고, 주석을 기판에 흡착시킨 채로 주석 이외의 성분을 이탈시킴으로써, 주석과 산소가 결합된 층을 형성한다. 이때 형성된 층을 구성하는 산소의

일부가 먼저 형성된 인듐과 산소가 결합된 층 위에 흡착되는 경우가 있다. 다음으로 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.

- [0490] 인듐과 산소가 결합된 층과, 주석과 산소가 결합된 층을 반복적으로 형성함으로써 기판 위 또는 구조체 위에 인듐과 주석을 갖는 산화물을 형성할 수 있다.
- [0491] 또한 인듐과 산소가 결합된 층과, 주석과 산소가 결합된 층은 번갈아 반복하여 형성되지 않아도 되고, 한쪽의 형성을 여러 번 반복한 후 다른 쪽의 형성을 한 번 또는 여러 번 반복하여도 좋다. 예를 들어 In:Sn=1:1[원자수비]과 상이한 원자수비의 금속 산화물을 형성하는 경우에는 원자수비에 따라 인듐과 산소가 결합된 층과, 주석과 산소가 결합된 층을 적절히 형성하는 것이 바람직하다.
- [0492] 또한 형성되는 금속 산화물이 인듐과 주석에 더하여 다른 원소를 더 가져도 좋다. 이하에서는 인듐, 주석, 및 실리콘을 갖는 금속 산화물에 대하여 설명한다.
- [0493] <In과 Sn과 Si을 갖는 산화물>
- [0494] 실리콘을 갖는 전구체로서 아미노실레인계 전구체를 사용할 수 있다. 아미노실레인계 전구체로서 예를 들어 BTBAS(비스삼차부틸아미노실레인), BDMA(비스다이메틸아미노실레인), BDEAS(비스다이에틸아미노실레인), DMA(다이메틸아미노실레인), DEAS(다이에틸아미노실레인), DPAS(다이하프록시아미노실레인), BAS(부틸아미노실레인), DIPAS(다이아이스프로필아미노실레인), BEMAS(비스에틸메틸아미노실레인), TDMAS(트라이다이메틸아미노실레인) 등이 있다.
- [0495] 또한 실리콘을 갖는 전구체로서 예를 들어 TEOS(테트라에톡시실레인) 등의 에톡시실레인계 전구체가 있다.
- [0496] 또한 실리콘을 갖는 전구체로서 예를 들어 ' $\text{CH}_3\text{-Si-(NCO)}_{4-n}$ (n은 0 이상 3 이하임)', ' H-Si-(NCO)_3 ' 등의 아이소시아네이트기를 갖는 실리콘 화합물이 있다. 또한 전구체로서 SiH_4 , Si_2H_6 , SiF_4 , SiCl_4 , SiBr_4 , SiH_2Cl_2 , SiH_2I_2 등의 실리콘을 포함하고 탄화수소를 포함하지 않는 가스(무기 전구체라고도 함)를 사용하여도 좋다.
- [0497] 실리콘을 갖는 전구체를 사용하여 피형성면에 실리콘을 흡착시킨 후 산화제를 사용함으로써 실리콘과 산소가 결합된 층을 형성할 수 있다. 따라서 인듐과 산소가 결합된 층과, 주석과 산소가 결합된 층과, 실리콘과 산소가 결합된 층을 반복적으로 형성함으로써 인듐, 주석, 및 실리콘을 갖는 금속 산화물을 형성할 수 있다.
- [0498] <실리콘 산화물>
- [0499] 상술한 실리콘을 갖는 전구체를 사용하여 피형성면에 실리콘을 흡착시킨 후 산화제를 사용함으로써 ALD법으로 산화 실리콘층을 형성할 수 있다.
- [0500] 본 실시형태에 나타난 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0501] (실시형태 3)
- [0502] 본 실시형태에서는 본 발명의 일 형태의 기억 장치의 구성에 등에 대하여 설명한다.
- [0503] [메모리 셀 어레이의 구성예]
- [0504] 메모리 셀(150)을 3차원적으로 매트릭스로 배치함으로써 메모리 셀 어레이를 구성할 수 있다. 메모리 셀 어레이의 일례로서 도 21의 (A) 및 (B)에 X방향, Y방향, 및 Z방향으로 4개×2개×2개의 메모리 셀(150)을 배치한 기억 장치를 나타내었다. 도 21의 (A)는 기억 장치의 평면도이다. 또한 도 21의 (B)는 도 21의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 21의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0505] 배선(WL)으로서 기능하는 도전체(260)는 각 메모리 셀(150)마다 제공된다. 또한 배선(BL)의 일부로서 기능하는 도전체(242)는 X방향으로 인접한 메모리 셀(150)에 공통적으로 제공된다. 즉 도전체(242)는 인접한 2개의 메모리 셀(150)이 갖는 각 산화물 반도체(230)와 접촉한다. 도전체(242)를 인접한 메모리 셀(150)에서 공유함으로써 기억 장치의 집적화가 가능하다.
- [0506] 메모리 셀(150)의 도전체(242)는 플러그(접속 전극이라고 부를 수도 있음)로서 기능하는 도전체(245)와 전기적으로 접속된다. 도전체(245)는 절연체(252), 절연체(144), 절연체(130), 절연체(283), 및 절연체(287)와, 위층의 메모리 셀이 제공되는 층의 절연체(141) 및 절연체(142)에 형성된 개구 내에 배치되고, 도전체(242)의 상

면과 접촉한다. 또한 도전체(245)에는 도전체(240)에 적용할 수 있는 도전성 재료 등을 사용할 수 있다.

- [0507] 절연체(283)는 산소에 대한 배리어성을 갖는 것이 바람직하다. 또한 절연체(283)는 수소에 대한 배리어성을 갖는 것이 바람직하다. 절연체(283)로서는 상술한 [절연체]의 항목에 기재되는, 산소에 대한 배리어성을 갖는 절연체, 수소에 대한 배리어성을 갖는 절연체 등을 적절히 단층 또는 적층으로 사용할 수 있다.
- [0508] 절연체(287)는 층간막으로서 기능하기 때문에, 비유전율이 낮은 것이 바람직하다. 비유전율이 낮은 재료를 층간막으로 함으로써, 배선들 사이에 생기는 기생 용량을 저감할 수 있다. 절연체(287)로서는 상술한 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 포함하는 절연체를 단층 또는 적층으로 사용할 수 있다.
- [0509] 또한 절연체(287) 내의 물, 수소 등의 불순물의 농도는 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.
- [0510] 도전체(245)는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자, 배선, 전극, 또는 단자와, 메모리 셀(150)을 전기적으로 접속하기 위한 플러그 또는 배선으로서 기능한다. 예를 들어 도전체(245)가 기억 장치 아래에 제공된 감지 증폭기(도시하지 않았음)와 전기적으로 접속되는 구성으로 할 수 있다.
- [0511] 또한 도전체(245)는 위층에 적층된 메모리 셀과 전기적으로 접속되고, 배선(BL)의 일부로서 기능할 수 있다.
- [0512] 또한 도전체(245)를 개재하여 인접한 2개의 메모리 셀(150)은 일점쇄선 A1-A2의 수직 이등분선을 대칭축으로 한 선대칭의 구성을 갖는다. 따라서 각 메모리 셀(150)이 갖는 트랜지스터(200)도 도전체(245)를 개재하여 선대칭의 위치에 배치된다.
- [0513] 또한 배선(PL)으로서 기능하는 도전체(110)는 메모리 셀(150)마다 각각 제공되어도 좋고, 복수의 메모리 셀(150)에 걸쳐 공통적으로 제공되어도 좋다. 다만 도전체(110)는 도전체(245)와 이격되어 제공되고, 도전체(110)와 도전체(245)가 단락되지 않도록 한다.
- [0514] 도 21에 나타난 바와 같이 복수의 메모리 셀을 적층함으로써 메모리 셀 어레이의 점유 면적을 확대하지 않고 셀을 집적하여 배치할 수 있다. 즉 3D 메모리 셀 어레이를 구성할 수 있다. 또한 도 21에서는 2개의 메모리 유닛을 갖는 층을 4층 적층하는 구성을 예시하였지만, 본 발명은 이에 한정되지 않는다. 기억 장치는 적어도 하나의 메모리 셀(150)을 갖는 층을 하나 가져도 좋고, 2층 이상 적층하여도 좋다.
- [0515] 도 21에는 플러그로서 기능하는 도전체(245)가 인접한 메모리 셀(150)들 사이에 배치되는 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다. 도 21에는 절연체(252), 절연체(144), 절연체(130), 절연체(283), 절연체(287), 위층의 메모리 셀이 형성되는 절연체(141) 및 절연체(142)를 관통하는 플러그로서 기능하는 도전체(245)를 나타내었지만, 복수의 플러그를 사용하여 위아래의 메모리 셀이 갖는 도전체(242)를 접속하여도 좋다. 예를 들어 각 절연체에 플러그가 제공되어도 좋고, 2개 이상의 절연체를 관통하는 플러그를 복수로 사용하여, 위아래의 메모리 셀이 갖는 도전체(242)를 접속할 수 있다.
- [0516] [기억 장치의 구성예]
- [0517] 도 22는 본 발명의 일 형태에 따른 기억 장치(300)의 구성예를 나타낸 블록도이다. 도 22에 나타난 기억 장치(300)는 구동 회로(21)와 메모리 어레이(20)를 갖는다. 메모리 어레이(20)는 복수의 메모리 셀(10) 및 복수의 기능 회로(51)를 갖는 기능층(50)을 갖는다.
- [0518] 도 22에서는 메모리 어레이(20)가 m 행 n 열(m 및 n 은 2 이상의 정수)의 매트릭스로 배치된 복수의 메모리 셀(10)을 갖는 예를 나타내었다. 또한 기능 회로(51)는 일례로서 비트선으로서 기능하는 배선(BL)마다 제공된다. 도 22에서는 n 개의 배선(BL)에 대응하여 제공된 복수의 기능 회로(51)를 갖는 예를 나타내었다.
- [0519] 도 22에서는 첫 번째 행 첫 번째 열의 메모리 셀(10)을 메모리 셀($10[1,1]$)로 나타내고, m 번째 행 n 번째 열의 메모리 셀(10)을 메모리 셀($10[m,n]$)로 나타내었다. 또한 본 실시형태 등에서는 임의의 행을 가리키는 경우에 i 행이라고 기재하는 경우가 있다. 또한 임의의 열을 나타내는 경우에 j 열이라고 기재하는 경우가 있다. 따라서 i 는 1 이상 m 이하의 정수이고, j 는 1 이상 n 이하의 정수이다. 또한 본 실시형태 등에서는 i 번째 행 j 번째 열의 메모리 셀(10)을 메모리 셀($10[i,j]$)로 나타낸다. 또한 본 실시형태 등에서 " $i+a$ "(a 는 양 또는 음의 정수)로 나타내는 경우에는, " $i+a$ "는 1을 밑돌지 않고 m 을 웃돌지 않는다. 마찬가지로, " $j+a$ "로 나타내는 경우에는, " $j+a$ "는 1을 밑돌지 않고 n 을 웃돌지 않는다.
- [0520] 또한 메모리 어레이(20)는 행 방향으로 연장되는 m 개의 배선(WL)과, 행 방향으로 연장되는 m 개의 배선(PL)과,

열 방향으로 연장되는 n개의 배선(BL)을 갖는다. 본 실시형태 등에서는 i번째(i번째 행)에 제공된 배선(WL)을 배선(WL[i])이라고 나타낸다. 첫 번째(첫 번째 행)에 제공된 배선(WL)을 배선(WL[1])으로 나타낼 수 있고, 두 번째(두 번째 행)에 제공된 배선(WL)을 배선(WL[2])으로 나타낼 수 있고, m번째(m번째 행)에 제공된 배선(WL)을 배선(WL[m])으로 나타낼 수 있다. 마찬가지로 i번째(i번째 행)에 제공된 배선(PL)을 배선(PL[i])이라고 나타낸다. 첫 번째(첫 번째 행)에 제공된 배선(PL)을 배선(PL[1])으로 나타낼 수 있고, 두 번째(두 번째 행)에 제공된 배선(PL)을 배선(PL[2])으로 나타낼 수 있고, m번째(m번째 행)에 제공된 배선(PL)을 배선(PL[m])으로 나타낼 수 있다. 마찬가지로 j번째(j번째 열)에 제공된 배선(BL)을 배선(BL[j])이라고 나타낸다. 첫 번째(첫 번째 열)에 제공된 배선(BL)을 배선(BL[1])으로 나타낼 수 있고, 두 번째(두 번째 열)에 제공된 배선(BL)을 배선(BL[2])으로 나타낼 수 있고, n번째(n번째 열)에 제공된 배선(BL)을 배선(BL[n])으로 나타낼 수 있다.

[0521] i번째 행에 제공된 복수의 메모리 셀(10)은 i번째 행의 배선(WL)(배선(WL[i]), 도시하지 않았음) 및 i번째 행의 배선(PL)(배선(PL[i]), 도시하지 않았음)과 전기적으로 접속된다. j번째 열에 제공된 복수의 메모리 셀(10)은 j번째 열의 배선(BL)(배선(BL[j]))과 전기적으로 접속된다.

[0522] 메모리 어레이(20)에는 DOSRAM(등록 상표)(Dynamic Oxide Semiconductor Random Access Memory)을 적용할 수 있다. DOSRAM이란 1T(트랜지스터)1C(용량 소자)형 메모리 셀을 갖는 RAM이고, 액세스 트랜지스터가 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터(이하 'OS 트랜지스터'라고도 부름)인 메모리를 말한다. OS 트랜지스터는 오프 상태에서 소스와 드레인 사이를 흐르는 전류, 즉 누설 전류가 매우 작다. DOSRAM은 액세스 트랜지스터를 오프(비도통 상태)로 함으로써, 용량 소자(커패시터)에 유지된 데이터에 따른 전하를 장시간 유지할 수 있다. 그러므로 DOSRAM은 채널 형성 영역에 실리콘을 갖는 트랜지스터(이하 Si 트랜지스터라고도 부름)로 구성되는 DRAM에 비하여 리프레시 동작의 빈도를 저감할 수 있다. 그 결과, 소비 전력을 저감할 수 있다.

[0523] 또한 메모리 셀(10)은 실시형태 1 등에서 설명한 바와 같이 OS 트랜지스터를 적층시켜 배치함으로써, 메모리 셀(10)을 적층시켜 제공할 수 있다. 예를 들어 도 22에 나타난 메모리 어레이(20)에서는 복수의 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])를 적층시켜 제공할 수 있다. 메모리 어레이(20)가 갖는 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])를 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치함으로써, 메모리 셀(10)의 메모리 밀도를 향상시킬 수 있다. 또한 메모리 어레이(20)는 같은 제조 공정을 반복적으로 수행하여 수직 방향으로 제작할 수 있다. 기억 장치(300)에서는 메모리 어레이(20)의 제조 비용을 절감할 수 있다.

[0524] 배선(BL)은 데이터의 기록 및 판독을 수행하기 위한 비트선으로서 기능한다. 배선(WL)은 스위치로서 기능하는 액세스 트랜지스터의 온 또는 오프(도통 상태 또는 비도통 상태)를 제어하기 위한 워드선으로서 기능한다. 배선(PL)은 용량 소자와 접속되는 정전위선으로서의 기능을 갖는다.

[0525] 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])가 각각 갖는 메모리 셀(10)은 배선(BL)을 통하여 기능 회로(51)와 접속된다. 배선(BL)은 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치될 수 있다. 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])가 갖는 메모리 셀(10)로부터 연장되어 제공되는 배선(BL)을 기판 표면의 수직 방향으로 제공함으로써, 메모리 어레이(20)와 기능 회로(51) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 비트선과 접속되는 2개의 회로 사이의 신호 전반 거리를 짧게 할 수 있고 비트선의 저항 및 기생 용량이 대폭 삭감되기 때문에, 소비 전력 및 신호 지연의 저감을 실현할 수 있다. 또한 메모리 셀(10)이 갖는 용량 소자의 용량을 작게 하여도 동작시킬 수 있다.

[0526] 기능 회로(51)는 메모리 셀(10)에 유지된 데이터 전위를 증폭하고, 후술하는 배선(GBL)(도시하지 않았음)을 통하여 구동 회로(21)가 갖는 감지 증폭기(46)에 출력하는 기능을 갖는다. 상기 구성으로 함으로써, 데이터 판독 시에 배선(BL)의 미세한 전위차를 증폭할 수 있다. 배선(GBL)은 배선(BL)과 마찬가지로 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치될 수 있다. 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])가 갖는 메모리 셀(10)에서 연장되어 제공되는 배선(BL) 및 배선(GBL)을 기판 표면의 수직 방향으로 제공함으로써, 기능 회로(51)와 감지 증폭기(46) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 배선(GBL)과 접속되는 2개의 회로 사이의 신호 전반 거리를 짧게 할 수 있고 배선(GBL)의 저항 및 기생 용량이 대폭 삭감되기 때문에, 소비 전력 및 신호 지연의 저감을 실현할 수 있다.

[0527] 또한 배선(BL)은 메모리 셀(10)이 갖는 트랜지스터의 반도체층과 접촉하도록 제공된다. 또는 배선(BL)은 메모리 셀(10)이 갖는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접촉하도록 제공된다. 또는 배선(BL)은 메모리 셀(10)이 갖는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접촉하도록 제공되는 도전체와 접촉하도록 제공된다. 즉 배선(BL)은 메모리 어레이(20)의 각 층에서의 메모리 셀(10)이 갖는 트랜지스터의 소스 및 드레인 중 한쪽 각각과 기능 회로(51)를 수직 방향으로 전기적으로 접속하기

위한 배선이라고 할 수 있다.

- [0528] 메모리 어레이(20)를 구동 회로(21) 위에 중첩시켜 제공할 수 있다. 구동 회로(21)와 메모리 어레이(20)를 중첩시켜 제공함으로써, 구동 회로(21)와 메모리 어레이(20) 사이의 신호 전반 거리를 짧게 할 수 있다. 따라서 구동 회로(21)와 메모리 어레이(20) 사이의 저항 및 기생 용량이 저감되어, 소비 전력 및 신호 지연의 저감을 실현할 수 있다. 또한 기억 장치(300)의 소형화를 실현할 수 있다.
- [0529] 기능 회로(51)를 DOSRAM의 메모리 셀(10)이 갖는 트랜지스터와 마찬가지로 OS 트랜지스터로 구성함으로써, 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])와 같은 식으로 Si 트랜지스터를 사용한 회로 위 등에 자유로이 배치할 수 있기 때문에 집적화를 용이하게 수행할 수 있다. 기능 회로(51)로 신호를 증폭하는 구성으로 함으로써 후단의 회로인 감지 증폭기(46) 등의 회로를 소형화할 수 있기 때문에 기억 장치(300)를 소형화할 수 있다.
- [0530] 구동 회로(21)는 PSW(22)(파워 스위치), PSW(23), 및 주변 회로(31)를 갖는다. 주변 회로(31)는 주변 회로(41), 컨트롤 회로(32)(Control Circuit), 및 전압 생성 회로(33)를 갖는다.
- [0531] 기억 장치(300)에 있어서, 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 취사선택할 수 있다. 또는 다른 회로 또는 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부에 대한 출력 신호이다. 신호(CLK)는 클록 신호이다.
- [0532] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(32)에서 생성하여도 좋다.
- [0533] 컨트롤 회로(32)는 기억 장치(300)의 동작 전반을 제어하는 기능을 갖는 로직 회로이다. 예를 들어 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 기억 장치(300)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 컨트롤 회로(32)는 이 동작 모드가 실행되도록 주변 회로(41)의 제어 신호를 생성한다.
- [0534] 전압 생성 회로(33)는 음의 전압을 생성하는 기능을 갖는다. 신호(WAKE)는 신호(CLK)의 전압 생성 회로(33)에 대한 입력을 제어하는 기능을 갖는다. 예를 들어 신호(WAKE)에 H레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(33)에 입력되고, 전압 생성 회로(33)는 음의 전압을 생성한다.
- [0535] 주변 회로(41)는 메모리 셀(10)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 또한 주변 회로(41)는 기능 회로(51)를 제어하기 위한 각종 신호를 출력하는 회로이다. 주변 회로(41)는 행 디코더(42)(Row Decoder), 열 디코더(44)(Column Decoder), 행 드라이버(43)(Row Driver), 열 드라이버(45)(Column Driver), 입력 회로(47)(Input Cir.), 출력 회로(48)(Output Cir.), 감지 증폭기(46)(Sense Amplifier)를 갖는다.
- [0536] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코드하는 기능을 갖는다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WL)을 선택하는 기능을 갖는다. 열 드라이버(45)는 데이터를 메모리 셀(10)에 기록하는 기능, 메모리 셀(10)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 갖는다.
- [0537] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 갖는다. 입력 회로(47)가 유지하는 데이터는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터는 메모리 셀(10)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(10)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 출력 회로(48)는 Dout을 유지하는 기능을 갖는다. 또한 출력 회로(48)는 Dout을 기억 장치(300)의 외부에 출력하는 기능을 갖는다. 출력 회로(48)로부터 출력되는 데이터가 신호(RDA)이다.
- [0538] PSW(22)는 주변 회로(31)에 대한 VDD의 공급을 제어하는 기능을 갖는다. PSW(23)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 갖는다. 여기서는, 기억 장치(300)의 고전원 전압이 VDD이고, 저전원 전압은 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(22)의 온/오프가 제어되고, 신호(PON2)에 의하여 PSW(23)의 온/오프가 제어된다. 도 22에서는 주변 회로(31)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 대하여 파워 스위치를 제공하는 것이 바람직하다.
- [0539] 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])(m은 2 이상의 정수임) 및 기능층(50)을 갖는 메모리 어레이

(20)에서는 구동 회로(21) 위에 복수 층의 메모리 어레이(20)를 중첩시켜 제공될 수 있다. 복수 층의 메모리 어레이(20)를 중첩시켜 제공함으로써, 메모리 셀(10)의 메모리 밀도를 높일 수 있다. 도 23의 (A)에 구동 회로(21) 위에 5층($m=5$)의 메모리 어레이(20[1]) 내지 메모리 어레이(20[5]) 및 기능층(50)이 중첩되어 제공되는 상태를 나타내는 기억 장치(300)의 사시도를 나타내었다.

[0540] 도 23의 (A)에는 첫 번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[1])라고 나타내고, 두 번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[2])라고 나타내고, 5번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[5])라고 나타내었다. 또한 도 23의 (A)에 X방향으로 연장되어 제공되는 배선(WL) 및 배선(PL)과, Z방향(구동 회로가 제공되는 기판 표면에 수직인 방향)으로 연장되어 제공되는 배선(BL)을 나타내었다. 또한 도면을 보기 쉽게 메모리 어레이(20) 각각이 갖는 배선(WL) 및 배선(PL)의 기재를 일부 생략하였다. 또한 도 23의 (A)에는 배선(PL)을 X방향으로 연장시켜 제공하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 배선(PL)을 Y방향으로 연장시켜 제공하여도 좋고, 배선(PL)을 X방향 및 Y방향으로 연장시켜 제공하여도 좋고, 예를 들어 배선(PL)을 면 형상으로 제공하여도 좋다.

[0541] 도 23의 (A)에 나타난 배선(BL)과 접속된 기능 회로(51) 및 배선(BL)과 접속된 메모리 어레이(20[1]) 내지 메모리 어레이(20[5])가 갖는 메모리 셀(10)의 구성예를 설명하는 모식도를 도 23의 (B)에 나타내었다. 또한 도 23의 (B)에는 기능 회로(51)와 구동 회로(21) 사이에 제공되는 배선(GBL)을 나타내었다. 또한 하나의 배선(BL)과 복수의 메모리 셀(메모리 셀(10))이 전기적으로 접속되는 구성을 '메모리 스트링'이라고도 한다. 또한 도면에서 시인성을 높이기 위하여 배선(GBL)을 굵은 선으로 나타낸 경우가 있다.

[0542] 도 23의 (B)에는 배선(BL)과 접속되는 메모리 셀(10)의 회로 구성의 일례를 나타내었다. 메모리 셀(10)은 트랜지스터(11) 및 용량 소자(12)를 갖는다. 트랜지스터(11), 용량 소자(12), 및 각 배선(배선(BL) 및 배선(WL) 등)에 대해서도 예를 들어 배선(BL[1]) 및 배선(WL[1])을 배선(BL) 및 배선(WL) 등이라고 하는 경우가 있다.

[0543] 메모리 셀(10)에서 트랜지스터(11)의 소스 및 드레인 중 한쪽은 배선(BL)과 접속된다. 트랜지스터(11)의 소스 및 드레인 중 다른 쪽은 용량 소자(12)의 한쪽 전극과 접속된다. 용량 소자(12)의 다른 쪽 전극은 배선(PL)과 접속된다. 트랜지스터(11)의 게이트는 배선(WL)과 접속된다.

[0544] 예를 들어 같은 층에서 공통되는 배선(BL)과 접속되는 2개의 메모리 셀(10)의 구조를 실시형태 1에 따른 도 25에 나타난 구조로 할 수 있다.

[0545] 또한 도 23의 (B) 등에는 같은 층에서 공통되는 배선(BL)에 2개의 메모리 셀(10)이 접속되는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 같은 층에서 공통되는 배선(BL)에 4개의 메모리 셀(10)이 접속되어도 좋고, 같은 층에서 공통되는 배선(BL)에 8개의 메모리 셀(10)이 접속되어도 좋다. 예를 들어 같은 층에서 공통되는 배선(BL)과 접속되는 4개의 메모리 셀(10)을 제공하는 경우에는, 실시형태 1에 따른 도 27에 나타난 구조로 할 수 있다.

[0546] 배선(PL)은 용량 소자(12)의 전위를 유지하기 위한 정전위를 공급하는 배선이다.

[0547] 도 23의 (B)에 나타난 배선(GBL)은 구동 회로(21)와 기능 회로(51) 사이를 전기적으로 접속하도록 제공된다. 도 24의 (A)에는 기능층(50) 및 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])를 반복 단위(70)로 하는 기억 장치(300)의 모식도를 나타내었다. 또한 도 24의 (A)에는 배선(GBL)을 하나 나타내었지만, 배선(GBL)은 기능층(50)에 제공되는 기능 회로(51)의 개수에 따라 적절히 제공하는 것이 바람직하다.

[0548] 또한 배선(GBL)은 기능 회로(51)가 갖는 트랜지스터의 반도체층과 접촉하도록 제공된다. 또는 배선(GBL)은 기능 회로(51)가 갖는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접촉하도록 제공된다. 또는 배선(GBL)은 기능 회로(51)가 갖는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접촉하도록 제공되는 도전체와 접촉하도록 제공된다. 즉 배선(GBL)은 기능층(50)에서의 기능 회로(51)가 갖는 트랜지스터의 소스 및 드레인 중 한쪽과 구동 회로(21)를 수직 방향으로 전기적으로 접속하기 위한 배선이라고 할 수 있다.

[0549] 또한 기능 회로(51) 및 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])를 갖는 반복 단위(70)는 적층 구성을 가져도 좋다. 본 발명의 일 형태의 기억 장치(300A)를 도 24의 (B)에 나타난 바와 같이 반복 단위(70[1] 내지 70[p])(p 는 2 이상의 정수임)를 가질 수 있다. 배선(GBL)은 반복 단위(70)가 갖는 기능층(50)과 접속된다. 배선(GBL)을 기능 회로(51)의 개수에 따라 적절히 제공하는 것이 바람직하다.

[0550] 본 발명의 일 형태에서는 OS 트랜지스터를 적층시켜 제공하면서, 비트선으로서 기능하는 배선을 구동 회로(21)

가 제공되는 기관 표면의 수직 방향으로 배치한다. 메모리 어레이(20)로부터 연장되어 제공되는 비트선으로서 기능하는 배선을 기관 표면의 수직 방향으로 제공함으로써, 메모리 어레이(20)와 구동 회로(21) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 비트선의 기생 용량을 대폭 삭감할 수 있다.

[0551] 또한 본 발명의 일 형태에서는 메모리 어레이(20)가 제공되는 층에, 메모리 셀(10)에 유지한 데이터 전위를 증폭하여 출력하는 기능을 갖는 기능 회로(51)를 갖는 기능층(50)이 제공된다. 상기 구성으로 함으로써, 데이터 판독 시에 비트선으로서 기능하는 배선(BL)의 미세한 전위차를 증폭하여 구동 회로(21)가 갖는 감지 증폭기(46)를 구동할 수 있다. 감지 증폭기 등의 회로를 소형화할 수 있기 때문에 기억 장치(300)를 소형화할 수 있다. 또한 메모리 셀(10)이 갖는 용량 소자(12)의 용량을 작게 하여도 동작시킬 수 있다.

[0552] [메모리 어레이(20) 및 기능 회로(51)의 구성예]

[0553] 도 22 내지 도 24에서 설명한 기능 회로(51)의 구성예 및 메모리 어레이(20) 및 구동 회로(21)가 갖는 감지 증폭기(46)의 구성예에 대하여 도 25를 사용하여 설명한다. 도 25에는 상이한 배선(BL)(배선(BL_A), 배선(BL_B))과 접속된 메모리 셀(10)(메모리 셀(10_A), 메모리 셀(10_B))과 접속된 기능 회로(51)(기능 회로(51_A), 기능 회로(51_B))와 접속되는 배선(GBL)(배선(GBL_A), 배선(GBL_B))과 접속된 구동 회로(21)를 나타내었다. 도 25에 구동 회로(21)로서 감지 증폭기(46) 이외에 프리차지 회로(71_A), 프리차지 회로(71_B), 스위치 회로(72_A), 스위치 회로(72_B), 및 기록 판독 회로(73)를 나타내었다.

[0554] 기능 회로(51_A), 기능 회로(51_B)로서 트랜지스터(52_a), 트랜지스터(52_b), 트랜지스터(53_a), 트랜지스터(53_b), 트랜지스터(54_a), 트랜지스터(54_b), 트랜지스터(55_a), 트랜지스터(55_b)를 나타내었다. 도 25에 나타낸 트랜지스터(52_a), 트랜지스터(52_b), 트랜지스터(53_a), 트랜지스터(53_b), 트랜지스터(54_a), 트랜지스터(54_b), 트랜지스터(55_a), 트랜지스터(55_b)는 메모리 셀(10)이 갖는 트랜지스터(11)와 마찬가지로 OS 트랜지스터이다. 기능 회로(51)를 갖는 기능층(50)을 메모리 어레이(20[1]) 내지 메모리 어레이(20[m])와 마찬가지로 적층시켜 제공할 수 있다.

[0555] 배선(BL_A) 및 배선(BL_B)은 트랜지스터(52_a)의 게이트, 트랜지스터(52_b)의 게이트와 접속된다. 배선(GBL_A) 및 배선(GBL_B)은 트랜지스터(53_a), 트랜지스터(53_b), 트랜지스터(54_a), 트랜지스터(54_b)의 소스 및 드레인 중 한쪽과 접속된다. 배선(GBL_A) 및 배선(GBL_B)은 배선(BL_A) 및 배선(BL_B)과 마찬가지로 수직 방향으로 제공되고, 구동 회로(21)가 갖는 트랜지스터와 접속된다. 트랜지스터(53_a), 트랜지스터(53_b), 트랜지스터(54_a), 트랜지스터(54_b), 트랜지스터(55_a), 트랜지스터(55_b)의 게이트에는 도 25에 나타낸 바와 같이 제어 신호(WE), 제어 신호(RE), 및 선택 신호(MUX)가 공급된다.

[0556] 도 25에 나타낸 감지 증폭기(46), 프리차지 회로(71_A), 및 프리차지 회로(71_B)를 구성하는 트랜지스터(81_1) 내지 트랜지스터(81_6), 및 트랜지스터(82_1) 내지 트랜지스터(82_4)는 Si 트랜지스터로 구성된다. 스위치 회로(72_A) 및 스위치 회로(72_B)를 구성하는 스위치(83_A) 내지 스위치(83_D)도 Si 트랜지스터로 구성할 수 있다. 트랜지스터(53_a), 트랜지스터(53_b), 트랜지스터(54_a), 트랜지스터(54_b)의 소스 및 드레인 중 한쪽은 프리차지 회로(71_A), 프리차지 회로(71_B), 감지 증폭기(46), 스위치 회로(72_A)를 구성하는 트랜지스터 또는 스위치와 접속된다.

[0557] 프리차지 회로(71_A)는 n채널형 트랜지스터(81_1) 내지 n채널형 트랜지스터(81_3)를 갖는다. 프리차지 회로(71_A)는 프리차지선(PCL1)에 공급되는 프리차지 신호에 따라, 배선(BL_A) 및 배선(BL_B)을 VDD와 VSS의 중간 전위 VDD/2에 해당하는 중간 전위 VPC로 프리차지하기 위한 회로이다.

[0558] 프리차지 회로(71_B)는 n채널형 트랜지스터(81_4) 내지 n채널형 트랜지스터(81_6)를 갖는다. 프리차지 회로(71_B)는 프리차지선(PCL2)에 공급되는 프리차지 신호에 따라, 배선(GBL_A) 및 배선(GBL_B)을 VDD와 VSS의 중간 전위 VDD/2에 해당하는 중간 전위 VPC로 프리차지하기 위한 회로이다.

[0559] 감지 증폭기(46)는 배선(VHH) 또는 배선(VLL)과 접속된 p채널형 트랜지스터(82_1), p채널형 트랜지스터(82_2) 및 n채널형 트랜지스터(82_3), n채널형 트랜지스터(82_4)를 포함한다. 배선(VHH) 또는 배선(VLL)은 VDD 또는 VSS를 공급하는 기능을 갖는 배선이다. 트랜지스터(82_1) 내지 트랜지스터(82_4)는 인버터 루프를 구성하는 트랜지스터이다. 메모리 셀(10_A), 메모리 셀(10_B)을 선택함으로써 프리차지된 배선(BL_A)의 전위 및 배선(BL_B)의 전위가 변화되고, 상기 변화에 따라 배선(GBL_A)의 전위 및 배선(GBL_B)의 전위를 고전원 전위(VDD) 또는 저전원 전위(VSS)로 한다. 배선(GBL_A)의 전위 및 배선(GBL_B)의 전위는 스위치(83_C) 및 스위치(83_D), 그리고 기록 판독 회로(73)를 통하여 외부로 출력될 수 있다. 배선(BL_A) 및 배선(BL_B), 그리고 배선(GBL_A) 및 배선(GBL_B)은 비트선쌍에 상당한다. 기록 판독 회로(73)에서는 신호(EN_data)에 따라 데이터 신호의 기록

이 제어된다.

- [0560] 스위치 회로(72_A)는 감지 증폭기(46)와 배선(GBL_A) 및 배선(GBL_B) 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(72_A)는 전환 신호(CSEL1)의 제어에 따라 온 또는 오프가 전환된다. 스위치(83_A) 및 스위치(83_B)가 n채널 트랜지스터인 경우, 전환 신호(CSEL1)가 하이 레벨일 때 온이 되고, 로 레벨일 때 오프가 된다. 스위치 회로(72_B)는 기록 판독 회로(73)와, 감지 증폭기(46)와 접속되는 비트선쌍 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(72_B)는 전환 신호(CSEL2)의 제어에 따라 온 또는 오프가 전환된다. 스위치(83_C) 및 스위치(83_D)는 스위치(83_A) 및 스위치(83_B)와 함께 하는 것이 바람직하다.
- [0561] 도 25에 나타난 바와 같이 기억 장치(300)는 최단 거리인 수직 방향으로 제공되는 배선(BL) 및 배선(GBL)을 통하여 메모리 셀(10)과, 기능 회로(51)와, 감지 증폭기(46)를 접속하는 구성으로 할 수 있다. 이러한 구성으로 함으로써 배선(BL)의 부하가 저감되어 기록 시간을 단축할 수 있고, 데이터를 판독하기 쉽게 할 수 있다.
- [0562] 또한 도 25에 나타난 바와 같이 기능 회로(51_A), 기능 회로(51_B)가 갖는 각 트랜지스터는 제어 신호(WE), 제어 신호(RE), 및 선택 신호(MUX)에 따라 제어된다. 각 트랜지스터는 제어 신호 및 선택 신호에 따라 배선(GBL)을 통하여 배선(BL)의 전위를 구동 회로(21)에 출력할 수 있다. 기능 회로(51_A), 기능 회로(51_B)를 OS 트랜지스터로 구성되는 감지 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 배선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기(46)를 구동할 수 있다.
- [0563] 이상과 같이, 복수의 메모리 셀 어레이 및 구동 회로를 적층시켜 제공함으로써, 기억 장치의 고집적화 및 대용량화가 가능하다.
- [0564] 도 26에 감지 증폭기를 갖는 구동 회로가 제공되는 층 위에 메모리 셀을 갖는 층이 적층되어 제공된 기억 장치의 단면 구성예를 나타내었다.
- [0565] 도 26에 나타난 기억 장치에서는, 트랜지스터(301)의 위쪽에 용량 소자(100)가 제공되고, 트랜지스터(301)의 위쪽 및 용량 소자(100)의 위쪽에 트랜지스터(200)가 제공되어 있다.
- [0566] 트랜지스터(301)는 감지 증폭기가 갖는 트랜지스터 중 하나이다.
- [0567] 도 26에 나타난 메모리 셀(150)(트랜지스터(200) 및 용량 소자(100))의 구성은 상술한 바와 같다.
- [0568] 도 26에 나타난 바와 같이 메모리 셀(150)과 중첩되도록 감지 증폭기를 제공하는 구성으로 함으로써, 비트선을 짧게 할 수 있다. 이로써 비트선 용량이 작아져 메모리 셀의 유지 용량을 저감할 수 있다.
- [0569] 또한 트랜지스터(200)를 용량 소자(100)의 위쪽에 제공함으로써, 트랜지스터(200)는 용량 소자(100)의 제작 시의 열 이력을 받지 않는다. 따라서 트랜지스터(200)에서 문턱 전압의 변동 및 기생 저항의 증대 등의 전기 특성의 열화, 그리고 전기 특성의 열화에 따른 전기 특성의 편차의 증대 등을 억제할 수 있다.
- [0570] 도 26에 나타난 기억 장치에서 예를 들어 트랜지스터(301)는 감지 증폭기(46)가 갖는 트랜지스터에 상당한다. 또한 메모리 셀(150)은 메모리 셀(10)에 상당하고, 트랜지스터(200)는 트랜지스터(11)에 상당하고, 용량 소자(100)는 용량 소자(12)에 상당한다.
- [0571] 트랜지스터(301)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316)와, 게이트 절연체로서 기능하는 절연체(315)와, 기판(311)의 일부로 이루어지는 반도체 영역(313)과, 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 갖는다. 트랜지스터(301)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다. 또한 도전체(316d)는 더미 게이트이다.
- [0572] 여기서 도 26에 나타난 트랜지스터(301)는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 갖는다. 또한 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 덮도록 도전체(316)가 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이러한 트랜지스터(301)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접촉하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI(Silicon on Insulator) 기판을 가공하여 볼록 형상을 갖는 반도체막을 형성하여도 좋다.
- [0573] 또한 도 26에 나타난 트랜지스터(301)는 일레이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다.

- [0574] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어 있어도 좋다. 또한 배선층은 설계에 따라 복수 제공될 수 있다. 여기서 플러그 또는 배선으로서 기능하는 도전체에는, 복수의 구조를 합쳐 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에 있어서 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0575] 예를 들어 트랜지스터(301) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328)가 매립되고, 절연체(324) 및 절연체(326)에는 도전체(330)가 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.
- [0576] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 CMP법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.
- [0577] 절연체(326) 위 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 26에서는 절연체(350), 절연체(352), 및 절연체(354)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.
- [0578] 층간막으로서 기능하는 절연체(352) 및 절연체(354) 등으로서 상술한 기억 장치에 사용할 수 있는 절연체를 사용할 수 있다.
- [0579] 플러그 또는 배선으로서 기능하는 도전체, 예를 들어 도전체(328), 도전체(330), 및 도전체(356) 등으로서의 앞의 [도전체]에 기재된 도전체를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄, 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.
- [0580] 트랜지스터(200)가 갖는 도전체(240)는 도전체(644), 도전체(645), 도전체(646), 도전체(356), 도전체(330), 및 도전체(328)를 통하여, 트랜지스터(301)의 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314b)과 전기적으로 접속되어 있다.
- [0581] 도전체(644)는 절연체(142)에 매립되어 있다. 도전체(645)는 절연체(141)에 매립되어 있다. 도전체(645)는 도전체(242)와 동일한 재료 및 동일한 공정에서 제작될 수 있다. 도전체(646)는 절연체(648)에 매립되어 있다. 절연체(648)에 의하여 트랜지스터(301)와, 트랜지스터(200)의 도전체(242)가 전기적으로 절연되어 있다. 또한 절연체(141)에 제공되는 도전체(245)와, 절연체(142)에 제공되는 도전체(242)를 그 위층의 절연체에 제공되는 도전체를 통하여 접속하여도 좋다. 예를 들어 절연체(141)에 제공되는 도전체를, 그 위층의 절연체(142), 절연체(143), 절연체(252), 절연체(144) 등에 제공되는 플러그와 전기적으로 접속하고, 위층에 위치하는 플러그로부터 절연체(142)에 제공되는 도전체(242)와 접속하는 플러그까지를 아래층을 향하여 순차적으로 제공하는 것이 바람직하다.
- [0582] 본 발명의 일 형태에 의하여 신규 트랜지스터, 반도체 장치, 및 기억 장치를 제공할 수 있다. 또는 미세화 또는 고집적화가 가능한 트랜지스터, 반도체 장치, 및 기억 장치를 제공할 수 있다. 또는 신뢰성이 양호한 트랜지스터, 반도체 장치, 및 기억 장치를 제공할 수 있다. 또는 온 전류가 높은 트랜지스터와, 상기 트랜지스터를 갖는 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 전기 특성이 양호한 트랜지스터와, 상기 트랜지스터를 갖는 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 소비 전력이 낮은 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 주파수 특성이 양호한 기억 장치를 제공할 수 있다. 또는 동작 속도가 빠른 기억 장치를 제공할 수 있다.
- [0583] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.
- [0584] (실시형태 4)
- [0585] 본 실시형태에서는 도 27의 (A) 및 (B)를 사용하여 본 발명의 기억 장치가 실장된 칩(1200)의 일례에 대하여 설명한다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.
- [0586] 도 27의 (A)에 나타낸 바와 같이 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회

로(1216) 등을 갖는다.

- [0587] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 27의 (B)에 나타난 바와 같이 패키지 기관(1201)의 제 1 면과 접촉된다. 또한 패키지 기관(1201)의 제 1 면의 이면에는 복수의 범프(1202)가 제공되어 있고 머더보드(1203)와 접촉된다.
- [0588] 머더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어 있어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 DOSRAM을 사용할 수 있다. 이로써 DRAM(1221)을 저소비 전력화, 고속화, 및 대용량화시킬 수 있다.
- [0589] CPU(1211)는 복수의 CPU 코어를 갖는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 갖는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통되는 메모리가 칩(1200)에 제공되어 있어도 좋다. 상기 메모리로서는 상술한 DOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고, 화상 처리 또는 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 본 발명의 산화물 반도체를 사용한 화상 처리 회로 또는 적화 연산 회로를 제공함으로써 화상 처리 및 적화 연산을 저소비 전력으로 실행할 수 있다.
- [0590] 또한 CPU(1211) 및 GPU(1212)가 동일 칩에 제공되면, CPU(1211)와 GPU(1212) 간의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 갖는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.
- [0591] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 갖는다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.
- [0592] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 갖는다.
- [0593] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 갖는다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이러한 인터페이스로서 USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.
- [0594] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 갖는다. 또한 네트워크 보안용 회로를 가져도 좋다.
- [0595] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어 칩(1200)을 낮은 비용으로 제작할 수 있다.
- [0596] GPU(1212)를 갖는 칩(1200)이 제공된 패키지 기관(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.
- [0597] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 갖기 때문에, 그 크기를 작게 할 수 있다. 또한 화상 처리 능력이 우수하기 때문에, 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.
- [0598] 본 실시형태에 나타난 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태 등과 적절히 조합하여 실시할 수 있다.
- [0599] (실시형태 5)
- [0600] 본 실시형태에서는 앞의 실시형태에서 설명한 기억 장치 등이 제공된 전자 부품 및 전자 기기의 일례에 대하여 설명한다. 앞의 실시형태에서 설명한 기억 장치를 이하의 전자 부품 및 전자 기기에 사용함으로써, 전자 부품 및 전자 기기의 저소비 전력화 및 고속화가 가능하다.
- [0601] <전자 부품>
- [0602] 우선 기억 장치(720)가 제공된 전자 부품의 예에 대하여 도 28의 (A) 및 (B)를 사용하여 설명한다.

- [0603] 도 28의 (A)에 전자 부품(700) 및 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 나타내었다. 도 28의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 기억 장치(720)를 갖는다. 도 28의 (A)에서는 전자 부품(700)의 내부를 나타내기 위하여, 일부를 생략하였다. 전자 부품(700)은 몰드(711)의 외측에 랜드(712)를 갖는다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)를 통하여 기억 장치(720)와 전기적으로 접속되어 있다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이러한 전자 부품이 복수 조합되고, 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써, 실장 기판(704)이 완성된다.
- [0604] 기억 장치(720)는 구동 회로층(721)과 기억 회로층(722)을 갖는다.
- [0605] 도 28의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(720)가 제공되어 있다. 기억 장치(720)에 앞의 실시형태에서 설명한 기억 장치를 사용함으로써, 저소비 전력화 및 고속화가 가능하다.
- [0606] 반도체 장치(735)로서는 CPU, GPU, FPGA 등의 집적 회로(반도체 장치)를 사용할 수 있다.
- [0607] 패키지 기판(732)으로서는 세라믹 기판, 플라스틱 기판, 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.
- [0608] 인터포저(731)는 복수의 배선을 갖고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 갖는다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 갖는다. 그러므로 인터포저를 '재배선 기판' 또는 '중간 기판'이라고 부르는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.
- [0609] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자를 제공할 필요가 없기 때문에, 집적 회로보다 적은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선 형성은 반도체 공정으로 수행할 수 있기 때문에, 수지 인터포저에서는 어려운 미세 배선의 형성이 용이하다.
- [0610] 또한 실리콘 인터포저를 사용한 SiP, MCM 등에서는, 집적 회로와 인터포저 간의 팽창 계수의 차이로 인한 신뢰성의 저하가 생기기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접속 불량 발생하기 어렵다. 특히 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0611] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는, 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에 나타내는 전자 부품(730)에서는 기억 장치(720)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.
- [0612] 전자 부품(730)을 다른 기판에 실장하기 위하여, 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 28의 (B)에는 전극(733)을 뿔뿔로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 뿔뿔을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.
- [0613] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.
- [0614] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0615] (실시형태 6)
- [0616] 본 실시형태에서는, 앞의 실시형태에서 설명한 기억 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 앞의 실시형태에서 설명한 기억 장치는 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 앞의 실시형태에서 설명한 기억 장치를 상기 전자 기기의 기억 장치에 사용함으로써, 전자 기

기의 저소비 전력화 및 고속화가 가능하다. 또한 여기서 컴퓨터란 태블릿형 컴퓨터, 노트북형 컴퓨터, 데스크톱형 컴퓨터 이외에, 서버 시스템과 같은 대형의 컴퓨터를 포함하는 것이다. 또는 앞의 실시형태에서 설명한 기억 장치는 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(Solid State Drive) 등의 각종 리무버블 기억 장치에 적용된다. 도 29의 (A) 내지 (E)에 리무버블 기억 장치의 몇 가지 구성예를 모식적으로 나타내었다. 예를 들어 앞의 실시형태에서 설명한 기억 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.

[0617] 도 29의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기관(1104)을 갖는다. 기관(1104)은 하우징(1101)에 수납되어 있다. 예를 들어 기관(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 메모리 칩(1105) 등에 앞의 실시형태에서 설명한 기억 장치를 제공할 수 있다.

[0618] 도 29의 (B)는 SD 카드의 외관의 모식도이고, 도 29의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기관(1113)을 갖는다. 기관(1113)은 하우징(1111)에 수납되어 있다. 예를 들어 기관(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기관(1113)의 이면 측에도 메모리 칩(1114)을 제공함으로써 SD 카드(1110)의 용량을 늘릴 수 있다. 또한 무선 통신 기능을 갖는 무선 칩을 기관(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 메모리 칩(1114) 등에 앞의 실시형태에서 설명한 기억 장치를 제공할 수 있다.

[0619] 도 29의 (D)는 SSD의 외관의 모식도이고, 도 29의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기관(1153)을 갖는다. 기관(1153)은 하우징(1151)에 수납되어 있다. 예를 들어 기관(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 작업 메모리이고, 예를 들어 DOSRAM 칩을 사용하는 것이 바람직하다. 기관(1153)의 이면 측에도 메모리 칩(1154)을 제공함으로써 SSD(1150)의 용량을 늘릴 수 있다. 메모리 칩(1154) 등에 앞의 실시형태에서 설명한 기억 장치를 제공할 수 있다.

[0620] 본 실시형태에 나타난 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태 등과 적절히 조합하여 실시할 수 있다.

[0621] (실시형태 7)

[0622] 본 발명의 일 형태에 따른 기억 장치를 CPU, GPU 등의 프로세서 또는 칩에 사용할 수 있다. 이러한 CPU, GPU 등의 프로세서 또는 칩을 전자 기기에 사용함으로써, 전자 기기의 저소비 전력화 및 고속화가 가능하다. 도 30의 (A) 내지 (H)에 상기 기억 장치를 사용한 CPU, GPU 등의 프로세서 또는 칩을 갖는 전자 기기의 구체적인 예를 나타내었다.

[0623] <전자 기기 · 시스템>

[0624] 본 발명의 일 형태에 따른 GPU 또는 칩을 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 텔레비전 장치, 데스크톱형 또는 노트북형 정보 단말기용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파친코기 등의 대형 게임기 등 비교적 큰 화면을 갖는 전자 기기 이외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 전자책 단말기, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등을 들 수 있다. 또한 본 발명의 일 형태에 따른 GPU 또는 칩을 전자 기기에 제공함으로써 전자 기기에 인공 지능을 탑재할 수 있다.

[0625] 본 발명의 일 형태에 따른 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에 영상, 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 갖는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[0626] 본 발명의 일 형태에 따른 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 감지, 검출, 또는 측정하는 기능을 포함하는 것)를 가져도 좋다.

[0627] 본 발명의 일 형태에 따른 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되어 있는 프로그램 또는 테

이터를 판독하는 기능 등을 가질 수 있다. 도 30의 (A) 내지 (H)에 전자 기기의 예를 나타내었다.

[0628] [정보 단말]

[0629] 도 30의 (A)에는 정보 단말기의 1종류인 휴대 전화기(스마트폰)를 나타내었다. 정보 단말기(5100)는 하우징(5101)과 표시부(5102)를 갖고, 입력용 인터페이스로서 터치 패널이 표시부(5102)에 제공되고, 버튼이 하우징(5101)에 제공되어 있다.

[0630] 정보 단말기(5100)에 본 발명의 일 형태의 칩을 적용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0631] 도 30의 (B)에는 노트북형 정보 단말기(5200)를 나타내었다. 노트북형 정보 단말기(5200)는 정보 단말기의 본체(5201)와, 표시부(5202)와, 키보드(5203)를 갖는다.

[0632] 상술한 정보 단말기(5100)와 마찬가지로, 본 발명의 일 형태의 칩을 노트북형 정보 단말기(5200)에 적용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0633] 또한 상기에서는 전자 기기로서 스마트폰 및 노트북형 정보 단말기를 예로 들어 각각 도 30의 (A), (B)에 나타내었지만, 스마트폰 및 노트북형 정보 단말기 이외의 정보 단말기를 적용할 수도 있다. 스마트폰 및 노트북형 정보 단말기 이외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 데스크톱형 정보 단말기, 워크스테이션 등이 있다.

[0634] [게임기]

[0635] 도 30의 (C)는 게임기의 일례인 휴대용 게임기(5300)를 나타낸 것이다. 휴대용 게임기(5300)는 하우징(5301), 하우징(5302), 하우징(5303), 표시부(5304), 접속부(5305), 조작 키(5306) 등을 갖는다. 하우징(5302) 및 하우징(5303)은 하우징(5301)에서 떼어낼 수 있다. 하우징(5301)에 제공되어 있는 접속부(5305)를 다른 하우징(도시하지 않았음)에 장착함으로써, 표시부(5304)에 출력되는 영상을 다른 영상 기기(도시하지 않았음)에 출력할 수 있다. 이때 하우징(5302) 및 하우징(5303)은 각각 조작부로서 기능할 수 있다. 이로써, 복수의 플레이어가 동시에 게임을 수행할 수 있다. 하우징(5301), 하우징(5302), 및 하우징(5303)의 기관에 제공되어 있는 칩 등에 앞의 실시형태에서 설명한 칩을 제공할 수 있다.

[0636] 또한 도 30의 (D)는 게임기의 일례인 거치형 게임기(5400)를 나타낸 것이다. 거치형 게임기(5400)에는 무선 또는 유선으로 컨트롤러(5402)가 접속되어 있다.

[0637] 휴대용 게임기(5300), 거치형 게임기(5400) 등의 게임기에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 소비 전력이 낮은 게임기를 실현할 수 있다. 또한 소비 전력이 낮으면, 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0638] 또한 휴대용 게임기(5300)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0639] 도 30의 (C), (D)에서는, 게임기의 일례로서 휴대용 게임기 및 거치형 게임기를 나타내었지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이들에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등을 들 수 있다.

[0640] [대형 컴퓨터]

[0641] 본 발명의 일 형태의 GPU 또는 칩은 대형 컴퓨터에 적용할 수 있다.

[0642] 도 30의 (E)는 대형 컴퓨터의 일례인 슈퍼컴퓨터(5500)를 나타낸 것이다. 도 30의 (F)는 슈퍼컴퓨터(5500)가 갖는 랙 마운트형 컴퓨터(5502)를 나타낸 것이다.

[0643] 슈퍼컴퓨터(5500)는 랙(5501)과, 복수의 랙 마운트형 컴퓨터(5502)를 갖는다. 또한 복수의 컴퓨터(5502)는 랙(5501)에 수납되어 있다. 또한 컴퓨터(5502)에는 복수의 기관(5504)이 제공되고, 상기 기관 위에 앞의 실시형태에서 설명한 GPU 또는 칩을 탑재할 수 있다.

[0644] 슈퍼컴퓨터(5500)는 주로 과학 기술 계산에 이용되는 대형 컴퓨터이다. 과학 기술 계산에서는 방대한 연산을 고속으로 처리할 필요가 있기 때문에, 소비 전력이 높고, 칩의 발열이 크다. 예를 들어 슈퍼컴퓨터(5500)를 복수로 갖는 데이터 센터에서는 사용되는 디지털 데이터량이 매우 커진다. 구체적으로는 세계의 디지털 데이터양

은 10^{24} (yota(요타))바이트 또는 10^{30} (quetta(퀘타))바이트를 초과할 것으로 예상되고 있다.

- [0645] 슈퍼컴퓨터(5500)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써 소비 전력이 낮은 슈퍼컴퓨터를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다. 본 발명의 일 형태의 기억 장치를 사용한 GPU 또는 칩을 사용함으로써, 소비 전력이 낮은 슈퍼컴퓨터를 실현할 수 있다. 이로써 세계의 디지털 데이터양을 저감하여, 지구 온난화 대책에도 크게 기여할 수 있을 것으로 기대된다.
- [0646] 도 30의 (E), (F)에서는 대형 컴퓨터의 일례로서 슈퍼컴퓨터를 나타내었지만, 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터로서는, 서비스를 제공하는 컴퓨터(서버), 대형 범용 컴퓨터(메인 프레임) 등을 들 수 있다.
- [0647] [이동체]
- [0648] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0649] 도 30의 (G)는 이동체의 일례인 자동차의 실내에서의 앞유리 주변을 나타낸 것이다. 도 30의 (G)에서는 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 이외에, 필러에 장착된 표시 패널(5704)을 나타내었다.
- [0650] 표시 패널(5701) 내지 표시 패널(5703)은, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목, 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.
- [0651] 표시 패널(5704)에는 자동차에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 차단된 시계(사각(死角))를 보완할 수 있다. 즉 자동차의 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.
- [0652] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차의 자동 운전 시스템에 사용할 수 있다. 또한 상기 칩을 도로 안내, 위험 예측 등을 하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.
- [0653] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.
- [0654] [전자 제품]
- [0655] 도 30의 (H)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 갖는다.
- [0656] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 갖는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 저장되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능, 전기 냉동 냉장고(5800)에 저장되어 있는 식재료에 적합한 온도로 자동적으로 조절하는 기능 등을 가질 수 있다.
- [0657] 전자 제품의 일례로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 이외의 전자 제품으로는 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 워터 서버, 에어컨디셔너를 포함하는 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등을 들 수 있다.
- [0658] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.
- [0659] 본 실시형태에 나타낸 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태 등과 적절히 조합하여 실시할 수 있다.

- [0660] (실시형태 8)
- [0661] 본 발명의 일 형태의 기억 장치는 OS 트랜지스터를 포함한다. 상기 OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다. 본 실시형태에 있어서 본 발명의 일 형태의 기억 장치를 우주용 기기에 적용하는 경우의 구체적인 예에 대하여 도 31을 사용하여 설명한다.
- [0662] 도 31에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 갖는다. 또한 도 31에서는 우주 공간에 행성(6804)을 예시하였다. 또한 우주 공간이란 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권을 포함하여도 좋다.
- [0663] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 많은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.
- [0664] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 그러나 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 광량이 적은 상황에서는 생성되는 전력이 낮아진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 낮은 상황에서도 인공위성(6800)을 동작시키기 위하여, 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.
- [0665] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 제공된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이러한 식으로 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.
- [0666] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 갖는다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 OS 트랜지스터를 포함하는 기억 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높아 적합하게 사용할 수 있다.
- [0667] 또한 인공위성(6800)은 센서를 갖는 구성으로 할 수 있다. 예를 들어, 가시광 센서를 갖는 구성으로 함으로써, 인공위성(6800)은 지상에 제공되어 있는 물체에서 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 갖는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이러한 식으로 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.
- [0668] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 기억 장치는 우주선, 우주 캡슐, 우주 탐사기 등의 우주용 기기에도 적합하게 사용할 수 있다.

부호의 설명

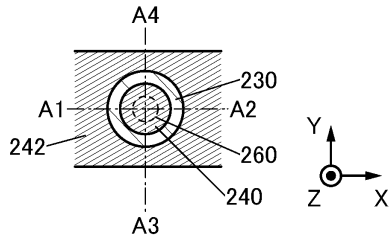
- [0669] ADDR: 신호, An: 각도, BL[1]: 배선, BL[j]: 배선, BL[n]: 배선, BL_A: 배선, BL_B: 배선, BL: 배선, BW: 신호, CE: 신호, CLK: 신호, EN_data: 신호, GBL_A: 배선, GBL_B: 배선, GBL: 배선, GW: 신호, Lg: 채널 길이, Li: 길이, Lov: 길이, MUX: 선택 신호, Off: 영역, PL[1]: 배선, PL[i]: 배선, PL[m]: 배선, PL: 배선, RDA: 신호, RE: 제어 신호, Tr: 트랜지스터, VDD: 고전원 전위, VHH: 배선, VLL: 배선, VPC: 중간 전위, VSS: 저전원 전위, WA: 폭, WAKE: 신호, WB: 폭, WDA: 신호, WE: 제어 신호, WL[1]: 배선, WL[i]: 배선, WL[m]: 배선, WL: 배선, 10[1,1]: 메모리 셀, 10[i,j]: 메모리 셀, 10[m,n]: 메모리 셀, 10_A: 메모리 셀, 10_B: 메모리 셀, 10: 메모리 셀, 11: 트랜지스터, 12: 용량 소자, 20[1]: 메모리 어레이, 20[2]: 메모리 어레이, 20[5]: 메모리 어레이, 20[m]: 메모리 어레이, 20: 메모리 어레이, 21: 구동 회로, 22: PSW, 23: PSW, 31: 주변 회로, 32: 컨트롤 회로, 33: 전압 생성 회로, 41: 주변 회로, 42: 행 디코더, 43: 행 드라이버, 44: 열 디코더, 45: 열 드라이버, 46: 감지 증폭기, 47: 입력 회로, 48: 출력 회로, 50: 기능층, 51_A: 기능 회로, 51_B: 기능 회로, 51: 기능 회로, 52_a: 트랜지스터, 52_b: 트랜지스터, 53_a: 트랜지스터, 53_b: 트랜지스터, 54_a: 트랜지스터,

54_b: 트랜지스터, 55_a: 트랜지스터, 55_b: 트랜지스터, 70[1]: 반복 단위, 70[p]: 반복 단위, 70: 반복 단위, 71_A: 프리차지 회로, 71_B: 프리차지 회로, 72_A: 스위치 회로, 72_B: 스위치 회로, 73: 기록 판독 회로, 81_1: 트랜지스터, 81_3: 트랜지스터, 81_4: 트랜지스터, 81_6: 트랜지스터, 82_1: 트랜지스터, 82_2: 트랜지스터, 82_3: 트랜지스터, 82_4: 트랜지스터, 83_A: 스위치, 83_B: 스위치, 83_C: 스위치, 83_D: 스위치, 91: 개구, 92: 개구, 93: 공극, 94: 공극, 96: 개구, 97: 개구, 100: 용량 소자, 110a: 도전체, 110b: 도전체, 110: 도전체, 120: 도전체, 121f: 절연체, 121: 절연체, 130: 절연체, 140: 절연체, 141: 절연체, 142f: 절연체, 142f_1: 절연체, 142f_2: 절연체, 142g: 절연체, 142k: 절연체, 142p: 개구, 142: 절연체, 143: 절연체, 144a: 절연체, 144a_f: 절연체, 144b: 절연체, 144b_f: 절연체, 144b_g: 절연체, 144f: 절연체, 144f_1: 절연체, 144f_2: 절연체, 144g: 절연체, 144: 절연체, 147f: 절연체, 147f_1: 절연체, 147f_2: 절연체, 147g: 절연체, 148f: 절연체, 148: 절연체, 149f: 절연체, 149g: 절연체, 149: 절연체, 150: 메모리 셀, 200: 트랜지스터, 230f: 산화물 반도체, 230i: 영역, 230n: 영역, 230: 산화물 반도체, 231f: 금속 산화물, 231g: 금속 산화물, 231: 금속 산화물, 240a: 도전체, 240b: 도전체, 240f: 도전체, 240: 도전체, 242a: 도전체, 242b: 도전체, 242f: 도전체, 242p: 개구, 242: 도전체, 245: 도전체, 250f: 절연체, 250: 절연체, 251f: 절연체, 251: 절연체, 252a: 절연체, 252a_f: 절연체, 252a_g: 절연체, 252a_h: 절연체, 252b: 절연체, 252b_g: 절연체, 252: 절연체, 260f: 도전체, 260: 도전체, 262a: 도전체, 262b: 도전체, 262: 도전체, 277f: 절연체, 277: 절연체, 283: 절연체, 287: 절연체, 300A: 기억 장치, 300: 기억 장치, 301: 트랜지스터, 311: 기관, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 610: 기관, 611a: 전구체, 611b: 전구체, 612a: 반응체, 612b: 반응체, 613a: 산화물, 613b: 산화물, 613c: 산화물, 621: 층, 622: 층, 631: 층, 641: 층, 644: 도전체, 645: 도전체, 646: 도전체, 648: 절연체, 650: 구조체, 653: 영역, 654: 영역, 660: 산화물, 662: 산화물, 700: 전자 부품, 702: 인쇄 기관, 704: 실장 기관, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 720: 기억 장치, 721: 구동 회로층, 722: 기억 회로층, 730: 전자 부품, 731: 인터포저, 732: 패키지 기관, 733: 전극, 735: 반도체 장치, 1100: USB 메모리, 1101: 하우징, 1102: 캡, 1103: USB 커넥터, 1104: 기관, 1105: 메모리 칩, 1106: 컨트롤러 칩, 1110: SD 카드, 1111: 하우징, 1112: 커넥터, 1113: 기관, 1114: 메모리 칩, 1115: 컨트롤러 칩, 1150: SSD, 1151: 하우징, 1152: 커넥터, 1153: 기관, 1154: 메모리 칩, 1155: 메모리 칩, 1156: 컨트롤러 칩, 1200: 칩, 1201: 패키지 기관, 1202: 범프, 1203: 머더보드, 1204: GPU 모듈, 1211: CPU, 1212: GPU, 1213: 아날로그 연산부, 1214: 메모리 컨트롤러, 1215: 인터페이스, 1216: 네트워크 회로, 1221: DRAM, 1222: 플래시 메모리, 5100: 정보 단말기, 5101: 하우징, 5102: 표시부, 5200: 노트북형 정보 단말기, 5201: 본체, 5202: 표시부, 5203: 키보드, 5300: 휴대용 게임기, 5301: 하우징, 5302: 하우징, 5303: 하우징, 5304: 표시부, 5305: 접속부, 5306: 조작키, 5400: 거치형 게임기, 5402: 컨트롤러, 5500: 슈퍼컴퓨터, 5501: 랙, 5502: 컴퓨터, 5504: 기관, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문, 6800: 인공위성, 6801: 기체, 6802: 태양 전지판, 6803: 안테나, 6804: 행성, 6805: 이차 전지, 6807: 제어 장치

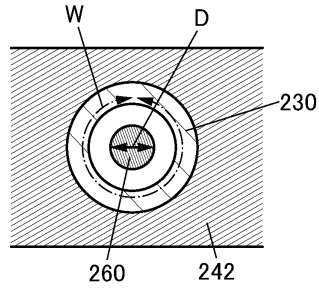
도면

도면1

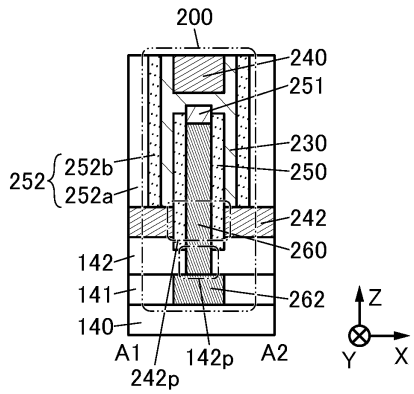
(A)



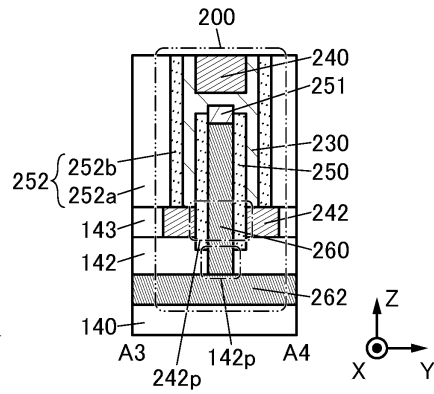
(B)



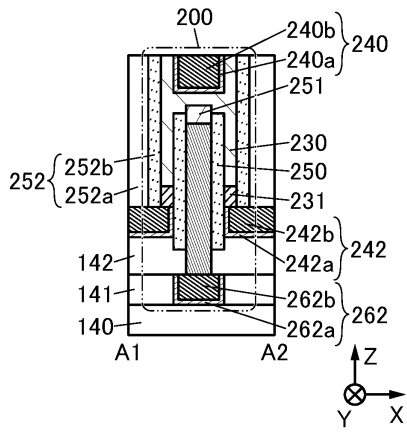
(C)



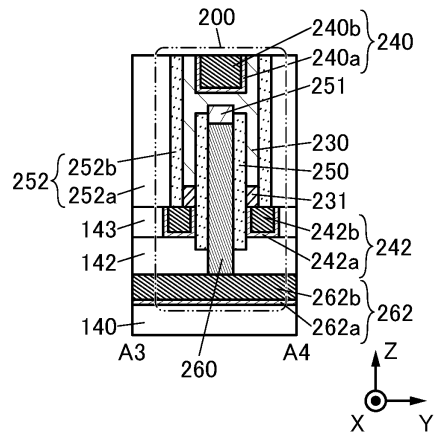
(D)



(E)

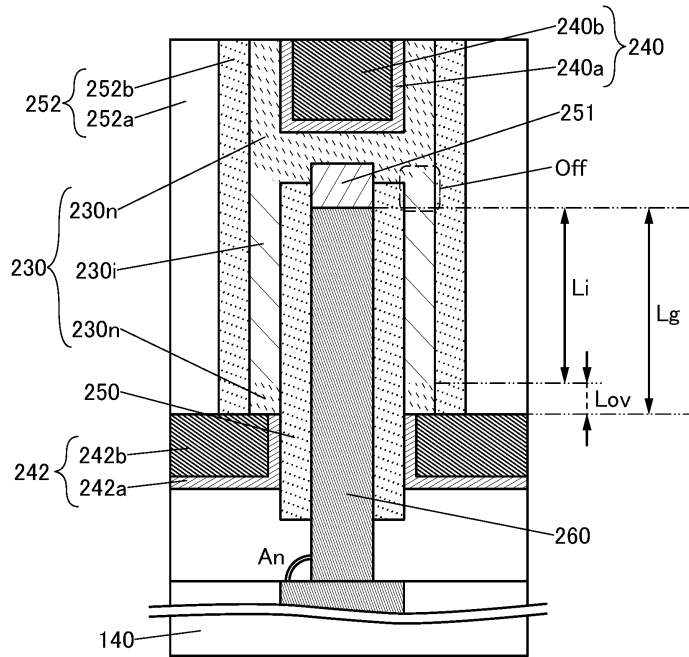


(F)

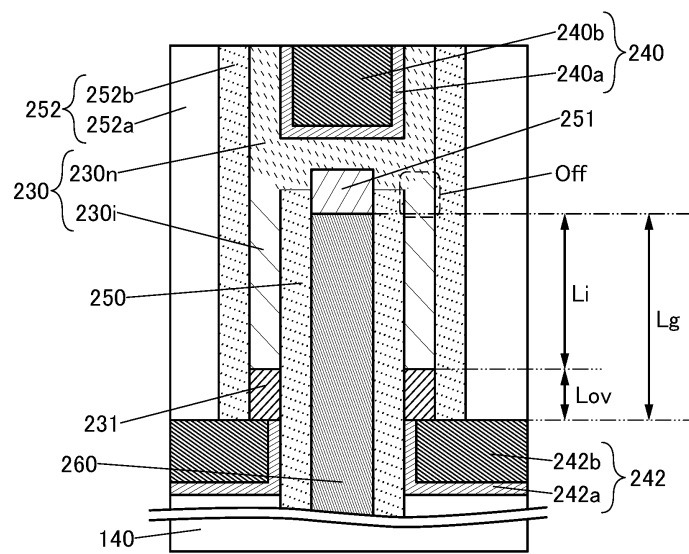


도면2

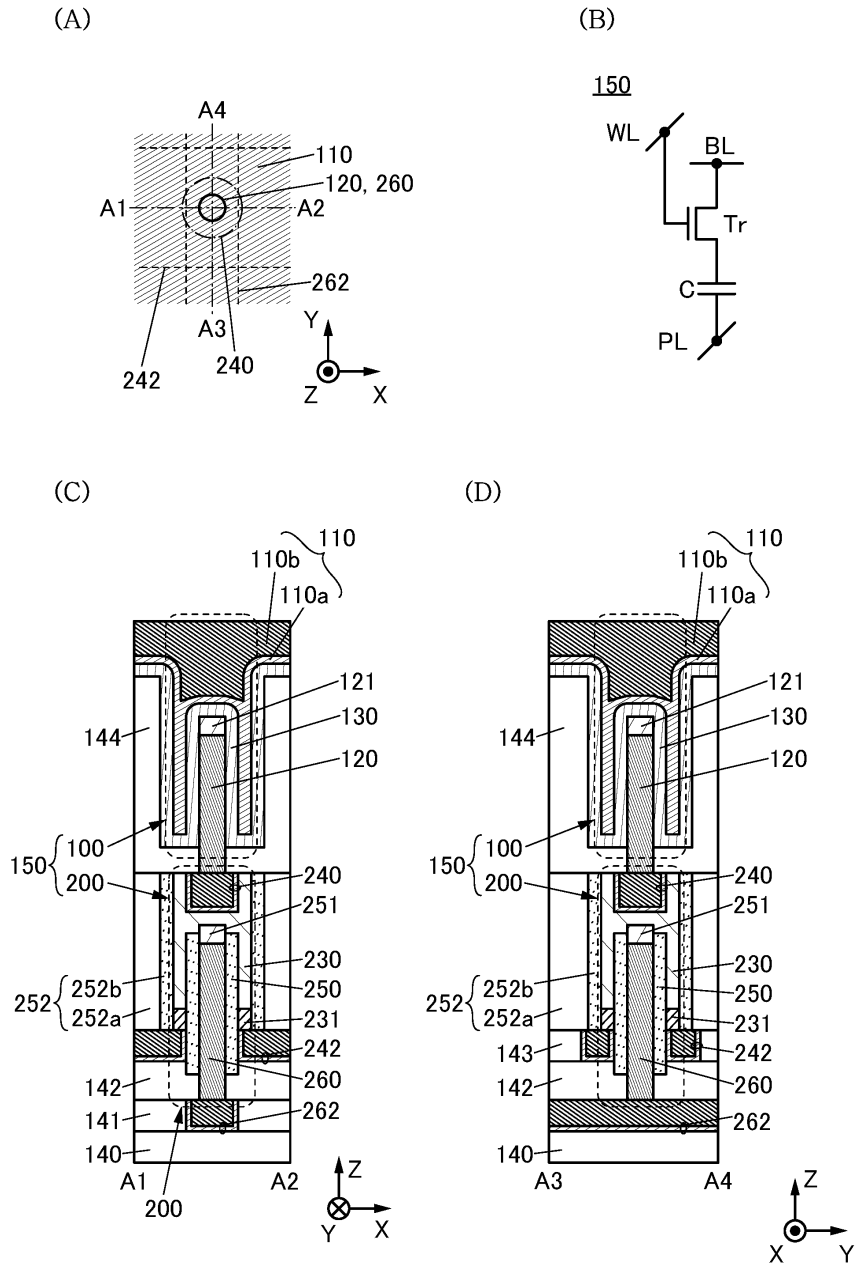
(A)



(B)

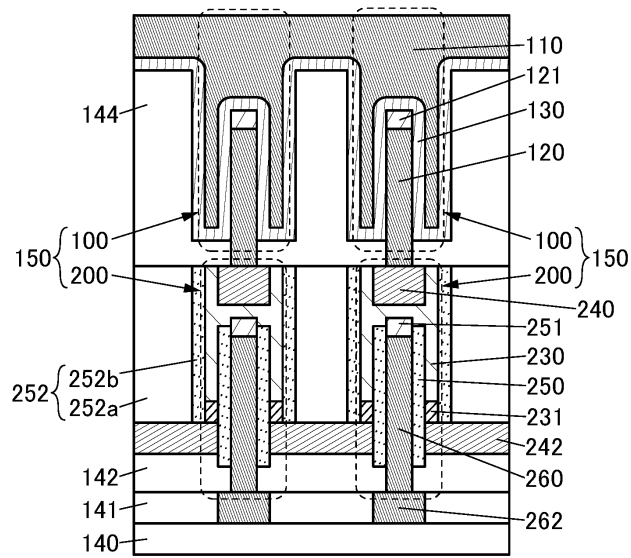


도면3

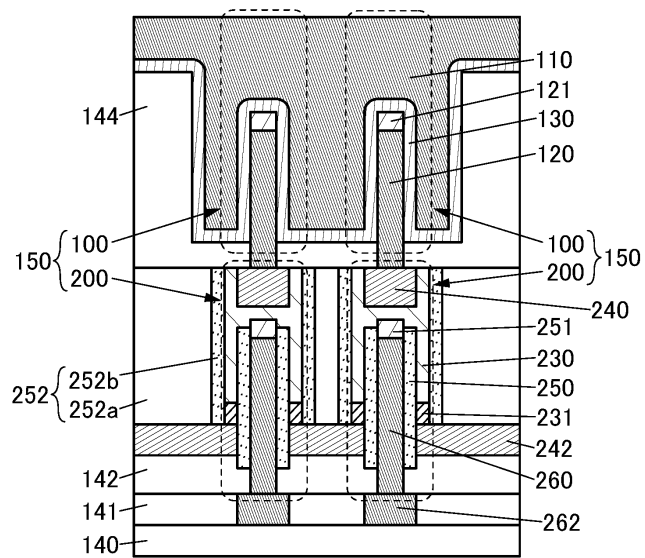


도면4

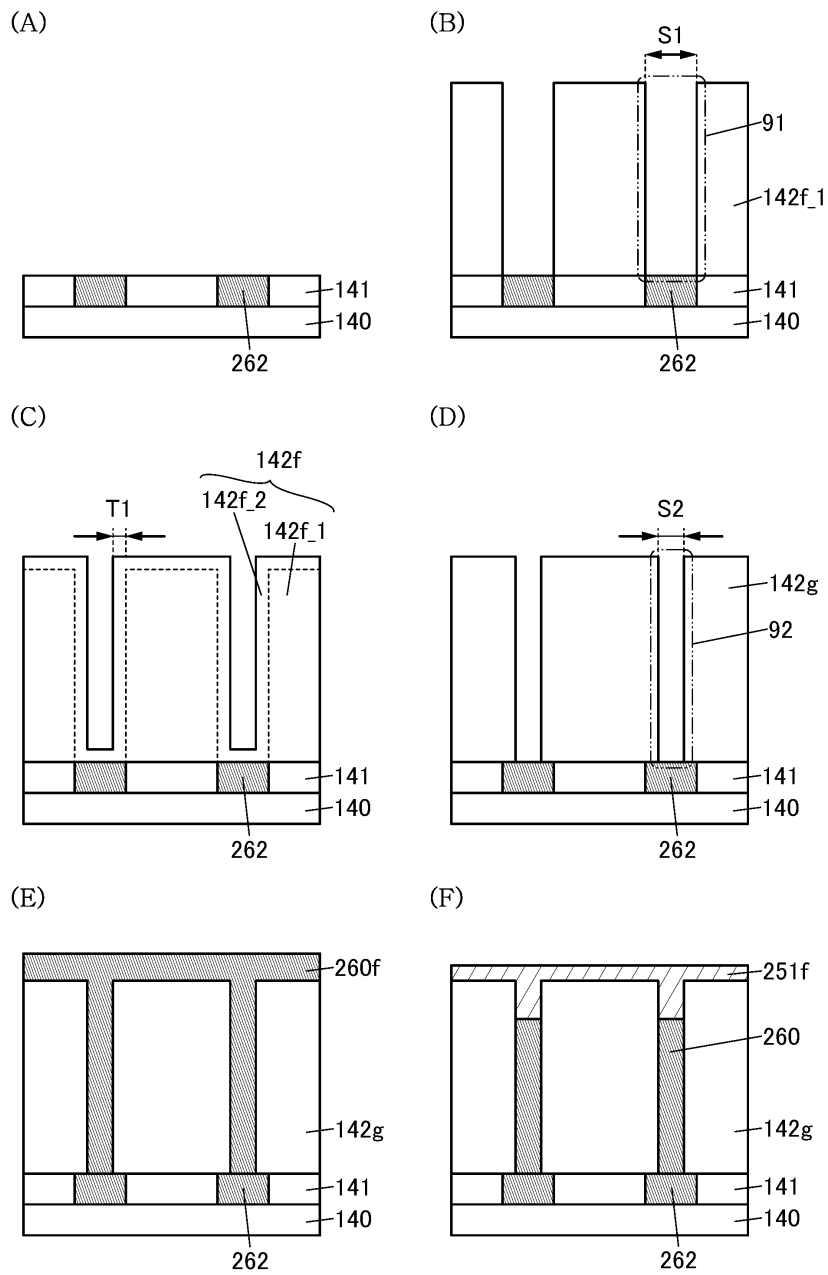
(A)



(B)

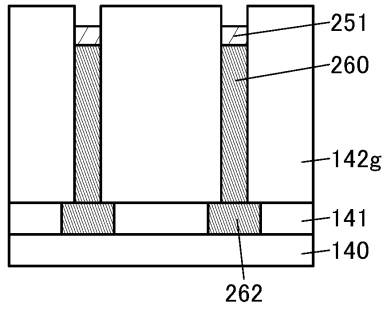


도면5

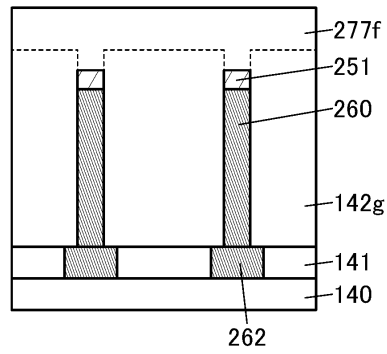


도면6

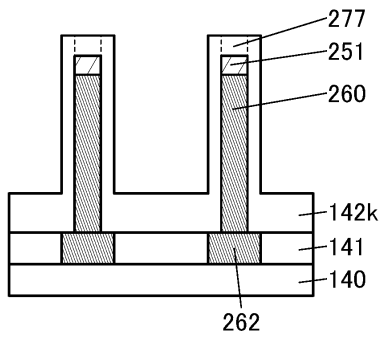
(A)



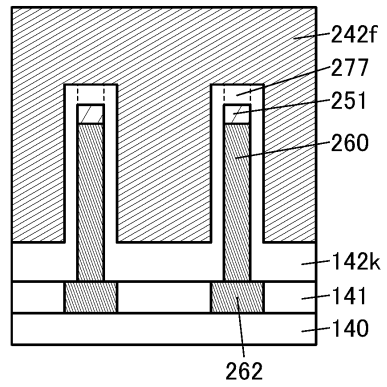
(B)



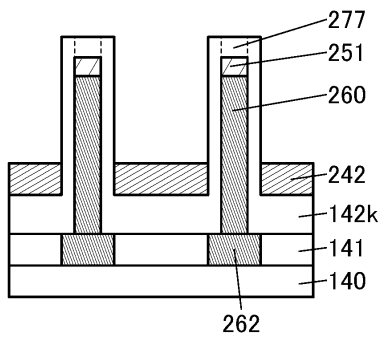
(C)



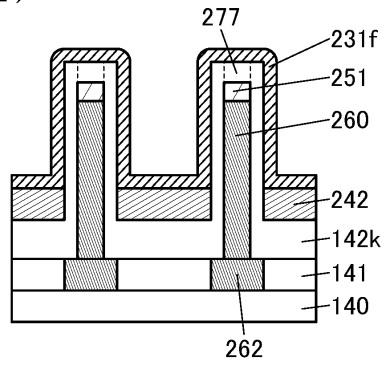
(D)



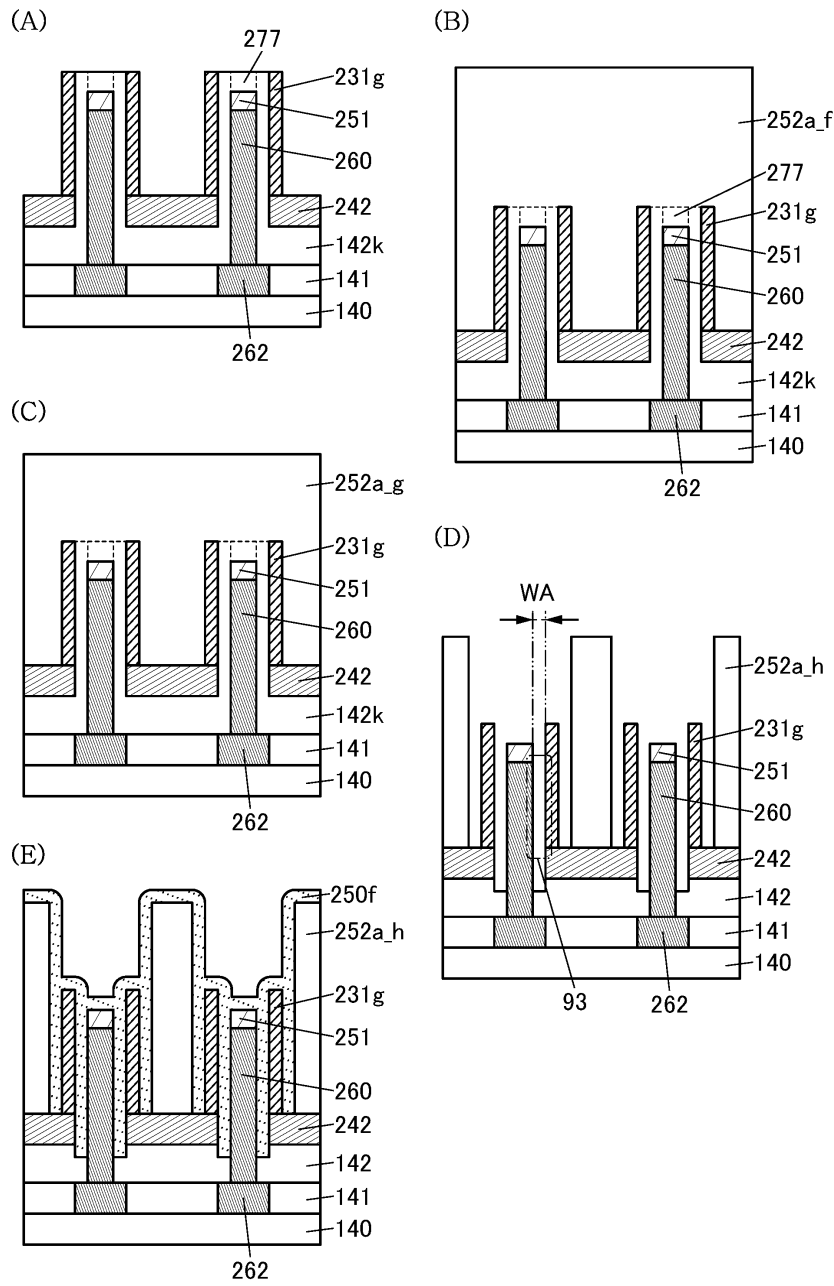
(E)



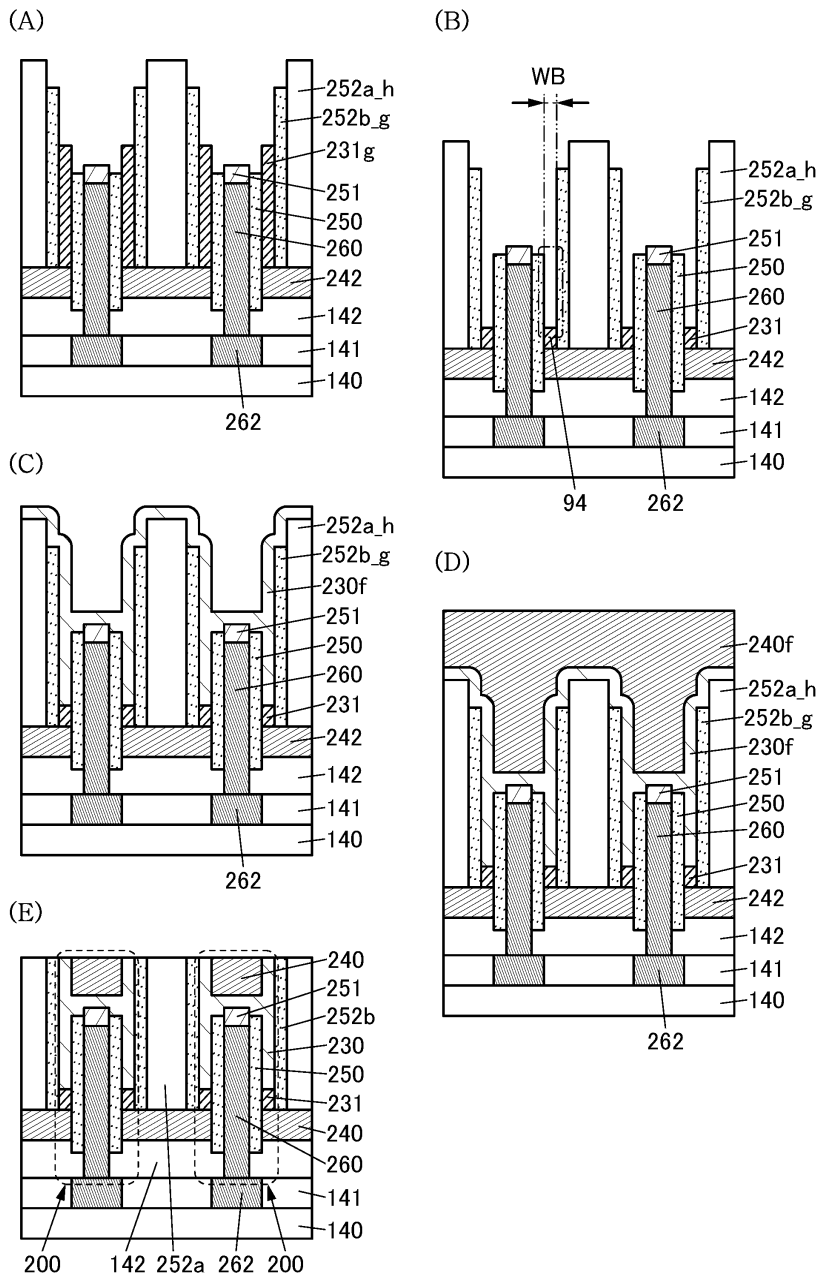
(F)



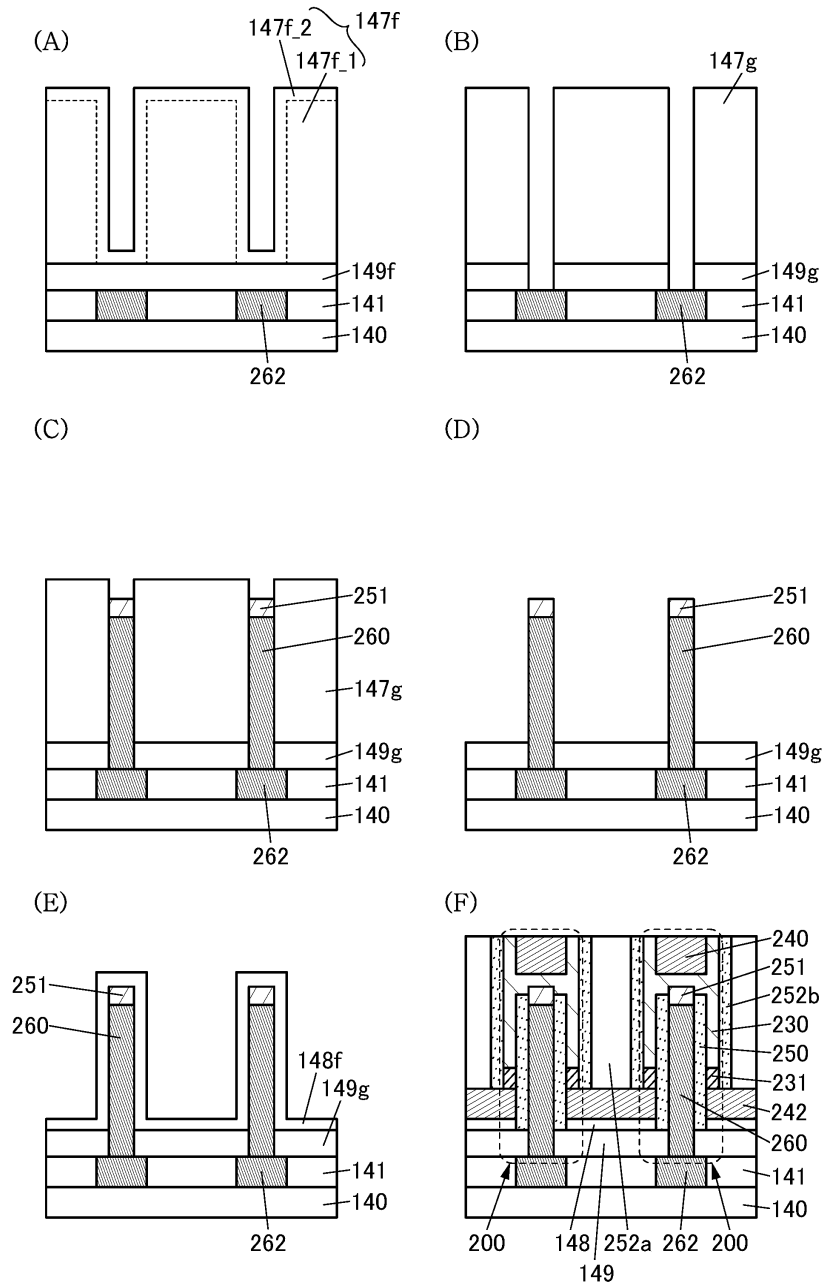
도면7



도면8

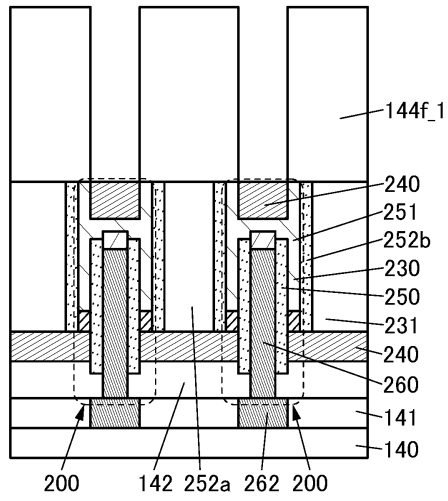


도면9

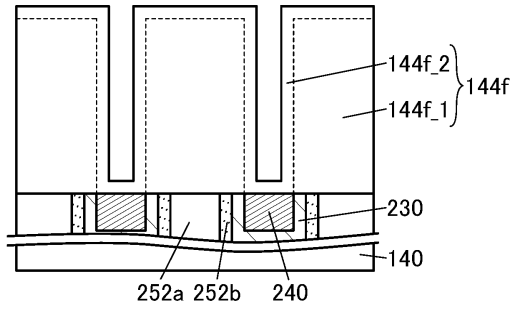


도면10

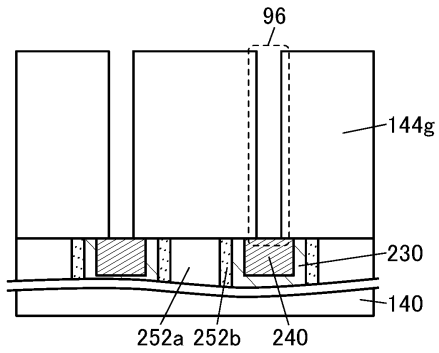
(A)



(B)

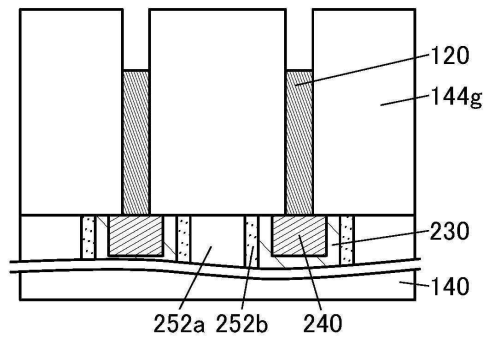


(C)

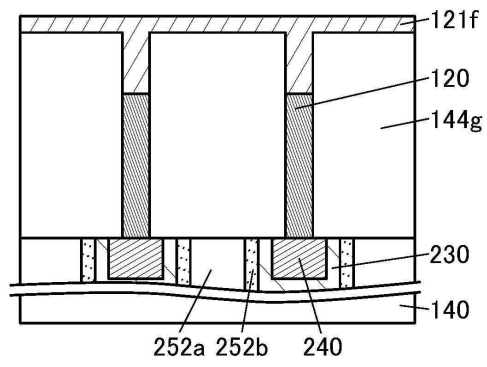


도면11

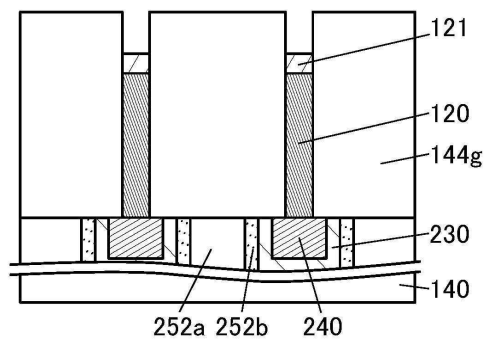
(A)



(B)

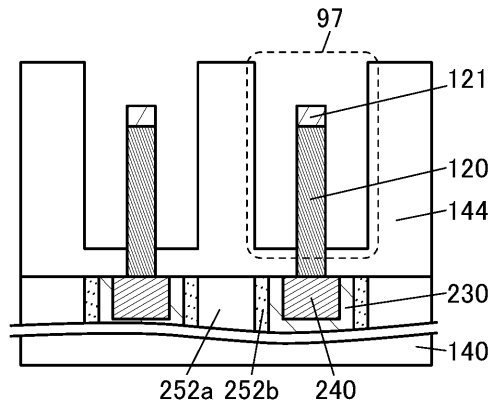


(C)

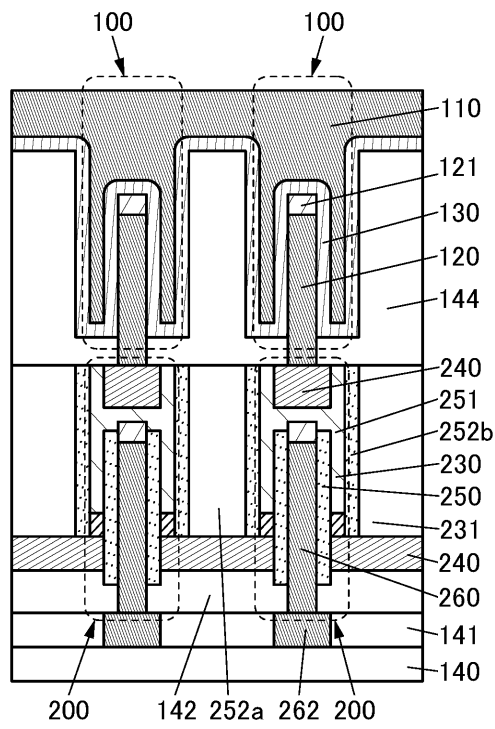


도면12

(A)

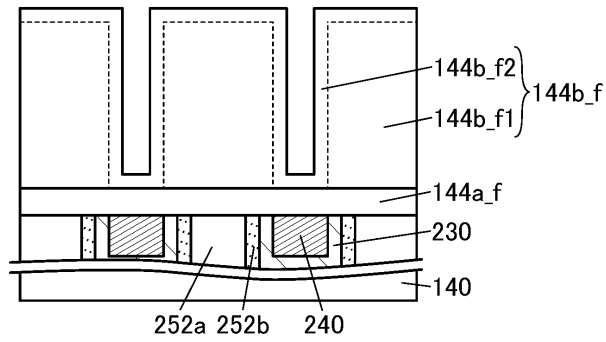


(B)

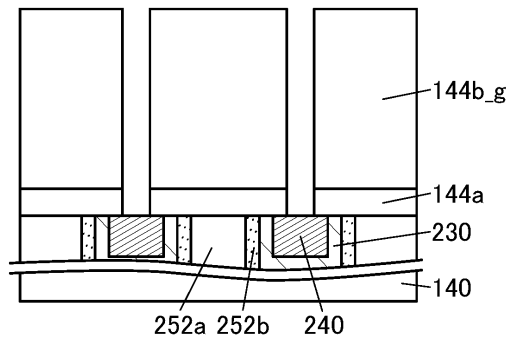


도면13

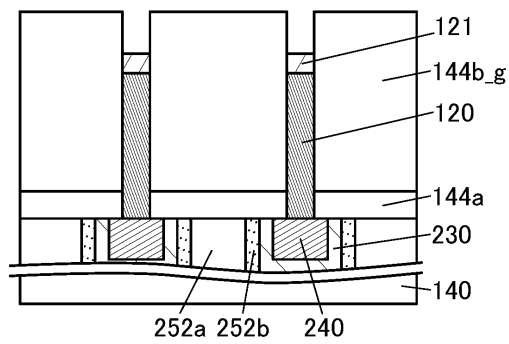
(A)



(B)

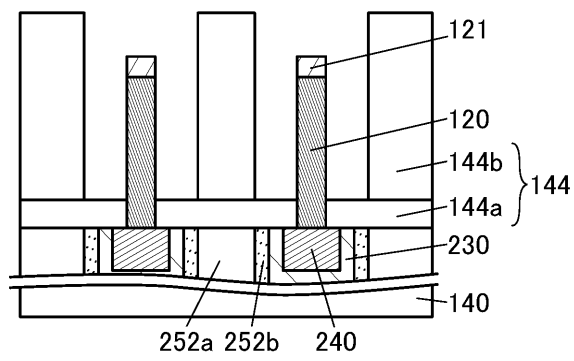


(C)

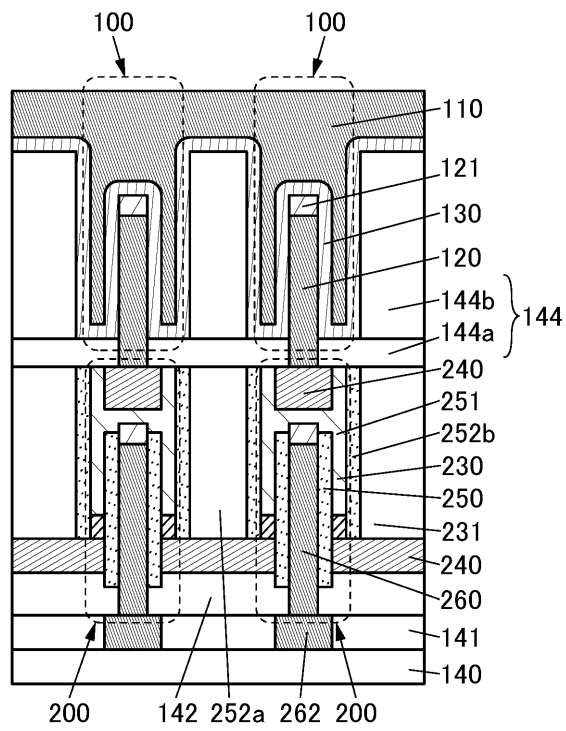


도면14

(A)

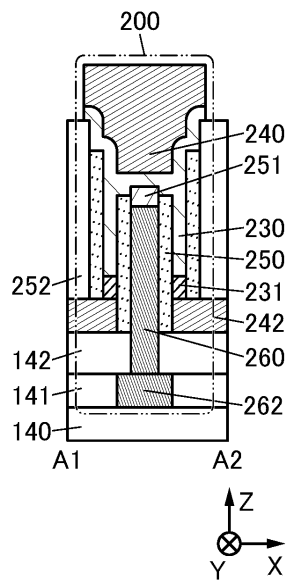


(B)

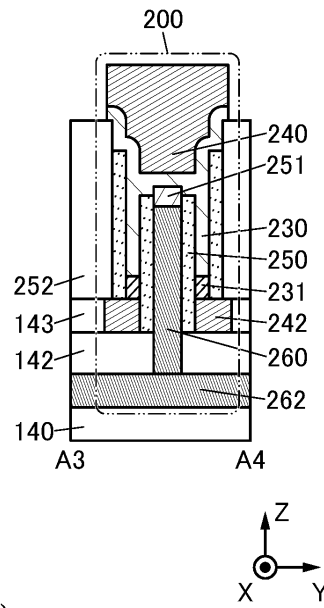


도면15

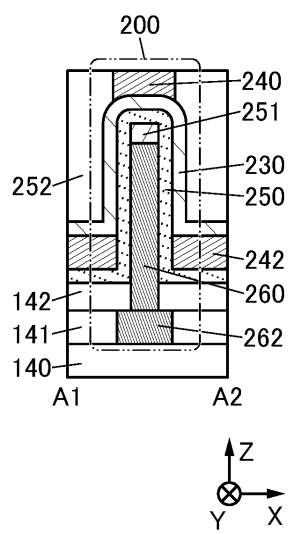
(A)



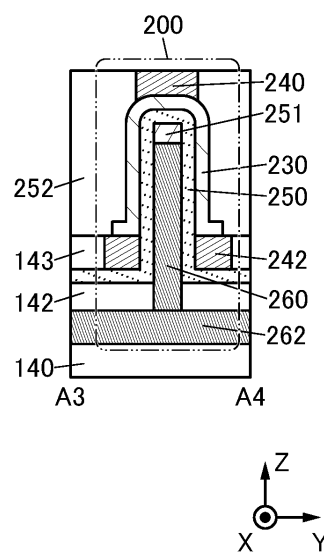
(B)



(C)

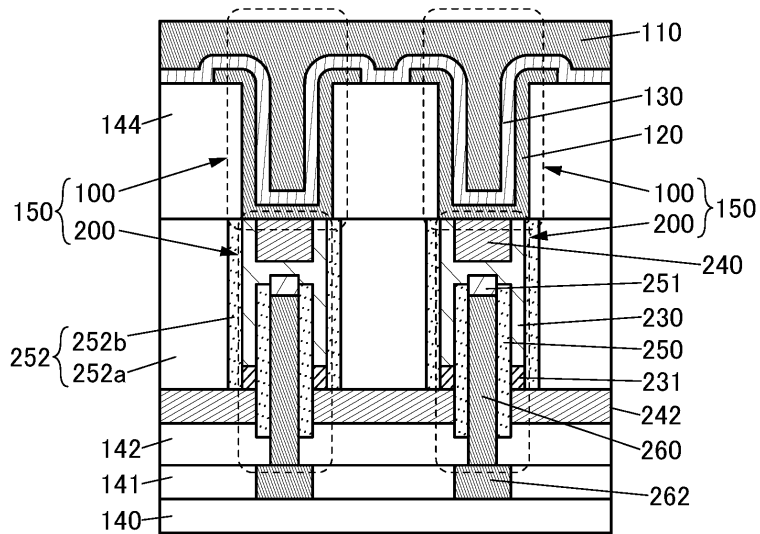


(D)

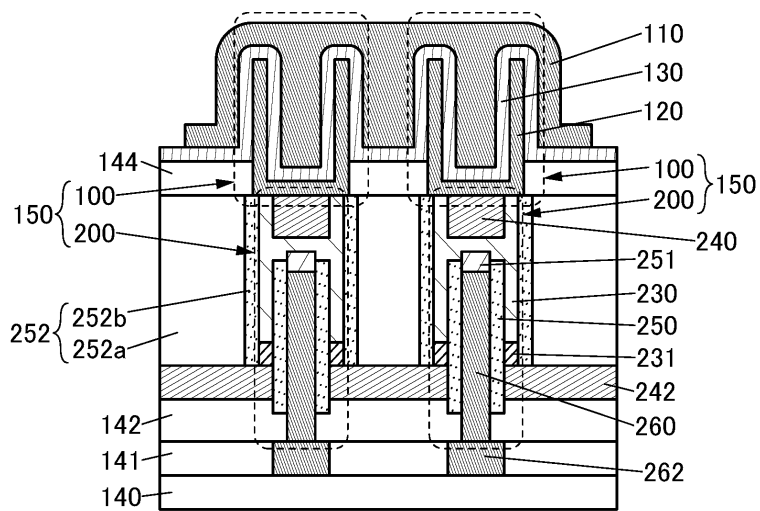


도면16

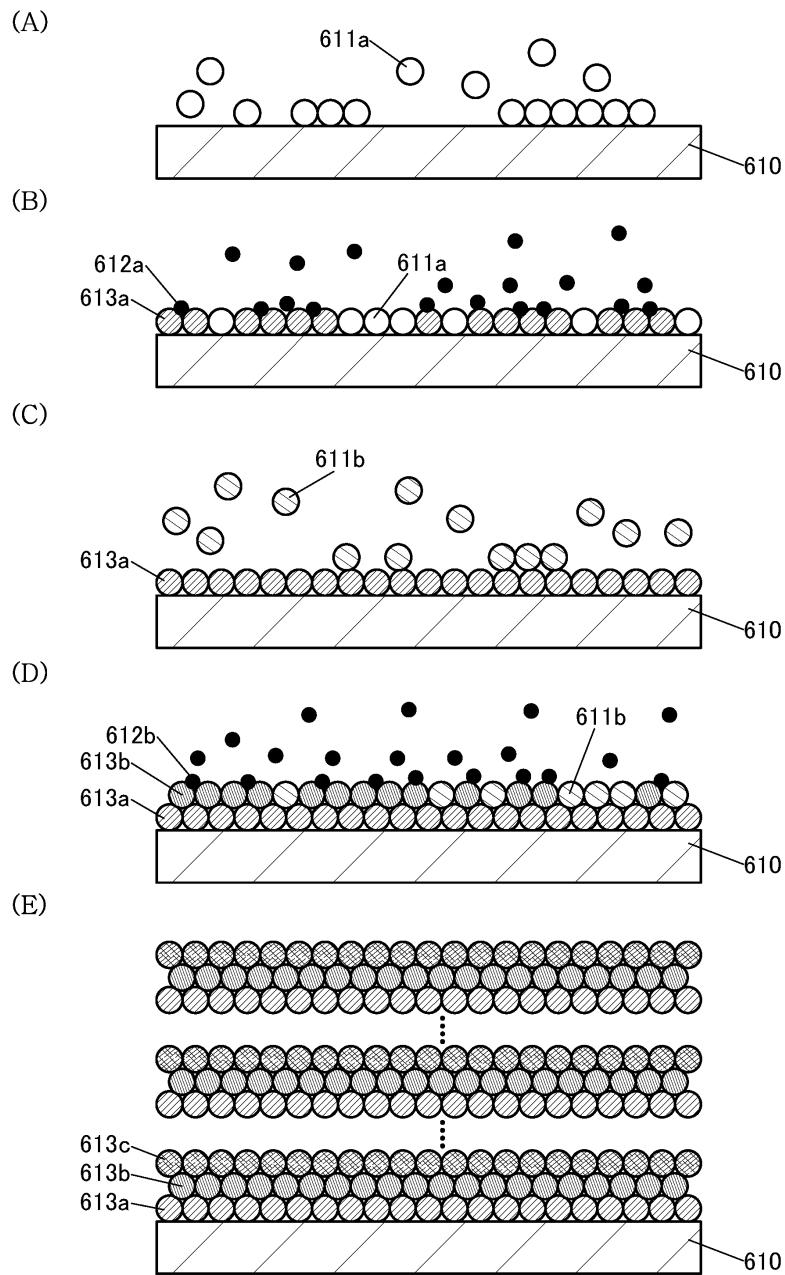
(A)



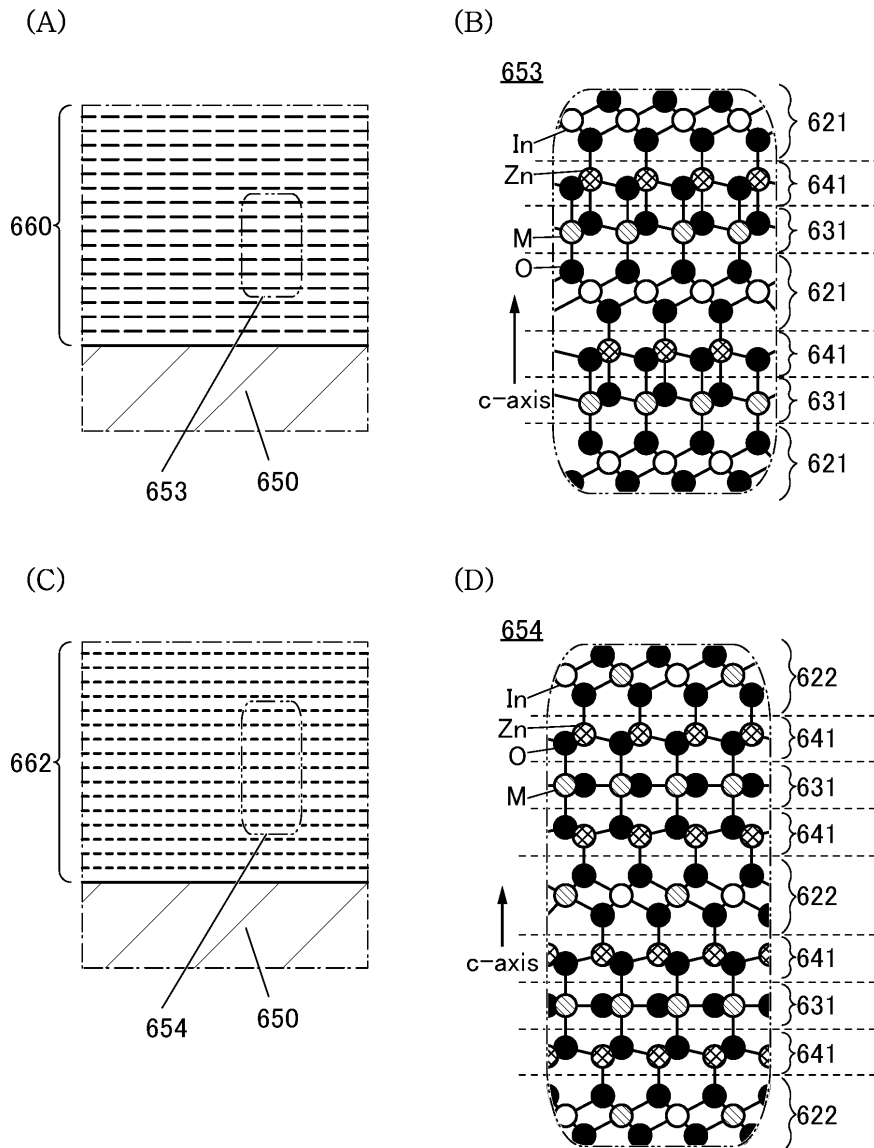
(B)



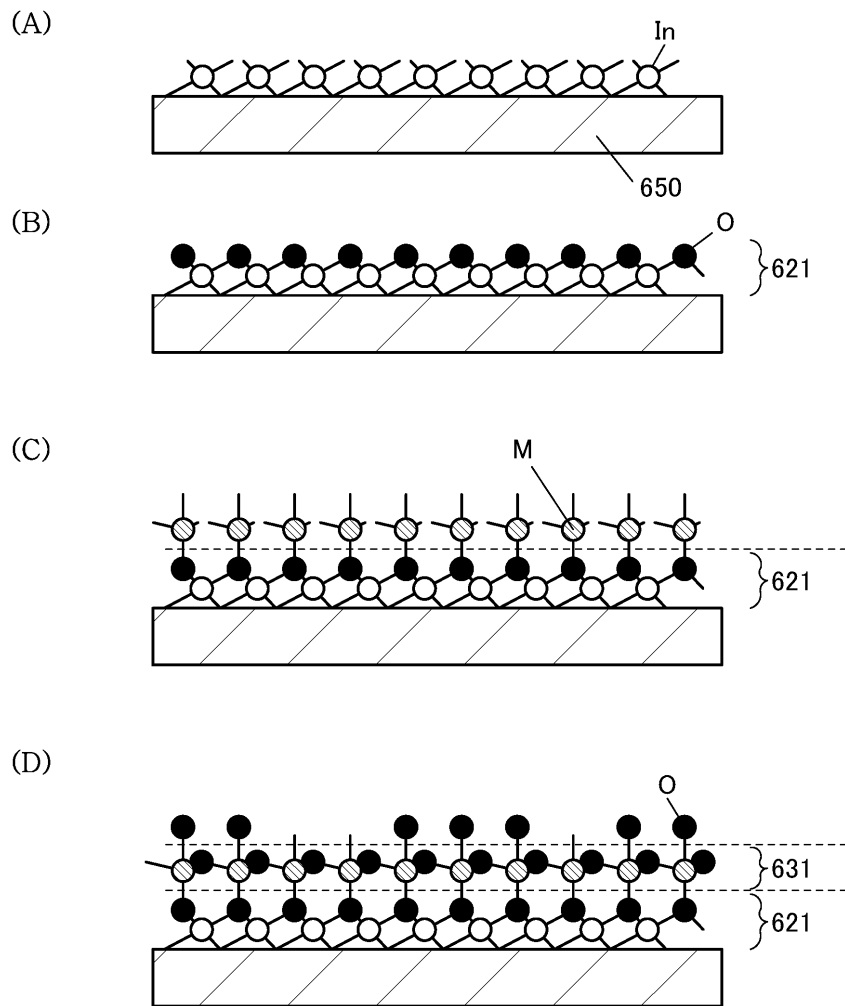
도면17



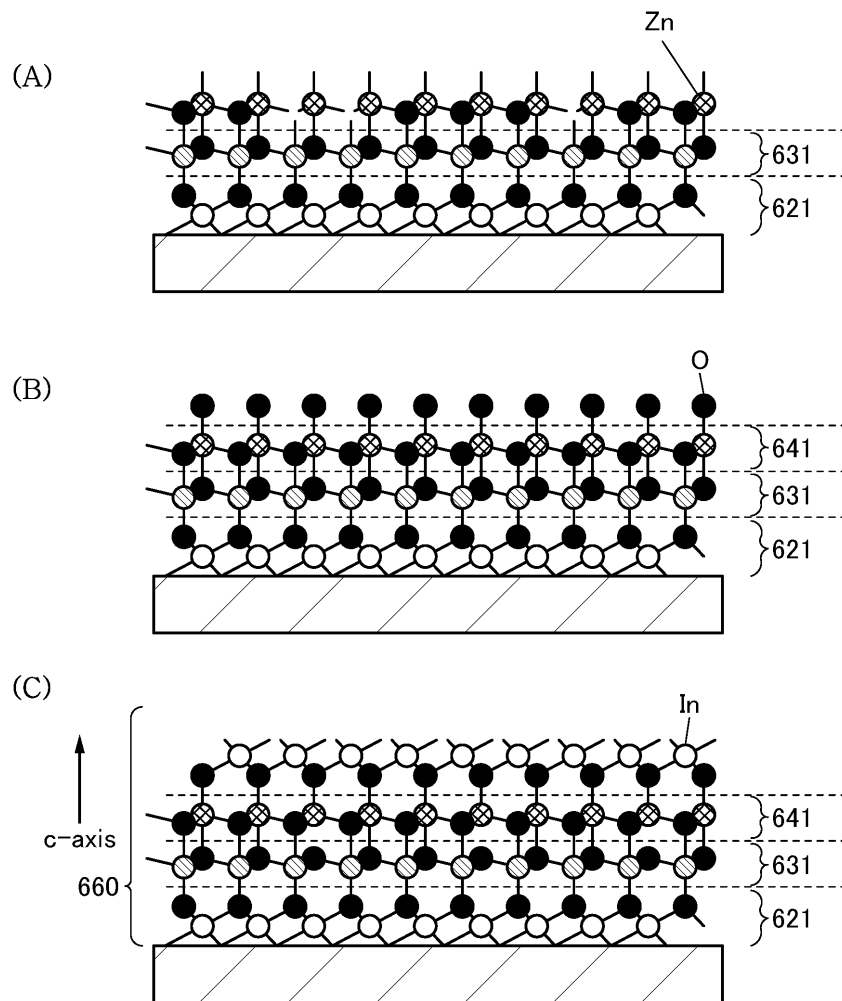
도면18



도면19

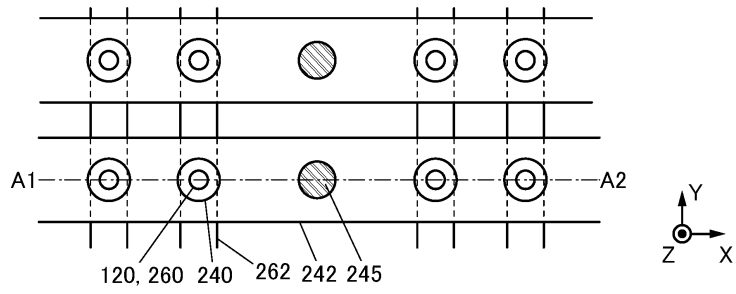


도면20

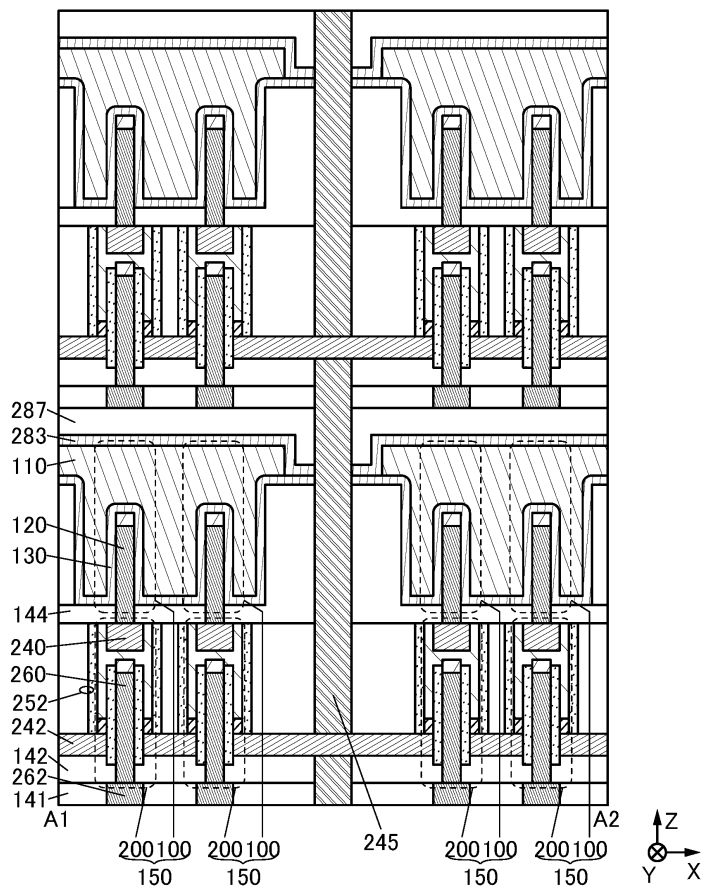


도면21

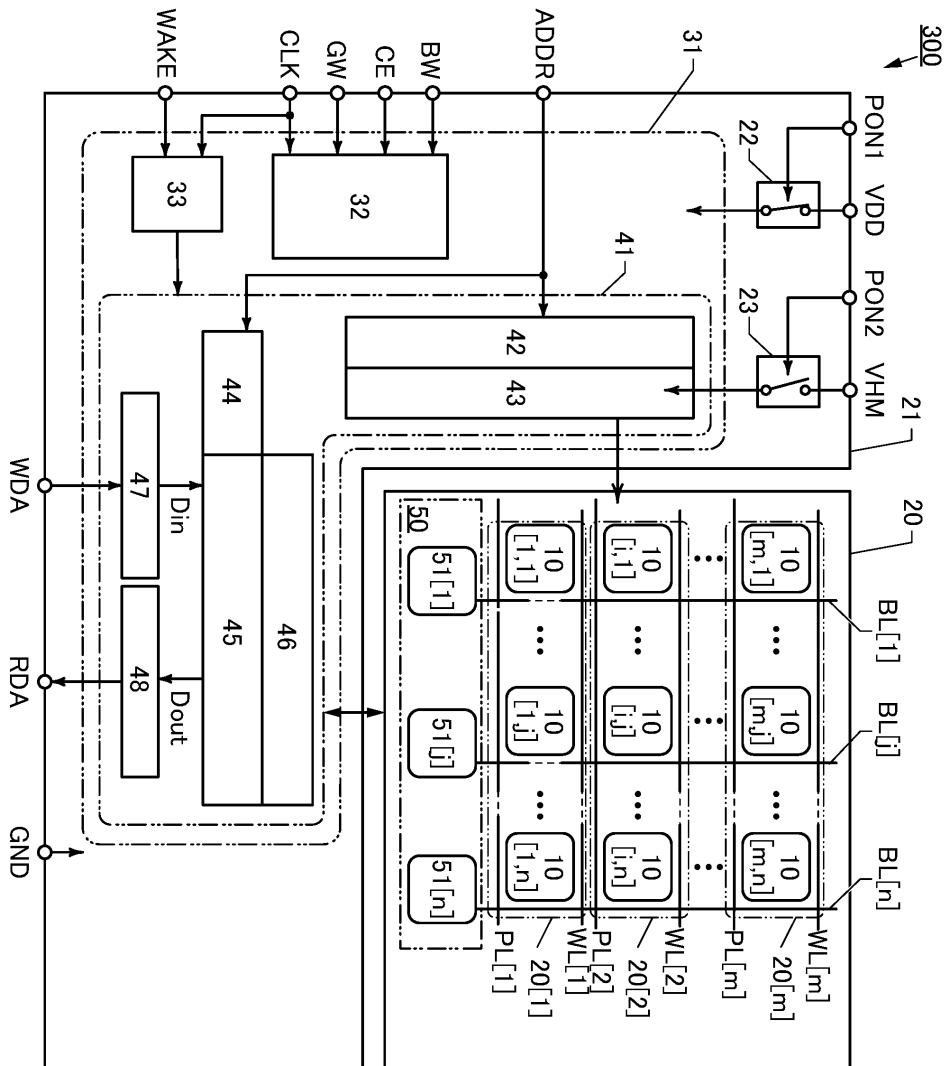
(A)



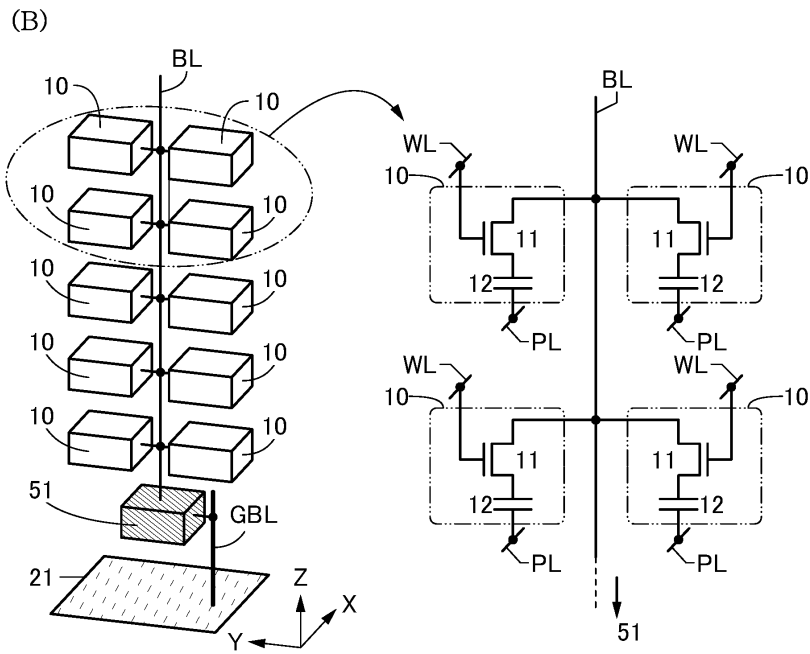
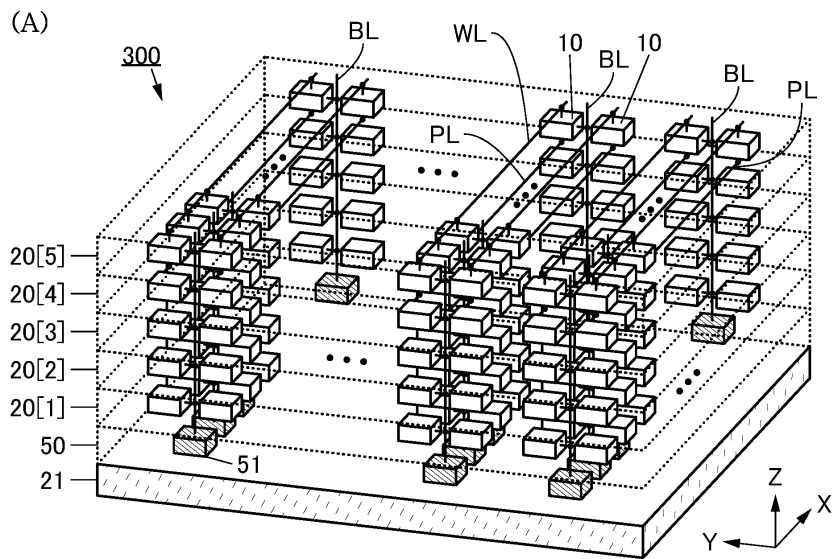
(B)



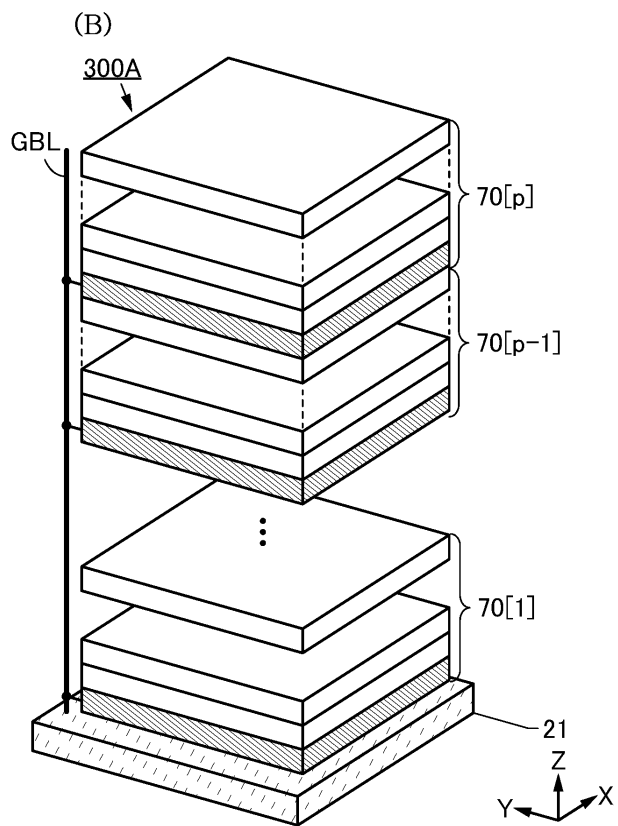
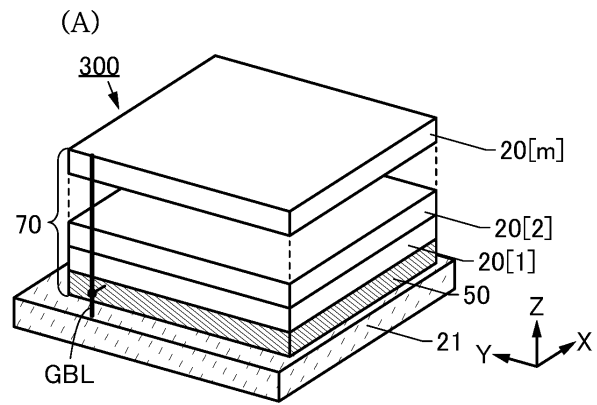
도면22



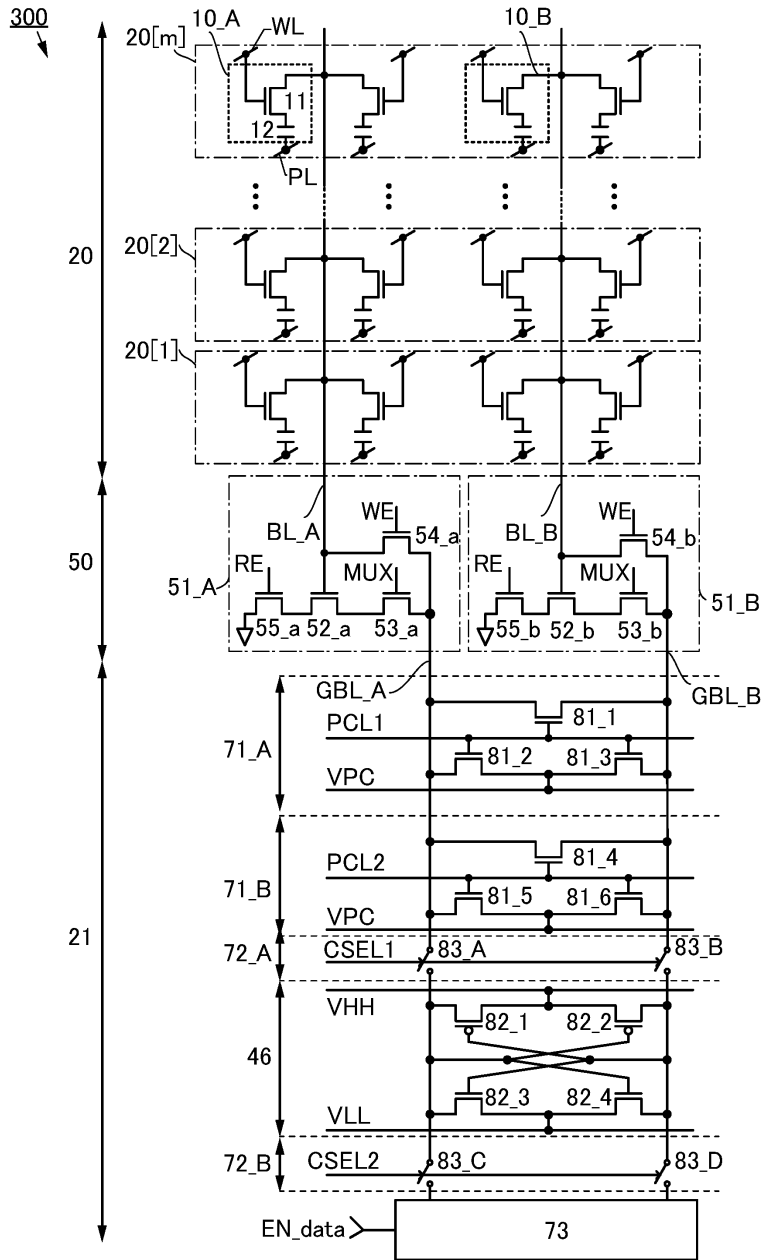
도면23



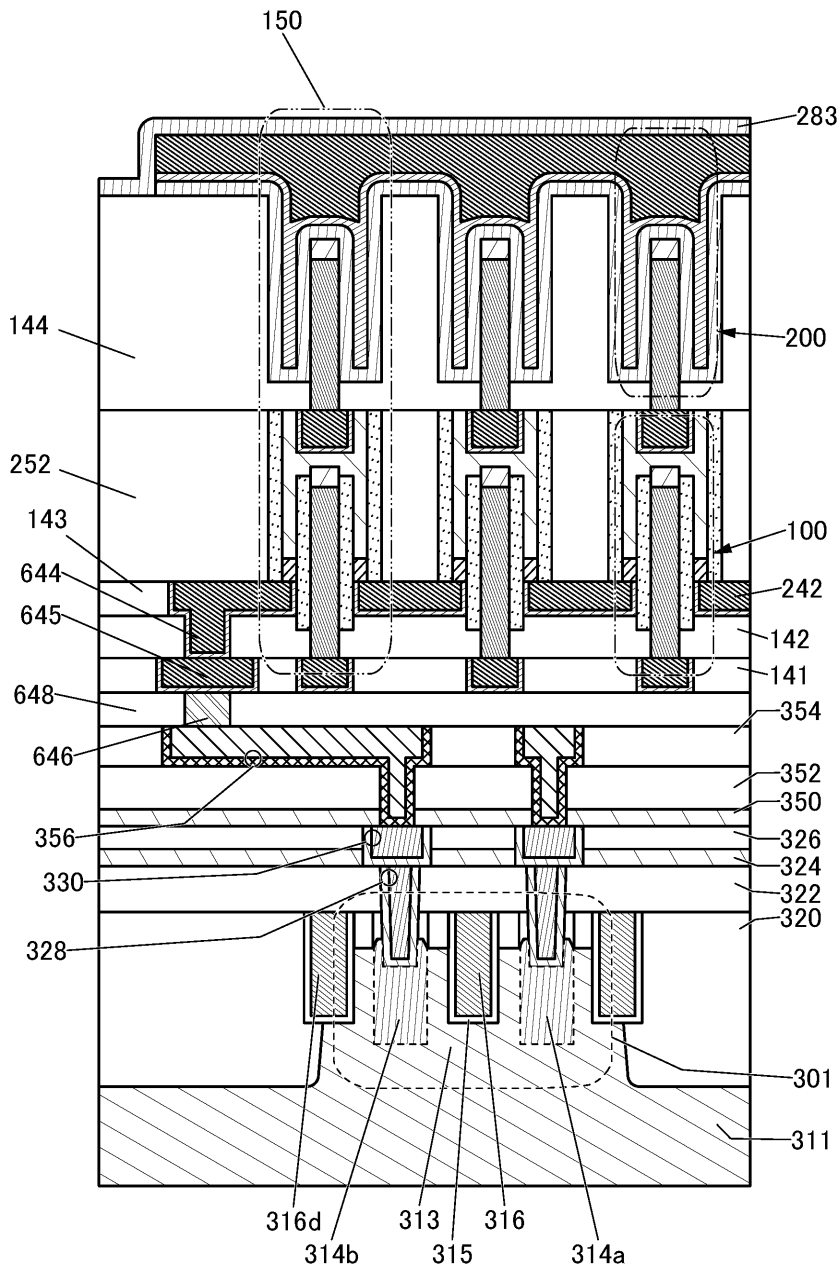
도면24



도면25

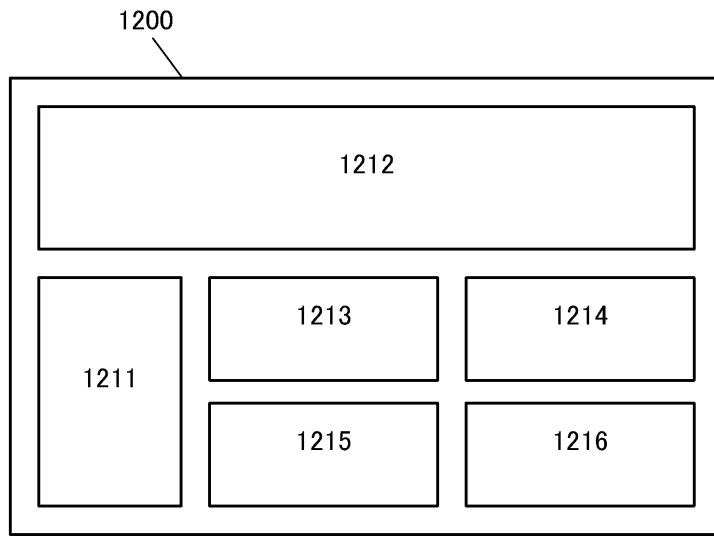


도면26

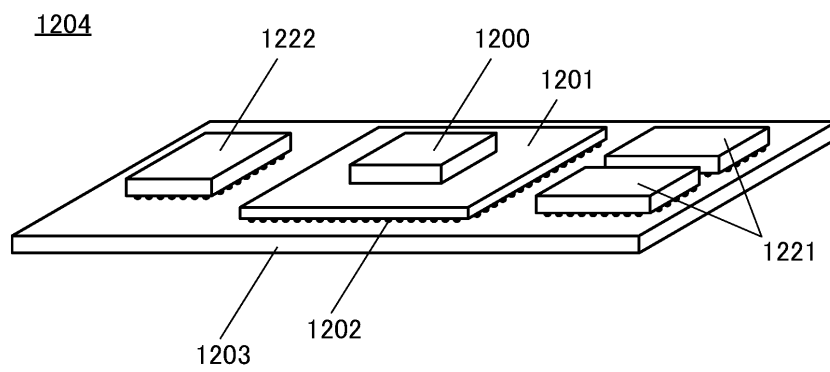


도면27

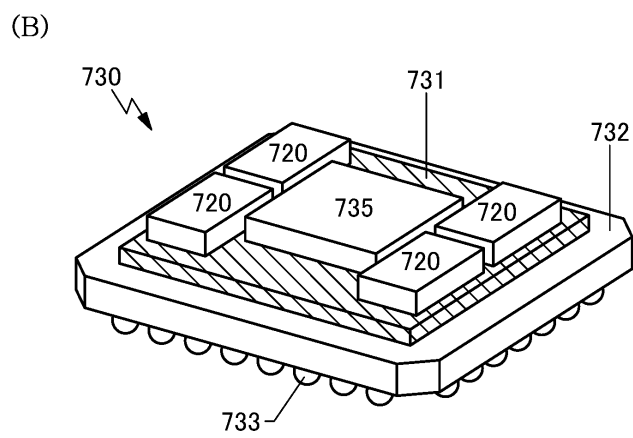
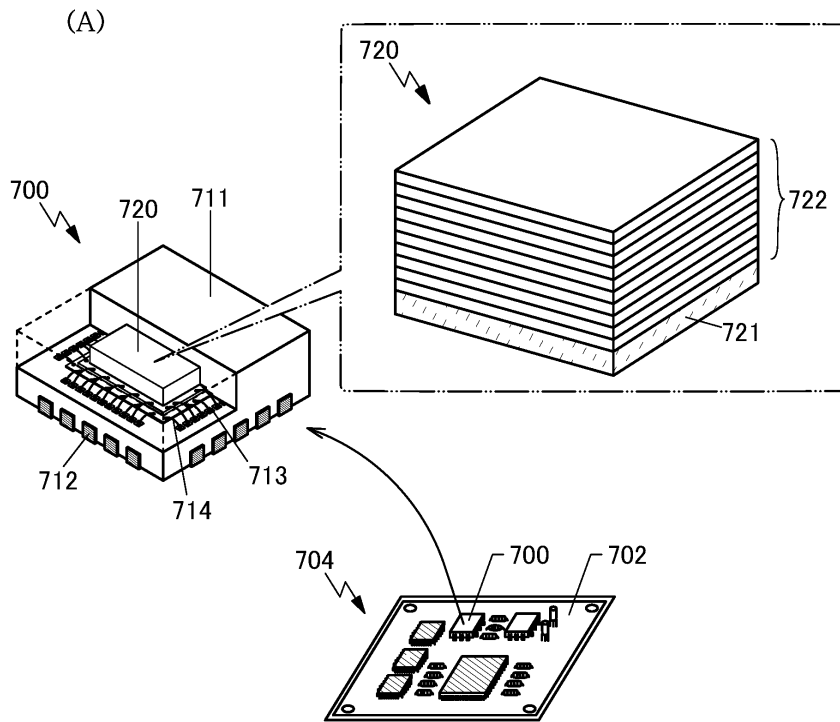
(A)



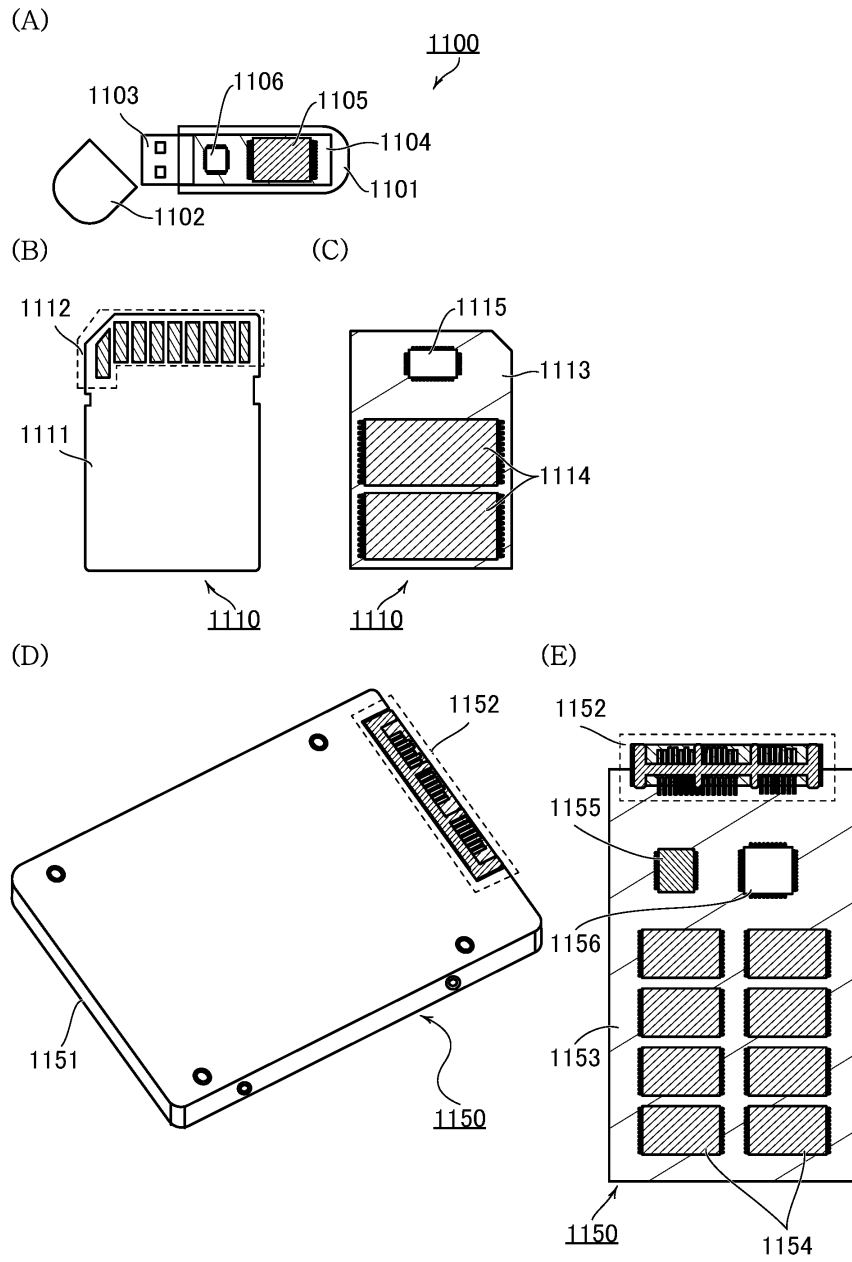
(B)



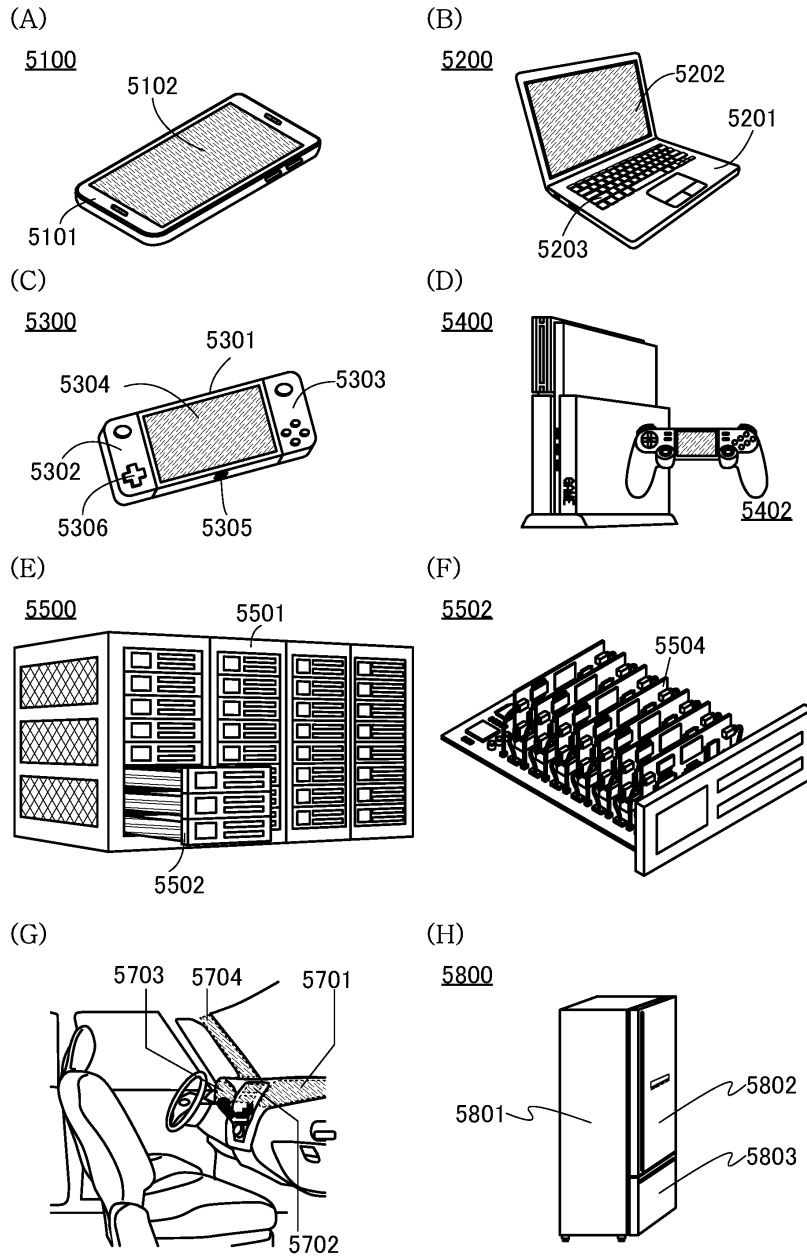
도면28



도면29



도면30



도면31

