

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 16 日(16.08.2012)



(10) 国際公開番号
WO 2012/108469 A1

- (51) 国際特許分類:
H01L 23/50 (2006.01) H01L 25/07 (2006.01)
H01L 25/065 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2012/052870
- (22) 国際出願日: 2012 年 2 月 8 日(08.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-024849 2011 年 2 月 8 日(08.02.2011) JP
特願 2011-024850 2011 年 2 月 8 日(08.02.2011) JP
特願 2011-024851 2011 年 2 月 8 日(08.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社(Rohm Co., Ltd.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 須永 武史 (SUNAGA Takeshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 木村 明寛(KIMURA Akihiro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 吉田 稔, 外(YOSHIDA Minoru et al.); 〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2-1301 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

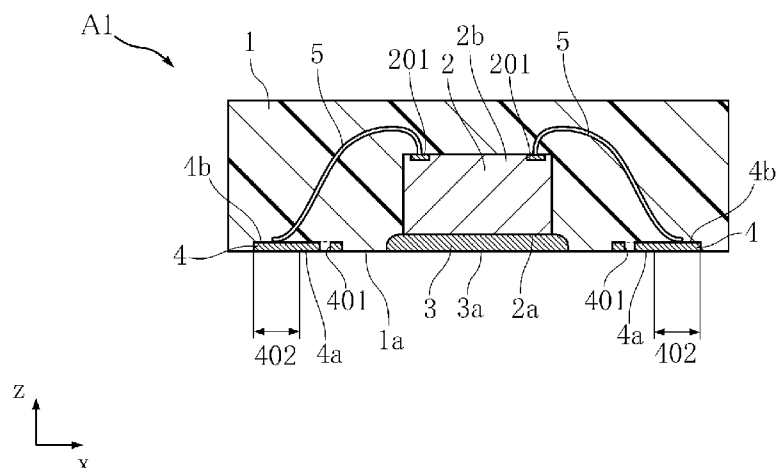
[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法

[図2]

Fig.2



(57) Abstract: A semiconductor device (A1) is provided with a semiconductor chip (2), terminals (4) connected to the semiconductor chip (2), and a sealing resin (1) that covers the semiconductor chip (2) and the terminals (4). The sealing resin (1) is formed to expose the bottom surface in the thickness direction of the terminals (4). Openings (401) to be filled with the sealing resin (1) are formed at the terminals (4).

(57) 要約: 半導体装置 (A1) は、半導体チップ (2) と、半導体チップ (2) に接続された端子 (4) と、半導体チップ (2) および端子 (4) を覆う封止樹脂 (1) と、を備えている。封止樹脂 (1) は、端子 (4) の厚み方向における底面を露出させるように形成されている。端子 (4) には封止樹脂 (1) が充填される開口部 (401) が形成されている。

WO 2012/108469 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来より、SON (Small Outline Non-leaded Package)、QFN (Quad Flat Non Leaded Package) と称されるパッケージ形態とされた半導体装置が広く製造されている。図29にはQFN型の半導体装置の一例を断面図で示している(特許文献1参照)。図29に示す半導体装置Xは、樹脂ケース91と、基台リード92と、半導体チップ93と、リード端子94と、接続ワイヤ95とを備えている。半導体チップ93は基台リード92に固定されており、接続ワイヤ95を介してリード端子94と接続されている。このような半導体装置Xは、リードフレームを用いて製造される。リードフレームは0.2mm程度の厚みの金属板を精密プレスによる打ち抜きやエッチングによって所望パターンに形成することによって製造される。

[0003] リードフレームを用いて半導体装置Xを製造する際には、基台リード92に半導体チップ93を設置し、半導体チップ93とリード端子94とを接続ワイヤ95で接続した後にリードフレームを樹脂ケース91で覆う。その後、不要なリードフレーム部分を切断して除去する。

[0004] 各種電子機器の小型化に伴い、半導体装置Xの小型化および高機能化が求められている。小型化の一つの方法として、半導体装置Xの厚みを減らすことが考えられる。半導体装置Xの薄型化を図る上で、基台リード92およびリード端子94の厚みは不利な要素となっている。このため、リードフレームを用いずにパッケージ形態の半導体装置を製造することが提案されている。たとえば、金属製の基台上にメッキにより端子を形成し、後に基台をエッチングにより除去する手法が知られている。

[0005] しかしながら、リードフレームを用いず、上述のようにメッキにより端子

を形成した場合、端子の厚みは $20\mu\text{m}$ 程度となり、樹脂ケースから脱落しやすくなる可能性がある。リードフレームを用いずに半導体装置を製造する上で、端子の引き抜き強度の確保が課題となっている。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-246395号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明は、上記した事情のもとで考え出されたものであって、より小型化を図りやすい半導体装置の製造方法および半導体装置を提供することをその課題とする。

課題を解決するための手段

[0008] 本発明の第1の側面によって提供される半導体装置は、半導体チップと、上記半導体チップに接続された端子と、上記半導体チップおよび上記端子を覆う封止樹脂と、を備えた半導体装置であって、上記封止樹脂は、上記端子の厚み方向における一方の面を露出させるように形成されており、上記端子には、上記封止樹脂が充填される開口部が形成されていることを特徴とする。

[0009] 本発明の好ましい実施の形態においては、上記開口部は、上記厚み方向に上記端子を貫通する孔状に形成されている。

[0010] 本発明の好ましい別の実施の形態においては、上記開口部は、上記厚み方向視において、上記厚み方向と直交する方向に凹む形状である。

[0011] 本発明のより好ましい実施の形態においては、上記半導体チップと上記端子とを接続するワイヤを備えており、上記端子は上記ワイヤが接続されるパッド部を有しており、上記パッド部は、上記開口部よりも上記厚み方向と直交する方向において上記半導体チップから遠い位置に配置される。

[0012] 本発明のより好ましい実施の形態においては、上記端子は、上記厚み方向

と直交する第 1 の方向に長く延び、上記第 1 の方向において上記半導体チップから遠ざかるにつれて、上記厚み方向および上記第 1 の方向と直交する第 2 の方向における幅が狭くなるように形成されている。

[0013] 本発明の好ましい実施の形態においては、上記半導体チップの上記厚み方向における一方の面を支持する支持部材を備えており、上記支持部材の上記厚み方向における一方の面が上記封止樹脂から露出している。

[0014] たとえば、上記支持部材は銀を含んでいる。

[0015] 好ましくは、上記端子は、複数の金属層からなる。

[0016] 本発明のより好ましい実施の形態においては、上記半導体チップの上記厚み方向における一方の面は上記支持部材に接着されており、上記半導体チップの上記厚み方向における他方の面に追加の半導体チップが設置されている。

[0017] より好ましくは、上記追加の半導体チップと接続され、厚み方向における一方の面が上記封止樹脂から露出する追加の端子を備えている。

[0018] より好ましくは、上記追加の端子には上記封止樹脂が充填される追加の開口部が形成されている。

[0019] 好ましい一例においては、上記追加の開口部は、上記厚み方向に上記端子を貫通する孔状に形成されている。

[0020] 好ましい別の例においては、上記追加の開口部は、上記厚み方向視において、上記厚み方向と直交する方向に凹む形状である。

[0021] 好ましくは、上記追加の半導体チップと上記追加の端子とを接続する追加のワイヤを備えており、上記追加の端子は上記追加のワイヤが接続される追加のパッド部を有しており、上記追加のパッド部は、上記追加の開口部よりも上記厚み方向と直交する方向において上記半導体チップから遠い位置に配置される。

[0022] 好ましくは、上記追加の半導体チップを上記半導体チップに固定する固定部材を有しており、上記固定部材は D A F テープである。

[0023] 本発明の第 2 の側面によって提供される半導体装置の製造方法は、基台に

端子を形成する工程と、上記基台に半導体チップを設置する工程と、上記端子および上記半導体チップを樹脂で封止する工程と、上記基台を除去する工程と、を備えた半導体装置の製造方法であって、上記端子を形成する工程は、上記端子に上記基台の厚み方向視において上記基台を露出させる開口部を形成する工程を含んでいることを特徴とする。

[0024] 好ましい製造方法においては、上記基台に端子を形成する工程は、上記基台に無電解メッキ処理を施す工程を含んでいる。

[0025] 好ましい製造方法の一例においては、上記開口部は、上記厚み方向に貫通する孔状に形成される。

[0026] 好ましい製造方法の別の例においては、上記開口部は、上記厚み方向視において、上記厚み方向と直交する方向に凹む形状に形成される。

[0027] より好ましくは、上記端子と上記半導体チップとをワイヤで接続する工程を備えており、上記端子は、上記ワイヤが接続されるパッド部を有しており、上記パッド部は、上記開口部よりも上記厚み方向と直交する方向において上記半導体チップから遠い位置に配置される。

[0028] より好ましくは、上記基台に半導体チップを設置する工程は、上記半導体チップの上記厚み方向における一方の面を、接着部材を介して上記基台に接着する工程を含んでおり、上記端子と上記半導体チップとをワイヤで接続する工程では、上記半導体チップの上記厚み方向における他方の面に設けられた電極端子に上記ワイヤが接続される。

[0029] たとえば、上記接着部材は銀ペーストである。

[0030] より好ましい製造方法では、上記基台に追加の端子を形成する工程と、上記半導体チップの上記厚み方向における他方の面に追加の半導体チップを設置する工程と、上記追加の半導体チップと上記追加の端子とをワイヤで接続する工程と、を備えており、上記追加の端子を形成する工程は、上記追加の端子に上記基台の厚み方向視において上記基台を露出させる追加の開口部を形成する工程を含んでいる。

[0031] 本発明の第3の側面によって提供される半導体装置は、複数の端子と、第

１の半導体チップと、上記第１の半導体チップに設置される第２の半導体チップと、上記第１の半導体チップ、上記第２の半導体チップ、および上記複数の端子を覆う封止樹脂と、を備えており、上記複数の端子は、上記第１の半導体チップと接続された第１の端子と、上記第２の半導体チップと接続された第２の端子とを含んでおり、上記複数の端子の厚み方向における一方の面は上記封止樹脂から露出していることを特徴とする。

[0032] 本発明の好ましい実施の形態においては、上記第１の半導体チップの上記厚み方向における一方の面を支持する支持部材を備えており、上記支持部材の上記厚み方向における一方の面は上記封止樹脂から露出している。

[0033] たとえば、上記支持部材は銀を含む。

[0034] 本発明の好ましい実施の形態においては、上記第１の半導体チップは、上記厚み方向における他方の面に第１の電極端子を有しており、上記第１の電極端子と上記第１の端子とを接続する第１のワイヤを備えている。

[0035] より好ましくは、上記第１の端子には上記封止樹脂が充填される開口部が形成されている。

[0036] 本発明の別の好ましい実施の形態においては、上記第１の端子は、上記厚み方向視において上記第１の半導体チップと重なる位置に配置されており、上記第１の半導体チップは、上記厚み方向における一方の面に第１の電極端子を有しており、上記第１の電極端子と上記第１の端子とを接続する導電接続部材を備えている。

[0037] たとえば、上記導電接続部材は、はんだバンプである。

[0038] 本発明の好ましい実施の形態においては、上記第２の半導体チップの上記厚み方向における一方の面は、上記第１の半導体チップに固定されており、上記第２の半導体チップは、上記厚み方向における他方の面に第２の電極端子を備えており、上記第２の電極端子と上記第２の端子とを接続する第２のワイヤを備えている。

[0039] 好ましくは、上記第２の半導体チップと、上記第１の半導体チップとを接合する固定部材を備えている。

- [0040] たとえば、上記固定部材は、DAFテープである。
- [0041] 好ましくは、上記第2の端子には、上記封止樹脂が充填される開口部が形成されている。
- [0042] 好ましくは、上記各端子は複数の金属層からなる。
- [0043] 本発明の第4の側面によって提供される半導体装置の製造方法は、基台に複数の端子を形成する工程と、上記基台に第1の半導体チップを設置する工程と、上記第1の半導体チップに第2の半導体チップを設置する工程と、上記第1の半導体チップ、上記第2の半導体チップおよび上記複数の端子を樹脂で封止する工程と、上記基台を除去する工程と、を備えていることを特徴とする。
- [0044] 好ましい製造方法においては、上記基台に複数の端子を形成する工程は、上記基台に無電解メッキ処理を施す工程を含んでいる。
- [0045] 好ましくは、上記第1の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第1の電極端子を有しており、上記基台に上記第1の半導体チップを設置する工程は、上記第1の半導体チップの上記厚み方向における上記基台に近い方の面を、接着部材を介して上記基台に接着する工程と、上記第1の電極端子と、上記複数の端子のいずれかとを第1のワイヤで接続する工程とを含んでいる
- [0046] たとえば、上記接着部材は銀ペーストである。
- [0047] 好ましくは、上記基台に上記複数の端子を形成する工程は、上記複数の端子に上記基台の厚み方向視において上記基台を露出させる開口部を形成する工程を含んでいる。
- [0048] 好ましい別の製造方法においては、上記第1の半導体チップは、上記複数の端子の厚み方向において上記基台に近い方の面に第1の電極端子を有しており、上記基台に第1の半導体チップを設置する工程は、上記第1の電極端子と上記複数の端子のいずれかを導電接続部材で接続する工程を含んでいる。
- [0049] たとえば、上記導電性接着部材は、はんだバンプである。

- [0050] 好ましい例では、上記基台に上記複数の端子を形成する工程では、上記複数の端子を格子状に形成する。
- [0051] 好ましい製造方法においては、上記第2の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第2の電極端子を有しており、上記第2の電極端子と上記複数の端子のいずれかとを第2のワイヤで接続する工程を備えている。
- [0052] 好ましい製造方法においては、上記第1の半導体チップに上記第2の半導体チップを設置する工程では、上記複数の端子の厚み方向における上記第1の半導体チップの上記基台から遠い方の面と、上記第2の半導体チップの上記基台に近い方の面とを固定部材で接合する。
- [0053] たとえば、上記固定部材はD A Fテープである。
- [0054] 本発明の第5の側面によって提供される半導体装置は、複数の端子と、第1の半導体チップと、上記第1の半導体チップに設置される第2の半導体チップと、上記第2の半導体チップに設置される第3の半導体チップと、上記第1の半導体チップ、上記第2の半導体チップ、上記第3の半導体チップ、および上記複数の端子を覆う封止樹脂と、を備えており、上記複数の端子は、上記第1の半導体チップと接続された第1の端子と、上記第2の半導体チップと接続された第2の端子と、上記第3の半導体チップと接続された第3の端子とを含んでおり、上記複数の端子の厚み方向における一方の面は上記封止樹脂から露出していることを特徴とする。
- [0055] 本発明の好ましい実施の形態においては、上記第1の端子は、上記厚み方向視において上記第1の半導体チップと重なる位置に配置されており、上記第1の半導体チップは、上記厚み方向における一方の面に第1の電極端子を有しており、上記第1の電極端子と上記第1の端子とを接続する導電接続部材を備えている。
- [0056] たとえば、上記導電接続部材は、はんだバンプである。
- [0057] たとえば、上記複数の端子は、上記厚み方向視において格子状に配列されている。

[0058] 本発明の好ましい実施の形態においては、上記第１の半導体チップの上記厚み方向における一方の面を支持する支持部材を備えており、上記支持部材の上記厚み方向における一方の面は上記封止樹脂から露出している。

[0059] たとえば、上記支持部材は銀を含む。

[0060] 本発明の別の好ましい実施の形態においては、上記第１の半導体チップは、上記厚み方向における他方の面に第１の電極端子を有しており、上記第１の電極端子と上記第１の端子とを接続する第１のワイヤを備えている。

[0061] 好ましくは、上記第１の端子には、上記封止樹脂が充填される開口部が形成されている。

[0062] 本発明の好ましい実施の形態においては、上記第２の半導体チップの上記厚み方向における一方の面は、上記第１の半導体チップに固定されており、上記第２の半導体チップは、上記厚み方向における他方の面に第２の電極端子を備えており、上記第２の電極端子と上記第２の端子とを接続する第２のワイヤを備えている。

[0063] 好ましくは、上記第２の端子には、上記封止樹脂が充填される開口部が形成されている。

[0064] 好ましくは、上記第２の半導体チップと、上記第１の半導体チップとを接合する第１の固定部材を備えている。

[0065] たとえば、上記第１の固定部材は、ＤＡＦテープである。

[0066] 本発明の好ましい実施の形態においては、上記第３の半導体チップの上記厚み方向における一方の面は、上記第２の半導体チップに固定されており、上記第３の半導体チップは、上記厚み方向における他方の面に第３の電極端子を備えており、上記第３の電極端子と上記第３の端子とを接続する第３のワイヤを備えている。

[0067] 好ましくは、上記第３の端子には、上記封止樹脂が充填される開口部が形成されている。

[0068] 好ましくは、上記第３の半導体チップと、上記第２の半導体チップとを接合する第２の固定部材を備えている。

- [0069] たとえば、上記第2の固定部材は、DAFテープである。
- [0070] 好ましくは、上記各端子は複数の金属層からなる。
- [0071] 本発明の第6の側面によって提供される半導体装置の製造方法は、基台に複数の端子を形成する工程と、上記基台に第1の半導体チップを設置する工程と、上記第1の半導体チップに第2の半導体チップを設置する工程と、上記第2の半導体チップに第3の半導体チップを設置する工程と、上記第1の半導体チップ、上記第2の半導体チップ、上記第3の半導体チップ、および複数の端子を樹脂で封止する工程と、上記基台を除去する工程と、を備えていることを特徴とする。
- [0072] 好ましい製造方法においては、上記基台に複数の端子を形成する工程は、上記基台に無電解メッキ処理を施す工程を含んでいる。
- [0073] 好ましくは、上記第1の半導体チップは、上記複数の端子の厚み方向において上記基台に近い方の面に第1の電極端子を有しており、上記基台に第1の半導体チップを設置する工程は、上記第1の電極端子と上記複数の端子のいずれかを導電接続部材で接続する工程を含んでいる。
- [0074] たとえば、上記導電接続部材は、はんだバンプである。
- [0075] たとえば、上記基台に複数の端子を形成する工程では、上記複数の端子を格子状に形成する。
- [0076] 好ましくは、上記第1の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第1の電極端子を有しており、上記基台に第1の半導体チップを設置する工程は、上記第1の半導体チップの上記厚み方向における上記基台に近い方の面を、接着部材を介して上記基台に接着する工程と、上記第1の電極端子と、上記複数の端子のいずれかとを第1のワイヤで接続する工程と、を含んでいる。
- [0077] たとえば、上記接着部材は銀ペーストである。
- [0078] 好ましくは、上記第2の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第2の電極端子を有しており、上記第2の電極端子と上記複数の端子のいずれかとを第2のワイヤで接続する工程を備え

ている。

[0079] 好ましくは、上記第3の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第3の電極端子を有しており、上記第3の電極端子と上記複数の端子のいずれかとを第3のワイヤで接続する工程を備えている。

[0080] 好ましくは、上記第1の半導体チップに上記第2の半導体チップを設置する工程では、上記複数の端子の厚み方向における上記第1の半導体チップの上記基台から遠い方の面と、上記第2の半導体チップの上記基台に近い方の面とを第1の固定部材で接合する。

[0081] たとえば、上記第1の固定部材はDAFテープである。

[0082] 好ましくは、上記第2の半導体チップに上記第3の半導体チップを設置する工程では、上記複数の端子の厚み方向における上記第2の半導体チップの上記基台から遠い方の面と、上記第3の半導体チップの上記基台に近い方の面とを第2の固定部材で接合する。

[0083] たとえば、上記第2の固定部材はDAFテープである。

[0084] 本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0085] [図1]本発明の第1実施形態に基づく半導体装置を示す平面図である。

[図2]図1のI-I'-I-I'線に沿う断面図である。

[図3]図1に示す半導体装置の底面図である。

[図4]図1の半導体装置の製造方法の一例において、基台に端子を形成した状態を示す要部平面図である。

[図5]図1の半導体装置の製造方法の一例において、半導体チップを搭載した状態を示す要部平面図である。

[図6]図1の半導体装置の製造方法の一例において、ワイヤによって半導体チップと端子とを接続した状態を示す要部平面図である。

[図7]図1の半導体装置の製造方法の一例において、封止樹脂を形成した状態

を示す要部断面図である。

[図8]図1の半導体装置の製造方法の一例において、基台を除去した状態を示す要部断面図である。

[図9]本発明の第2実施形態に基づく半導体装置を示す底面図である。

[図10]本発明の第3実施形態に基づく半導体装置を示す底面図である。

[図11]本発明の第4実施形態に基づく半導体装置を示す平面図である。

[図12]図11のX11-X11線に沿う断面図である。

[図13]図11の半導体装置の製造方法の一例において、基台に端子を形成した状態を示す要部平面図である。

[図14]図11の半導体装置の製造方法の一例において、半導体チップを搭載した状態を示す要部平面図である。

[図15]図11の半導体装置の製造方法の一例において、追加の半導体チップを搭載した状態を示す要部平面図である。

[図16]図11の半導体装置の製造方法の一例において、ワイヤによって半導体チップと端子とを接続した状態を示す要部平面図である。

[図17]図11の半導体装置の製造方法の一例において、追加のワイヤによって追加の半導体チップと端子とを接続した状態を示す要部平面図である。

[図18]本発明の第5実施形態に基づく半導体装置を示す平面図である。

[図19]図18のX1X-X1X線に沿う断面図である。

[図20]図18に示す半導体装置の底面図である。

[図21]図18の半導体装置の製造方法の一例において、基台に端子を形成した状態を示す要部平面図である。

[図22]図18の半導体装置の製造方法の一例において、第1の半導体チップを搭載した状態を示す要部平面図である。

[図23]図22のX21-X21線に沿う断面図である。

[図24]図18の半導体装置の製造方法の一例において、第2の半導体チップを搭載した状態を示す要部断面図である。

[図25]図18の半導体装置の製造方法の一例において、第3の半導体チップ

を搭載した状態を示す要部断面図である。

[図26]図18の半導体装置の製造方法の一例において、ワイヤによって第2, 3の半導体チップと端子とを接続した状態を示す要部平面図である。

[図27]本発明の第6実施形態に基づく半導体装置を示す平面図である。

[図28]図27のXXV I I I - XXV I I I線に沿う断面図である。

[図29]従来の半導体装置の一例を示す断面図である。

発明を実施するための形態

[0086] 以下、本発明の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0087] 図1～図3は、本発明の第1実施形態に基づく半導体装置を示している。本実施形態の半導体装置A1は、封止樹脂1と、半導体チップ2と、支持部材3と、10個の端子4と、10本のワイヤ5とを備えている。なお、封止樹脂1はたとえば黒色であり、外部から内部を見ることはできないが、説明の便宜上、図1においては封止樹脂1の内部を示している。また、以下の説明で使用するx, y, z方向は互いに直交する方向であり、z方向を封止樹脂1、半導体チップ2、支持部材3、および端子4の厚み方向とする。以下において、z方向における図2中下側を底側とし、図2中上側を表側とする。

[0088] 封止樹脂1は、半導体チップ2および各ワイヤ5を完全に覆い、支持部材3の底面3aおよび各端子4の底面4aを露出させるように支持部材3および各端子4を覆っている。封止樹脂1は、たとえばエポキシ樹脂からなり、図1に示すx方向に長く延びる直方体状に形成されている。一例として、封止樹脂1のx方向寸法は2.10mmであり、y方向寸法は1.60mmであり、z方向寸法は0.35～0.4mmである。これらの寸法は、半導体チップ2の大きさに応じて適宜変更され得るものである。

[0089] 半導体チップ2は、Siなどの半導体材料からなり、内部には微細回路が作りこまれている。半導体チップ2は、z方向において互いに反対を向く底面2aおよび表面2bを有しており、底面2aは表面2bよりも図2中下方

に位置している。半導体チップ2の底面2aは支持部材3に固定されている。半導体チップ2の表面2bには10個の電極端子201が設けられている。10個の電極端子201は、z方向視において矩形状に配置されている。各電極端子201は、半導体チップ2内の微細回路に接続されている。半導体チップ2は、たとえば電子回路に組み込まれて使用される。その際、各電極端子201を電子回路内の配線と接続することより、半導体チップ2はその機能を発揮する。なお、電極端子201の個数は半導体チップ2の機能に応じて適宜変更され得るものである。

[0090] 支持部材3は、たとえば銀製であり、図1および図3に示すように、z方向視略矩形状であり、半導体装置A1のx、y方向における中央に配置されている。さらに、図2に示すように、支持部材3の底面3aは封止樹脂1の底面1aとz方向において同一の位置にある。

[0091] 10個の端子4は、図1に示すように、半導体チップ2を囲む矩形状に配置されている。各端子4はz方向視矩形状に形成されており、金製のワイヤ5によって各電極端子201に接続されている。ワイヤ5を設置する際に不当な接触が生じるのを防ぐために、端子4同士はたとえば0.50mm程度離間している。このような間隔を確保するために、y方向における中央に配置された1対の端子4は、x方向に長く延びるように配置され、その他の端子4はy方向に長く延びるように配置されている。各端子4の長手方向における長さは、たとえば0.35mmである。なお、端子4の個数は半導体チップ2の電極端子201の個数に応じたものであり、半導体チップ2の機能に応じて適宜変更され得るものである。

[0092] 図2では簡略化のために省略しているが、各端子4は、たとえば無電解メッキにより積層された複数の金属層により構成されている。各端子4を構成する複数の金属層の例としては好ましいのは、金層、ニッケル層、パラジウム層である。この際、底面4a側に金層が、中央にニッケル層が、表面4b側にパラジウム層が配置される。このような各端子4の厚みは、たとえば0.015mmとなる。

- [0093] 各端子4には開口部401が形成されている。図1に示す例では、開口部401は、z方向視円形であり、z方向に貫通するように形成されている。各開口部401は封止樹脂1によって充填されている。開口部401の直径は0.06~0.07mm程度である。図1に示すように、各端子4において開口部401は、各端子4の長手方向において半導体チップ2により近い方の端部付近に形成されている。
- [0094] 各端子4は、ワイヤ5が接続されるパッド部402を備えている。パッド部402は、各端子4の長手方向において半導体チップ2から遠い方の端部を含む領域である。各パッド部402の各端子4の長手方向における長さは、たとえば0.21mmである。パッド部402の長さはワイヤ5を適切に配置する上で望ましい長さが選択される。上述の開口部401は、ワイヤ5の配置を妨げないようにパッド部402よりも各端子4の長手方向において半導体チップ2に近い位置に配置される。なお、パッド部402を半導体チップ2から比較的遠い位置に設定するのは、その方がワイヤ5を設置し易いからである。
- [0095] 次に、半導体装置A1の製造方法の一例について、図4~図8を参照しつつ以下に説明する。
- [0096] 半導体装置A1の製造には基台6を用いる。基台6は、たとえばz方向における厚みは0.125mm程度の銅板である。基台6はz方向視において多数の半導体装置A1を含むような矩形状である。
- [0097] 半導体装置A1を製造する際には、まず基台6を用意し、基台6の表面に端子4を形成する工程を行う。端子4を形成する工程では、たとえば無電解メッキ処理により基台6の表面全体に金属メッキ層を形成する。その後に金属メッキ層をエッチングにより所望の形状とする。このようにすることで、図4に示すように多数の端子4を基台6上に形成することができる。
- [0098] 次に、半導体チップ2を基台6に設置する工程を行う。図5には基台6に半導体チップ2を設置した状態を示している。この工程では、まず、半導体チップ2の底面に銀ペーストからなる接着材料を付着させる工程を行う。次

に、図5に示すように、各端子4に囲まれた領域に半導体チップ2を設置する工程を行う。上記接着材料が硬化したものが支持部材3となる。

[0099] 次に、半導体チップ2と各端子4とをワイヤ5で接続する工程を行う。図6にはワイヤ5を接続した後の状態を示している。図6に示すように、各半導体チップ2には10個の電極端子201が設けられている。この工程では、各電極端子201と各端子4のパッド部402との間をワイヤ5で接続する。この工程は、たとえば市販されているワイヤボンディング用キャピラリーを用いて行うことができる。

[0100] 次に、封止樹脂1を形成する工程を行う。図7には封止樹脂1を形成した後の状態を示している。この工程は、たとえばトランスファモールディング法により行うことができる。この方法では、基台6を金型に設置し、金型内に液化したエポキシ樹脂を流し込む処理が行われる。このとき、液化したエポキシ樹脂は開口部401にも流れ込む。

[0101] 次に、基台6を除去する工程を行う。図8には基台6を除去した後の状態を示している。基台6を除去する工程は、基台6を底面側からエッチングすることにより行われる。なお、エッチング処理は、機械的に研磨することで行ってもよく、銅を融解させる液剤を用いて行ってもよい。この工程により、図8に示すように、支持部材3の底面3aおよび各端子4の底面4aが封止樹脂1の底面1a側に露出する。

[0102] 図8に示す状態において、封止樹脂1はz方向視において基台6と同じサイズである。図8の封止樹脂1を切断することで、図1に示す半導体装置A1を得ることができる。

[0103] 次に、半導体装置A1およびその製造方法の作用について説明する。

[0104] 各端子4はメッキ処理により基台6の表面に形成されているため、各端子4の厚みは、従来の説明で示した半導体装置Xの端子94の厚みと比べて薄いものとなる。上述した製造方法は、薄型化を図る上で好ましい構成を備えている。

[0105] 本実施形態では、各端子4に開口部401が形成されており、開口部40

1には封止樹脂1が充填されており、開口部401を設けない場合に比べて各端子4と封止樹脂1とが接触する面積は大きくなっている。このため、各端子4と封止樹脂1との間に働く摩擦力が大きくなっており、各端子4は封止樹脂1から脱落しにくくなっている。従って、半導体装置A1の構成によれば、各端子4を薄くすることで生じる問題を解消し、信頼性の向上を図ることができる。

[0106] 本実施形態においては、半導体チップ2を搭載する支持部材3の底面3aが封止樹脂1から露出している。さらに、支持部材3は銀製であり、熱伝導性に優れている。従って、半導体チップ2が駆動時に発する熱は支持部材3を通じて半導体装置A1の外部に速やかに放出される。

[0107] 図9～図28は、本発明の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0108] 図9は、本発明の第2実施形態に基づく半導体装置を示している。本実施形態の半導体装置A2は、各端子4の開口部401の形状が半導体装置A1のものとは異なっており、その他の構成は半導体装置A1と同様となっている。

[0109] 図9に示すように、本実施形態における開口部401は、z方向視矩形形状であり、各端子4の長辺から短手方向に凹むように形成されている。図9に示す例では、y方向における中央の端子4には開口部401がy方向における両側に設けられている。これは中央の端子4は、他の端子4と比べて幅を確保しやすいためである。十分な幅を確保できる場合には、他の端子4の両側に開口部401を設けてもよい。

[0110] 図10は、本発明の第3実施形態に基づく半導体装置を示している。本実施形態の半導体装置A3は、各端子4および開口部401の形状が半導体装置A1のものとは異なっており、その他の構成は半導体装置A1と同様となっている。

[0111] なお、図10に示す開口部401の形状は一例である。本実施形態におけ

る開口部４０１は各端子４の端縁から内方へ凹む形状であればよく、 z 方向視形状はどのようなものでもよい。また、図１０に示す例では、開口部４０１は各端子４の短辺から長手方向に凹んでいるが、長辺から短手方向に凹む形状であってもよい。

[0112] 本実施形態における各端子４は、図１０に示すように、長手方向において半導体チップ２から遠ざかるにつれて短手方向の幅が短くなる形状となっている。各開口部４０１は、各端子４の長手方向における半導体チップ２に近いほうの端縁から長手方向に凹むように形成されている。

[0113] 本実施形態によれば、開口部４０１を比較的大きなものにすることができる。このことは、各端子４と封止樹脂１との接触面積を増やす上で好ましい構成である。

[0114] 図１１および図１２は、本発明の第４実施形態に基づく半導体装置を示している。本実施形態の半導体装置Ａ４は、封止樹脂１、２つの半導体チップ２１、２２、支持部材３１、固定部材３２、３２個の端子４１、３６個の端子４２、３２本のワイヤ５１、および３６本のワイヤ５２を備えている。

[0115] 封止樹脂１は、半導体チップ２１、２２、固定部材３２および各ワイヤ５１、５２を完全に覆い、支持部材３１の底面３１ａおよび各端子４１、４２の底面４１ａ、４２ａを露出させるように支持部材３１および各端子４１、４２を覆っている。封止樹脂１は、たとえばエポキシ樹脂からなり、 z 方向視正形状に形成されている。

[0116] 半導体チップ２１は、Ｓｉなどの半導体材料からなり、内部には微細回路が作りこまれている。半導体チップ２１は、 z 方向において互いに反対を向く底面２１ａおよび表面２１ｂを有しており、底面２１ａは表面２１ｂよりも図１２中下方に位置している。半導体チップ２１の底面２１ａは支持部材３１に固定されている。半導体チップ２１の表面２１ｂには３２個の電極端子２１１が設けられている。３２個の電極端子２１１は、 z 方向視において矩形状に配置されている。各電極端子２１１は、半導体チップ２１内の微細回路に接続されている。半導体チップ２１は、たとえば電子回路に組み込ま

れて使用される。その際、各電極端子 2 1 1 を電子回路内の配線と接続することより、半導体チップ 2 1 はその機能を発揮する。なお、電極端子 2 1 1 の個数は半導体チップ 2 1 の機能に応じて適宜変更され得るものである。

[0117] 支持部材 3 1 は、たとえば銀ペーストにより形成されている。図 1 1 に示すように、支持部材 3 1 は、z 方向視略矩形状であり、半導体装置 A 4 の x, y 方向における中央に配置されている。さらに、図 1 2 に示すように、支持部材 3 1 の底面 3 1 a は封止樹脂 1 の底面 1 a と z 方向において同一の位置にある。

[0118] 半導体チップ 2 2 は、Si などの半導体材料からなり、内部には微細回路が作りこまれている。半導体チップ 2 2 は、z 方向において互いに反対を向く底面 2 2 a および表面 2 2 b を有しており、底面 2 2 a は表面 2 2 b よりも図 1 2 中下方に位置している。半導体チップ 2 2 は半導体チップ 2 1 と比較して z 方向視におけるサイズが小さなものである。半導体チップ 2 2 の底面 2 2 a は固定部材 3 2 を介して半導体チップ 2 1 の表面 2 1 b に固定されている。半導体チップ 2 2 の表面 2 2 b には 3 6 個の電極端子 2 2 1 が設けられている。3 6 個の電極端子 2 2 1 は、z 方向視において矩形状に配置されている。各電極端子 2 2 1 は、半導体チップ 2 2 内の微細回路に接続されている。半導体チップ 2 2 は、半導体チップ 2 1 とともに電子回路に組み込まれて使用される。その際、各電極端子 2 2 1 を電子回路内の配線と接続することより、半導体チップ 2 2 はその機能を発揮する。なお、電極端子 2 2 1 の個数は半導体チップ 2 2 の機能に応じて適宜変更され得るものである。

[0119] 固定部材 3 2 は、たとえば、ダイアタッチフィルムテープ（以下、DAF テープ）である。図 1 1 に示すように、固定部材 3 2 は、z 方向視略矩形状であり、3 2 個の電極端子 2 1 1 が成す矩形枠の内側に配置されている。

[0120] 3 2 個の端子 4 1 は、図 1 1 に示すように半導体チップ 2 1, 2 2 を囲む枠状に配置されている。図 1 1 に示す例では、3 2 個の端子 4 1 は 8 個の端子 4 1 からなる 4 つの列に分けられている。4 つの列のうちの 2 つの列では 8 個の端子 4 1 は x 方向に沿って配列されており、他の 2 つの列では y 方向

に沿って配列されている。各端子41は、z方向視長矩形状であり、上記の配列方向は各端子41の短手方向となっている。各端子41は、上述した半導体装置A1における各端子4と同様に、開口部401と、パッド部402とを有している。各端子41の各パッド部402は金製のワイヤ51によって各電極端子211に接続されている。端子41の個数は半導体チップ21の電極端子211の個数に応じたものであり、半導体チップ21の機能に応じて適宜変更され得るものである。

[0121] 36個の端子42は、図11に示すように、32個の端子41が作る枠を囲む枠状に配置されている。図11に示す例では、36個の端子42は9個の端子42からなる4つの列に分けられている。4つの列のうちの2つの列では9個の端子42はx方向に沿って配列されており、他の2つの列ではy方向に沿って配列されている。各端子42は、z方向視長矩形状であり、上記の配列方向は各端子42の短手方向となっている。各端子42には、上述した半導体装置A1における各端子4と同様に、開口部401が形成され、パッド部402が設けられている。各端子42の各パッド部402は金製のワイヤ52によって各電極端子221に接続されている。端子42の個数は半導体チップ22の電極端子221の個数に応じたものであり、半導体チップ22の機能に応じて適宜変更され得るものである。

[0122] 図12では簡略化のために省略しているが、各端子41、42は、半導体装置A1における端子4と同様に複数の金属層により構成されている。このような各端子41、42の厚みは、たとえば0.015mmとなる。

[0123] 次に、半導体装置A4の製造方法の一例について、図13～図17を参照しつつ以下に説明する。

[0124] 半導体装置A4を製造する際にも、半導体装置A1の場合と同様に基台6を用いる。

[0125] 半導体装置A4を製造する際には、まず基台6を用意し、基台6の表面に端子41、42を形成する工程を行う。図13には、端子41、42が形成された状態を示している。この工程は、半導体装置A1の端子4を形成する

場合と同様に無電解メッキ処理を行い、その後に開口部401を形成することで行うことができる。本工程では、端子41, 42を露出させる被覆部材を基台6に設置する。

[0126] 次に、半導体チップ21を基台6に設置する工程を行う。図14には基台6に半導体チップ21を設置した状態を示している。この工程では、まず、半導体チップ21の底面に銀ペーストからなる接着材料を付着させる工程を行う。次に、図14に示すように、各端子41に囲まれた領域に半導体チップ21を設置する。上記接着材料が硬化したものが支持部材31となる。

[0127] 次に、半導体チップ22を半導体チップ21に設置する工程を行う。図15には半導体チップ21に半導体チップ22を設置した状態を示している。この工程では、まず、半導体チップ22の底面にDAFテープを貼り付ける工程を行う。次に、図15に示すように、各電極端子211に囲まれた領域に半導体チップ22を設置する。上記DAFテープが固定部材32となる。

[0128] 次に、半導体チップ21と各端子41とをワイヤ51で接続する工程を行う。図16にはワイヤ51を設置した後の状態を示している。図16に示すように、半導体チップ21には32個の電極端子211が設けられている。この工程では、各電極端子211と各端子41のパッド部402との間にワイヤ51を設置する。ワイヤ51の設置は、たとえば市販されているワイヤボンディング用キャピラリを用いて行うことができる。

[0129] 次に、半導体チップ22と各端子42とをワイヤ52で接続する工程を行う。図17にはワイヤ52を接続した後の状態を示している。図17に示すように、半導体チップ22には36個の電極端子221が設けられている。この工程では、各電極端子221と各端子42のパッド部402との間をワイヤ52で接続する。この工程は、たとえば市販されているワイヤボンディング用キャピラリを用いて行うことができる。

[0130] 次に、封止樹脂1を形成する工程を行う。この工程は、半導体装置A1の製造方法で説明した方法と同様にたとえばトランスファモールド法により行うことができる。

[0131] 次に、基台 6 を除去する工程を行う。この工程は、半導体装置 A 1 の製造方法で説明した方法と同様に基台 6 を底面側からエッチングすることにより行われる。基台 6 を除去した後に封止樹脂 1 を切断することにより、図 1 1 , 1 2 に示す半導体装置 A 4 を得ることができる。

[0132] 次に、半導体装置 A 4 およびその製造方法の作用について説明する。

[0133] 半導体装置 A 4 は、各種電子機器の回路基板に組み込まれて使用される。回路基板の小型化を図るには、同一面積内により多くの半導体チップを組み込むことが有効である。半導体装置 A 4 では、半導体チップ 2 1 の表面 2 1 b に半導体チップ 2 2 が固定されている。このような構成によれば、2 つの半導体チップ 2 1 , 2 2 を別々に樹脂封止して電子回路に組み込んだ場合に比べて、単位面積あたりの半導体チップの個数を増やすことが可能である。従って、半導体装置 A 4 は、回路基板の小型化を図る上で有益な構成を備えている。

[0134] 図 1 8 ~ 図 2 0 は、本発明の第 5 実施形態に基づく半導体装置を示している。本実施形態の半導体装置 A 5 は、封止樹脂 1、3 つの半導体チップ 2 3 , 2 4 , 2 5、9 個の導電接続部材 3 3、固定部材 3 4 , 3 5、2 5 個の端子 4 3、および 1 6 本のワイヤ 5 3 を備えている。半導体装置 A 5 はエリアレイ型の半導体装置の一例であり、図 2 0 に示すように、2 5 個の端子 4 3 が z 方向視格子状に配列されている。2 5 個の端子 4 3 のうち、外側の 1 6 個は半導体チップ 2 4 , 2 5 と接続され、内側の 9 個は半導体チップ 2 3 と接続されている。本実施形態では、各端子 4 3 は z 方向視において正方形となっている。

[0135] 封止樹脂 1 は、半導体チップ 2 3 , 2 4 , 2 5、各導電接続部材 3 3、固定部材 3 4 , 3 5 および各ワイヤ 5 3 を完全に覆い、各端子 4 3 の底面 4 3 a を露出させるように各端子 4 3 を覆っている。封止樹脂 1 は、たとえばエポキシ樹脂からなり、z 方向視正形状に形成されている。

[0136] 半導体チップ 2 3 は、Si などの半導体材料からなり、内部には微細回路が作りこまれている。半導体チップ 2 3 は、z 方向において互いに反対を向

く底面 23 a および表面 23 b を有しており、底面 23 a は表面 23 b よりも図 19 中下方に位置している。図 18 に示す例では、半導体チップ 23 は z 方向視において正方形となっており、16 個の端子 43 が成す矩形枠の内側に配置されている。半導体チップ 23 の底面 23 a には、z 方向視において格子状に配列された 9 個の電極端子 23 1 が設けられている。各電極端子 23 1 は、半導体チップ 23 内の微細回路に接続されている。なお、電極端子 23 1 の個数は半導体チップ 23 の機能に応じて適宜変更され得るものである。

[0137] 25 個の端子 43 のうち内側の 9 個の端子 43 は、z 方向視において半導体チップ 23 と重なる位置に配置されている。より具体的には、9 個の端子 43 は、半導体チップ 23 の底面 23 a に設けられた 9 個の電極端子 23 1 と対向するように配置されている。

[0138] 各導電接続部材 33 は、たとえばはんだバンプにより形成されており、図 19 に示すように、各端子 43 と各電極端子 23 1 とを接合している。

[0139] 半導体チップ 24 は、Si などの半導体材料からなり、内部には微細回路が作りこまれている。半導体チップ 24 は、z 方向において互いに反対を向く底面 24 a および表面 24 b を有しており、底面 24 a は表面 24 b よりも図 19 中下方に位置している。図 18 に示す例では、半導体チップ 24 は z 方向視において半導体チップ 23 よりも小さな正方形となっている。半導体チップ 24 の底面 24 a は固定部材 34 を介して半導体チップ 23 の表面 23 b に固定されている。半導体チップ 24 の表面 24 b には 8 個の電極端子 24 1 が設けられている。8 個の電極端子 24 1 は、半導体チップ 24 の z 方向視における中央部分を空けるように、表面 24 b の周縁部に配列されている。図 18 に示す例では、各電極端子 24 1 は表面 24 b の各辺の両端および中央付近に配置されている。各電極端子 24 1 は、半導体チップ 24 内の微細回路に接続されている。なお、電極端子 24 1 の個数は半導体チップ 24 の機能に応じて適宜変更され得るものである。

[0140] 半導体チップ 25 は、Si などの半導体材料からなり、内部には微細回路

が作りこまれている。半導体チップ25は、z方向において互いに反対を向く底面25aおよび表面25bを有しており、底面25aは表面25bよりも図19中下方に位置している。図18に示す例では、半導体チップ25はz方向視において半導体チップ24よりも小さな正方形となっている。半導体チップ25の底面25aは固定部材35を介して半導体チップ24の表面24bに固定されている。半導体チップ25の表面25bには8個の電極端子251が設けられている。図18に示す例では、8個の電極端子251は、x方向視あるいはy方向視において、8個の電極端子241と重ならない位置に配置されている。各電極端子251は、半導体チップ25内の微細回路に接続されている。なお、電極端子251の個数は半導体チップ25の機能に応じて適宜変更され得るものである。

[0141] 固定部材34, 35は、たとえば、DAFテープである。図18に示すように、固定部材34はz方向視略矩形状であり、半導体チップ23の表面23bの大部分を覆っている。前述のように、半導体チップ23の電極端子231は底面23aに設けられている。このため、固定部材34の大きさを半導体チップ23とほぼ同程度の大きさにすることも可能である。このことは、比較的大きなサイズの半導体チップ24を半導体チップ23上に設置する際に有利に作用する。固定部材35は、8個の電極端子241が作る枠の内側に設置されている。

[0142] 図18に示すように、各電極端子241, 251は金製のワイヤ53によって各端子43と接続されている。

[0143] 次に、半導体装置A5の製造方法の一例について、図21～図26を参照しつつ以下に説明する。

[0144] 半導体装置A5を製造する際にも、半導体装置A1～A4の場合と同様に基台6を用いる。

[0145] 半導体装置A5を製造する際には、まず基台6を用意し、基台6の表面に端子43を形成する工程を行う。図21には、端子43が形成された状態を示している。この工程は、半導体装置A1の端子4を形成する場合と同様に

無電解メッキ処理によって行われる。

- [0146] 次に、半導体チップ23を基台6に設置する工程を行う。図22および図23には基台6に半導体チップ23を設置した状態を示している。この工程は、常用されているはんだバンプ形成方法を用いて行うことができる。この方法では、中央の9つの端子43にはんだバンプを形成して電極端子231と位置あわせを行う。導電接続部材33はこの際に形成されるはんだバンプである。
- [0147] 次に、半導体チップ24を半導体チップ23に設置する工程を行う。図24には半導体チップ23に半導体チップ24を設置した状態を示している。この工程では、まず、半導体チップ24の底面24aにDAFテープを貼り付ける工程を行う。次に、図24に示すように、半導体チップ23の表面23bに半導体チップ25を設置する。上記DAFテープが固定部材34となる。
- [0148] 次に、半導体チップ25を半導体チップ24に設置する工程を行う。図25には半導体チップ24に半導体チップ25を設置した状態を示している。この工程では、まず、半導体チップ25の底面25aにDAFテープを貼り付ける工程を行う。次に、図25に示すように、半導体チップ24の表面24bに半導体チップ24を設置する。上記DAFテープが固定部材35となる。
- [0149] 次に、各半導体チップ24、25と複数の端子43とをワイヤ53で接続する工程を行う。図26にはワイヤ53を接続した後の状態を示している。この工程では、各電極端子241、251と、半導体チップ23を囲むように配置された各端子43との間をワイヤ53で接続する。この工程は、たとえば市販されているワイヤボンディング用キャピラリを用いて行うことができる。
- [0150] 次に、封止樹脂1を形成する工程を行う。この工程は、半導体装置A1の製造方法で説明した方法と同様にたとえばトランスファモールド法により行うことができる。

[0151] 次に、基台 6 を除去する工程を行う。この工程は、半導体装置 A 1 の製造方法で説明した方法と同様に基台 6 を底面側からエッチングすることにより行われる。基台 6 を除去した後に封止樹脂 1 を切断することにより、図 1 8 に示す半導体装置 A 5 を得ることができる。

[0152] 次に、半導体装置 A 5 およびその製造方法の作用について説明する。

[0153] 半導体装置 A 5 は、各種電子機器の回路基板に組み込まれて使用される。回路基板の小型化を図るには、同一面積内により多くの半導体チップを組み込むことが有効である。半導体装置 A 5 は、z 方向に積層された 3 個の半導体チップ 2 3、2 4、2 5 を内蔵している。このような構成によれば、3 つの半導体チップ 2 3、2 4、2 5 を別々に樹脂封止して電子回路に組み込んだ場合に比べて、単位面積あたりの半導体チップの個数を増やすことが可能である。従って、半導体装置 A 5 は、回路基板の小型化を図る上で有益な構成を備えている。

[0154] さらに、半導体装置 A 5 では、一部の端子 4 3 が z 方向視において半導体チップ 2 3 と重なる位置に配置されている。このことは半導体装置 A 5 の z 方向視サイズを小さくする上で有利な構成である。

[0155] またさらに、半導体装置 A 5 では、z 方向視において半導体チップ 2 3 と重なる位置に配置された 9 個の端子 4 3 は、導電接続部材 3 3 によって半導体チップ 2 3 の底面 2 3 a に設けられた電極端子 2 3 1 と接合されている。これら 9 個の端子 4 3 は、封止樹脂 1 から脱落しにくくなっている。

[0156] 図 2 7 および図 2 8 は、本発明の第 6 実施形態に基づく半導体装置を示している。本実施形態の半導体装置 A 6 は、一部の端子 4 3 には、たとえば半導体装置 A 1 ～ A 3 で説明したような開口部 4 0 1 が形成されており、その他の構成は半導体装置 A 5 と同様となっている。

[0157] 図 2 7 に示すように、半導体チップ 2 3 を囲むように配置され、ワイヤ 5 3 に接続された 1 6 個の端子 4 3 に開口部 4 0 1 が設けられている。開口部 4 0 1 を設けることにより、これらの端子 4 3 は封止樹脂 1 から脱落しにくくなる。

[0158] なお、図28に示すように、z方向視において半導体チップ23と重なる位置に配置された9個の端子43には開口部401が設けられていない。これら9個の端子43は、導電接続部材33を介して半導体チップ23の底面23aに接合されているため開口部401を設ける必要がない。

[0159] 本発明に係る半導体装置の製造方法および半導体装置は、上述した実施形態に限定されるものではない。本発明に係る半導体装置の製造方法および半導体装置の具体的な構成は、種々に設計変更自在である。

[0160] たとえば、半導体装置A4は2つの半導体チップ21, 22を内蔵しているが、半導体チップ22の表面にDAFテープを用いてさらにもう一つ半導体チップを積層設置しても構わない。

[0161] また、半導体装置A5は3つの半導体チップ23, 24, 25を内蔵しているが、半導体チップ25を設けずに2つの半導体チップ23, 24を内蔵する構成としても構わない。

符号の説明

[0162] A1～A6 半導体装置

1 封止樹脂

2, 21, 22, 23, 24, 25 半導体チップ

201, 211, 221, 231, 241, 251 電極端子

3, 31 支持部材

32, 34, 35 固定部材

33 導電接続部材

4, 41, 42, 43 端子

401 開口部

402 パッド部

5, 51, 52, 53 ワイヤ

6 基台

請求の範囲

- [請求項1] 半導体チップと、
 上記半導体チップに接続された端子と、
 上記半導体チップおよび上記端子を覆う封止樹脂と、
 を備えた半導体装置であって、
 上記封止樹脂は、上記端子の厚み方向における一方の面を露出させるように形成されており、
 上記端子には、上記封止樹脂が充填される開口部が形成されていることを特徴とする、半導体装置。
- [請求項2] 上記開口部は、上記厚み方向に上記端子を貫通する孔状に形成されている、請求項1に記載の半導体装置。
- [請求項3] 上記開口部は、上記厚み方向視において、上記厚み方向と直交する方向に凹む形状である、請求項1に記載の半導体装置。
- [請求項4] 上記半導体チップと上記端子とを接続するワイヤを備えており、
 上記端子は上記ワイヤが接続されるパッド部を有しており、
 上記パッド部は、上記開口部よりも上記厚み方向と直交する方向において上記半導体チップから遠い位置に配置される、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 上記端子は、上記厚み方向と直交する第1の方向に長く延び、上記第1の方向において上記半導体チップから遠ざかるにつれて、上記厚み方向および上記第1の方向と直交する第2の方向における幅が狭くなるように形成されている、請求項4に記載の半導体装置。
- [請求項6] 上記半導体チップの上記厚み方向における一方の面を支持する支持部材を備えており、
 上記支持部材の上記厚み方向における一方の面が上記封止樹脂から露出している、請求項1ないし5のいずれかに記載の半導体装置。
- [請求項7] 上記支持部材は銀を含む、請求項6に記載の半導体装置。
- [請求項8] 上記端子は、複数の金属層からなる、請求項1ないし7のいずれか

に記載の半導体装置。

[請求項9] 基台に端子を形成する工程と、
上記基台に半導体チップを設置する工程と、
上記端子および上記半導体チップを樹脂で封止する工程と、
上記基台を除去する工程と、
を備えた半導体装置の製造方法であって、
上記端子を形成する工程は、上記端子に上記基台の厚み方向視において上記基台を露出させる開口部を形成する工程を含んでいることを特徴とする、半導体装置の製造方法。

[請求項10] 上記基台に端子を形成する工程は、上記基台に無電解メッキ処理を施す工程を含んでいる、請求項9に記載の半導体装置の製造方法。

[請求項11] 複数の端子と、
第1の半導体チップと、
上記第1の半導体チップに設置される第2の半導体チップと、
上記第1の半導体チップ、上記第2の半導体チップ、および上記複数の端子を覆う封止樹脂と、
を備えており、
上記複数の端子は、上記第1の半導体チップと接続された第1の端子と、上記第2の半導体チップと接続された第2の端子とを含んでおり、
上記複数の端子の厚み方向における一方の面は上記封止樹脂から露出していることを特徴とする、半導体装置。

[請求項12] 上記第1の半導体チップの上記厚み方向における一方の面を支持する支持部材を備えており、
上記支持部材の上記厚み方向における一方の面は上記封止樹脂から露出している、請求項11に記載の半導体装置。

[請求項13] 上記支持部材は銀を含む、請求項12に記載の半導体装置。

[請求項14] 上記第1の半導体チップは、上記厚み方向における他方の面に第1

の電極端子を有しており、

上記第 1 の電極端子と上記第 1 の端子とを接続する第 1 のワイヤを備えている、請求項 1 2 または 1 3 に記載の半導体装置。

[請求項15] 上記第 1 の端子には上記封止樹脂が充填される開口部が形成されている、請求項 1 1 ないし 1 4 のいずれかに記載の半導体装置。

[請求項16] 上記第 1 の端子は、上記厚み方向視において上記第 1 の半導体チップと重なる位置に配置されており、

上記第 1 の半導体チップは、上記厚み方向における一方の面に第 1 の電極端子を有しており、

上記第 1 の電極端子と上記第 1 の端子とを接続する導電接続部材を備えている、請求項 1 1 に記載の半導体装置。

[請求項17] 上記第 2 の半導体チップの上記厚み方向における一方の面は、上記第 1 の半導体チップに固定されており、

上記第 2 の半導体チップは、上記厚み方向における他方の面に第 2 の電極端子を備えており、

上記第 2 の電極端子と上記第 2 の端子とを接続する第 2 のワイヤを備えている、請求項 1 1 ないし 1 6 のいずれかに記載の半導体装置。

[請求項18] 上記第 2 の半導体チップと、上記第 1 の半導体チップとを接合する固定部材を備えている、請求項 1 1 ないし 1 7 のいずれかに記載の半導体装置。

[請求項19] 上記第 2 の端子には、上記封止樹脂が充填される開口部が形成されている、請求項 1 7 または 1 8 に記載の半導体装置。

[請求項20] 上記各端子は、複数の金属層からなる、請求項 1 1 ないし 1 9 のいずれかに記載の半導体装置。

[請求項21] 基台に複数の端子を形成する工程と、
上記基台に第 1 の半導体チップを設置する工程と、
上記第 1 の半導体チップに第 2 の半導体チップを設置する工程と、
上記第 1 の半導体チップ、上記第 2 の半導体チップおよび上記複数

の端子を樹脂で封止する工程と、

上記基台を除去する工程と、

を備えていることを特徴とする、半導体装置の製造方法。

[請求項22] 上記基台に複数の端子を形成する工程は、上記基台に無電解メッキ処理を施す工程を含んでいる、請求項21に記載の半導体装置の製造方法。

[請求項23] 上記第1の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第1の電極端子を有しており、

上記基台に上記第1の半導体チップを設置する工程は、上記第1の半導体チップの上記厚み方向における上記基台に近い方の面を、接着部材を介して上記基台に接着する工程と、上記第1の電極端子と、上記複数の端子のいずれかとを第1のワイヤで接続する工程とを含んでいる、請求項21または22に記載の半導体装置の製造方法。

[請求項24] 上記基台に上記複数の端子を形成する工程は、上記複数の端子に上記基台の厚み方向視において上記基台を露出させる開口部を形成する工程を含んでいる、請求項21ないし23のいずれかに記載の半導体装置の製造方法。

[請求項25] 上記第1の半導体チップは、上記複数の端子の厚み方向において上記基台に近い方の面に第1の電極端子を有しており、

上記基台に第1の半導体チップを設置する工程は、上記第1の電極端子と上記複数の端子のいずれかを導電接続部材で接続する工程を含んでいる、請求項21または22に記載の半導体装置の製造方法。

[請求項26] 上記第2の半導体チップは、上記複数の端子の厚み方向において上記基台から遠い方の面に第2の電極端子を有しており、

上記第2の電極端子と上記複数の端子のいずれかとを第2のワイヤで接続する工程を備えている、請求項21ないし25のいずれかに記載の半導体装置の製造方法。

[請求項27] 複数の端子と、

第 1 の半導体チップと、
上記第 1 の半導体チップに設置される第 2 の半導体チップと、
上記第 2 の半導体チップに設置される第 3 の半導体チップと、
上記第 1 の半導体チップ、上記第 2 の半導体チップ、上記第 3 の半導体チップ、および上記複数の端子を覆う封止樹脂と、
を備えており、

上記複数の端子は、上記第 1 の半導体チップと接続された第 1 の端子と、上記第 2 の半導体チップと接続された第 2 の端子と、上記第 3 の半導体チップと接続された第 3 の端子とを含んでおり、

上記複数の端子の厚み方向における一方の面は上記封止樹脂から露出していることを特徴とする、半導体装置。

[請求項28] 上記第 1 の端子は、上記厚み方向視において上記第 1 の半導体チップと重なる位置に配置されており、

上記第 1 の半導体チップは、上記厚み方向における一方の面に第 1 の電極端子を有しており、

上記第 1 の電極端子と上記第 1 の端子とを接続する導電接続部材を備えている、請求項 27 に記載の半導体装置。

[請求項29] 上記第 1 の半導体チップの上記厚み方向における一方の面を支持する支持部材を備えており、

上記支持部材の上記厚み方向における一方の面は上記封止樹脂から露出している、請求項 27 に記載の半導体装置。

[請求項30] 上記支持部材は銀を含む、請求項 29 に記載の半導体装置。

[請求項31] 上記第 1 の半導体チップは、上記厚み方向における他方の面に第 1 の電極端子を有しており、

上記第 1 の電極端子と上記第 1 の端子とを接続する第 1 のワイヤを備えている、請求項 29 または 30 に記載の半導体装置。

[請求項32] 上記第 1 の端子には、上記封止樹脂が充填される開口部が形成されている、請求項 27 ないし 31 のいずれかに記載の半導体装置。

- [請求項33] 上記第2の半導体チップの上記厚み方向における一方の面は、上記第1の半導体チップに固定されており、
 上記第2の半導体チップは、上記厚み方向における他方の面に第2の電極端子を備えており、
 上記第2の電極端子と上記第2の端子とを接続する第2のワイヤを備えている、請求項27ないし32のいずれかに記載の半導体装置。
- [請求項34] 上記第2の半導体チップと、上記第1の半導体チップとを接合する第1の固定部材を備えている、請求項27ないし33のいずれかに記載の半導体装置。
- [請求項35] 上記第2の端子には、上記封止樹脂が充填される開口部が形成されている、請求項33または34に記載の半導体装置。
- [請求項36] 上記第3の半導体チップの上記厚み方向における一方の面は、上記第2の半導体チップに固定されており、
 上記第3の半導体チップは、上記厚み方向における他方の面に第3の電極端子を備えており、
 上記第3の電極端子と上記第3の端子とを接続する第3のワイヤを備えている、請求項27ないし35に記載の半導体装置。
- [請求項37] 上記第3の半導体チップと、上記第2の半導体チップとを接合する第2の固定部材を備えている、請求項27ないし36のいずれかに記載の半導体装置。
- [請求項38] 上記第3の端子には、上記封止樹脂が充填される開口部が形成されている、請求項36または37に記載の半導体装置。
- [請求項39] 上記各端子は、複数の金属層からなる、請求項27ないし38のいずれかに記載の半導体装置。
- [請求項40] 基台に複数の端子を形成する工程と、
 上記基台に第1の半導体チップを設置する工程と、
 上記第1の半導体チップに第2の半導体チップを設置する工程と、
 上記第2の半導体チップに第3の半導体チップを設置する工程と、

上記第 1 の半導体チップ、上記第 2 の半導体チップ、上記第 3 の半導体チップ、および複数の端子を樹脂で封止する工程と、

上記基台を除去する工程と、

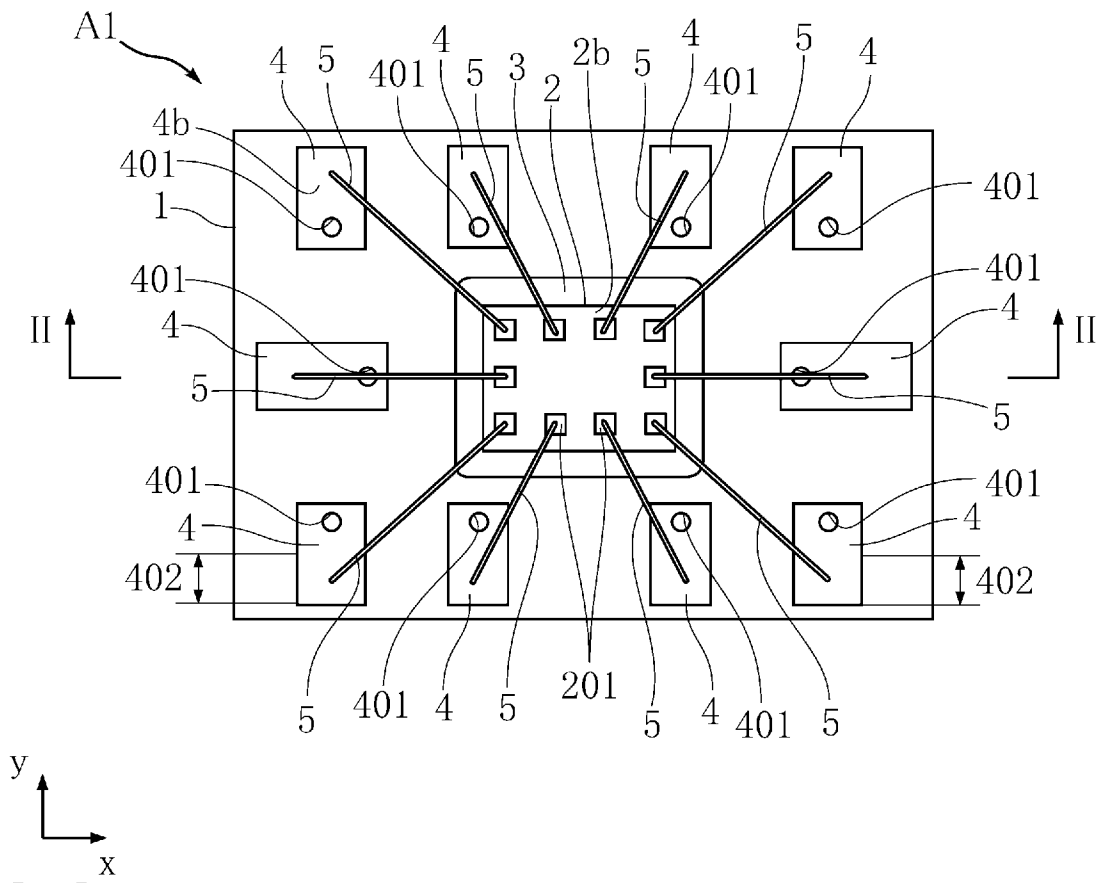
を備えていることを特徴とする、半導体装置の製造方法。

[請求項41]

上記基台に複数の端子を形成する工程は、上記基台に無電解メッキ処理を施す工程を含んでいる、請求項 40 に記載の半導体装置の製造方法。

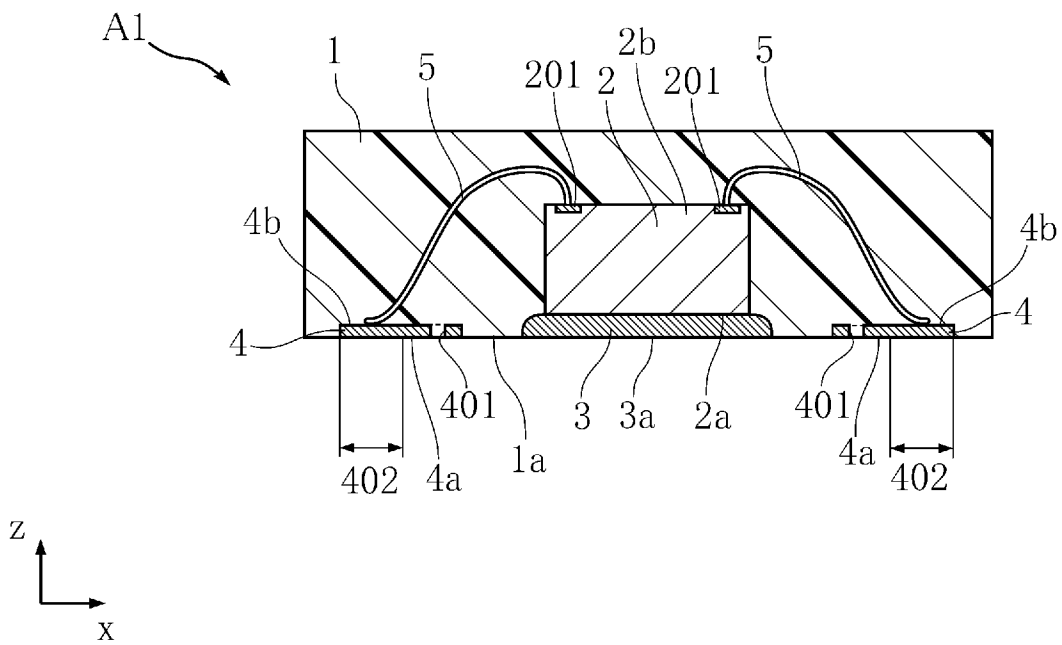
[図1]

Fig.1



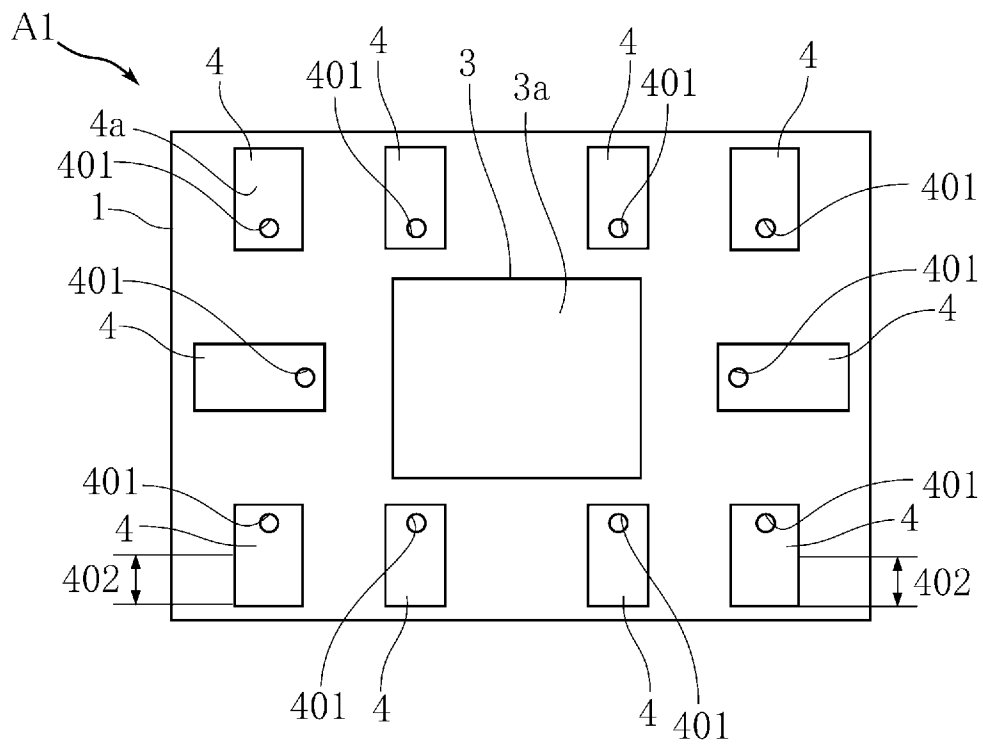
[図2]

Fig.2



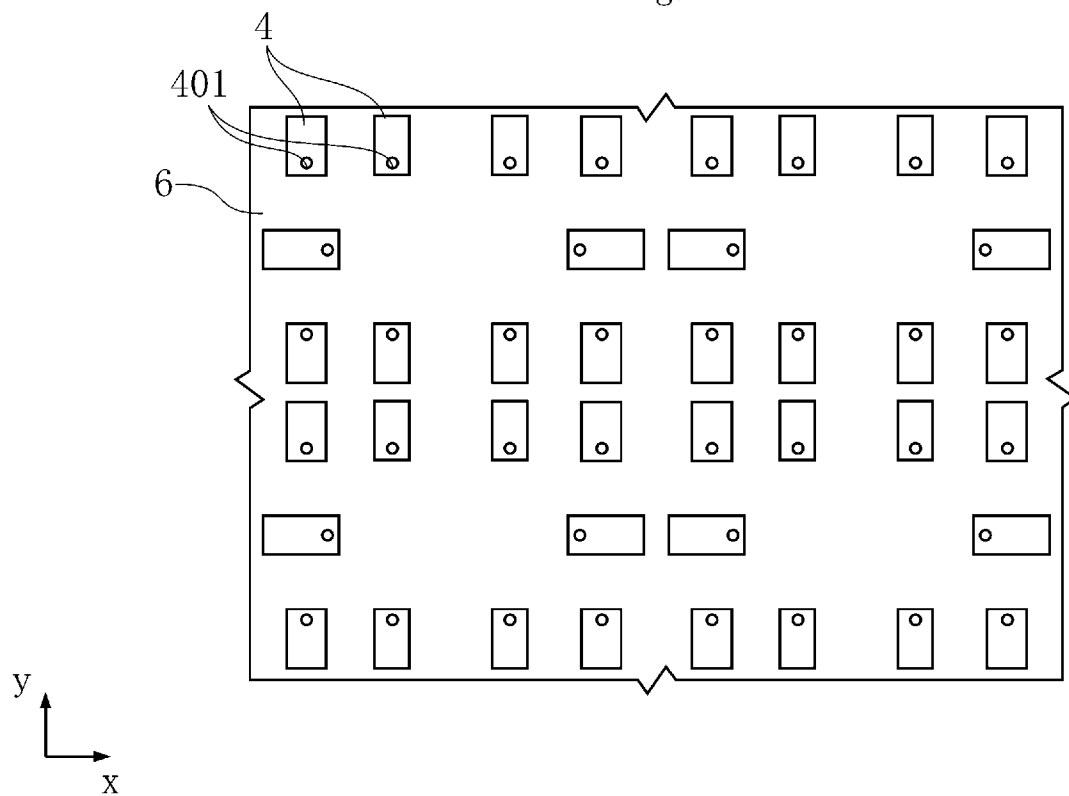
[図3]

Fig.3



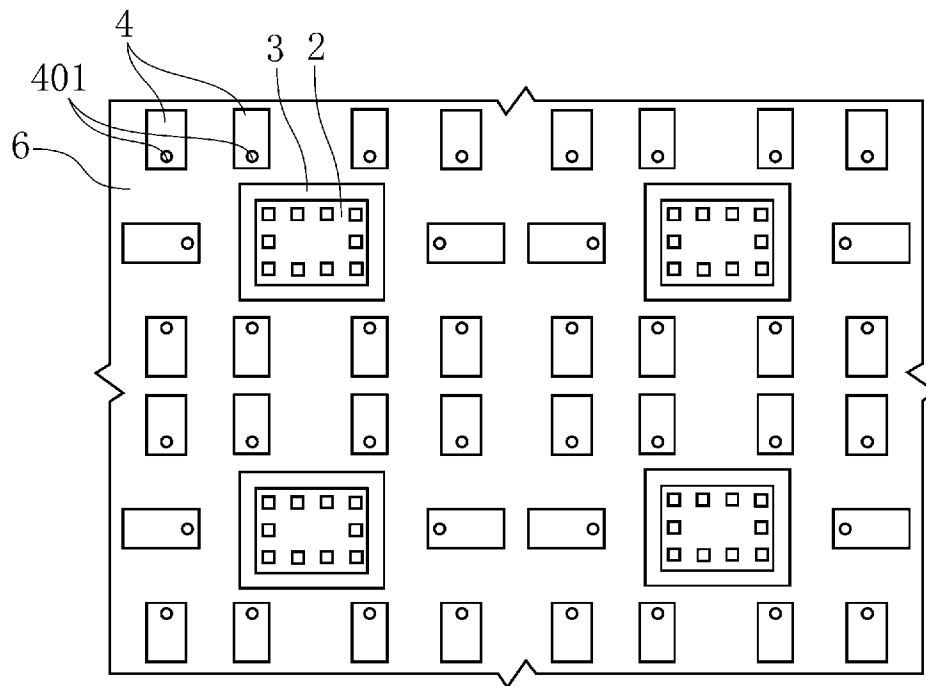
x
y
[図4]

Fig.4



[図5]

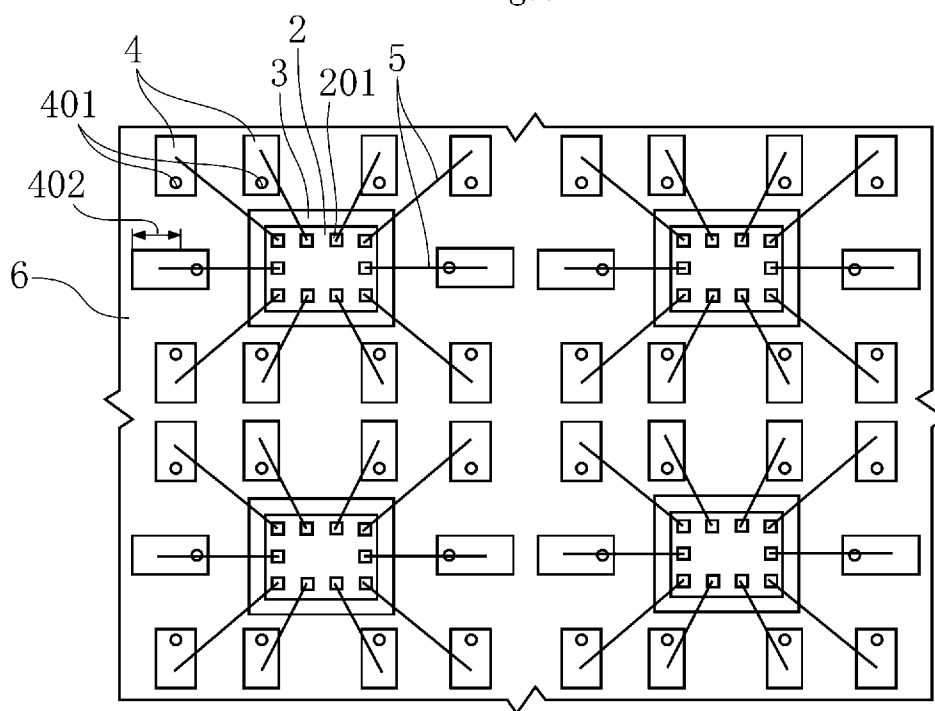
Fig.5



y
x

[図6]

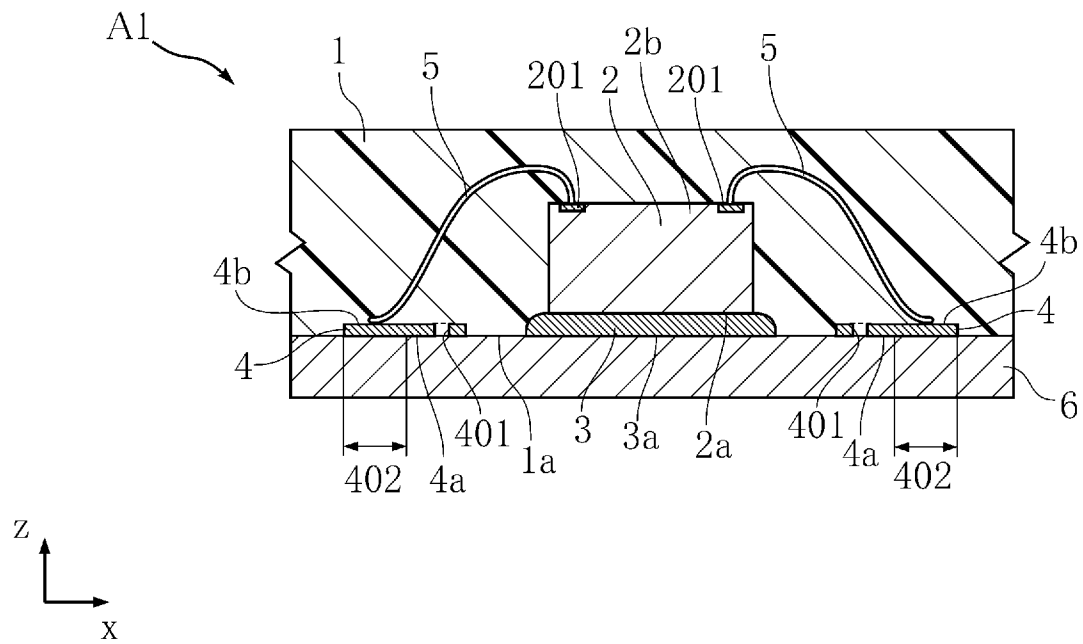
Fig.6



y
x

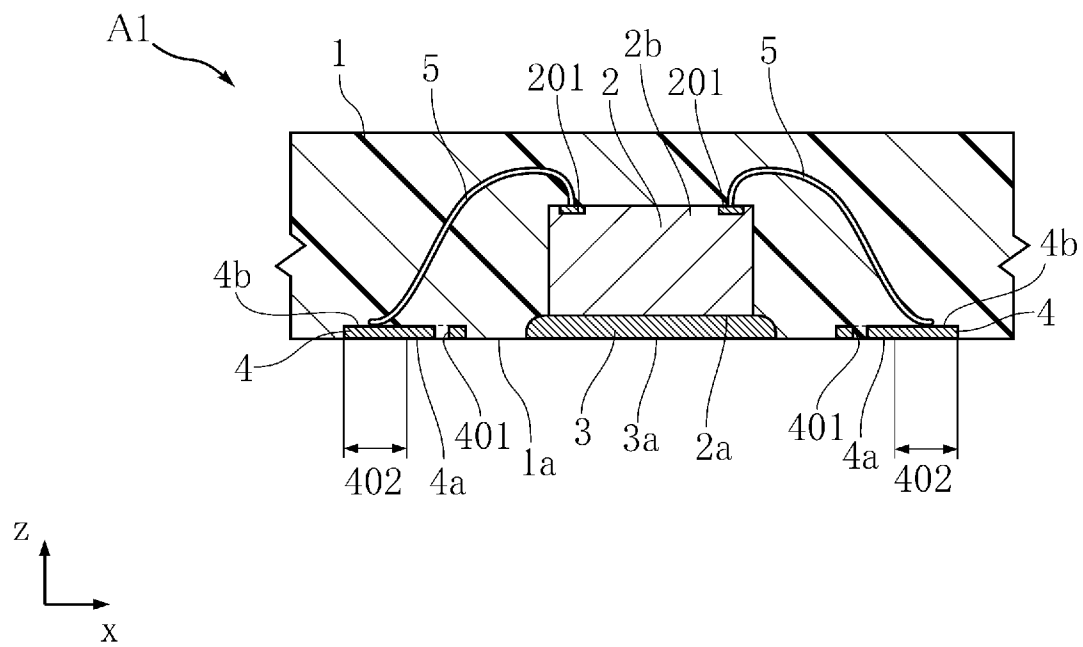
[図7]

Fig.7



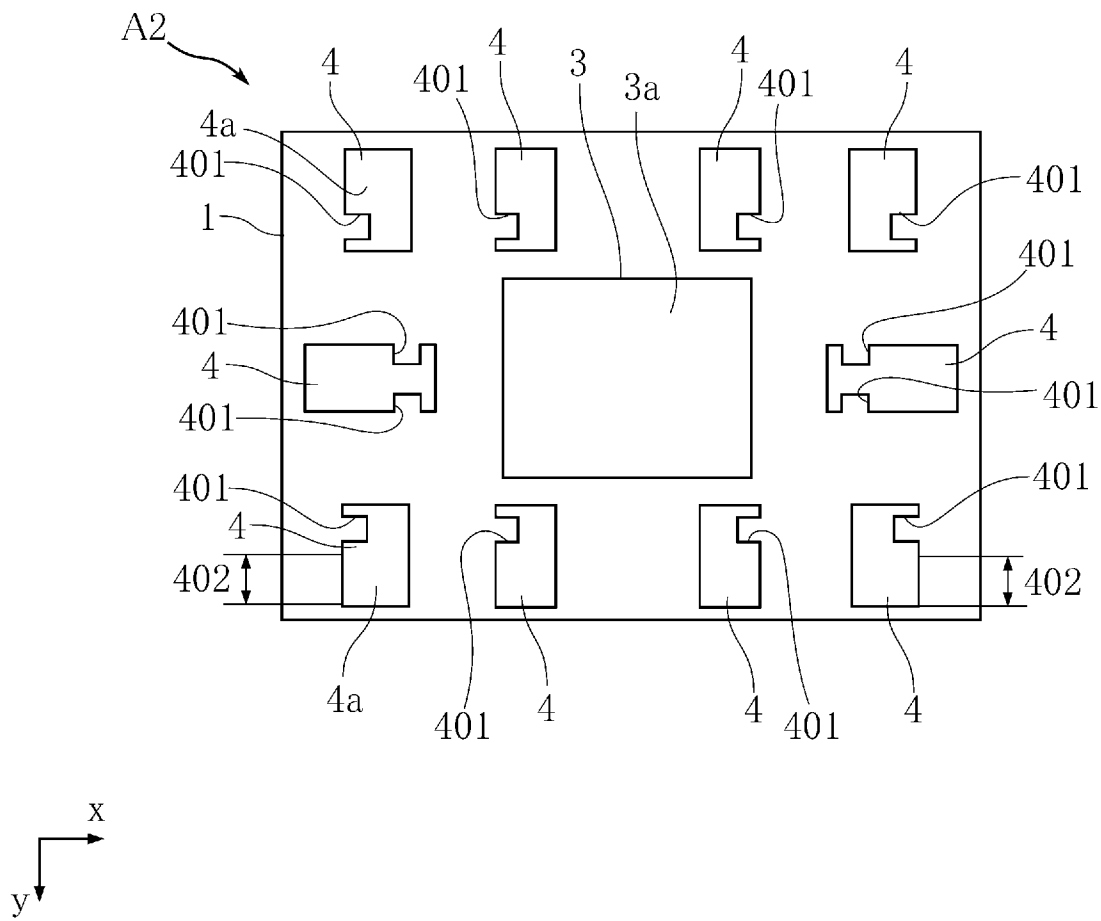
[図8]

Fig.8



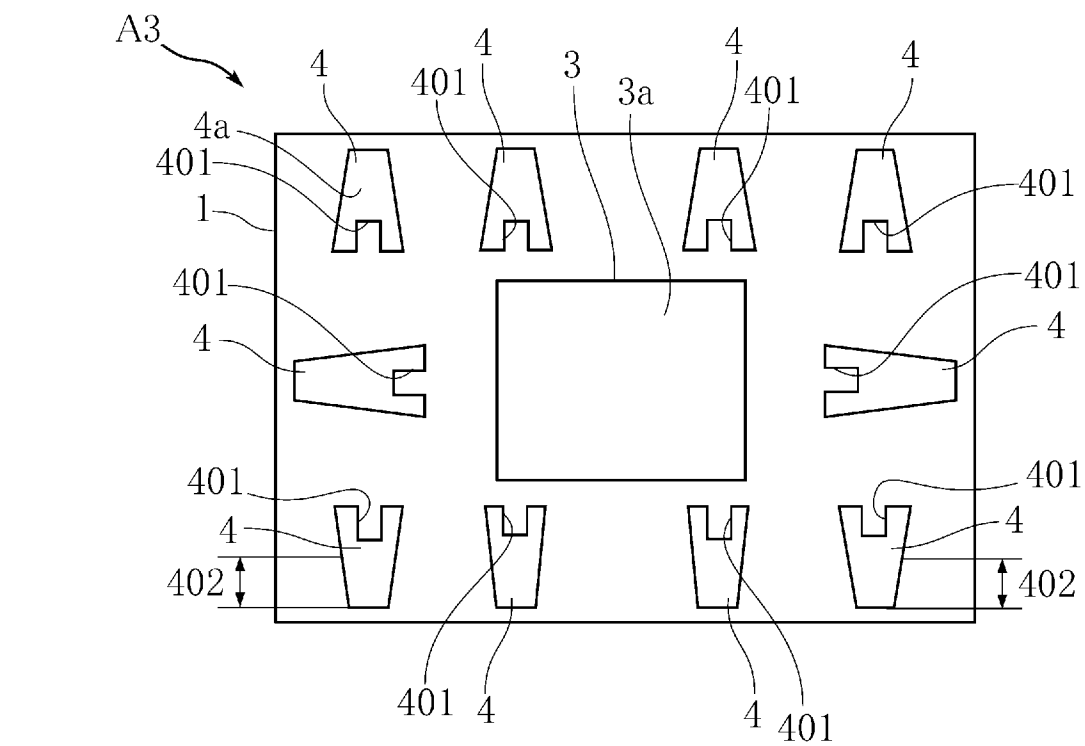
[図9]

Fig.9



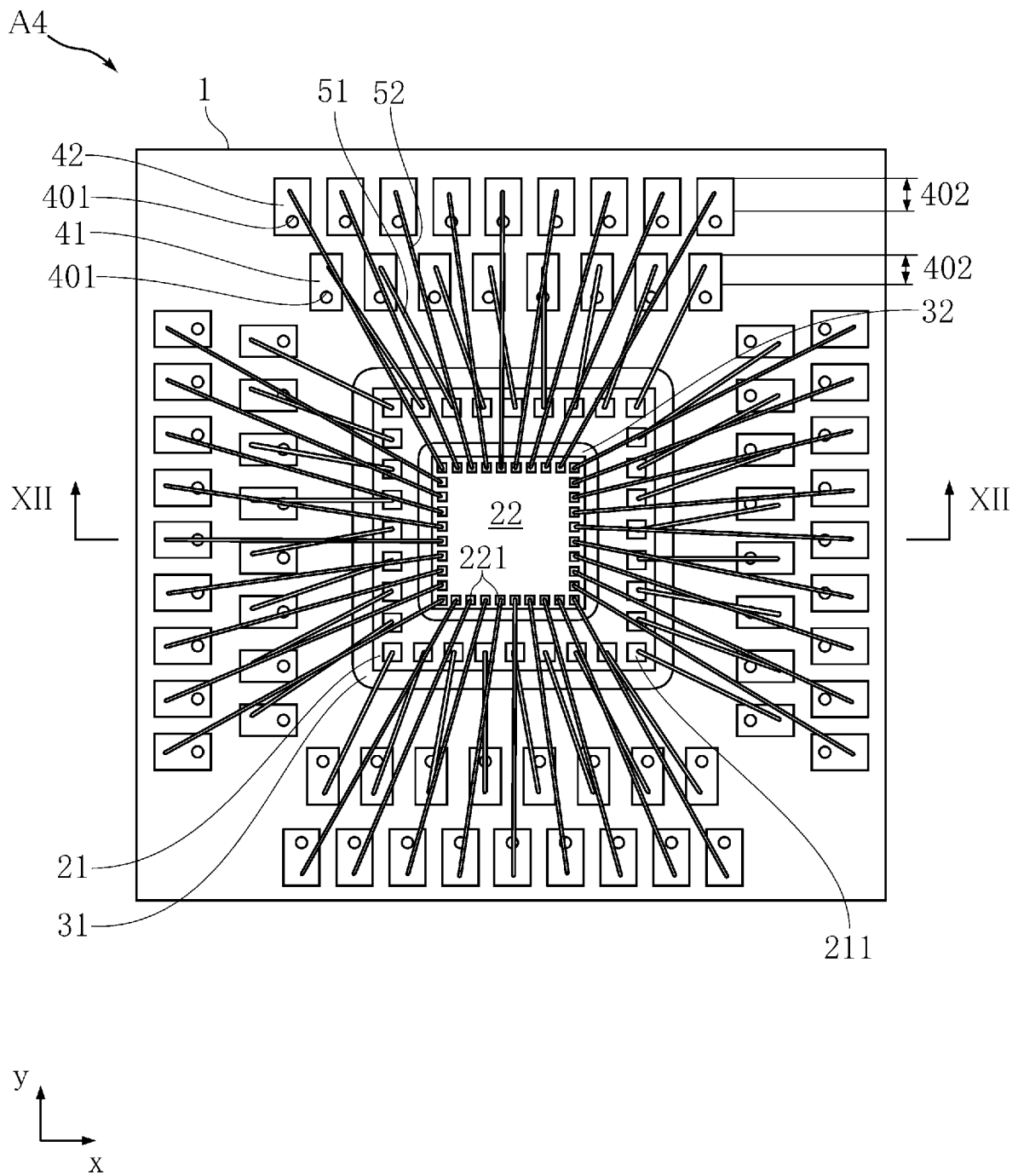
[図10]

Fig.10



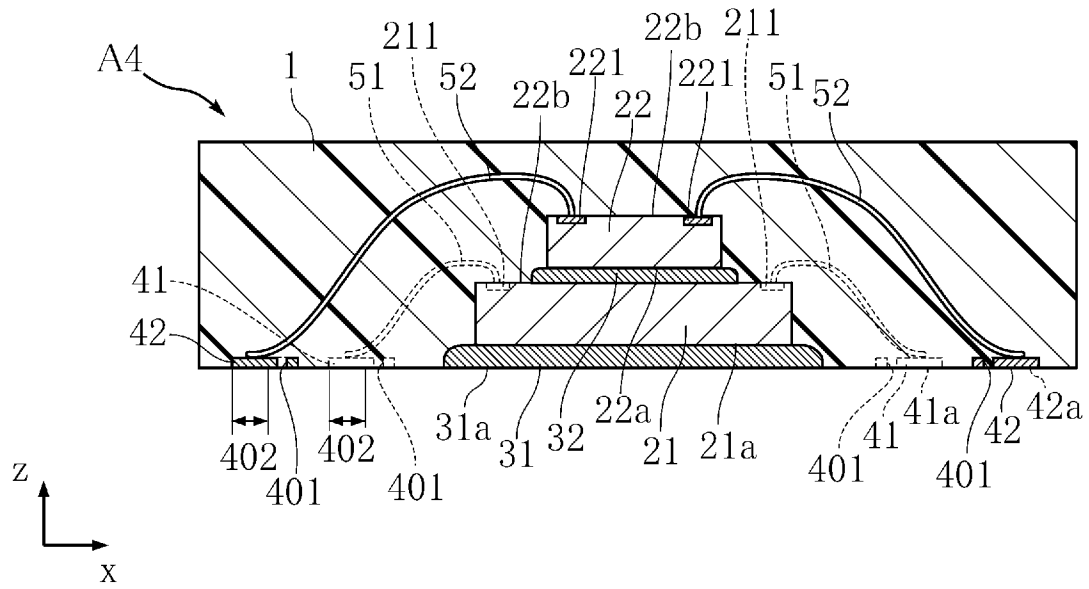
[図11]

Fig.11



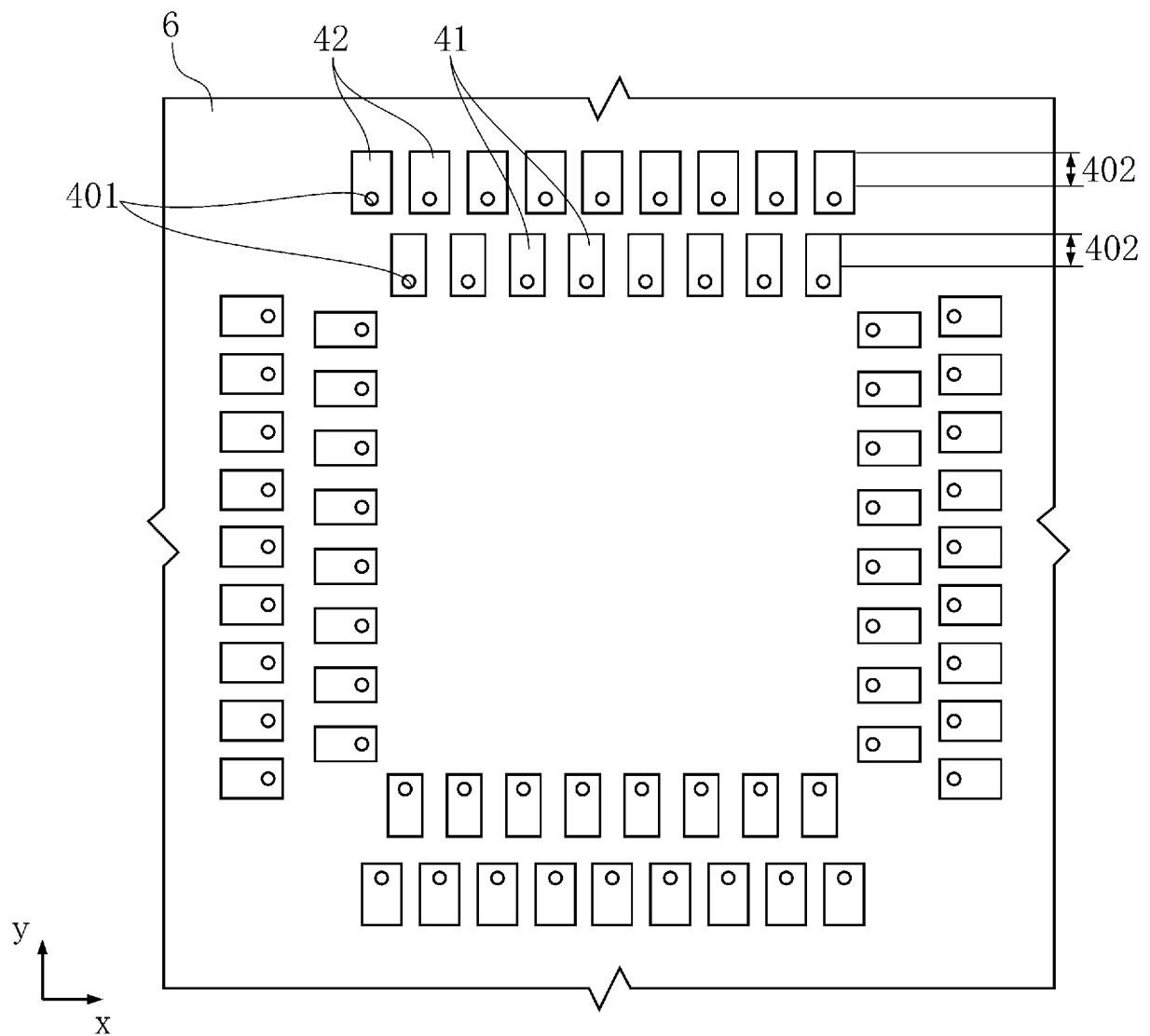
[図12]

Fig.12



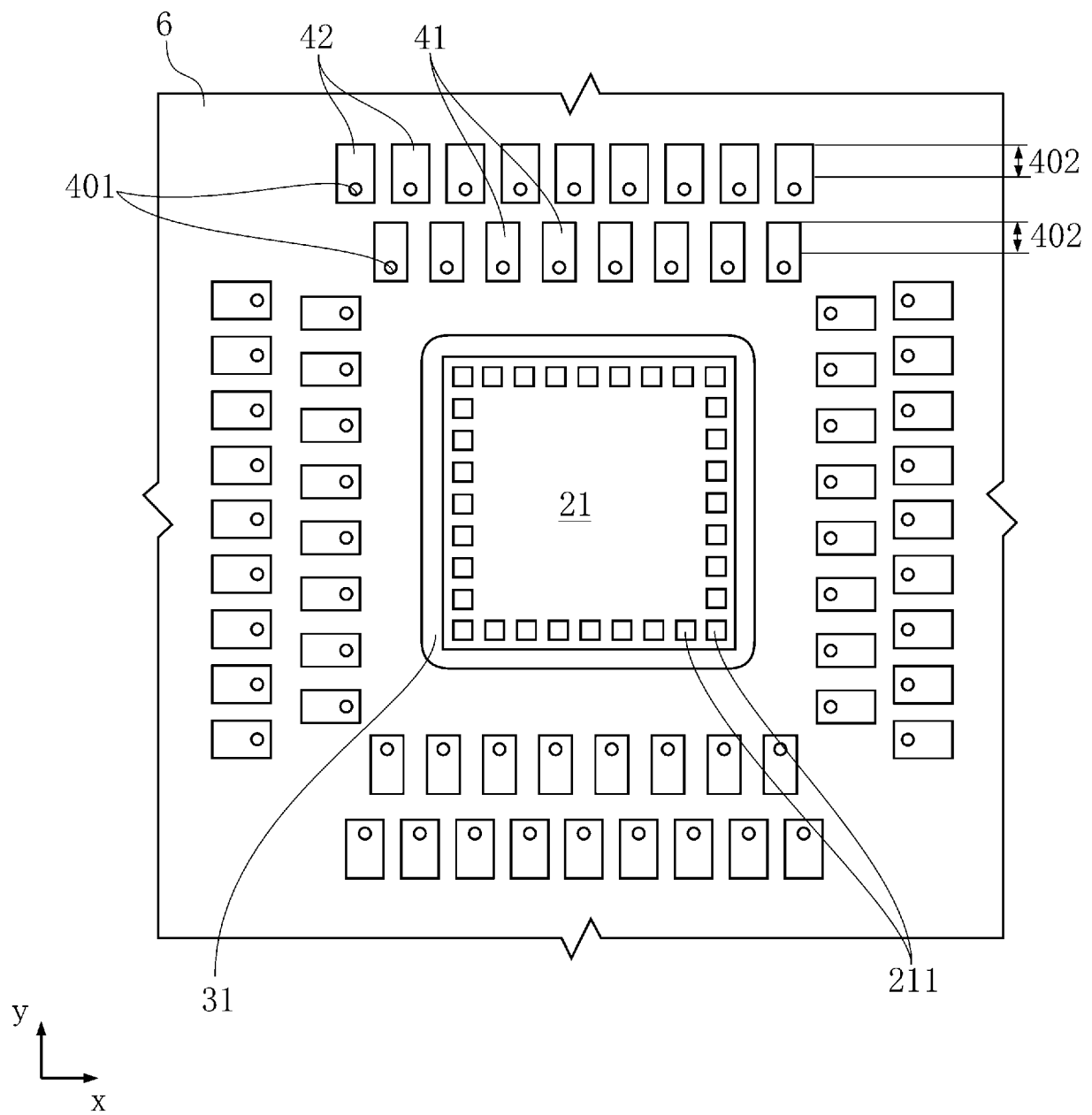
[図13]

Fig.13



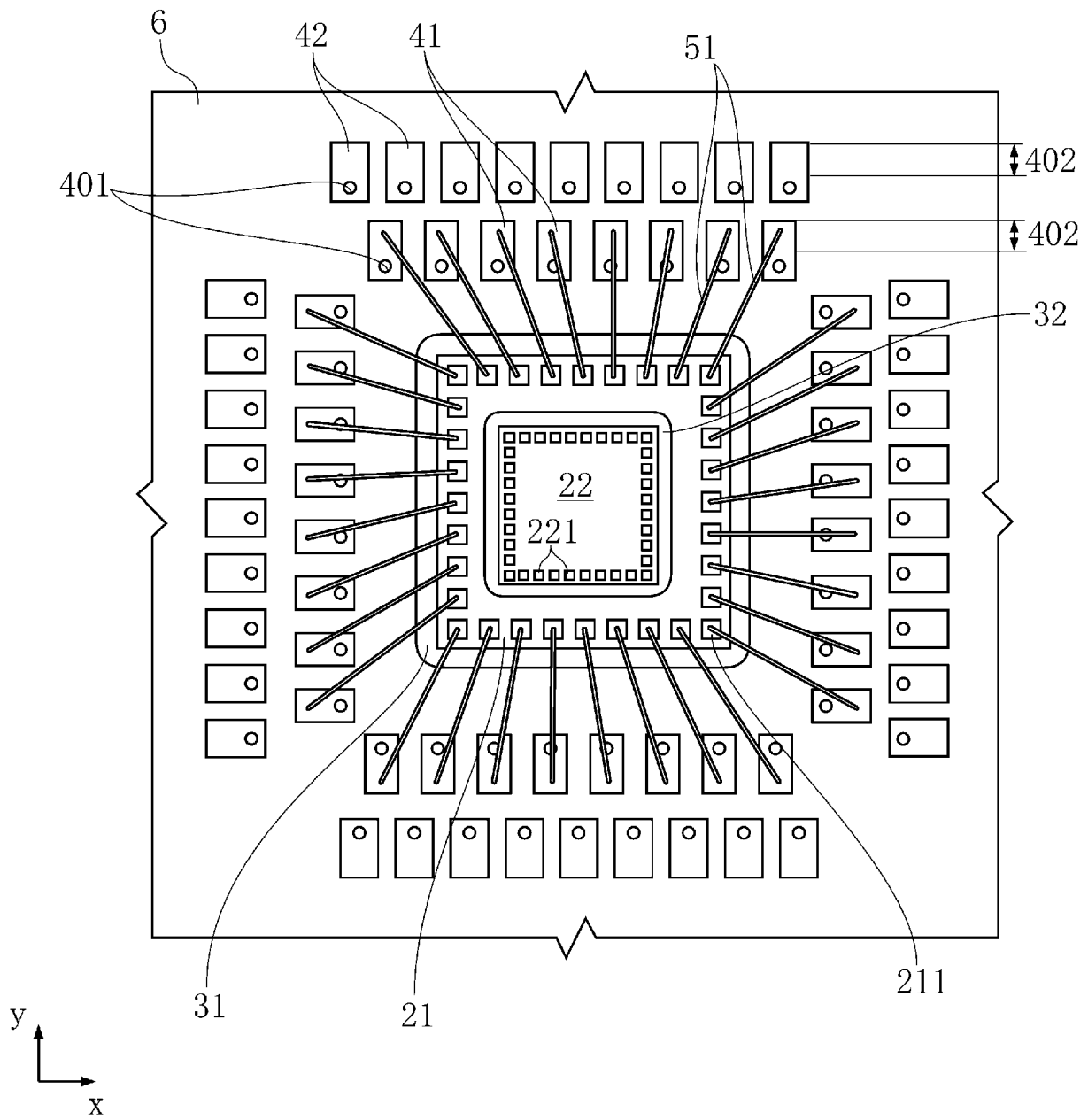
[図14]

Fig.14



[図16]

Fig.16



[図17]

Fig.17

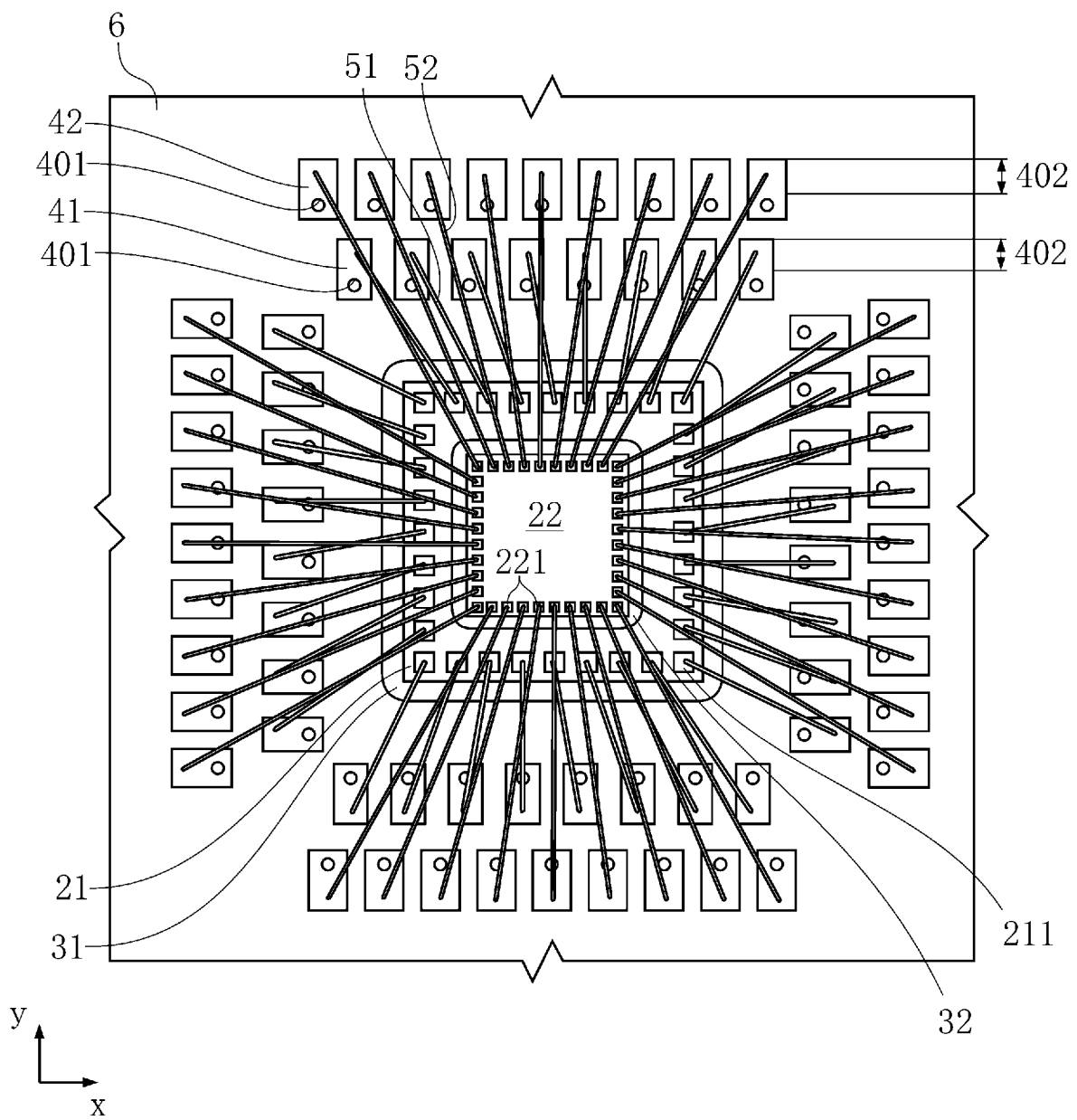


Fig.18

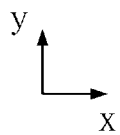
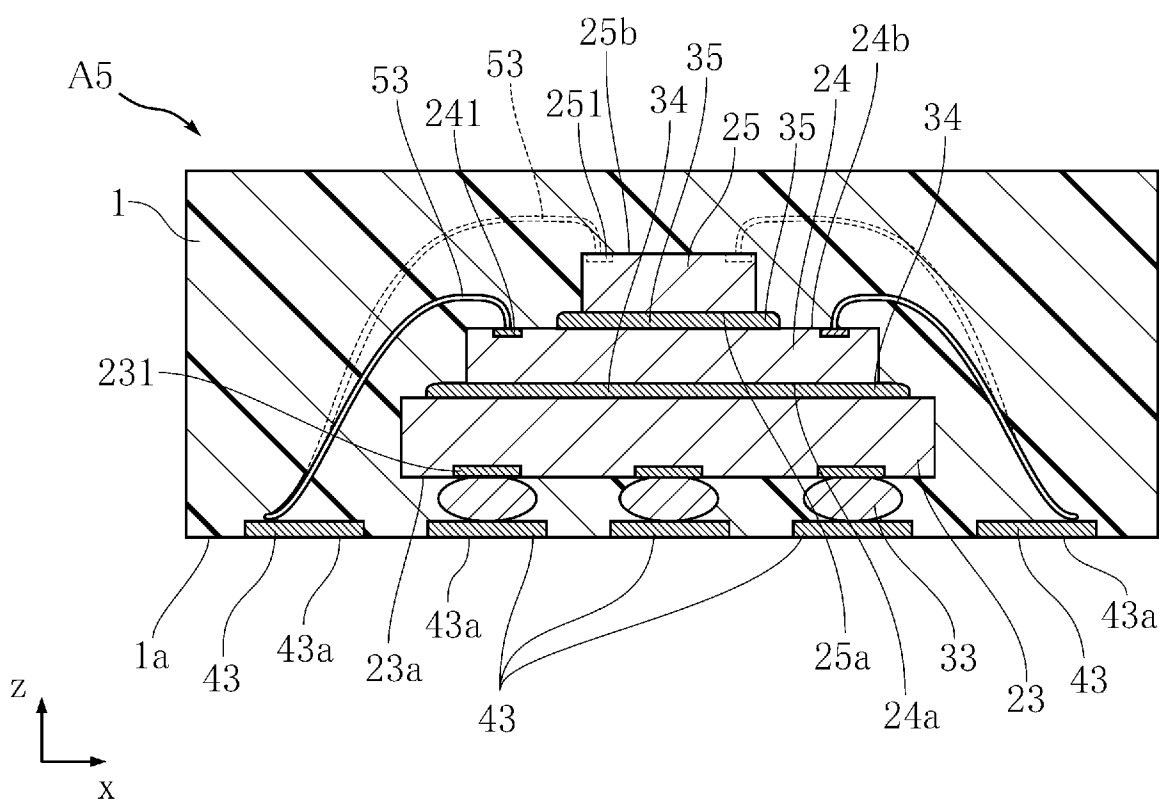
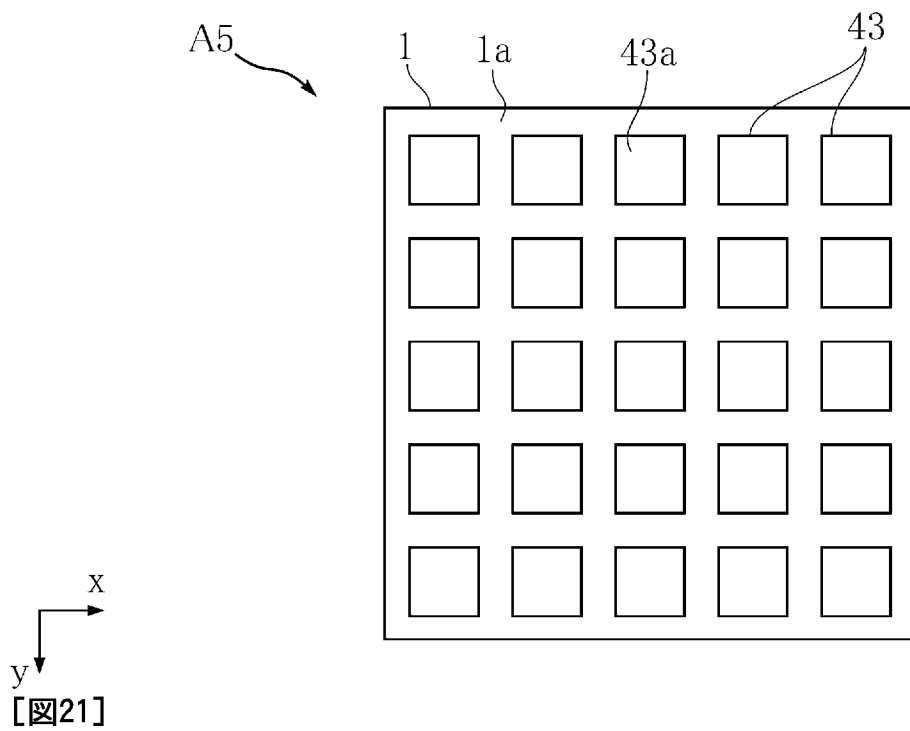


Fig.19



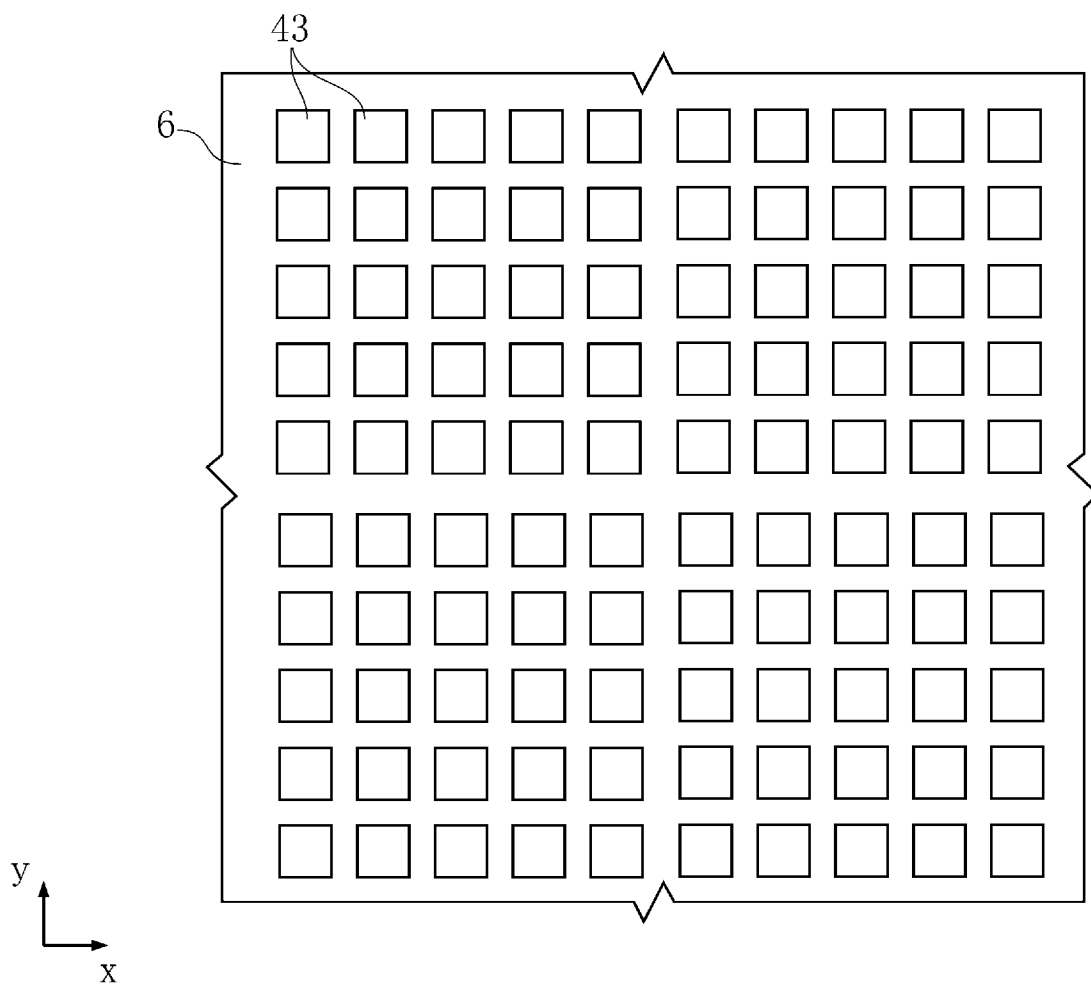
[図20]

Fig.20



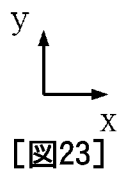
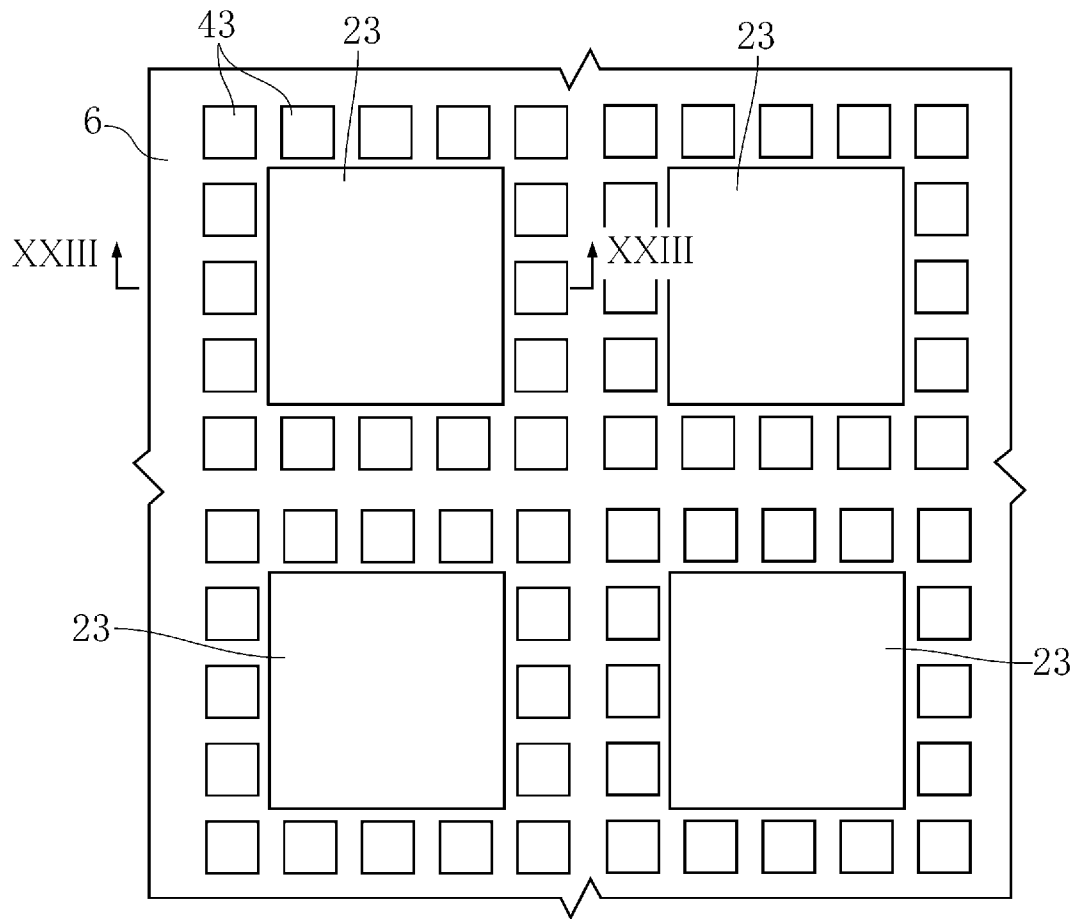
[図21]

Fig.21



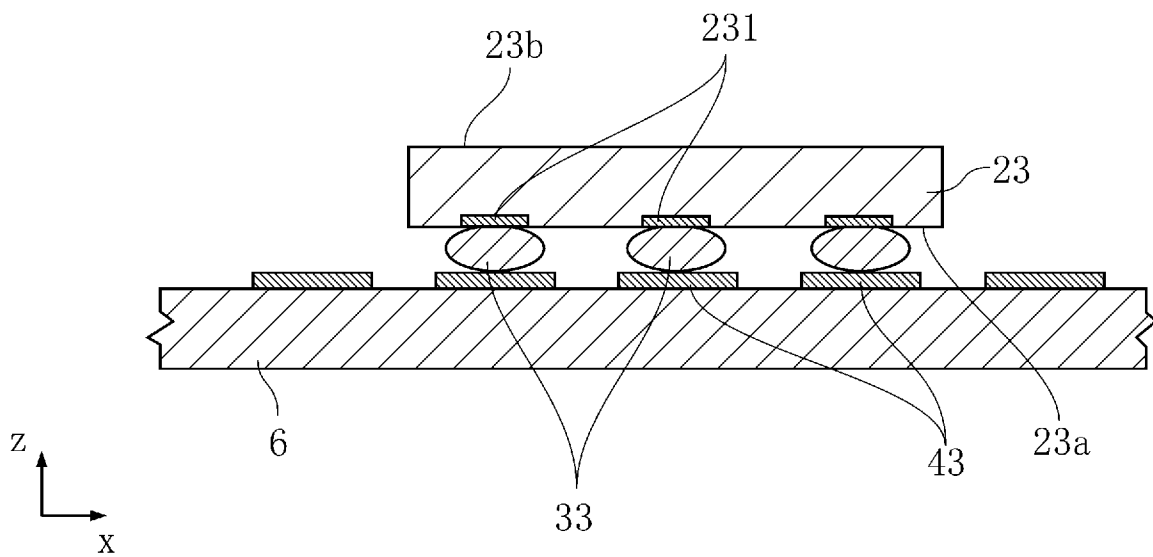
[図22]

Fig.22



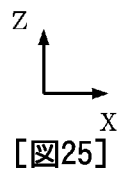
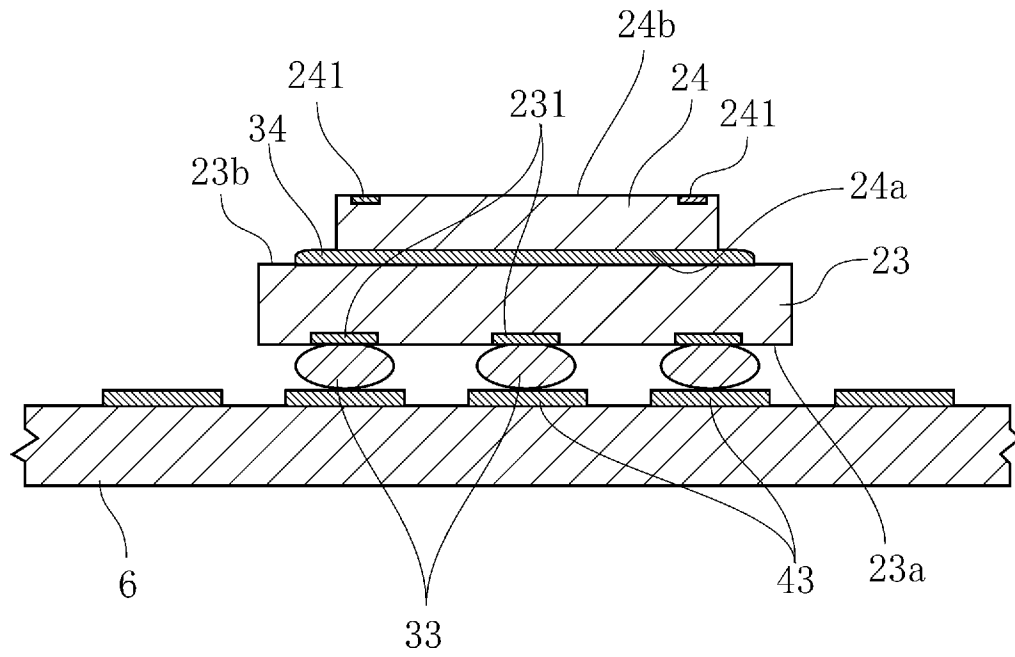
[図23]

Fig.23



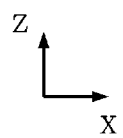
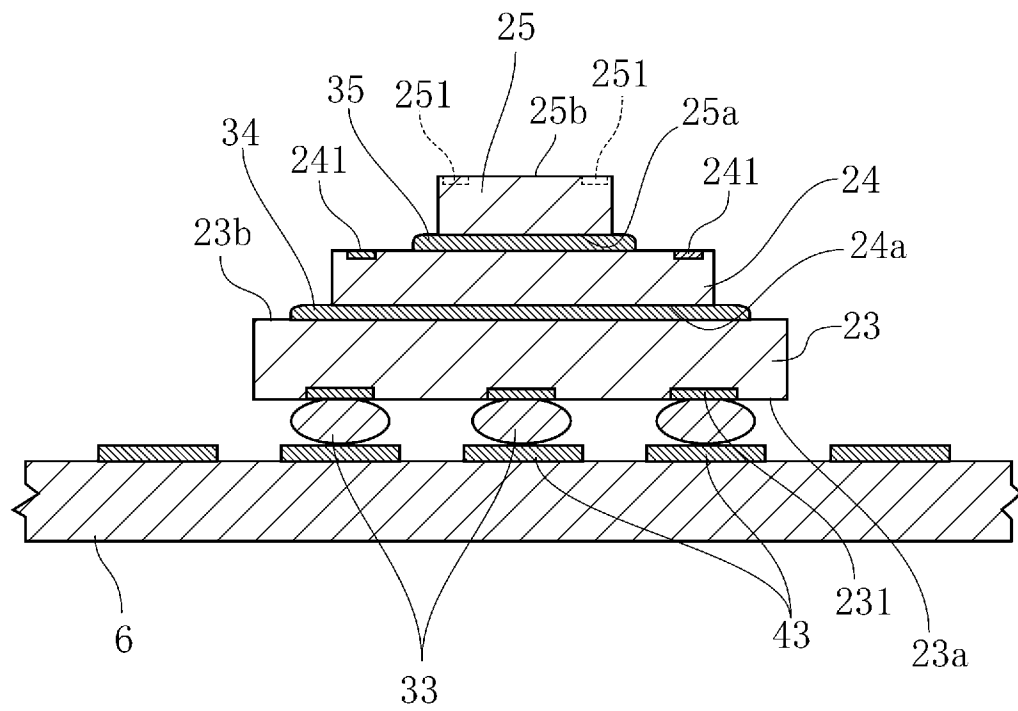
[図24]

Fig.24



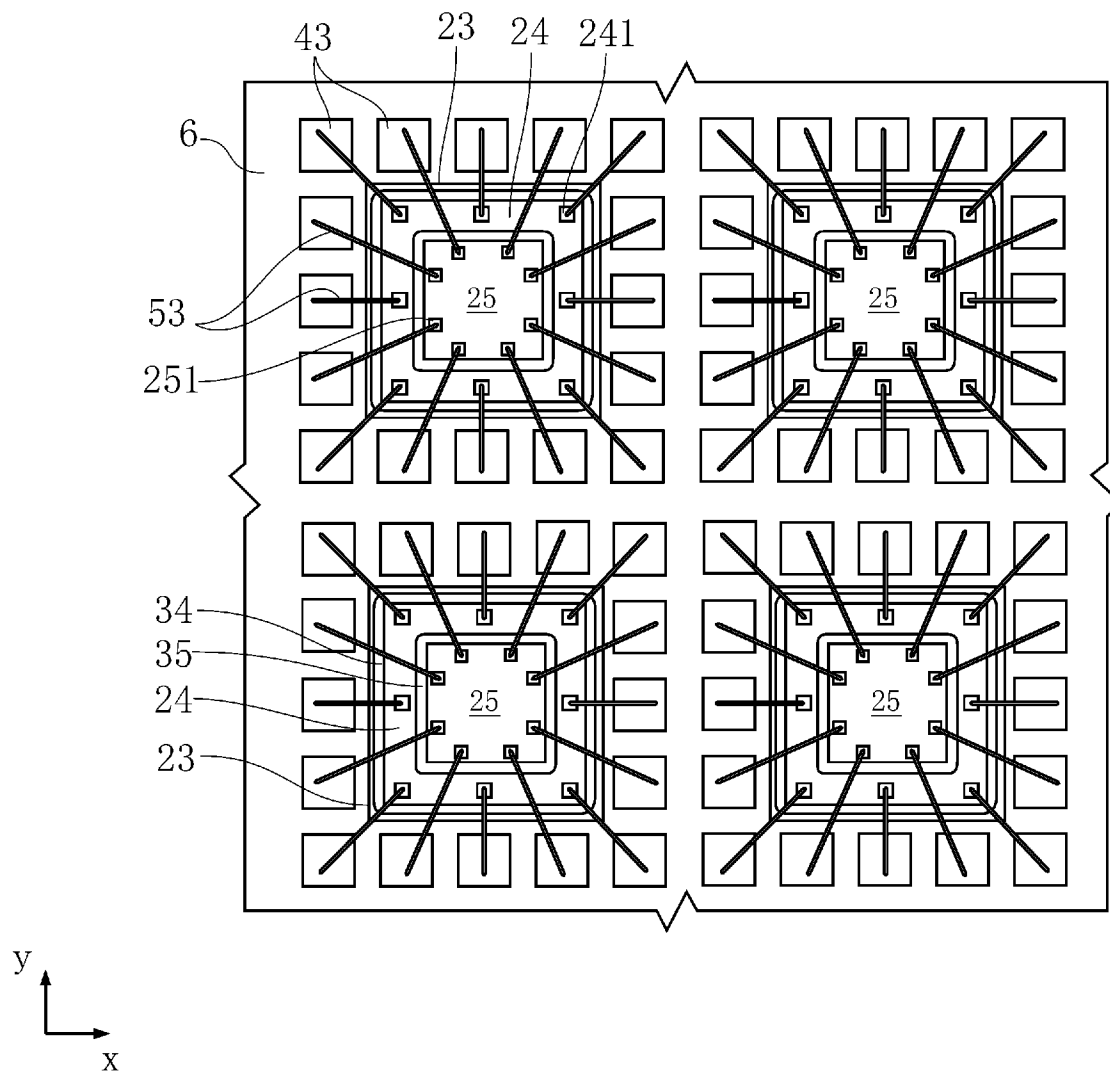
[図25]

Fig.25



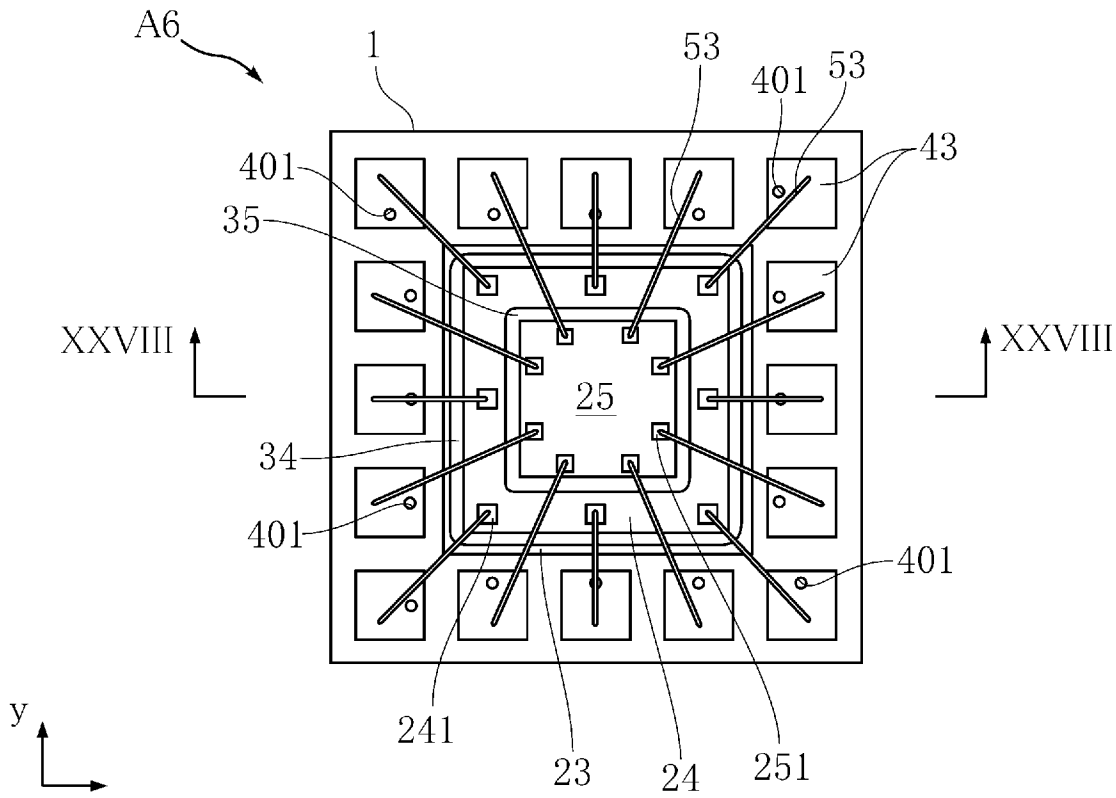
[図26]

Fig.26



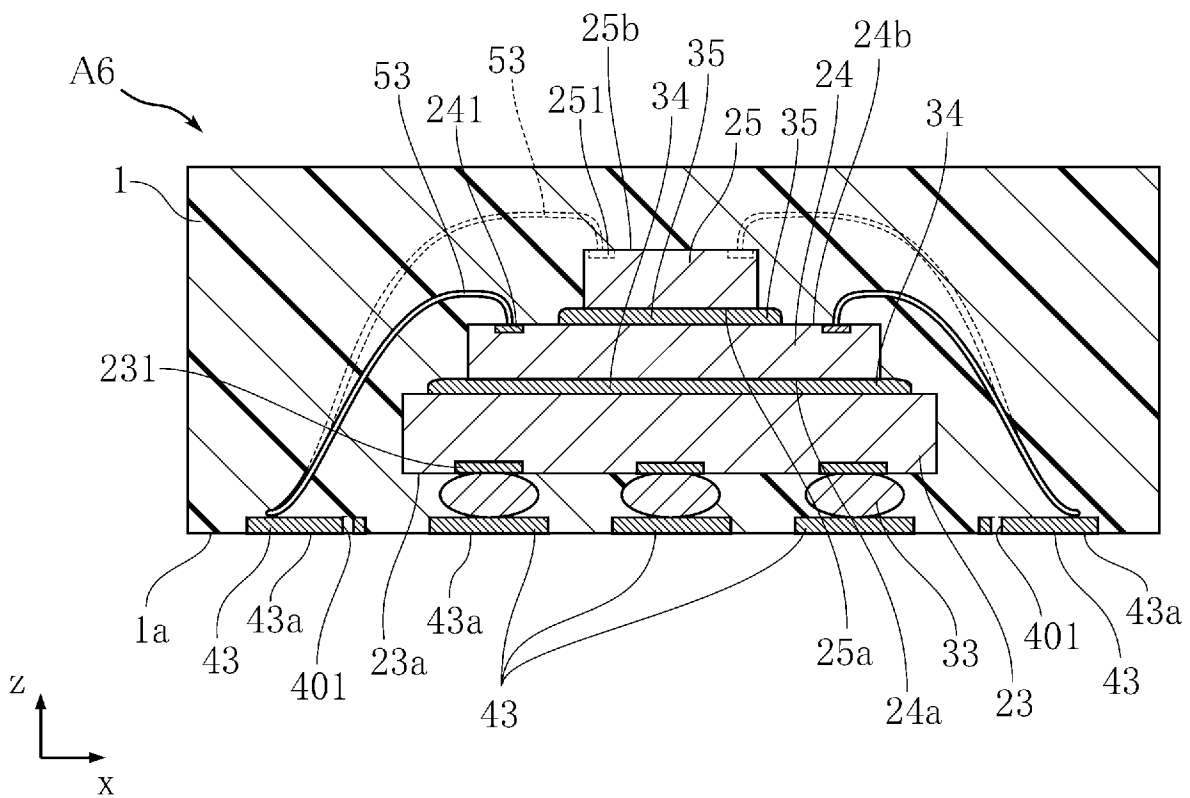
[図27]

Fig.27

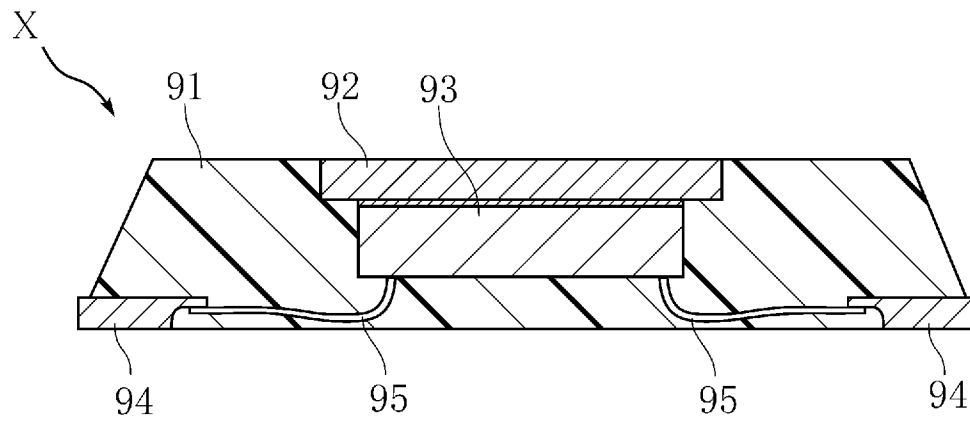


[図28]

Fig.28



[図29]

Fig.29
従来技術

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052870

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/50(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/50, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-302209 A (NEC Electronics Corp.), 24 December 2009 (24.12.2009), paragraphs [0014] to [0042]; fig. 1 to 12 & US 2009/0309201 A1 & CN 101604679 A	1-8
X	JP 2001-144241 A (Mitsui High-Tec Inc.), 25 May 2001 (25.05.2001), paragraphs [0006] to [0013]; fig. 1 to 4 (Family: none)	1-2, 6
A	JP 2006-295114 A (Hitachi Cable, Ltd.), 26 October 2006 (26.10.2006), & US 2006/0225918 A1 & IT MI20060484 A1	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 May, 2012 (01.05.12)

Date of mailing of the international search report
22 May, 2012 (22.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052870

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-93577 A (Hitachi Cable, Ltd.), 06 April 2006 (06.04.2006), (Family: none)	1-8
A	JP 2004-172157 A (Shinko Electric Industries Co., Ltd.), 17 June 2004 (17.06.2004), (Family: none)	1-8
A	JP 2003-303919 A (Hitachi, Ltd.), 24 October 2003 (24.10.2003), & US 2005/0176171 A1 & WO 2003/085726 A1	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052870

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-8

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052870

Continuation of Box No.III of continuation of first sheet (2)

On account of the following reason, this international application involves three inventions which do not comply with the requirement of unity of invention.

Main invention: "claims 1-8"

Second invention: "claims 9 and 10"

Third invention: "claims 11-41"

The search, which has been carried on the assumption that claim 1 is deemed to be "firstly set forth invention ("main invention")", revealed that the technical feature of the main invention is not novel, since the technical feature is disclosed as a prior art in JP 2009-302209 A (NEC Electronics Corp.), 24 December 2009 (24.12.2009), paragraphs [0014] to [0042], fig. 1 to 12.

Therefore, the technical feature of the main invention cannot be considered to be a "special technical feature" within the meaning of PCT Rule 13.2, second sentence.

As far as comparing claims 9 and 10 (second invention) to the above-said prior art, the "(tentative) special technical feature" of the second invention pertains to method for production of semiconductor device which comprises a step of forming a terminal onto a base.

As far as comparing claims 11-41 (third invention) to the above-said prior art, the "(tentative) special technical feature" of the third invention pertains to semiconductor device which comprises a second semiconductor chip disposed on a first semiconductor chip.

It is not considered that there is a technical relationship involving one or more of the same or corresponding special technical features between the second invention and the third invention.

Meanwhile, claims 2-8 are mere addition of a well known art onto claim 1, and therefore is classified into the invention group same as that of claim 1.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L23/50(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L23/50, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-302209 A (NEC エレクトロニクス株式会社) 2009. 12. 24, [0014]-[0042], 図 1-12 & US 2009/0309201 A1 & CN 101604679 A	1-8
X	JP 2001-144241 A (株式会社三井ハイテック) 2001. 05. 25, [0006]-[0013], 図 1-4 (ファミリーなし)	1-2, 6
A	JP 2006-295114 A (日立電線株式会社) 2006. 10. 26, & US 2006/0225918 A1 & IT MI20060484 A1	1-8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

坂本 薫昭

4 R

9 2 6 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-93577 A (日立電線株式会社) 2006. 04. 06, (ファミリーなし)	1-8
A	JP 2004-172157 A (新光電気工業株式会社) 2004. 06. 17, (ファミリーなし)	1-8
A	JP 2003-303919 A (株式会社日立製作所) 2003. 10. 24, & US 2005/0176171 A1 & WO 2003/085726 A1	1-8

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1 - 8

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

以下の理由により、この国際出願は発明の単一性の要件を満たさない3つの発明を含む。

主発明：「請求項1－8」

第2発明：「請求項9－10」

第3発明：「請求項11－41」

請求項1を「最初に記載されている発明（「主発明」）」として調査を行った結果、主発明の技術的特徴は、先行技術として、文献 JP 2009-302209 A（NEC エレクトロニクス株式会社）2009.12.24, [0014]－[0042], 図1-12に開示されているから新規でないことが明らかとなった。したがって、主発明の技術的特徴は、PCT 規則 13.2 の第2文の意味において「特別な技術的特徴」とは認められない。

請求項9－10（第2発明）と上記先行技術とを比較する限りにおいて、第2発明の「(当座の) 特別な技術的特徴」は、基台に端子を形成する工程を含む半導体装置の製造方法である。

請求項11－41（第3発明）と上記先行技術とを比較する限りにおいて、第3発明の「(当座の) 特別な技術的特徴」は、第1の半導体チップに設置される第2の半導体チップを備えた半導体装置である。

これら第2－3発明の間に一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係が存在するとは認められない。

なお、請求項2－8は、請求項1に周知技術を付加したにすぎないため、請求項1と同じ発明区分とした。