(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월16일
(11) 등록번호 10-1255335
(24) 등록일자 2013년04월10일

(51) 국제특허분류(Int. Cl.)
*H01L 23/12* (2006.01)
(21) 출원번호 10-2006-0043947
(22) 출원일자 2006년05월16일
심사청구일자 2011년03월16일
(65) 공개번호 10-2007-0054553
(43) 공개일자 2007년05월29일
(30) 우선권주장
11/286,786 2005년11월23일 미국(US)
(56) 선행기술조사문헌
KR1020020002987 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**페어차일드코리아반도체 주식회사**
경기도 부천시 원미구 평천로850번길 55 (도당동)
(72) 발명자
**최승용**
서울특별시 강서구 우장산로 47, 우장산롯데 2차 아파트 2002-1101 (내발산동)
**박민효**
서울특별시 강남구 언주로30길 10, 2209호 (도곡동, 현대비젼21)
(74) 대리인
**리앤목특허법인**

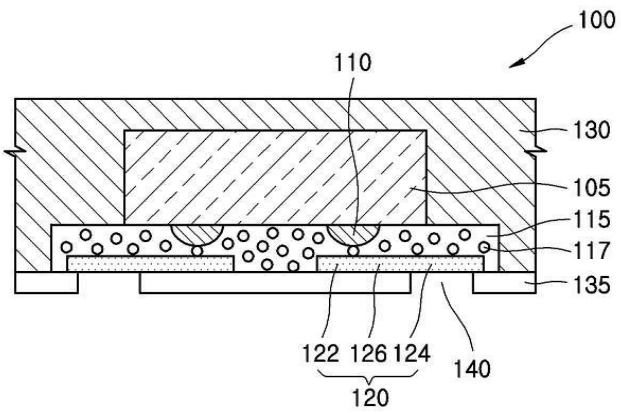
전체 청구항 수 : 총 18 항 심사관 : 김창주

(54) 발명의 명칭 **반도체 패키지 및 그 제조 방법**

## (57) 요 약

작은 부피를 가지면서도 많은 수의 터미널들을 최소 피치 이상으로 배치할 수 있는 반도체 패키지 및 그 제조 방법이 제공된다. 본 발명에 따른 반도체 패키지는 하부면 상에 복수의 범프들이 형성된 반도체 칩, 반도체 칩 아래에 형성되고 복수의 범프들의 적어도 하나와 전기적으로 연결되는 제 1 부분 및 제 1 부분과 전기적으로 연결된 제 2 부분을 포함하는 재배선층 패턴, 적어도 반도체 칩의 상부면을 덮는 인캡슐레이션층, 및 재배선층 패턴 아래에 형성되고 적어도 재배선층 패턴의 제 2 부분의 일부분을 노출하는 절연층 패턴을 포함한다.

*대 표 도* - 도1



## *특허청구의 범위*

**청구항 1**

상부면 및 하부면을 포함하고, 상기 하부면 상에는 복수의 범프(bump)들이 형성된 반도체 칩;

상기 반도체 칩 아래에 형성되고, 상기 복수의 범프들의 적어도 하나와 전기적으로 연결되는 제 1 부분 및 상기 제 1 부분과 전기적으로 연결된 제 2 부분을 포함하는 재배선층 패턴;

상기 재배선층 패턴 아래에 형성되고, 적어도 상기 재배선층 패턴의 제 2 부분의 일부분을 노출하는 절연층 패턴; 및

상기 절연층 패턴의 하부면을 노출하고, 상기 재배선층 패턴 및 상기 절연층 패턴이 형성된 상기 반도체 칩을 둘러싸는 인캡슐레이션층을 포함하며,

상기 재배선층 패턴 및 상기 반도체 칩 사이에 개재되고 도전성 입자들이 그 내부에 분산된 유기 절연층을 더 포함하고,

상기 재배선층 패턴의 제 1 부분과 상기 범프는 상기 유기 절연층의 도전성 입자에 의해 전기적으로 연결된 것을 특징으로 하는 반도체 패키지.

**청구항 2**

제 1 항에 있어서, 상기 재배선층 패턴의 제 2 부분의 표면적은 상기 제 1 부분의 표면적보다 큰 것을 특징으로 하는 반도체 패키지.

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제 1 항에 있어서, 상기 복수의 범프들의 직경은 5㎛ 내지 200㎛ 범위인 것을 특징으로 하는 반도체 패키지.

**청구항 6**

제 1 항에 있어서, 상기 재배선층 패턴은 금층, 니켈층 및 구리층의 군으로부터 선택된 하나 또는 그 이상의 층을 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 7**

제 1 항에 있어서, 상기 재배선층 패턴의 제 2 부분은 외부 장치와 연결을 위한 랜드 패턴인 것을 특징으로 하는 반도체 패키지.

**청구항 8**

상부면 및 하부면을 포함하고, 상기 하부면 상에 복수의 범프(bump)들이 형성된 반도체 칩을 형성하는 단계;

상기 복수의 범프들에 대응하는 제 1 부분 및 상기 제 1 부분과 전기적으로 연결된 제 2 부분을 포함하는 재배선층 패턴이 그 위에 형성된 희생 기판을 형성하는 단계;

상기 재배선층 패턴이 형성된 상기 희생 기판 상에 상기 반도체 칩을 배치하고, 도전성 입자들이 그 내부에 분산된 유기절연층을 이용하여 상기 범프와 상기 재배선층 패턴의 제 1 부분을 전기적으로 연결하는 단계;

상기 재배선층 패턴이 형성된 상기 반도체 칩을 둘러싸도록 상기 희생 기판 상에 인캡슐레이션층을 형성하는 단계;

상기 재배선층 패턴이 노출되도록 상기 희생 기판을 제거하는 단계; 및

상기 노출된 재배선층 패턴 아래에, 적어도 상기 재배선층 패턴의 제 2 부분의 일부분을 노출하는 절연층 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 9**

삭제

**청구항 10**

제 8 항에 있어서, 상기 복수의 범프들과 상기 재배선층 패턴의 제 1 부분을 전기적으로 연결하는 단계는,

상기 반도체 칩의 하부면 및 상기 재배선층 패턴 사이에 상기 유기 절연층을 삽입하는 단계; 및

상기 복수의 범프들 및 상기 재배선층 패턴이 적어도 하나의 상기 도전성 입자와 공동으로 접촉하도록, 상기 반도체 칩 또는 상기 재배선층 패턴에 열-압력(thermo-compression)을 가하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

제 8 항에 있어서, 상기 희생 기판을 제거하는 단계는 상기 재배선층 패턴은 식각하지 않고 상기 희생 기판을 선택적으로 식각하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 14**

제 13 항에 있어서, 상기 재배선층 패턴은 금층, 니켈층 및 구리층의 군으로부터 선택된 하나 또는 그 이상의 층을 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 15**

제 13 항에 있어서, 상기 재배선층 패턴의 표면은 금층으로 둘러싸인 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 16**

제 8 항에 있어서, 상기 재배선층 패턴의 제 2 부분의 표면적은 상기 제 1 부분의 표면적보다 큰 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 17**

제 8 항에 있어서, 상기 복수의 범프들의 직경은 5㎛ 내지 200㎛ 범위인 것을 특징으로 하는 반도체 패키지의 제조 방법.

**청구항 18**

상부면 및 하부면을 포함하고, 상기 하부면 상에는 제 1 간격을 갖는 복수의 범프(bump)들이 형성된 반도체 칩;

상기 반도체 칩의 하부면의 상기 범프들 아래에 형성되고, 상기 범프들 각각에 전기적으로 연결되고 상기 제 1 간격보다 큰 제 2 간격을 갖는 복수의 외부 콘택들을 포함하는 재배선층 패턴;

상기 재배선층 패턴 아래에 형성되고, 상기 재배선층 패턴의 외부 콘택들을 노출하는 절연층 패턴; 및

상기 절연층 패턴의 하부면을 노출하고, 상기 재배선층 패턴 및 상기 절연층 패턴이 형성된 상기 반도체 칩을 둘러싸는 인캡슐레이션층을 포함하며,

상기 재배선층 패턴 및 상기 반도체 칩 사이에 개재되고 도전성 입자들이 그 내부에 분산된 유기 절연층을 더

포함하고,

상기 재배선층의 범프 콘택은 상기 유기 절연층의 도전성 입자들에 의해 상기 범프들에 연결되는 것을 특징으로 하는 반도체 패키지.

**청구항 19**

제 18 항에 있어서, 상기 재배선층 패턴은 상기 외부 콘택들로부터 상기 범프 방향으로 신장하여 범프 콘택들에서 끝나는 도전 패턴들을 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 20**

제 19 항에 있어서, 상기 외부 콘택들 각각은 제 1 표면적을 갖고, 상기 범프 콘택들 각각은 제 2 표면적을 갖고, 상기 제 1 표면적은 상기 제 2 표면적보다 큰 것을 특징으로 하는 반도체 패키지.

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

제 18 항에 있어서, 상기 복수의 범프들의 직경은 5㎛ 내지 200㎛ 범위인 것을 특징으로 하는 반도체 패키지.

**청구항 24**

제 18 항에 있어서, 상기 재배선층 패턴은 금층, 니켈층 및 구리층의 군에서 선택된 하나 또는 그 이상의 층을 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 25**

제 19 항에 있어서, 상기 재배선층 패턴의 도전 패턴은 상기 외부 콘택들 및 상기 범프 콘택들의 사이에서 신장하는 랜드 패턴인 것을 특징으로 하는 반도체 패키지.

# *명 세 서*

## *발명의 상세한 설명*

### *발명의 목적*

#### *발명이 속하는 기술 및 그 분야의 종래기술*

[0007] 본 발명은 반도체 소자에 관한 것으로서, 특히 반도체 칩을 보호하고, 반도체 칩을 외부 장치와 연결하기 위한 반도체 패키지에 관한 것이다.

[0008] 반도체 칩이 고집적화됨에 따라, 반도체 칩의 패드들의 수가 증가되고 있다. 하지만, 휴대용 반도체 제품에 대한 수요가 증가하면서 반도체 패키지는 지속적으로 소형화되고 가벼워질 것이 요구되고 있다. 예를 들어, 칩 스케일 반도체 패키지(CSP)는 반도체 칩의 패드들 상에 터미널들을 형성함으로써, 반도체 패키지의 부피를 감소시킬 수 있다.

[0009] 하지만, 터미널들은 외부 장치와 안정적인 전기적 콘택을 형성할 수 있도록 충분히 커야 하고, 적절한 피치로 이격될 것이 요구된다. 예를 들어, CSP의 터미널들과 외부 장치를 솔더 볼을 이용하여 전기적으로 연결되는 경우, 터미널들의 피치가 소정의 값 이하가 되면 솔더 볼들이 서로 붙어 버릴 수 있다. 예컨대, JEDEC 표준은 이러한 터미널들의 최소 피치에 대해서 규정하고 있다.

[0010] 하지만, 반도체 칩의 패드들의 수가 증가함에 따라, CSP의 터미널들의 수도 증가될 것이 요구된다. 따라서, 소형의 반도체 칩 상에 소정의 피치를 갖는 증가된 터미널들을 형성하기가 어렵게 된다. 이에 따라, 터미널들은 반도체 칩의 외측에까지 확장될 수 있다. 그러므로, 반도체 칩 상의 패드들과 터미널들을 연결하는 추가적인 배

선 라인들이 필요할 수 있다.

[0011] 예를 들어, Fjelstad에 의한 미국등록특허 US 6,001,671호를 참조하면, 도전성 패드들을 터미널로 이용하고, 와이어 본딩을 이용하여 반도체 칩과 터미널을 연결하는 반도체 패키지가 개시된다.

[0012] 하지만, Fjelstad의 방법은 와이어 본딩을 필요로 한다는 점에서 공정이 복잡하다는 단점을 갖는다. 또한, Fjelstad의 방법은 반도체 칩 주위에만 도전성 패드들을 배치할 수 있기 때문에, 반도체 패키지의 부피를 크게 한다는 단점을 갖는다.

## *발명이 이루고자 하는 기술적 과제*

[0013] 따라서, 본 발명이 이루고자 하는 기술적 과제는 전술한 문제점을 해결하기 위한 것으로서, 작은 부피를 가지면서도 많은 수의 터미널들을 최소 피치 이상으로 배치할 수 있는 반도체 패키지를 제공하는 데 있다.

[0014] 본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 패키지의 제조 방법을 제공하는 데 있다.

## *발명의 구성 및 작용*

[0015] 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 상부면 및 하부면을 포함하고, 상기 하부면 상에는 복수의 범프(bump)들이 형성된 반도체 칩; 상기 반도체 칩 아래에 형성되고, 상기 복수의 범프들의 적어도 하나와 전기적으로 연결되는 제 1 부분 및 상기 제 1 부분과 전기적으로 연결된 제 2 부분을 포함하는 재배선층 패턴; 상기 재배선층 패턴 아래에 형성되고, 적어도 상기 재배선층 패턴의 제 2 부분의 일부분을 노출하는 절연층 패턴; 및 상기 절연층 패턴의 하부면을 노출하고, 상기 재배선층 패턴 및 상기 절연층 패턴이 형성된 상기 반도체 칩을 둘러싸는 인캡슐레이션층을 포함하는 반도체 패키지가 제공된다.

[0016] 상기 본 발명의 일 측면에 따르면, 상기 반도체 패키지는 상기 재배선층 패턴 및 상기 반도체 칩 사이에 개재되고 도전성 입자들이 그 내부에 분산된 유기 절연층을 더 포함할 수 있고, 상기 재배선층 패턴의 제 1 부분과 상기 범프는 상기 유기 절연층의 도전성 입자에 의해 전기적으로 연결될 수 있다.

[0017] 상기 본 발명의 다른 측면에 따르면, 상기 범프 및 상기 재배선층 패턴의 제 1 부분은 직접 접촉할 수 있다.

[0018] 상기 본 발명의 또 다른 측면에 따르면, 상기 재배선층 패턴의 제 2 부분의 표면적은 상기 제 1 부분의 표면적보다 클 수 있다.

[0019] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 다음의 단계들을 포함하는 반도체 패키지의 제조 방법이 제공된다. 상부면 및 하부면을 포함하고 상기 하부면 상에 복수의 범프(bump)들이 형성된 반도체 칩을 형성한다. 상기 복수의 범프들에 대응하는 제 1 부분 및 상기 제 1 부분과 전기적으로 연결된 제 2 부분을 포함하는 재배선층 패턴이 그 위에 형성된 희생 기판을 형성한다. 상기 재배선층 패턴이 형성된 상기 희생 기판 상에 상기 반도체 칩을 배치하고, 상기 범프와 상기 재배선층 패턴의 제 1 부분을 전기적으로 연결한다. 상기 재배선층 패턴이 형성된 상기 반도체 칩을 둘러싸도록 상기 희생 기판 상에 인캡슐레이션층을 형성한다. 상기 재배선층 패턴이 노출되도록 상기 희생 기판을 제거한다. 상기 노출된 재배선층 패턴 아래에, 적어도 상기 재배선층 패턴의 제 2 부분의 일부분을 노출하는 절연층 패턴을 형성한다.

[0020] 상기 본 발명의 일 측면에 따르면, 상기 복수의 범프들과 상기 재배선층 패턴의 제 1 부분을 전기적으로 연결하는 단계는, 도전성 입자들이 그 내부에 분산된 유기절연층을 이용할 수 있다.

[0021] 상기 본 발명의 다른 측면에 따르면, 상기 복수의 범프들 및 상기 재배선층 패턴의 제 1 부분을 전기적으로 연결하는 단계는, 상기 복수의 범프들 및 상기 재배선층 패턴의 제 1 부분을 물리적으로 본딩하는 것을 포함할 수 있다. 나아가, 상기 물리적인 본딩은 열, 압력, 열-음파(thermo-sonic) 또는 이들을 복합적으로 이용할 수 있다.

[0022] 상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 집적 회로는, 상부면 및 하부면을 포함하고, 상기 하부면 상에는 제 1 간격을 갖는 복수의 범프(bump)들이 형성된 반도체 칩; 상기 반도체 칩의 하부면의 상기 범프들 아래에 형성되고, 상기 범프들 각각에 전기적으로 연결되고 상기 제 1 간격보다 큰 제 2 간격을 갖는 복수의 외부 콘택들을 포함하는 재배선층 패턴; 상기 재배선층 패턴 아래에 형성되고, 상기 재배선층 패턴의 외부 콘택들을 노출하는 절연층 패턴; 및 상기 절연층 패턴의 하부면을 노출하고, 상기 재배선층 패턴 및 상기 절연층 패턴이 형성된 상기 반도체 칩을 둘러싸는 인캡슐레이션층을 포함한다.

[0023] 상기 재배선층 패턴은 상기 외부 콘택들로부터 상기 범프 방향으로 신장하여 범프 콘택들에서 끝나는 도전 패턴

들을 더 포함할 수 있다.

[0024] 상기 외부 콘택들 각각은 제 1 표면적을 갖고, 상기 범프 콘택들 각각은 제 2 표면적을 갖고, 상기 제 1 표면적은 상기 제 2 표면적보다 클 수 있다.

[0025] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

[0026] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지(100)의 단면도이고, 도 2는 반도체 패키지(100)의 저면도이다. 예를 들어, 도 1은 도 2의 반도체 패키지(100)의 I-I'에 따른 단면도일 수 있다.

[0027] 도 1을 참조하면, 반도체 칩(105)의 하부면 상에는 복수의 범프(bump, 110)들이 형성된다. 예를 들어, 범프(110)들은 반도체 칩(105)의 금속 패드(미도시)들 상에 형성될 수 있다. 금속 패드들은 그 하부의 단위 소자들(미도시)과 전기적으로 연결된다. 범프들(110) 및 금속 패드들은 반도체 칩(105)을 다른 칩에 연결하는 입력 및 출력 터미널을 제공한다. 반도체 칩(105)의 내부 구조는 제품에 따라서 달라질 수 있고, 본 발명의 범위를 제한하지 않는다. 예를 들어, 반도체 칩(105)은 메모리 소자 또는 다양한 제품의 로직회로를 포함할 수 있다.

[0028] 범프(110)들의 수는 금속 패드들의 수에 의존할 수 있다. 금속 패드들의 수는 반도체 칩(105)의 집적도에 따라 달라질 수 있다. 예를 들어, 반도체 칩(105)의 집적도가 높아질수록 금속 패드들의 수가 증가하고, 이에 따라 범프(110)들의 수가 증가될 수 있다. 범프(110)들은 도전성 물질, 예컨대, 구리 또는 금을 포함할 수 있다. 범프(110)는 반도체 칩(105)의 하단부 상으로 돌출된 임의의 형상을 가질 수 있다.

[0029] 범프(110)들은 재배선층 패턴(redistribution layer pattern, 120)과 전기적으로 연결될 수 있다. 재배선층 패턴(120)은 도전성 요소로서, 외부 장치와 연결되는 터미널 역할을 수행할 수 있다. 재배선층 패턴(120)은 전기적으로 연결된 범프 콘택 패턴(122) 및 랜드 패턴(124)을 포함할 수 있다. 예를 들어, 랜드 패턴(124)이 외부 장치와 연결되는 터미널 역할을 수행하고, 범프 콘택 패턴(122)은 범프(110)와 랜드 패턴(124)을 연결하는 역할을 수행할 수 있다. 또한, 범프 콘택 패턴(122) 및 랜드 패턴(124)은 도전성 라인(126)에 의해 연결될 수 있다.

[0030] 도 3을 참조하면, 희생 기판(128) 상에 형성된 재배선층 패턴(120)이 보다 상세하게 설명될 수 있다. 예를 들어, 재배선층 패턴(120)은 무질서하게 배치된 범프(110)들을 외부 장치와 연결될 수 있도록 재배치하는 역할을 수행할 수 있다. 다른 예로, 재배선층 패턴(120)은 범프(110)들의 피치를 확장하기 위하여 이용될 수 도 있다. 이 경우, 랜드 패턴(124)은 범프 콘택 패턴(122)보다 큰 피치를 가질 수 있다. 예를 들어, 범프 콘택 패턴(122)이 JEDEC 표준 피치를 만족하지 못하더라고, 랜드 패턴(124)은 JEDEC 표준 피치를 만족할 수 있다.

[0031] 하지만, 도면에서 재배선층 패턴(120)의 모양은 예시적인 것으로서, 범프 콘택 패턴(122) 및 랜드 패턴(124)은 다양한 형상으로 다양하게 배치될 수 있다. 예를 들어, 도면과 달리, 랜드 패턴(124)은 범프 콘택 패턴(122)의 내측 및 외측에 분산될 수도 있다.

[0032] 나아가, 랜드 패턴(124)의 표면적은 범프 콘택 패턴(122)의 표면적보다 클 수 있다. 이에 따라, 랜드 패턴(124)을 터미널로 이용하면, 외부 장치와 충분한 콘택 면적이 확보될 수 있다. 재배선층 패턴(120)은 금층, 니켈층, 구리층 또는 이들의 적어도 하나 이상이 스택된 복합층을 포함할 수 있다. 예를 들어, 재배선층 패턴(120)은 금층/니켈층/구리층/니켈층/금층의 복합층을 포함할 수 있다.

[0033] 다시 도 1을 참조하면, 범프(110)들 및 범프 콘택 패턴(122)은 그 내부에 도전성 입자(117)들이 분산된 유기 절연층(115)을 이용하여 전기적으로 연결될 수 있다. 예를 들어, 범프(110)들 및 범프 콘택 패턴(122)이 적어도 하나 이상의 도전성 입자(117)들에 공동으로 연결됨으로써 서로 전기적으로 연결될 수 있다. 이러한 용도의 유기 절연층(115)은 ACF(anisotropic conductive film; ACF), ACP(anisotropic conductive paste) 및 ACA(anisotropic conductive adhesive)를 포함할 수 있다. 도전성 입자(117)는 금속 입자, 예컨대 금 입자, 구리 입자 또는 니켈 입자, 또는 고분자 비드에 금속을 도금한 입자를 포함할 수 있다.

[0034] 도 1 및 도 2를 참조하면, 재배선층 패턴(120) 아래에, 보다 구체적으로는 재배선층 패턴(120)을 노출하는 유기 절연층(115) 아래에 절연층 패턴(135)이 형성된다. 절연층 패턴(135)은 적어도 랜드 패턴(124)의 일부분을 노출하는 홀(140)을 포함한다. 예를 들어, 절연층 패턴(135)은 솔더 레지스터층 또는 폴리이미드층을 포함하여 형성될 수 있다.

[0035] 홀(140)에 의해 노출되는 랜드 패턴(124)의 부분은 외부 장치와 전기적인 콘택을 형성할 수 있다. 예를 들어,

솔더볼을 사이에 개재하여 연결될 수도 있다. 비록 도면에서 홀(140)이 반도체 칩(105)의 외측에 형성되어 있지만, 랜드 패턴(124)의 배치에 따라서 반도체 칩(105)의 내측 및 외측에 분산되어 형성될 수도 있다.

[0036] 노출된 랜드 패턴(124)의 피치는 범프(110)들 또는 금속 패드들의 피치보다 클 수 있다. 이에 따라, 범프(110)들에 대응하는 범프 콘택 패턴(122)이 보다 큰 피치를 갖는 랜드 패턴(124)을 이용하여 확장될 수 있다. 따라서, 반도체 패키지(100)는 범프(110)들의 피치보다 큰 피치를 갖는 연결 단자(미도시)를 갖는 외부 장치와 랜드 패턴(124)을 이용하여 신뢰성 있게 연결될 수 있다. 또한, 반도체 패키지(100)는 범프(110)와 재배선층 패턴(120)을 반도체 칩(105) 아래에 적층함으로써 그 부피를 줄일 수 있다. 즉, 반도체 패키지(100)는 CSP 구조로 형성될 수 있다.

[0037] 또한, 인캡슐레이션층(encapsulation layer, 130)은 재배선층 패턴(120) 및 절연층 패턴(135)이 형성된 반도체 칩(105)을 둘러싸고 있다. 인캡슐레이션층(130)은 반도체 칩(105)을 외부 환경으로부터 보호하는 역할을 할 수 있다.

[0038] 도 4 내지 도 8은 본 발명의 일 실시예에 따른 반도체 패키지(도 1의 100)의 제조 방법을 보여주는 단면도들이다. 일 실시예에 따른 제조 방법에 있어서, 반도체 패키지의 구조(100)는 도 1 내지 도 3 및 해당 설명을 참조할 수 있다.

[0039] 도 4를 참조하면, 하부면에 복수의 범프(110)들이 형성된 반도체 칩(105)을 형성한다. 예를 들어, 범프(110)들은 와이어 본딩 방법과 유사하게 형성할 수 있다. 범프(110)들은 반도체 칩(105)의 금속 패드들이 외부로 돌출될 수 있게 해준다. 또한, 범프(110)들은 금속 패드들과 좋은 접착력을 제공할 수 있다. 이에 따르면, 범프(110)들의 크기는 적어도 5㎛ 보다는 커야 하고 안정적으로 플립칩 본딩이 될 수 있게 수백㎛보다는 작을 수 있다. 바람직하게는, 범프(110)들의 직경은 10㎛에서 200㎛ 범위일 수 있다.

[0040] 반도체 칩(105)에 범프(110)들을 형성하는 것과는 별도로, 그 위에 재배선층 패턴(120)이 형성된 희생 기판(128)을 준비한다. 재배선층 패턴(120) 및 희생 기판(128)은 전술한 도 1 및 도 3의 설명을 참조할 수 있다. 재배선층 패턴(120)이 형성된 희생 기판(128)은 상업적으로 도금 등을 이용하여 제조될 수 있다.

[0041] 희생 기판(128)은 재배선층 패턴(120)에 대해서 식각 선택비를 갖는 물질일 수 있다. 예를 들어, 희생 기판(128)은 금속층, 예컨대 구리층 또는 알루미늄층을 포함할 수 있다. 도 3에서 설명한 바와 같이, 재배선층 패턴(120)의 표면은 금층으로 둘러싸일 수 있다.

[0042] 도 5를 참조하면, 범프(110)들 및 재배선층 패턴(120)을 도전성 입자(117)들이 내부에 분산된 유기 절연층(115)을 이용하여 전기적으로 연결한다. 보다 구체적으로 보면, 범프(110)들 및 범프 콘택 패턴(122)이 하나 또는 그 이상의 도전성 입자들(117)에 의해 전기적으로 연결될 수 있다.

[0043] 예를 들어, 반도체 칩(105)의 하부면 및 희생 기판(128) 사이에, 보다 구체적으로는 범프(110)들 및 재배선층 패턴(120) 사이에 유기 절연층(115)이 삽입될 수 있다. 유기 절연층(115)은 플립칩 본딩 이전에 도포될 수도 있고, 그 이후에 삽입될 수도 있다. 이어서, 반도체 칩(105) 또는 재배선층 패턴(120)에 열-압력(thermo-compression)이 가해지고, 그 결과 범프(120)들 및 재배선층 패턴(120)이 적어도 하나의 도전성 입자(117)와 공동으로 접촉할 수 있다. 이에 따라, 재배선층 패턴(120) 및 범프(110)들 사이에 신뢰성 있는 전기적인 연결이 형성될 수 있다.

[0044] 도 6을 참조하면, 재배선층 패턴(120)이 형성된 반도체 칩(105)을 둘러싸도록 희생 기판(128) 상에 인캡슐레이션층 (encapsulation layer, 130)이 형성될 수 있다. 인캡슐레이션층(130)은 에폭시 또는 EMC를 포함할 수 있다. 인캡슐레이션층(130)은 반도체 칩(105)을 외부의 물리적인 충격 및 습기와 같은 화학적인 반응으로부터 보호하는 역할을 수행할 수 있다.

[0045] 도 6 및 도 7을 같이 참조하면, 재배선층 패턴(120)이 노출되도록 희생 기판(128)이 제거된다. 예를 들어, 재배선층 패턴(120)은 식각되지 않고, 희생 기판(128)이 선택적으로 식각될 수 있다. 재배선층 패턴(120) 표면의 금층은 식각 단계에서 재배선층 패턴(120)을 보호하는 역할을 수행할 수 있다.

[0046] 도 8을 참조하면, 노출된 재배선층 패턴(120) 아래에 절연층 패턴(135)이 형성된다. 보다 구체적으로 보면, 재배선층 패턴(120)을 노출하는 유기 절연층(115) 아래에 랜드 패턴(124)의 일부분을 노출하는 홀(140)을 갖는 절연층 패턴(135)이 형성될 수 있다. 예를 들어, 유기 절연막(115) 아래에 절연층(미도시)을 형성하고, 포토리소그래피 및 식각 기술을 이용하여 절연층을 패터닝하여 홀(140)이 형성될 수 있다.

[0047] 도 9는 본 발명의 다른 실시예에 따른 반도체 패키지(200)의 단면도이다. 다른 실시예와 일 실시예의 변형일 수

있다. 따라서, 아래에서 두 실시예들의 동일 또는 유사한 부분에 대한 설명은 생략되고, 차이점이 주요하게 설명될 것이다. 두 실시예들에서 동일한 참조부호는 동일 또는 유사한 구성 요소를 나타낸다.

[0048] 도 9를 참조하면, 복수의 범프(110)들 및 재배선층 패턴(120)은 직접 접촉된다. 보다 구체적으로 보면, 범프(110)들 및 범프 콘택 패턴(122)은 전기적인 연결을 허용하도록 물리적으로 본딩될 수 있다.

[0049] 인캡슐레이션층(130a)은 반도체 칩(105)의 상부면 및 측면을 둘러싸고, 반도체 칩(105)의 하부면, 재배선층 패턴(120) 및 절연층 패턴(135) 사이에 개재될 수 있다. 이 경우, 인캡슐레이션층(130a)은 단일층이거나 또는 복합층일 수 있다. 예를 들어, 인캡슐레이션층(130a)은 EMC층 또는 에폭시층의 단일층을 포함할 수 있다.

[0050] 다른 예로, 반도체 칩(105)의 상부면 및 측면은 EMC층 또는 에폭시층으로 둘러싸이고, 반도체 칩(105)의 하부면, 재배선층 패턴(120) 및 절연층 패턴(135) 사이에는 솔더 레지스트층 또는 폴리이미드층이 개재될 수 있다.

[0051] 다른 실시예에 따른 반도체 패키지(200)는 일 실시예에 따른 반도체 패키지(100)의 장점을 가질 수 있다. 예를 들어, 랜드 패턴(124)의 피치는 범프(110)들 또는 금속 패드들의 피치보다 클 수 있다. 이에 따라, 반도체 패키지(200)를 이용하면, 터미널 즉, 랜드 패턴(124)의 적정한 피치를 확보할 수 있다. 또한, 반도체 패키지(200)는 범프(110)와 재배선층 패턴(120)을 반도체 칩(105) 아래에 적층함으로써 그 부피를 줄일 수 있다. 즉, 반도체 패키지(200)는 CSP 구조가 될 수 있다.

[0052] 도 10 내지 도 13은 본 발명의 다른 실시예에 따른 반도체 패키지(도 9의 200)의 제조 방법을 보여주는 단면도들이다. 다른 실시예에 따른 제조 방법은 일 실시예에 따른 제조 방법을 참조할 수 있다. 두 실시예들에 있어서, 동일한 참조 보호는 동일 또는 유사한 구성 요소를 나타낸다.

[0053] 도 4를 참조하면, 하부면에 복수의 범프(110)들이 형성된 반도체 칩(105)을 형성한다. 반도체 칩(105)의 준비 전 또는 후에, 그 위에 재배선층 패턴(120)이 형성된 희생 기판(128)을 형성한다. 보다 상세한 설명은 일 실시예를 참조할 수 있으므로 생략된다.

[0054] 도 10을 참조하면, 범프(110)들을 범프 콘택 패턴(122)에 직접 접촉시킨다. 예를 들어, 범프(110)들은 범프 콘택 패턴(122)에 물리적으로 본딩될 수 있다. 보다 구체적으로 예를 들면, 범프(110)들과 범프 콘택 패턴(122)이 접촉되도록 반도체 칩(105) 및 재배선층 패턴(120)을 근접시킨다. 이어서, 근접된 반도체 칩(105) 및 재배선층 패턴(120)에 열-음파를 가한다. 이에 따라, 접촉된 범프(110) 들 및 범프 콘택 패턴(122)이 본딩될 수 있고, 전기적으로 연결될 수 있다.

[0055] 도 11을 참조하면, 희생 기판(128) 상의 재배선층 패턴(120) 및 반도체 칩(105)을 덮는 인캡슐레이션층(130a)을 형성한다. 인캡슐레이션층(130a)은 도 9에서 설명된 바와 같이 단일층 또는 복합층 일 수 있다.

[0056] 도 12를 참조하면, 재배선층 패턴(120)이 노출되도록 희생 기판(128)을 제거한다. 제거 방법에 대해서는 일 실시예의 설명을 참조할 수 있다.

[0057] 도 13을 참조하면, 노출된 재배선층 패턴(120) 아래에 절연층 패턴(135)이 형성된다. 보다 구체적으로 보면, 재배선층 패턴(120)을 노출하는 인캡슐레이션층(130a) 아래에 랜드 패턴(124)의 일부분을 노출하는 홀(140)을 갖는 절연층 패턴(135)이 형성될 수 있다. 절연층 패턴(135)은 일 실시예에서 설명한 바와 같이, 포토리소그래피 및 식각 기술을 이용하여 형성될 수 있다.

[0058] 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

## 발명의 효과

[0059] 본 발명에 따른 반도체 패키지에 따르면, 범프들에 연결되는 재배선층과 그 아래의 유기 절연층을 이용하여 반도체 칩의 불규칙적인 입출력 패드, 즉 금속 패드들이 규칙적인 배열을 가지는 랜드 패턴으로 재배열될 수 있다. 이에 따라, 범프들의  불규칙한 배치 및 좁은 피치가 규칙적이고 보다 큰 랜드 패턴으로 재배열될 수 있다.

[0060] 또한, 본 발명에 따른 반도체 패키지는 범프들과 재배선층 패턴을 반도체 칩 아래에 적층함으로써 그 부피를 줄일 수 있다. 즉, 반도체 패키지는 CSP 구조로 형성될 수 있다.

[0061] 본 발명에 따른 반도체 패키지의 제조 방법에 따르면, 상업적으로 용이하게 제조될 수 있는 재배선층 패턴이 형성된 희생 기판을 이용함으로써 제조 공정이 단순화될 수 있다. 나아가, 희생 기판은 선택적인 식각에 의해 용이하게 제거할 수 있다.

## 도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지의 단면도이고;

[0002] 도 2는 도 1의 반도체 패키지의 저면도이고;

[0003] 도 3은 재배선층 패턴이 그 위에 형성된 희생 기판을 보여주는 평면도이고;

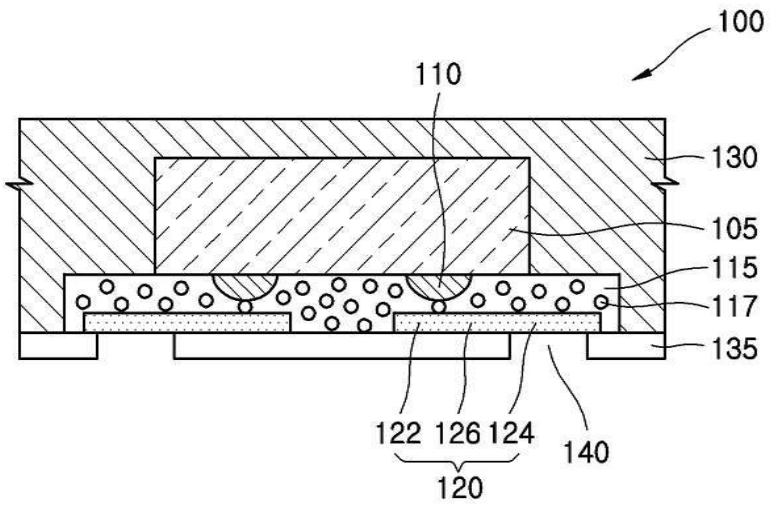
[0004] 도 4 내지 도 8은 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 보여주는 단면도들이고;

[0005] 도 9는 본 발명의 다른 실시예에 따른 반도체 패키지의 단면도이고; 그리고

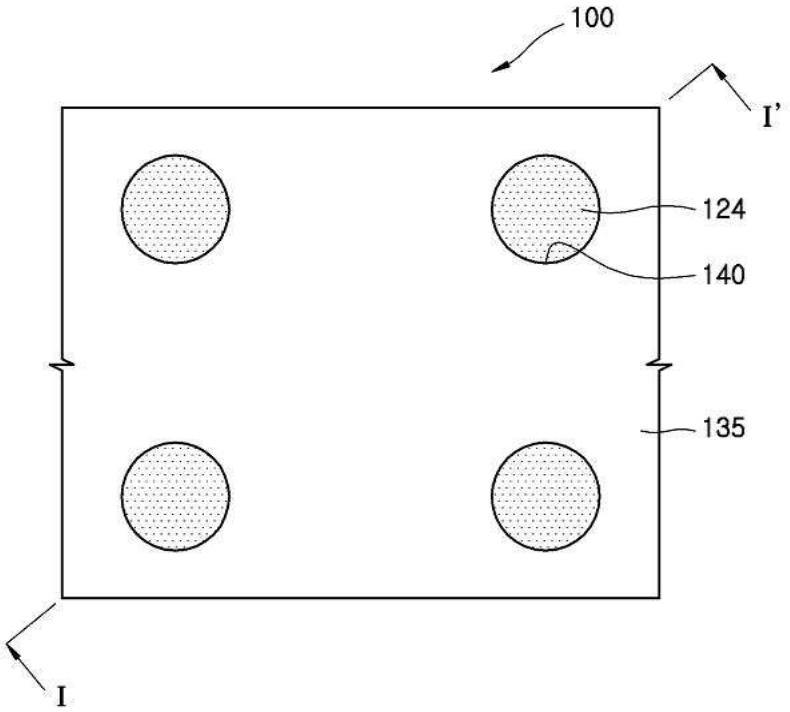
[0006] 도 10 내지 도 13은 본 발명의 다른 실시예에 따른 반도체 패키지의 제조 방법을 보여주는 단면도들이다.

## 도면

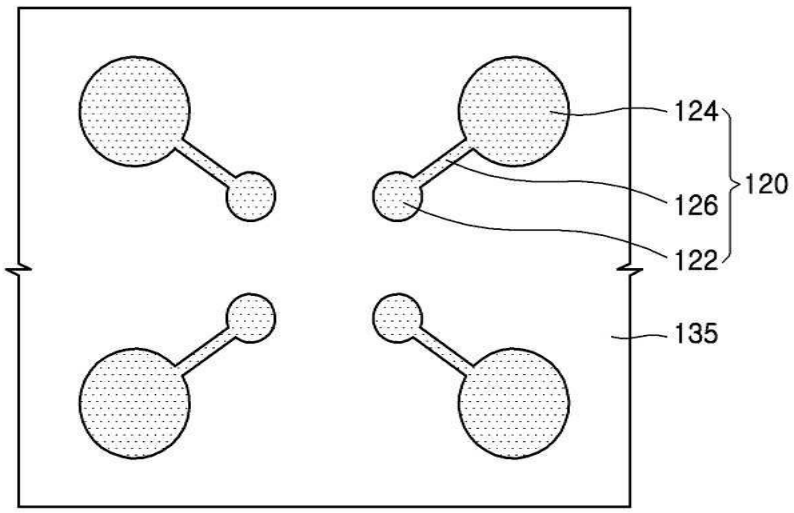
### 도면1



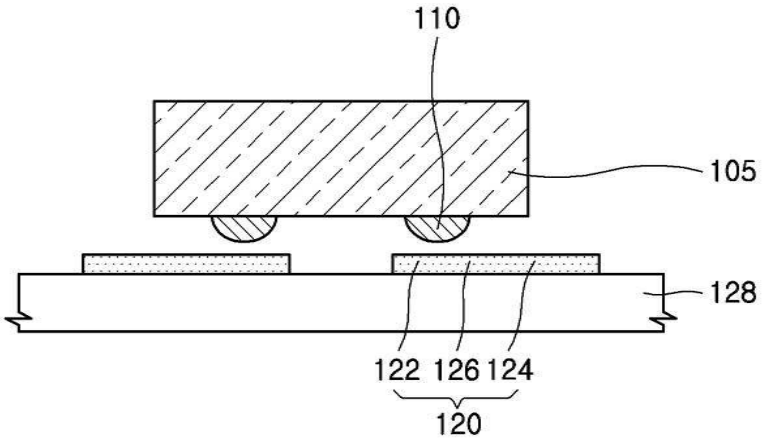
도면2



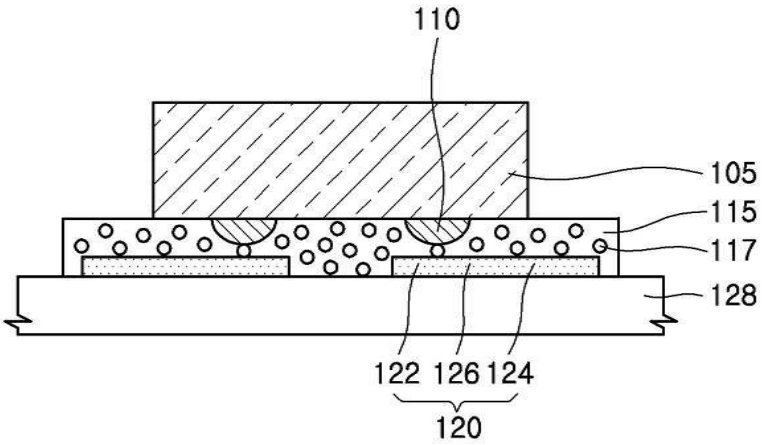

도면3



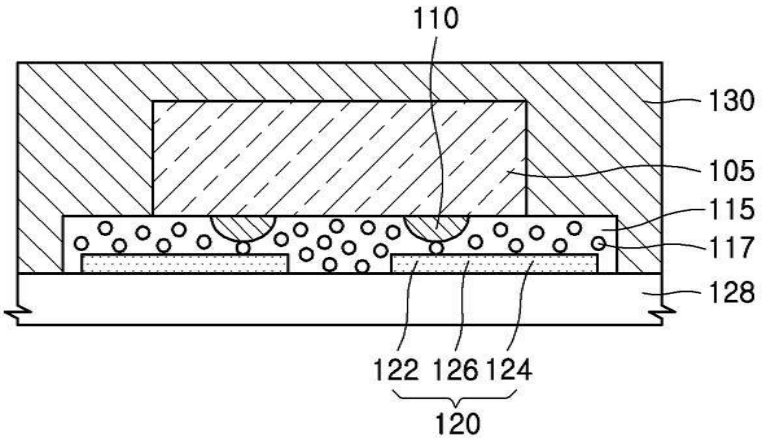
도면4


110
105
128
122 126 124
120

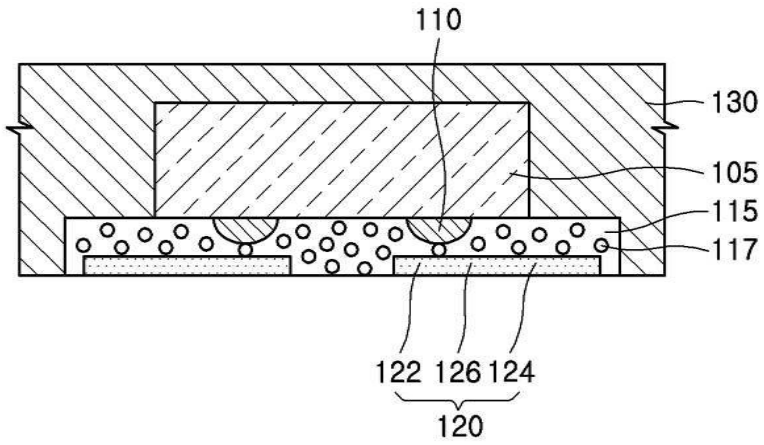
도면5


110
105
115
117
128
122 126 124
120

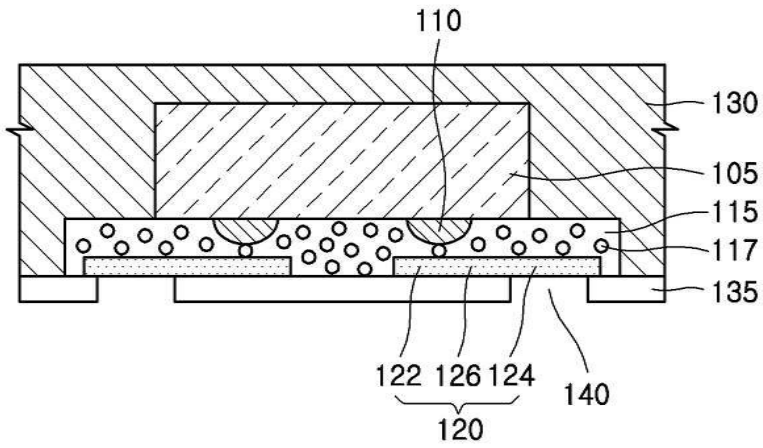
도면6


110
130
105
115
117
128
122 126 124
120

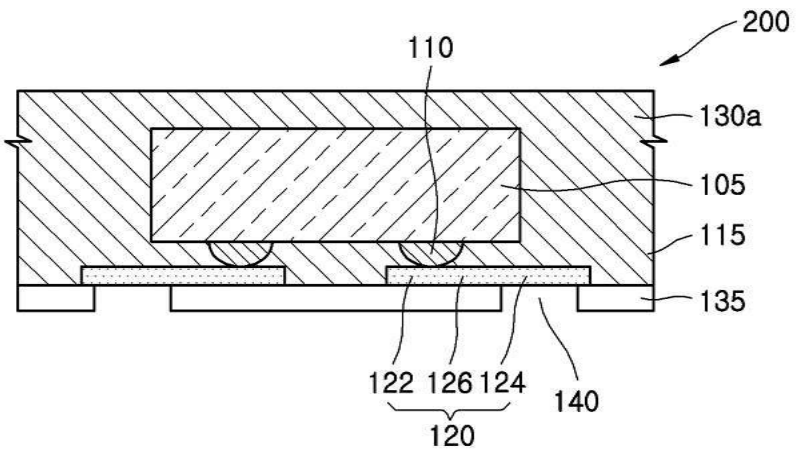
도면7


110
130
105
115
117
122 126 124
120

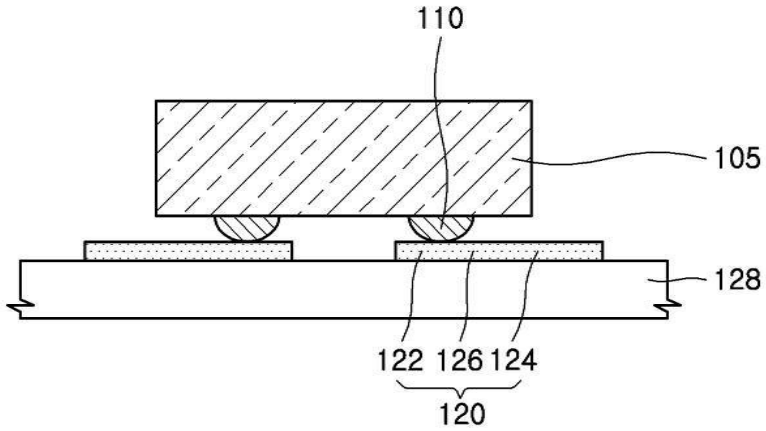
도면8


110
130
105
115
117
135
122 126 124
140
120

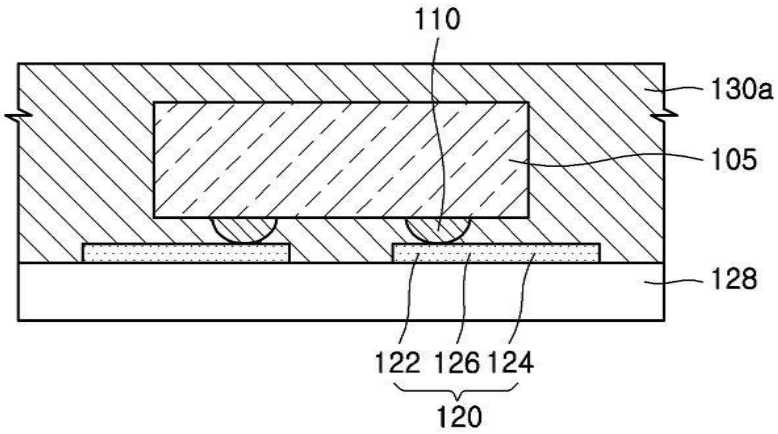
도면9


200
110
130a
105
115
135
122 126 124
140
120

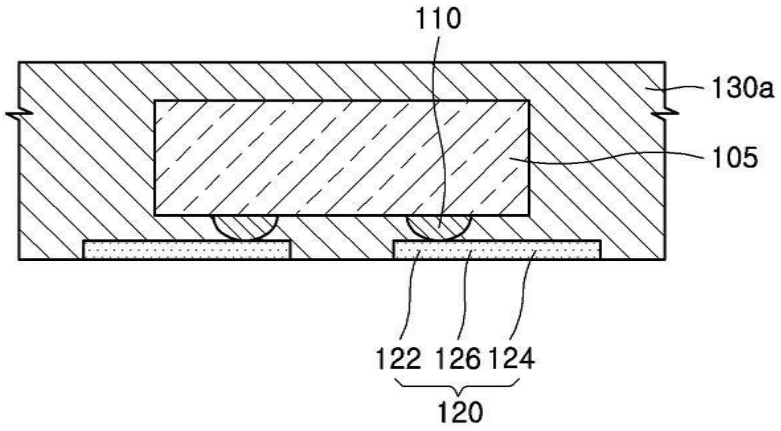
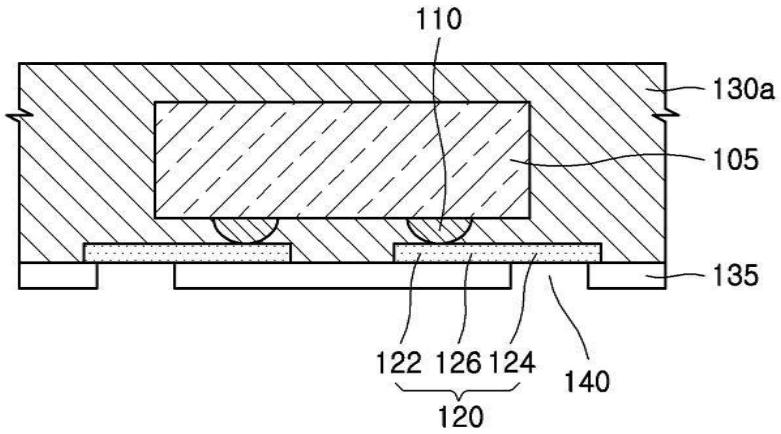
도면10




도면11




도면12



도면13