

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月27日(27.12.2018)



(10) 国際公開番号

WO 2018/235137 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2017/022567
- (22) 国際出願日: 2017年6月19日(19.06.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新 電 元 工 業 株 式 会 社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 森 永 雄 司 (MORINAGA Yuji); 〒3578585 埼玉県飯能市南町10番13号 新電

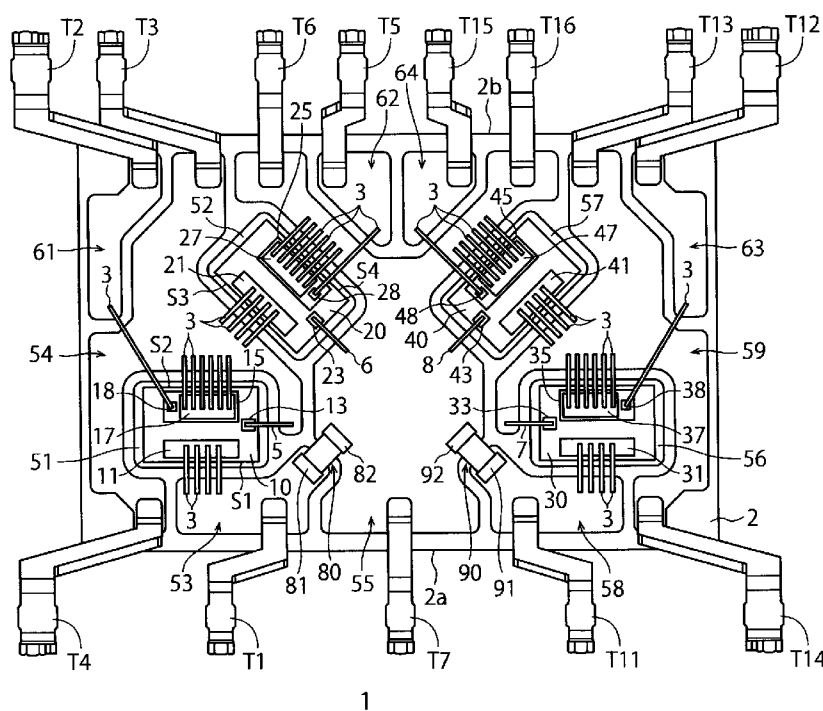
元工業株式会社工場内 Saitama (JP). 久徳 淳志 (KYUTOKU Atsushi); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 菊地 芳彦 (KIKUCHI Yoshihiko); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).

(74) 代理人: 永 井 浩 之, 外 (NAGAI Hiroshi et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



1

(57) Abstract: [Problem] To suppress the erroneous operation of a power supply circuit which has a GaN-HEMT. [Solution] A semiconductor device 1 equipped with an insulating substrate 2, conductive pattern sections 51, 52, 53, 54, 55 formed on the insulating substrate, a GaN-HEMT 10 positioned on the conductive pattern section 51, and a GaN-HEMT 20 positioned on the conductive pattern section 52, wherein a virtual line L1 of the GaN-HEMT 10 and a virtual line L2 of a GaN-HEMT 20 cross one another, a GaN gate electrode 23 of the GaN-HEMT 20 is electrically connected to the

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

conductive pattern section 55 via a metal wire 6, and the metal wire 6 is perpendicular to a side S5 of the GaN-HEMT 20 and a conductive pattern side 55S of the conductive pattern section 55.

(57) 要約: 【課題】 GaN-HEMTを有する電源回路の誤動作を抑制する。【解決手段】実施形態の半導体装置1は、絶縁基板2と、前記絶縁基板の上に形成された導電パターン部51、52、53、54、55と、導電パターン部51の上に配置されたGaN-HEMT10と、導電パターン部52の上に配置されたGaN-HEMT20と、を備え、GaN-HEMT10の仮想線L1およびGaN-HEMT20の仮想線L2が交わり、GaN-HEMT20のGaNゲート電極23は金属ワイヤー6を介して導電パターン部55に電氣的に接続され、金属ワイヤー6はGaN-HEMT20の辺S5および導電パターン部55の導電パターン辺55Sに対して直交する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、電源回路を有する半導体装置に関する。

背景技術

[0002] 電源電圧を所望の電圧に変換して出力する電源回路を有する半導体装置が知られている。電源回路には、インバータ、整流器、DC／DCコンバータなどがある。このような半導体装置は、例えば、太陽光発電システムのパワーコンディショナやサーバ装置等に用いられる。半導体装置内の電源回路では、ハーフブリッジ回路やフルブリッジ回路が用いられる。これらの回路は、半導体スイッチング素子が縦続接続された構造を有する。

[0003] 近年、電源回路の電力変換効率を高めるべく、高速動作（例えば100MHz超）が可能なGaN系半導体材料を用いた高電子移動度トランジスタ（High Electron Mobility Transistor：HEMT）（以下、単に「GaN－HEMT」ともいう。）をスイッチング素子に適用することが検討されている。

[0004] なお、特許文献1には、GaN－HEMTを用いたLED駆動装置が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2015－029040号公報

発明の概要

発明が解決しようとする課題

[0006] GaN－HEMTを電源回路に適用する場合、高速動作に伴って、電源回路の配線における寄生インダクタンスの影響が従来よりも格段に大きくなる。このため、電源回路の誤動作が引き起こされるおそれがある。

[0007] そこで、本発明は、GaN－HEMTを有する電源回路の誤動作を抑制す

ることができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る半導体装置は、

絶縁基板と、

前記絶縁基板の上に形成された第1の導電パターン部と、

前記絶縁基板の上に形成された第2の導電パターン部と、

前記絶縁基板の上に形成された第3の導電パターン部と、

前記絶縁基板の上に形成された第4の導電パターン部と、

前記絶縁基板の上に形成された第5の導電パターン部と、

第1のGa_{0.5}N_{0.5}主電極、第2のGa_{0.5}N_{0.5}主電極および第1のGa_{0.5}Nゲート電極を有し、前記第1の導電パターン部の上に配置された第1のGa_{0.5}N-HEMTと、

第1のMOS主電極、第2のMOS主電極および第1のMOSゲート電極を有し、前記第1のMOS主電極が前記第2のGa_{0.5}N主電極に電氣的に接続された第1のMOS-FETと、

第3のGa_{0.5}N主電極、第4のGa_{0.5}N主電極および第2のGa_{0.5}Nゲート電極を有し、前記第2の導電パターン部の上に配置された第2のGa_{0.5}N-HEMTと、

第3のMOS主電極、第4のMOS主電極および第2のMOSゲート電極を有し、前記第3のMOS主電極が前記第4のGa_{0.5}N主電極に電氣的に接続された第2のMOS-FETと、

第1の電極および第2の電極を有するバイパスコンデンサと、を備え、

前記第1のGa_{0.5}N-HEMTの前記第1のGa_{0.5}N主電極は、前記第3の導電パターン部に電氣的に接続され、前記第1のMOS-FETの前記第2のMOS主電極は、前記第4の導電パターン部に電氣的に接続され、前記第2のGa_{0.5}N-HEMTの前記第3のGa_{0.5}N主電極は、前記第4の導電パターン部に電氣的に接続され、前記第2のMOS-FETの前記第4のMOS主電極は、前記第5の導電パターン部に電氣的に接続され、前記バイパスコンデ

ンサの前記第1の電極は、前記第3の導電パターン部に電氣的に接続され、
前記第2の電極は、前記第5の導電パターン部に電氣的に接続され、

前記第1のGaN-HEMTは、第1の辺と、前記第1の辺に対向する第2の辺とを有し、前記第2のGaN-HEMTは、第3の辺と、前記第3の辺に対向する第4の辺とを有し、

前記第1のGaN-HEMTの前記第1のGaN主電極は、前記第1の辺に沿って設けられ、前記第2のGaN-HEMTの前記第3のGaN主電極は、前記第3の辺に沿って設けられ、前記第1の辺に沿って延びる第1の仮想線と、前記第3の辺に沿って延びる第2の仮想線とが交わり、

前記第2のGaN-HEMTは、前記第3の辺と前記第4の辺を接続する第5の辺を有し、前記第5の導電パターン部は、前記第5の辺に対向する導電パターン辺を有し、

前記第2のGaN-HEMTの前記第2のGaNゲート電極は、接続部材を介して前記第5の導電パターン部に電氣的に接続され、前記接続部材は、前記第5の辺および前記導電パターン辺に対して直交することを特徴とする。

[0009] また、前記半導体装置において、

前記第1のGaN-HEMTおよび前記第2のGaN-HEMTは、ノーマリーオン型のトランジスタであり、前記第1のMOS-FETおよび前記第2のMOS-FETは、ノーマリーオフ型のトランジスタであるようにしてもよい。

[0010] また、前記半導体装置において、

前記接続部材は、金属ワイヤーまたは接続子であるようにしてもよい。

[0011] また、前記半導体装置において、

前記第1のGaN-HEMTの前記第1のGaN主電極は、前記第3の導電パターン部を介して高電圧側端子に電氣的に接続され、前記第2のMOS-FETの前記第4のMOS主電極は、前記第5の導電パターン部を介して低電圧側端子に電氣的に接続されているようにしてもよい。

[0012] また、前記半導体装置において、

前記絶縁基板は、平面視して前記高電圧側端子と前記低電圧側端子が突き出る第1の基板辺と、前記第1の基板辺に対向する第2の基板辺とを有し、

前記第1のGaN-HEMTは、前記第1の仮想線が前記第1の基板辺に対して平行になるように配置され、前記第2のGaN-HEMTは、前記第2の仮想線が前記第1の基板辺に対して斜めになるように配置されているようにしてもよい。

[0013] また、前記半導体装置において、

前記第1の仮想線と前記第2の仮想線が交わる角度は、 30° 以上、 60° 以下であるようにしてもよい。

[0014] また、前記半導体装置において、

前記第1の仮想線と前記第2の仮想線が交わる角度は、 45° であるようにしてもよい。

[0015] また、前記半導体装置において、

前記第1のGaN-HEMTは、前記第1の辺と前記第2の辺を接続する第6の辺を有し、前記第4の導電パターン部は、前記第6の辺に対向する導電パターン辺を有し、

前記第1のGaN-HEMTの前記第1のGaNゲート電極は、接続部材を介して前記第4の導電パターン部に電氣的に接続され、前記接続部材は、前記第6の辺および前記導電パターン辺に対して直交するようにしてもよい。

[0016] また、前記半導体装置において、

前記第1のMOS-FETは前記第1のGaN-HEMTの上に配置され、前記第2のMOS-FETは前記第2のGaN-HEMTの上に配置されているようにしてもよい。

[0017] また、前記半導体装置において、

前記バイパスコンデンサは、前記第1のGaN-HEMT、前記第2のGaN-HEMT、前記第1のMOS-FETおよび前記第2のMOS-FE

Tとともに樹脂封止されているようにしてもよい。

[0018] また、前記半導体装置において、

前記絶縁基板の上に形成された第6の導電パターン部と、

前記絶縁基板の上に形成された第7の導電パターン部と、

前記絶縁基板の上に形成された第8の導電パターン部と、

前記絶縁基板の上に形成された第9の導電パターン部と、

第5のGaN主電極、第6のGaN主電極および第3のGaNゲート電極を有し、前記第6の導電パターン部の上に配置された第3のGaN-HEMTと、

第5のMOS主電極、第6のMOS主電極および第3のMOSゲート電極を有し、前記第5のMOS主電極が前記第6のGaN主電極に電氣的に接続された第3のMOS-FETと、

第7のGaN主電極、第8のGaN主電極および第4のGaNゲート電極を有し、前記第7の導電パターン部の上に配置された第4のGaN-HEMTと、

第7のMOS主電極、第8のMOS主電極および第4のMOSゲート電極を有し、前記第7のMOS主電極が前記第8のGaN主電極に電氣的に接続された第4のMOS-FETと、

前記第3のGaN-HEMTの前記第5のGaN主電極は、前記第8の導電パターン部に電氣的に接続され、前記第3のMOS-FETの前記第6のMOS主電極は、前記第9の導電パターン部に電氣的に接続され、前記第4のGaN-HEMTの前記第7のGaN主電極は、前記第9の導電パターン部に電氣的に接続され、前記第4のMOS-FETの前記第8のMOS主電極は、前記第5の導電パターン部に電氣的に接続され、

前記第1のGaN-HEMTと前記第3のGaN-HEMTは、前記第5の導電パターン部を挟んで対称に配置され、前記第2のGaN-HEMTと前記第4のGaN-HEMTは、前記第5の導電パターン部を挟んで対称に配置されているようにしてもよい。

[0019] また、前記半導体装置において、

第3の電極および第4の電極を有する別のバイパスコンデンサをさらに備え、

前記第3の電極は前記第8の導電パターン部に電氣的に接続され、前記第4の電極は前記第5の導電パターン部に電氣的に接続され、

前記バイパスコンデンサと前記別のバイパスコンデンサは、前記第5の導電パターン部を挟んで対称に配置されているようにしてもよい。

発明の効果

[0020] 本発明に係る半導体装置では、第1のGa_{0.5}N_{0.5}-HEMTの第1の辺に沿って延びる第1の仮想線と、第2のGa_{0.5}N_{0.5}-HEMTの第3の辺に沿って延びる第2の仮想線とが交わる。これにより、バイパスコンデンサ経路を短くすることができ、バイパスコンデンサ経路の寄生インダクタンスを低減することができる。これに加えて、本発明に係る半導体装置では、第2のGa_{0.5}N_{0.5}-HEMTの第2のGa_{0.5}N_{0.5}ゲート電極と第5の導電パターン部とを電氣的に接続する金属ワイヤーは、第2のGa_{0.5}N_{0.5}-HEMTの第5の辺および第5の導電パターン部の導電パターン辺に対して直交する。これにより、第2のGa_{0.5}N_{0.5}ゲート電極が第5の導電パターン部に最短距離で接続され、当該金属ワイヤーを短くすることができる。よって、本発明によれば、Ga_{0.5}N_{0.5}-HEMTを有する電源回路の誤動作を抑制することができる。

図面の簡単な説明

[0021] [図1]本発明の実施形態に係る半導体装置1の内部構成を示す平面図である。

[図2]本発明の実施形態に係る半導体装置1の外観を示す図である。

[図3]本発明の実施形態に係る半導体装置1の回路図である。

[図4]図1の拡大平面図である。

[図5]図4のA-A線に沿う断面図である。

発明を実施するための形態

[0022] 以下、図面を参照しつつ本発明の実施形態に係る半導体装置について説明する。なお、各図において同等の機能を有する構成要素には同一の符号を付

す。

[0023] まず、本発明の実施形態に係る半導体装置 1 の回路構成について、図 3 を参照して説明する。図 3 に示すように、半導体装置 1 は、第 1 のハーフブリッジ回路および第 2 のハーフブリッジ回路を有する。第 1 のハーフブリッジ回路は、縦続接続された GaN-HEMT 10 および MOS-FET 15 から構成されるハイサイドスイッチング部と、縦続接続された GaN-HEMT 20 および MOS-FET 25 から構成されるローサイドスイッチ部とを含む。第 2 のハーフブリッジ回路は、縦続接続された GaN-HEMT 30 および MOS-FET 35 から構成されるハイサイドスイッチング部と、縦続接続された GaN-HEMT 40 および MOS-FET 45 から構成されるローサイドスイッチ部とを含む。半導体装置 1 は、例えば DC/DC コンバータ、整流器、インバータとして機能する。

[0024] 図 3 に示すように、バイパスコンデンサ 80 は端子 T1 と端子 T7 との間に設けられ、バイパスコンデンサ 90 は端子 T11 と端子 T7 との間に設けられている。バイパスコンデンサ 80 は、GaN-HEMT 10 のドレイン電極と MOS-FET 25 のソース電極との間に設けられている。バイパスコンデンサ 90 は、GaN-HEMT 30 のドレイン電極と MOS-FET 45 のソース電極との間に設けられている。このようにバイパスコンデンサ 80, 90 が設けられることで、ノード N1 からバイパスコンデンサ 80 を経てノード N2 に至る経路（バイパスコンデンサ経路 P1）と、ノード N3 からバイパスコンデンサ 90 を経てノード N4 に至る経路（バイパスコンデンサ経路 P2）とが形成されている。バイパスコンデンサ 80, 90 は、半導体装置 1 の電源電圧の変動を回避したり、各種ノイズを除去するために設けられている。

[0025] なお、バイパスコンデンサ 80, 90 の静電容量は、例えば、当該バイパスコンデンサの耐圧が GaN-HEMT 10, 20, 30, 40 の耐圧よりも大きい範囲内で、できるだけ大きい値とする。

[0026] 次に、半導体装置 1 の具体的構成について、図 1 および図 2 を参照して説

明する。

[0027] 半導体装置 1 は、絶縁基板 2 と、GaN-HEMT 10, 20, 30, 40 (第 1、第 2、第 3 および第 4 の GaN-HEMT) と、MOS-FET 15, 25, 35, 45 (第 1、第 2、第 3 および第 4 の MOS-FET) と、バイパスコンデンサ 80, 90 と、樹脂封止部 95 と、を備えている。図 1 に示すように、半導体装置 1 は、左右対称に構成されており、一方の側に第 1 のハーフブリッジ回路が形成され、他方の側に第 2 のハーフブリッジ回路が形成されている。

[0028] また、半導体装置 1 は、絶縁基板 2 上に形成された導電パターン部 51, 52, 53, 54, 55, 56, 57, 58, 59 (第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8 および第 9 の導電パターン部) と、導電パターン部 61, 62, 63, 64 と、をさらに備えている。導電パターン部 51 ~ 59, 61 ~ 64 は、例えば、絶縁基板 2 上の銅箔をパターニングすることにより形成されたものである。各導電パターン部の詳しい説明は後述する。

[0029] 絶縁基板 2 は、絶縁材料からなり、例えば、放熱性の良いセラミック等の材料からなる。図 1 に示すように、絶縁基板 2 は、基板辺 2a (第 1 の基板辺) と、この基板辺 2a に対向する基板辺 2b (第 2 の基板辺) を有する。基板辺 2a, 2b は、平面視して半導体装置 1 の各種端子が突き出る辺である。すなわち、端子 T1, T4, T7, T11, T14 は平面視して基板辺 2a から突き出ており、端子 T2, T3, T5, T6, T12, T13, T15, T16 は平面視して基板辺 2b から突き出ている。なお、絶縁基板 2 の裏面には、ヒートシンク等の放熱体 (図示せず) に接続される導電パターン部 65 が裏面を被覆するように形成されている (図 5 参照)。

[0030] GaN-HEMT 10, 20, 30, 40 は、窒化ガリウム (GaN) 系の半導体材料を用いた高電子移動度トランジスタである。GaN-HEMT 10, 20, 30, 40 は、ゲート電圧が 0V の場合でもチャネルが存在し、電流が流れるタイプ (いわゆるノーマリーオン型) のトランジスタである

。

[0031] MOS-FET 15, 25, 35, 45は、MOS (Metal Oxide Semiconductor) 構造を有する電界効果トランジスタ (Field Effect Transistor: FET) である。MOS-FET 15, 25, 35, 45は、いわゆるノーマリーオフ型のトランジスタである。

[0032] 図1に示すように、バイパスコンデンサ80は電極81および電極82を有し、バイパスコンデンサ90は電極91および電極92を有する。バイパスコンデンサ80, 90は、GaN-HEMT 10, 20, 30, 40、MOS-FET 15, 25, 35, 45等の電子部品とともに樹脂封止部95により樹脂封止されている。

[0033] 半導体装置1は、外部の装置（ドライバ等のICチップ、電源）と接続するための端子T1, T2, T3, T4, T5, T6, T7, T11, T12, T13, T14, T15, T16をさらに備えている。これらの端子は、図1および図2において紙面から手前に飛び出すように設けられている。これらの端子のインナーリードおよび絶縁基板2の裏面以外の部分は、樹脂封止部95により樹脂封止されている。なお、図2に示すように、半導体装置1には、取り付け用のネジを挿通させるための貫通孔H1, H2が設けられている。

[0034] ここで、半導体装置1の各端子の詳細について説明する。

[0035] 端子T1, T11は、電源（図示せず）の高電圧側に接続される端子（高電圧側端子）である。一方、端子T7は、電源の低電圧側（グラウンド）に接続される端子（低電圧側端子）である。なお、半導体装置1の電源回路が整流器として機能する場合、端子T1および端子T11は出力側の負荷に接続される。

[0036] 端子T2, T12は、ハーフブリッジ回路のハイサイドスイッチに対するゲート信号を入力する端子である。端子T2はMOS-FET 15のゲート電極18に電氣的に接続され、端子T12はMOS-FET 35のゲート電

極 3 8 に電氣的に接続される。端子 T 5, T 1 5 は、ハーフブリッジ回路のローサイドスイッチに対するゲート信号を入力する端子である。端子 T 5 は MOS-FET 2 5 のゲート電極 2 8 に電氣的に接続され、端子 T 1 5 は MOS-FET 4 5 のゲート電極 4 8 に電氣的に接続される。これらの端子 T 2, T 5, T 1 2, T 1 5 は、電源回路を駆動するドライバ（図示せず）に電氣的に接続される。

[0037] 端子 T 3 は、MOS-FET 1 5 と GaN-HEMT 2 0 間の電圧をモニタするための端子である。同様に、端子 T 1 3 は、MOS-FET 3 5 と GaN-HEMT 4 0 間の電圧をモニタするための端子である。端子 T 4 は、第 1 のハーフブリッジ回路の出力電圧を出力する端子である。同様に、端子 T 1 4 は、第 2 のハーフブリッジ回路の出力電圧を出力する端子である。なお、半導体装置 1 の電源回路が整流器として機能する場合、端子 T 4 と端子 T 1 4 の間には入力側の交流電源が接続される。

[0038] 端子 T 6 は、MOS-FET 2 5 と端子 T 7 間の電圧をモニタするための端子である。同様に、端子 T 1 6 は、MOS-FET 4 5 と端子 T 7 間の電圧をモニタするための端子である。

[0039] 次に、GaN-HEMT 1 0, 2 0, 3 0, 4 0、および MOS-FET 1 5, 2 5, 3 5, 4 5 について詳しく説明する。

[0040] GaN-HEMT 1 0, 2 0, 3 0, 4 0 は、横型構造を有する N 型の半導体デバイスであり、上面にドレイン電極、ソース電極およびゲート電極が設けられている。例えば、GaN-HEMT 2 0 は、図 4 および図 5 に示すように、ドレイン電極 2 1（第 3 の GaN 主電極）、ソース電極 2 2（第 4 の GaN 主電極）およびゲート電極 2 3（第 2 の GaN ゲート電極）を有する。同様に、GaN-HEMT 1 0 は、ドレイン電極 1 1（第 1 の GaN 主電極）、ソース電極（第 2 の GaN 主電極、図示せず）、およびゲート電極 1 3（第 1 の GaN ゲート電極）を有する。GaN-HEMT 3 0 は、ドレイン電極 3 1（第 5 の GaN 主電極）、ソース電極（第 6 の GaN 主電極、図示せず）、およびゲート電極 3 3（第 3 の GaN ゲート電極）を有する。

GaN-HEMT 40は、ドレイン電極41（第7のGaN主電極）、ソース電極（第8のGaN主電極、図示せず）、およびゲート電極43（第4のGaNゲート電極）を有する。

[0041] なお、GaN-HEMT 10, 20, 30, 40は、縦型構造であってもよい。この場合、GaN-HEMT 10を例に言えば、GaN-HEMT 10の裏面に設けられたドレイン電極がはんだを介して導電パターン部51に接続され、導電パターン部51と導電パターン部53は連結され、一体の導電パターン部として構成される。GaN-HEMT 20の場合も同様に、GaN-HEMT 20の裏面に設けられたドレイン電極がはんだを介して導電パターン部52に接続され、導電パターン部52と導電パターン部55が連結される。

[0042] MOS-FET 15, 25, 35, 45は、縦型構造を有するN型の半導体デバイスであり、上面にソース電極およびゲート電極が設けられ、下面にドレイン電極が設けられている。例えば、MOS-FET 25は、図4および図5に示すように、ドレイン電極26（第3のMOS主電極）、ソース電極27（第4のMOS主電極）およびゲート電極28（第2のMOSゲート電極）を有する。同様に、MOS-FET 15は、ドレイン電極（第1のMOS主電極、図示せず）、ソース電極17（第2のMOS主電極）およびゲート電極18（第1のMOSゲート電極）を有する。MOS-FET 35は、ドレイン電極（第5のMOS主電極、図示せず）、ソース電極37（第6のMOS主電極）およびゲート電極38（第3のMOSゲート電極）を有する。MOS-FET 45は、ドレイン電極（第7のMOS主電極、図示せず）、ソース電極47（第8のMOS主電極）およびゲート電極48（第4のMOSゲート電極）を有する。

[0043] 図5に示すように、MOS-FET 25のドレイン電極26がGaN-HEMT 20のソース電極22に電氣的に接続されるように、MOS-FET 25はGaN-HEMT 20の上に配置されている。MOS-FET 25と同様に、MOS-FET 15, 35, 45はそれぞれ、GaN-HEMT 1

0, 30, 40の上に配置されている。すなわち、MOS-FET15のドレイン電極はGaN-HEMT10のソース電極にはんだを介して電氣的に接続され、MOS-FET35のドレイン電極はGaN-HEMT30のソース電極にはんだを介して電氣的に接続され、MOS-FET45のドレイン電極はGaN-HEMT40のソース電極にはんだを介して電氣的に接続されている。

[0044] GaN-HEMT10のドレイン電極11は、金属ワイヤー3を介して導電パターン部53に電氣的に接続されている。そして、ドレイン電極11は、導電パターン部53を介して高電圧側端子（端子T1）に電氣的に接続されている。GaN-HEMT10のソース電極（図示せず）は、MOS-FET15のドレイン電極にはんだを介して接続されている。GaN-HEMT10のゲート電極13は、金属ワイヤー5を介して導電パターン部54に電氣的に接続されている。そして、このゲート電極13は、導電パターン部54を介してMOS-FET15のソース電極17に電氣的に接続されている。

[0045] GaN-HEMT20のドレイン電極21は、金属ワイヤー3を介して導電パターン部54に電氣的に接続されている。GaN-HEMT20のソース電極は、MOS-FET25のドレイン電極にはんだを介して接続されている。GaN-HEMT20のゲート電極23は、金属ワイヤー6を介して導電パターン部55に電氣的に接続されている。そして、このゲート電極23は、導電パターン部55を介してMOS-FET25のソース電極27に電氣的に接続されている。

[0046] GaN-HEMT30のドレイン電極31は、金属ワイヤー3を介して導電パターン部58に電氣的に接続されている。GaN-HEMT20のソース電極は、MOS-FET35のドレイン電極にはんだを介して接続されている。GaN-HEMT30のゲート電極33は、金属ワイヤー7を介して導電パターン部59に電氣的に接続されている。そして、ゲート電極33は、導電パターン部59を介してMOS-FET35のソース電極37に電氣

的に接続されている。

[0047] GaN-HEMT 40 のドレイン電極 41 は、金属ワイヤー 3 を介して導電パターン部 59 に電氣的に接続されている。GaN-HEMT 40 のソース電極は、MOS-FET 45 のドレイン電極にはんだを介して接続されている。GaN-HEMT 40 のゲート電極 43 は、金属ワイヤー 8 を介して導電パターン部 55 に電氣的に接続されている。そして、ゲート電極 43 は、導電パターン部 55 を介して MOS-FET 45 のソース電極 47 に電氣的に接続されている。

[0048] MOS-FET 15 のソース電極 17 は、金属ワイヤー 3 を介して導電パターン部 54 に電氣的に接続されている。MOS-FET 15 のゲート電極 18 は、金属ワイヤー 3 を介して導電パターン部 61 に電氣的に接続されている。

[0049] MOS-FET 25 のソース電極 27 は、金属ワイヤー 3 を介して導電パターン部 55 に電氣的に接続されている。このソース電極 27 は、導電パターン部 55 を介して低電圧側端子（端子 T7）に電氣的に接続されている。MOS-FET 25 のゲート電極 28 は、金属ワイヤー 3 を介して導電パターン部 62 に電氣的に接続されている。

[0050] MOS-FET 35 のソース電極 37 は、金属ワイヤー 3 を介して導電パターン部 59 に電氣的に接続されている。MOS-FET 35 のゲート電極 38 は、金属ワイヤー 3 を介して導電パターン部 63 に電氣的に接続されている。

[0051] MOS-FET 45 のソース電極 47 は、金属ワイヤー 3 を介して導電パターン部 55 に電氣的に接続されている。MOS-FET 45 のゲート電極 48 は、金属ワイヤー 3 を介して導電パターン部 64 に電氣的に接続されている。

[0052] なお、金属ワイヤー 3 は、アルミニウム線（Al 線）であるが、他の金属材料からなるものであってもよい。金属ワイヤー 5, 6, 7, 8 についても、本実施形態では、アルミニウム線（Al 線）としているが、他の金属材料

からなるものを用いてもよい。金属ワイヤー 5, 6, 7, 8 の材料は、ゲート電極 13, 23, 33, 43 の材料に合わせてもよい。

[0053] なお、半導体スイッチング部と導電パターン部とを電氣的に接続するために、金属ワイヤーに代えて、導電性の板材からなる接続子を用いてもよい。

[0054] 次に、図 1 を参照して、半導体装置 1 の各導電パターン部について詳しく説明する。

[0055] 導電パターン部 51, 52, 53, 54, 55, 61, 62 は、第 1 のハーフブリッジ回路を構成するための導電パターン部である。導電パターン部 55, 56, 57, 58, 59, 63, 64 は、第 2 のハーフブリッジ回路を構成するための導電パターン部である。導電パターン部 55 は、第 1 のハーフブリッジ回路と第 2 のハーフブリッジ回路に共用される。また、図 1 に示すように、導電パターン部 55 は左右対称な形状に形成されている。

[0056] 導電パターン部 51 は、Ga N-H E M T 10 を実装するための導電パターン部である。同様に、導電パターン部 52 は、Ga N-H E M T 20 を実装するための導電パターン部である。導電パターン部 56 は、Ga N-H E M T 30 を実装するための導電パターン部である。導電パターン部 57 は、Ga N-H E M T 40 を実装するための導電パターン部である。

[0057] 本実施形態では、導電パターン部 51, 52, 56, 57 は、図 1 に示すように、Ga N-H E M T 10, 20, 30, 40 の形状に合わせて平面視で略四角形状に形成されている。Ga N-H E M T 10 は導電パターン部 51 の上に配置され、Ga N-H E M T 20 は導電パターン部 52 の上に配置され、Ga N-H E M T 30 は導電パターン部 56 の上に配置され、Ga N-H E M T 40 は導電パターン部 57 の上に配置されている。

[0058] 導電パターン部 53 には、Ga N-H E M T 10 のドレイン電極 11 が金属ワイヤー 3 を介して電氣的に接続されるとともに、端子 T1 およびバイパスコンデンサ 80 の電極 81 がはんだを介して接続されている。同様に、導電パターン部 58 には、Ga N-H E M T 30 のドレイン電極 31 が金属ワイヤー 3 を介して電氣的に接続されるとともに、端子 T11 およびバイパス

コンデンサ 90 の電極 91 がはんだを介して接続されている。

[0059] 導電パターン部 54 は、第 1 のハーフブリッジ回路のハイサイドスイッチ（Ga N－HEMT 10 と MOS－FET 15）とローサイドスイッチ（Ga N－HEMT 20 と MOS－FET 25）を電氣的に接続する。また、導電パターン部 54 には、端子 T 3 および T 4 がはんだを介して電氣的に接続されている。また、導電パターン部 54 には、Ga N－HEMT 10 のゲート電極 13 に一端が接続された金属ワイヤー 5 の他端が接続されている。

[0060] 同様に、導電パターン部 59 は、第 2 のハーフブリッジ回路のハイサイドスイッチ（Ga N－HEMT 30 と MOS－FET 35）とローサイドスイッチ（Ga N－HEMT 40 と MOS－FET 45）を電氣的に接続する。また、導電パターン部 59 には、端子 T 13 および端子 T 14 がはんだを介して電氣的に接続されている。また、導電パターン部 59 には、Ga N－HEMT 30 のゲート電極 33 に一端が接続された金属ワイヤー 7 の他端が接続されている。

[0061] 導電パターン部 55 には、バイパスコンデンサ 80 の電極 82 がはんだを介して電氣的に接続され、MOS－FET 25 のソース電極 27 が金属ワイヤー 3 を介して電氣的に接続される。さらに、導電パターン部 55 には、バイパスコンデンサ 90 の電極 92 がはんだを介して電氣的に接続され、MOS－FET 45 のソース電極 47 が金属ワイヤー 3 を介して電氣的に接続される。また、導電パターン部 55 には、端子 T 6，T 7 および T 16 がはんだを介して電氣的に接続されている。

[0062] 図 1 に示すように、導電パターン部 55 には、Ga N－HEMT 20 のゲート電極 23 が金属ワイヤー 6 を介して電氣的に接続され、Ga N－HEMT 40 のゲート電極 43 が金属ワイヤー 8 を介して電氣的に接続されている。

[0063] 導電パターン部 61 は、MOS－FET 15 のゲート電極 18 と端子 T 2 を電氣的に接続するための導電パターン部である。この導電パターン部 61 には、ゲート電極 18 が金属ワイヤー 3 を介して電氣的に接続されるとともに、端子 T 2 がはんだを介して電氣的に接続される。同様に、導電パターン

部63は、MOS-FET35のゲート電極38と端子T12を電氣的に接続するための導電パターン部である。この導電パターン部63には、ゲート電極38が金属ワイヤー3を介して電氣的に接続されるとともに、端子T12がはんだを介して電氣的に接続される。

[0064] 導電パターン部62は、MOS-FET25のゲート電極28と端子T5を電氣的に接続するための導電パターン部である。この導電パターン部62には、ゲート電極28が金属ワイヤー3を介して電氣的に接続されるとともに、端子T5がはんだを介して電氣的に接続される。同様に、導電パターン部64は、MOS-FET45のゲート電極48と端子T15を電氣的に接続するための導電パターン部である。この導電パターン部64には、ゲート電極48が金属ワイヤー3を介して電氣的に接続されるとともに、端子T15がはんだを介して電氣的に接続される。

[0065] 次に、GaN-HEMT10とGaN-HEMT20の配置関係について説明する。

[0066] 図4に示すように、GaN-HEMT10およびGaN-HEMT20は、平面視して略四角形状である。GaN-HEMT10は、辺S1（第1の辺）と、この辺S1に対向する辺S2（第2の辺）を有する。本実施形態では、辺S1と辺S2は略平行である。同様に、GaN-HEMT20は、辺S3（第3の辺）と、この辺S3に対向する辺S4（第4の辺）を有する。本実施形態では、辺S3と辺S4は略平行である。

[0067] GaN-HEMT10のドレイン電極11は辺S1に沿って設けられている。また、MOS-FET15のソース電極17は辺S2に沿って設けられている。GaN-HEMT20のドレイン電極21は辺S3に沿って設けられている。また、MOS-FET25のソース電極27は辺S4に沿って設けられている。

[0068] 半導体装置1においては、図4に示すように、辺S1に沿って延びる仮想線L1と、辺S3に沿って延びる仮想線L2とが交わる。換言すれば、仮想線L1と仮想線L2は平行ではない。これにより、GaN-HEMT10と

GaN-HEMT 20が平行配置される場合（すなわち、仮想線L 1と仮想線L 2が平行の場合）に比べてバイパスコンデンサ経路P 1を短くすることができ、バイパスコンデンサ経路P 1の寄生インダクタンスを低減することができる。

[0069] なお、仮想線L 1と仮想線L 2が交わる角度 θ が大きいほどバイパスコンデンサ経路P 1の長さが短くなり、寄生インダクタンスが抑制される。しかしながら、一方で、MOS-FET 15のソース電極17およびGaN-HEMT 20のドレイン電極21間の経路の長さが長くなるため、当該経路の寄生インダクタンスが大きくなってしまい、電源回路の誤動作の原因となる。このような事情を考慮すると、仮想線L 1と仮想線L 2が交わる角度 θ は、 30° 以上、 135° 以下であることが好ましく、 30° 以上、 60° 以下であることがさらに好ましい。本実施形態では、角度 θ は略 45° である。

[0070] 本実施形態では、図1に示すように、ハイサイドスイッチ側のGaN-HEMT 10は、仮想線L 1が絶縁基板2の基板辺2aに対して略平行になるように配置され、ローサイドスイッチ側のGaN-HEMT 20は、仮想線L 2が絶縁基板2の基板辺2aに対して斜めになるように配置されている。これにより、絶縁基板2の上側中央領域におけるスペースの確保が容易となる。すなわち、導電パターン部55のうち、MOS-FET 25のソース電極27に接続された金属ワイヤー3が導電パターン部55に接続される領域の幅広化を図ることができる。その結果、バイパスコンデンサ経路P 1の寄生インダクタンスを低減することができる。

[0071] なお、本実施形態では、図1に示すように、半導体装置1は左右対称の構成を有している。すなわち、GaN-HEMT 10とGaN-HEMT 20は、導電パターン部55を挟んで対称に配置され、GaN-HEMT 20とGaN-HEMT 40は、導電パターン部55を挟んで対称に配置されている。バイパスコンデンサ80とバイパスコンデンサ90も、導電パターン部55を挟んで対称に配置されている。そして、導電パターン部55が2つの

ハーフブリッジ回路で共用されている。このように半導体装置 1 が左右対称に構成されることで、導電パターン部 55 を幅広とすることができ、バイパスコンデンサ経路 P1, P2 の寄生インダクタンスをさらに低減することができる。

[0072] 図 4 に示すように、GaN-HEMT 20 は、辺 S3 と辺 S4 を接続する辺 S5（第 5 の辺）を有する。導電パターン部 55 は、辺 S5 に対向する導電パターン辺 55S を有する。

[0073] 図 4 に示すように、GaN-HEMT 20 のゲート電極 23 は、金属ワイヤー 6 を介して導電パターン部 55 に電氣的に接続されている。金属ワイヤー 6 は、GaN-HEMT 20 の辺 S5、および導電パターン部 55 の導電パターン辺 55S に対して直交している。これにより、ゲート電極 23 が導電パターン部 55 に最短距離で接続され、金属ワイヤー 6 を短くすることができる。なお、本願において、「直交」の用語は、厳密に 90° で交わる場合だけでなく、製造上の公差や誤差を許容する趣旨で、実質的に直交する場合も含む。

[0074] 本実施形態では、GaN-HEMT 40 のゲート電極 43 と導電パターン部 55 を電氣的に接続する金属ワイヤー 8 についても、金属ワイヤー 6 と同様にして、長さが最短になるように構成されている。

[0075] なお、金属ワイヤー 5, 6, 7, 8 に代えて、接続子を用いる場合も同様である。例えば金属ワイヤー 6 に代えて接続子を用いる場合、GaN-HEMT 20 のゲート電極 23 は、接続子を介して導電パターン部 55 に電氣的に接続され、この接続子は GaN-HEMT 20 の辺 S5、および導電パターン部 55 の導電パターン辺 55S に対して直交する。したがって、一般的に言えば、金属ワイヤーや接続子等の接続部材は、GaN-HEMT 20 の辺 S5、および導電パターン部 55 の導電パターン辺 55S に対して直交するように設けられる。

[0076] 以上説明したように、本実施形態の半導体装置 1 においては、GaN-HEMT 10 と GaN-HEMT 20 は仮想線 L1 と仮想線 L2 が交わるよう

に絶縁基板 2 上に配置される。これにより、バイパスコンデンサ経路 P 1 を短くすることができ、バイパスコンデンサ経路 P 1 の寄生インダクタンスを低減することができる。さらに、半導体装置 1 では、GaN-HEMT 20 のゲート電極 23 と導電パターン部 55 を電氣的に接続する金属ワイヤー 6 が GaN-HEMT 20 の辺 S5 および導電パターン部 55 の導電パターン辺 55S に略直交する。これにより、GaN-HEMT 20 のゲート電極 23 が導電パターン部 55 に金属ワイヤー 6 により最短距離で接続される。このようにして金属ワイヤー 6 を短くすることにより、金属ワイヤー 6 の寄生インダクタンスを抑制することができる。本実施形態では、バイパスコンデンサ経路 P 1 の長さ、および金属ワイヤー 6 の長さの両方の短縮を図ることにより、GaN-HEMT 20 の誤動作を抑制できる。よって、本実施形態によれば、GaN-HEMT を有する電源回路の誤動作を抑制することができる。

[0077] 以上、本実施形態に係る半導体装置について説明した。なお、本発明に係る半導体装置は、上述したハーフブリッジ回路に限られず、縦続接続された半導体スイッチング素子を有するものであれば、フルブリッジ回路やプッシュプル回路等の他の構成の電源回路に適用することも可能である。

[0078] なお、GaN-HEMT 10 についても、ゲート電極 13 は、導電パターン部 54 に金属ワイヤー 5 で電氣的に接続され、この金属ワイヤー 5 は長さが最短になるように設けられていてもよい。すなわち、図 4 に示すように、金属ワイヤー 5 は、辺 S1 および辺 S2 を接続する辺 S6、および辺 S6 に対向する導電パターン辺 54S に直交するように設けられていてもよい。これにより、電源回路の誤動作をさらに抑制することができる。

[0079] 上記の記載に基づいて、当業者であれば、本発明の追加の効果や種々の変形を想到できるかもしれないが、本発明の態様は、上述した個々の実施形態に限定されるものではない。異なる実施形態にわたる構成要素を適宜組み合わせてもよい。特許請求の範囲に規定された内容及びその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及

び部分的削除が可能である。

符号の説明

- [0080] 1 半導体装置
- 2 絶縁基板
- 2 a, 2 b 基板辺
- 3, 5, 6, 7, 8 金属ワイヤー
- 1 0, 2 0, 3 0, 4 0 GaN-HEMT
- 1 1, 2 1, 3 1, 4 1 ドレイン電極
- 2 2 ソース電極
- 1 3, 2 3, 3 3, 4 3 ゲート電極
- 1 5, 2 5, 3 5, 4 5 MOS-FET
- 2 6 ドレイン電極
- 1 7, 2 7, 3 7, 4 7 ソース電極
- 1 8, 2 8, 3 8, 4 8 ゲート電極
- 5 1, 5 2, 5 3, 5 4, 5 5, 5 6, 5 7, 5 8, 5 9, 6 1, 6 2, 6 3, 6 4, 6 5 導電パターン部
- 5 4 S, 5 5 S 導電パターン辺
- 8 0, 9 0 バイパスコンデンサ
- 8 1, 8 2, 9 1, 9 2 電極
- 9 5 樹脂封止部
- H 1, H 2 貫通孔
- L 1, L 2 仮想線
- N 1, N 2, N 3, N 4 ノード
- S 1, S 2, S 3, S 4, S 5, S 6 辺
- T 1, T 2, T 3, T 4, T 5, T 6, T 7, T 1 1, T 1 2, T 1 3, T 1 4, T 1 5, T 1 6 端子

請求の範囲

[請求項1]

絶縁基板と、

前記絶縁基板の上に形成された第1の導電パターン部と、

前記絶縁基板の上に形成された第2の導電パターン部と、

前記絶縁基板の上に形成された第3の導電パターン部と、

前記絶縁基板の上に形成された第4の導電パターン部と、

前記絶縁基板の上に形成された第5の導電パターン部と、

第1のGaN主電極、第2のGaN主電極および第1のGaNゲート電極を有し、前記第1の導電パターン部の上に配置された第1のGaN-HEMTと、

第1のMOS主電極、第2のMOS主電極および第1のMOSゲート電極を有し、前記第1のMOS主電極が前記第2のGaN主電極に電氣的に接続された第1のMOS-FETと、

第3のGaN主電極、第4のGaN主電極および第2のGaNゲート電極を有し、前記第2の導電パターン部の上に配置された第2のGaN-HEMTと、

第3のMOS主電極、第4のMOS主電極および第2のMOSゲート電極を有し、前記第3のMOS主電極が前記第4のGaN主電極に電氣的に接続された第2のMOS-FETと、

第1の電極および第2の電極を有するバイパスコンデンサと、を備え、

前記第1のGaN-HEMTの前記第1のGaN主電極は、前記第3の導電パターン部に電氣的に接続され、前記第1のMOS-FETの前記第2のMOS主電極は、前記第4の導電パターン部に電氣的に接続され、前記第2のGaN-HEMTの前記第3のGaN主電極は、前記第4の導電パターン部に電氣的に接続され、前記第2のMOS-FETの前記第4のMOS主電極は、前記第5の導電パターン部に電氣的に接続され、前記バイパスコンデンサの前記第1の電極は、前

記第3の導電パターン部に電氣的に接続され、前記第2の電極は、前記第5の導電パターン部に電氣的に接続され、

前記第1のGaN-HEMTは、第1の辺と、前記第1の辺に対向する第2の辺とを有し、前記第2のGaN-HEMTは、第3の辺と、前記第3の辺に対向する第4の辺とを有し、

前記第1のGaN-HEMTの前記第1のGaN主電極は、前記第1の辺に沿って設けられ、前記第2のGaN-HEMTの前記第3のGaN主電極は、前記第3の辺に沿って設けられ、前記第1の辺に沿って延びる第1の仮想線と、前記第3の辺に沿って延びる第2の仮想線とが交わり、

前記第2のGaN-HEMTは、前記第3の辺と前記第4の辺を接続する第5の辺を有し、前記第5の導電パターン部は、前記第5の辺に対向する導電パターン辺を有し、

前記第2のGaN-HEMTの前記第2のGaNゲート電極は、接続部材を介して前記第5の導電パターン部に電氣的に接続され、前記接続部材は、前記第5の辺および前記導電パターン辺に対して直交することを特徴とする半導体装置。

[請求項2] 前記第1のGaN-HEMTおよび前記第2のGaN-HEMTは、ノーマリーオン型のトランジスタであり、前記第1のMOS-FETおよび前記第2のMOS-FETは、ノーマリーオフ型のトランジスタであることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記接続部材は、金属ワイヤーまたは接続子であることを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記第1のGaN-HEMTの前記第1のGaN主電極は、前記第3の導電パターン部を介して高電圧側端子に電氣的に接続され、前記第2のMOS-FETの前記第4のMOS主電極は、前記第5の導電パターン部を介して低電圧側端子に電氣的に接続されていることを特徴とする請求項1に記載の半導体装置。

[請求項5] 前記絶縁基板は、平面視して前記高電圧側端子と前記低電圧側端子が突き出る第1の基板辺と、前記第1の基板辺に対向する第2の基板辺とを有し、

前記第1のGaN-HEMTは、前記第1の仮想線が前記第1の基板辺に対して平行になるように配置され、前記第2のGaN-HEMTは、前記第2の仮想線が前記第1の基板辺に対して斜めになるように配置されていることを特徴とする請求項4に記載の半導体装置。

[請求項6] 前記第1の仮想線と前記第2の仮想線が交わる角度は、 30° 以上、 60° 以下であることを特徴とする請求項1に記載の半導体装置。

[請求項7] 前記第1の仮想線と前記第2の仮想線が交わる角度は、 45° であることを特徴とする請求項1に記載の半導体装置。

[請求項8] 前記第1のGaN-HEMTは、前記第1の辺と前記第2の辺を接続する第6の辺を有し、前記第4の導電パターン部は、前記第6の辺に対向する導電パターン辺を有し、

前記第1のGaN-HEMTの前記第1のGaNゲート電極は、接続部材を介して前記第4の導電パターン部に電氣的に接続され、前記接続部材は、前記第6の辺および前記導電パターン辺に対して直交することを特徴とする請求項1に記載の半導体装置。

[請求項9] 前記第1のMOS-FETは前記第1のGaN-HEMTの上に配置され、前記第2のMOS-FETは前記第2のGaN-HEMTの上に配置されていることを特徴とする請求項1に記載の半導体装置。

[請求項10] 前記バイパスコンデンサは、前記第1のGaN-HEMT、前記第2のGaN-HEMT、前記第1のMOS-FETおよび前記第2のMOS-FETとともに樹脂封止されていることを特徴とする請求項1に記載の半導体装置。

[請求項11] 前記絶縁基板の上に形成された第6の導電パターン部と、
前記絶縁基板の上に形成された第7の導電パターン部と、
前記絶縁基板の上に形成された第8の導電パターン部と、

前記絶縁基板の上に形成された第9の導電パターン部と、

第5のGaN主電極、第6のGaN主電極および第3のGaNゲート電極を有し、前記第6の導電パターン部の上に配置された第3のGaN-HEMTと、

第5のMOS主電極、第6のMOS主電極および第3のMOSゲート電極を有し、前記第5のMOS主電極が前記第6のGaN主電極に電氣的に接続された第3のMOS-FETと、

第7のGaN主電極、第8のGaN主電極および第4のGaNゲート電極を有し、前記第7の導電パターン部の上に配置された第4のGaN-HEMTと、

第7のMOS主電極、第8のMOS主電極および第4のMOSゲート電極を有し、前記第7のMOS主電極が前記第8のGaN主電極に電氣的に接続された第4のMOS-FETと、

前記第3のGaN-HEMTの前記第5のGaN主電極は、前記第8の導電パターン部に電氣的に接続され、前記第3のMOS-FETの前記第6のMOS主電極は、前記第9の導電パターン部に電氣的に接続され、前記第4のGaN-HEMTの前記第7のGaN主電極は、前記第9の導電パターン部に電氣的に接続され、前記第4のMOS-FETの前記第8のMOS主電極は、前記第5の導電パターン部に電氣的に接続され、

前記第1のGaN-HEMTと前記第3のGaN-HEMTは、前記第5の導電パターン部を挟んで対称に配置され、前記第2のGaN-HEMTと前記第4のGaN-HEMTは、前記第5の導電パターン部を挟んで対称に配置されていることを特徴とする請求項1に記載の半導体装置。

[請求項12]

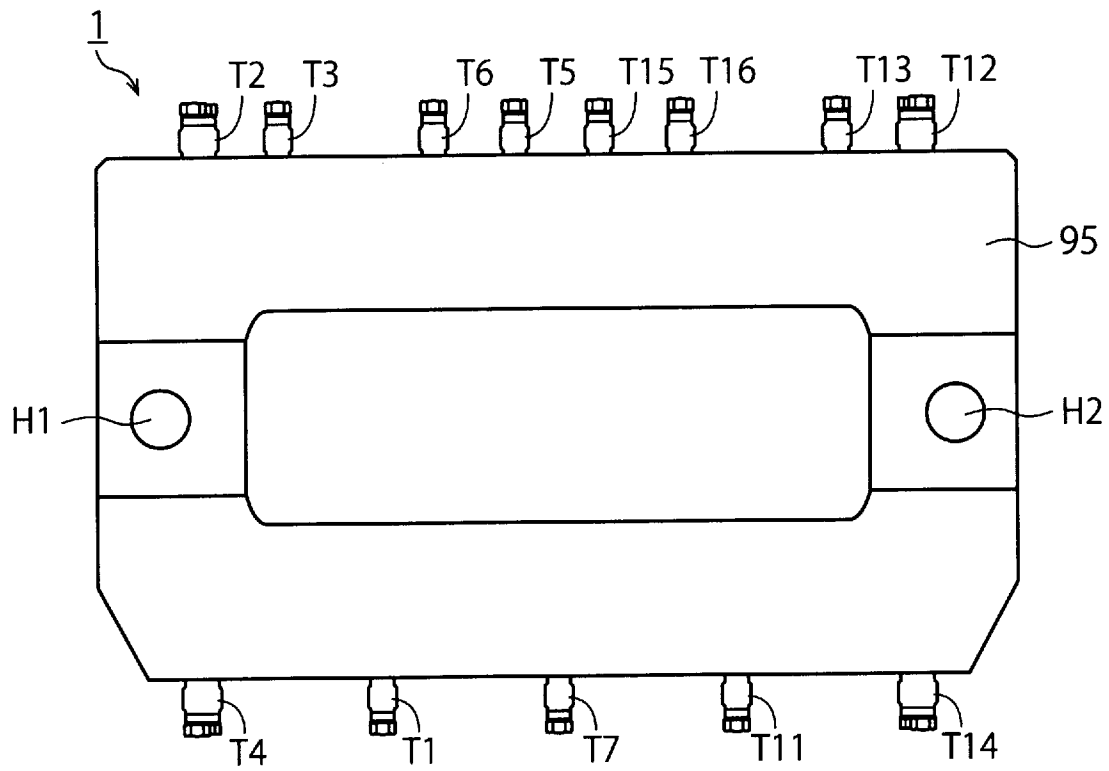
第3の電極および第4の電極を有する別のバイパスコンデンサをさらに備え、

前記第3の電極は前記第8の導電パターン部に電氣的に接続され、

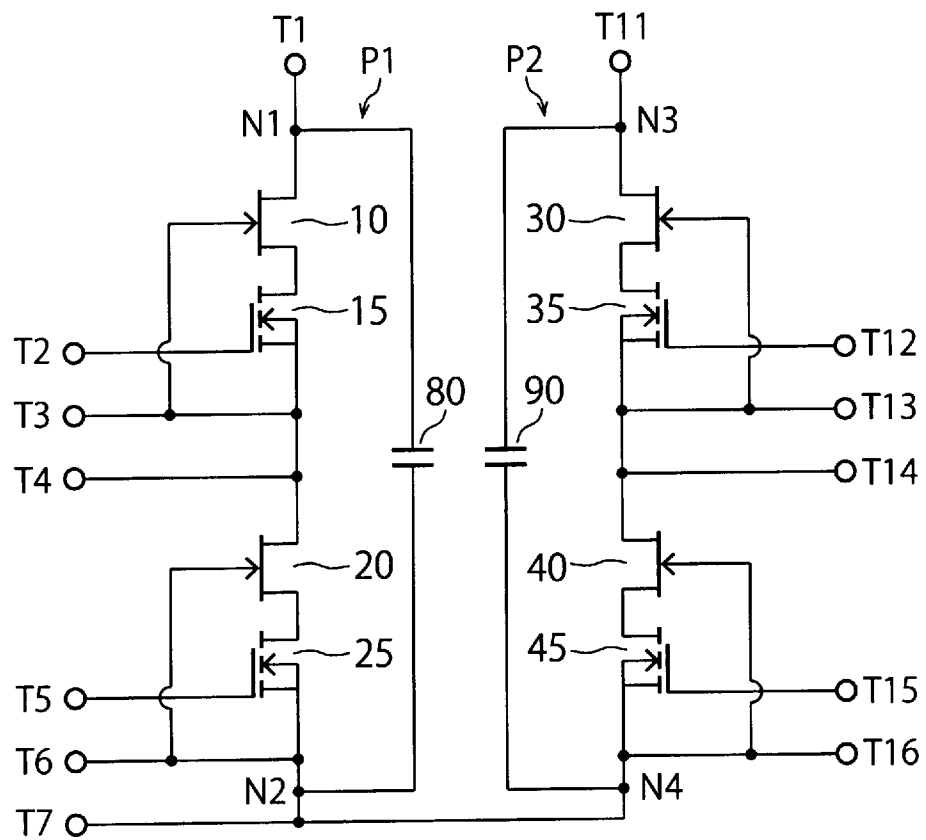
前記第４の電極は前記第５の導電パターン部に電氣的に接続され、

前記バイパスコンデンサと前記別のバイパスコンデンサは、前記第５の導電パターン部を挟んで対称に配置されていることを特徴とする請求項１１に記載の半導体装置。

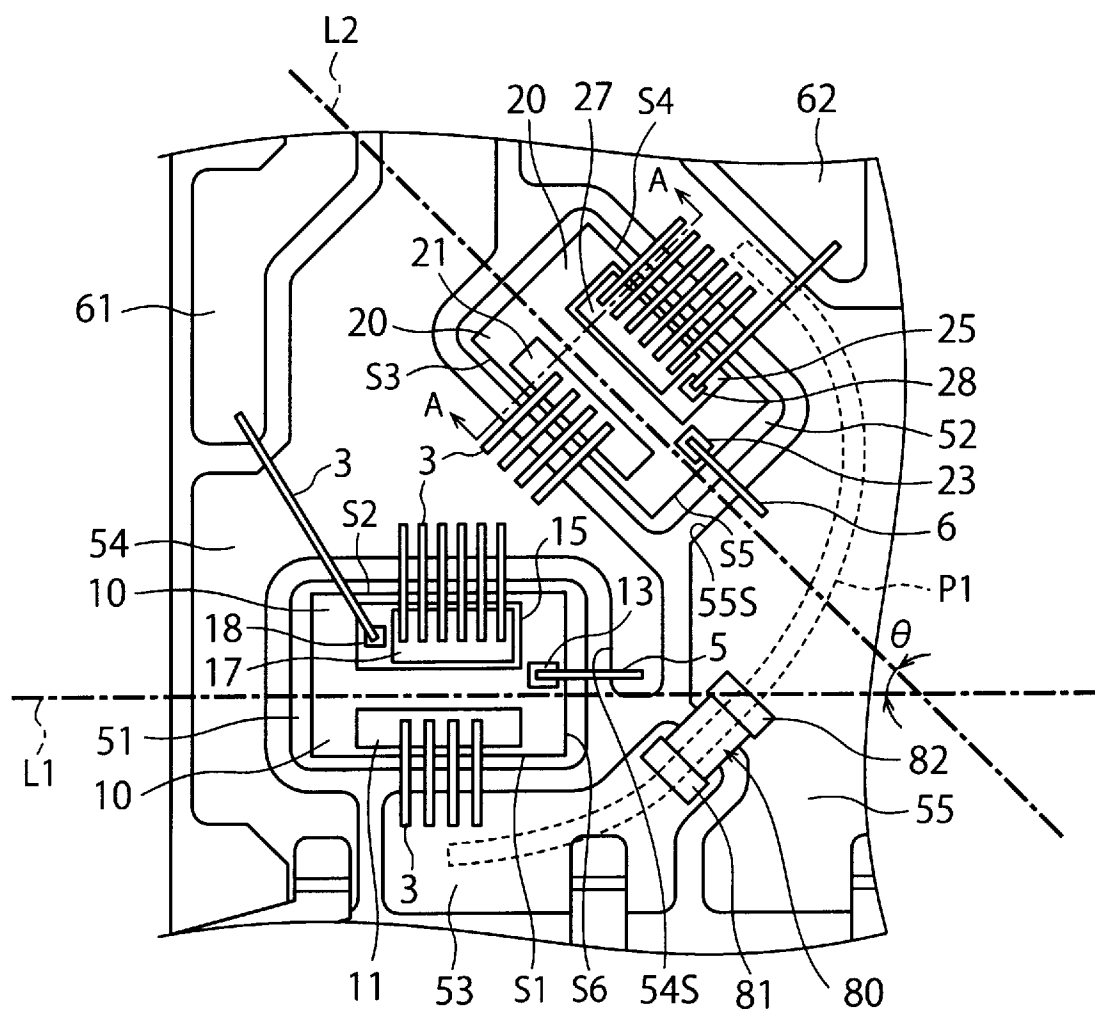
[図2]



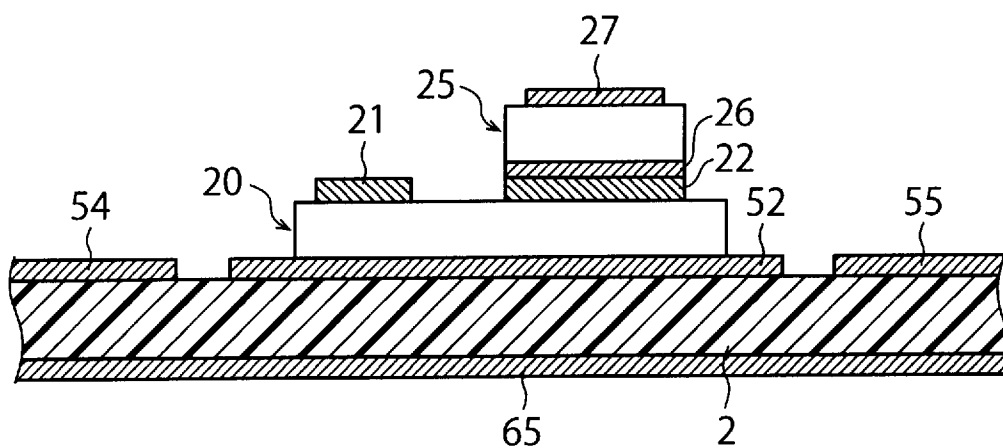
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/022567

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-150871 A (Hitachi, Ltd.), 04 July 1987 (04.07.1987), (Family: none)	1-12
A	JP 2011-243808 A (Mitsubishi Electric Corp.), 01 December 2011 (01.12.2011), (Family: none)	1-12
A	JP 2009-88466 A (Aisin Seiki Co., Ltd.), 23 April 2009 (23.04.2009), & US 2011/0148337 A1 & WO 2009/034993 A1 & EP 2190015 A1	1-12
A	JP 2001-332679 A (Mitsubishi Electric Corp.), 30 November 2001 (30.11.2001), & US 2002/0186545 A1 & US 6501172 B1 & DE 10100620 A1	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August 2017 (14.08.17)

Date of mailing of the international search report
29 August 2017 (29.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/022567

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/040727 A1 (Hitachi, Ltd.), 26 March 2015 (26.03.2015), (Family: none)	1-12
A	WO 2013/046824 A1 (Rohm Co., Ltd.), 04 April 2013 (04.04.2013), & US 2014/0231926 A1 & US 2015/0108664 A1 & EP 2765600 A1	1-12
A	JP 2015-29040 A (Sanken Electric Co., Ltd.), 12 February 2015 (12.02.2015), & CN 204046866 U	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 62-150871 A（株式会社日立製作所）1987.07.04, （ファミリーなし）	1-12
A	JP 2011-243808 A（三菱電機株式会社）2011.12.01, （ファミリーなし）	1-12
A	JP 2009-88466 A（アイシン精機株式会社）2009.04.23, & US 2011/0148337 A1 & WO 2009/034993 A1 & EP 2190015 A1	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

14.08.2017

国際調査報告の発送日

29.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

秋山 直人

5 D

5893

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-332679 A (三菱電機株式会社) 2001. 11. 30, & US 2002/0186545 A1 & US 6501172 B1 & DE 10100620 A1	1-12
A	WO 2015/040727 A1 (株式会社日立製作所) 2015. 03. 26, (ファミリーなし)	1-12
A	WO 2013/046824 A1 (ローム株式会社) 2013. 04. 04, & US 2014/0231926 A1 & US 2015/0108664 A1 & EP 2765600 A1	1-12
A	JP 2015-29040 A (サンケン電気株式会社) 2015. 02. 12, & CN 204046866 U	1-12