



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월09일
(11) 등록번호 10-2019944
(24) 등록일자 2019년09월03일

(51) 국제특허분류(Int. Cl.)

H01L 21/66 (2006.01) G01N 23/02 (2006.01)
G11C 11/412 (2006.01) H01L 21/322 (2006.01)
H01L 21/762 (2006.01) H01L 27/06 (2006.01)

(52) CPC특허분류

H01L 22/30 (2013.01)
G01N 23/02 (2013.01)

(21) 출원번호 10-2019-0041595

(22) 출원일자 2019년04월09일

심사청구일자 2019년04월09일

(56) 선행기술조사문헌

KR2019990020692 U
JP2007504465 A
KR1020010082562 A

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

장익준

경기도 용인시 기흥구 사은로126번길 33, 204동 102

김진상

경기도 용인시 수지구 죽전로193번길 35, 104동 803호

(74) 대리인

김홍석

전체 청구항 수 : 총 11 항

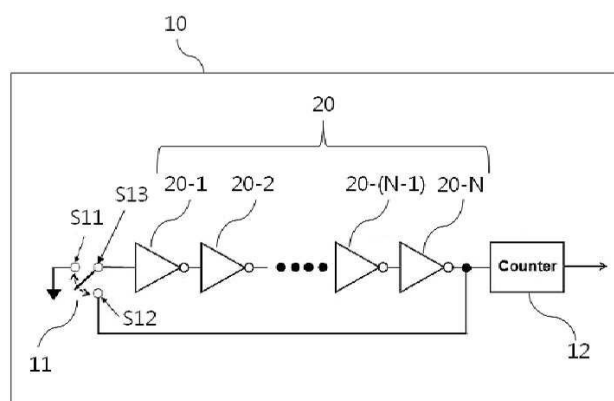
심사관 : 홍종선

(54) 발명의 명칭 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 성능 저하 측정 장치 및 방법

(57) 요약

총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 성능 저하 측정 장치 및 방법에 관한 것으로, 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 장치는, 제1 인버터, 상기 제1 인버터와 직접적으로 연결되거나 또는 다른 적어도 하나의 인버터를 통하여 간접적으로 연결된 제N 인버터 및 상기 제1 인버터를 외부 및 상기 제N 인버터 중 어느 하나에 선택적으로 연결하는 스위치를 포함하되, 상기 제1 인버터는, 제어된 스트레스 트랜지스터, 상기 제어된 스트레스 트랜지스터와 직렬로 연결된 비제어된 스트레스 트랜지스터, 상기 비제어된 스트레스 트랜지스터를 IN 노드에 선택적으로 연결시키는 전달 게이트 트랜지스터, 상기 스트레스 트랜지스터 및 상기 비제어된 스트레스 트랜지스터의 바이어싱을 수행하는 스트레스 모드 바이어싱 트랜지스터 및 상기 바이어싱의 온/오프를 수행하는 전원 스위치 트랜지스터를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 11/412 (2013.01)

H01L 21/3226 (2013.01)

H01L 21/7624 (2013.01)

H01L 22/12 (2013.01)

H01L 27/0617 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2017M1A&A1A01016257

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 거대과학연구개발사업/핵융합기초연구및인력양성지원사업

연구과제명 핵융합진단의 효율화를 위한 내방사선 디지털 회로 설계 및 시험환경 구축

기 여 율 1/1

주관기관 경희대학교

연구기간 2017.04.10 ~ 2019.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711055658

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 핵융합기초연구

연구과제명 핵융합 진단의 효율화를 위한 내방사선 디지털 회로 설계 및 시험환경 구축

기 여 율 1/2

주관기관 경희대학교(국제캠퍼스)

연구기간 2017.04.10 ~ 2019.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711087528

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 개인기초연구(과기정통부)(R&D)

연구과제명 차량용 반도체를 위한 고신뢰성 내장형 메모리 설계기술 연구

기 여 율 1/2

주관기관 경희대학교(국제캠퍼스)

연구기간 2017.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

제1 인버터;

상기 제1 인버터와 직접적으로 연결되거나 또는 다른 적어도 하나의 인버터를 통하여 간접적으로 연결된 제N 인버터; 및

상기 제1 인버터를 외부 및 상기 제N 인버터 중 어느 하나에 선택적으로 연결하는 스위치;를 포함하되,

상기 제1 인버터는,

제어된 스트레스 트랜지스터;

상기 제어된 스트레스 트랜지스터와 직렬로 연결된 비제어된 스트레스 트랜지스터;

상기 비제어된 스트레스 트랜지스터를 IN 노드에 선택적으로 연결시키는 전달 게이트 트랜지스터;

상기 스트레스 트랜지스터 및 상기 비제어된 스트레스 트랜지스터의 바이어싱을 수행하는 스트레스 모드 바이어싱 트랜지스터; 및

상기 바이어싱의 온/오프를 수행하는 전원 스위치 트랜지스터;를 포함하는 회로 성능 저하 측정 장치.

청구항 2

제1 항에 있어서,

상기 스위치의 동작에 따라서, 방사 스트레스 모드 및 측정 모드 중 적어도 하나로 선택적으로 동작하는 회로 성능 저하 측정 장치.

청구항 3

제2항에 있어서,

상기 스위치는, 상기 측정 모드에서, 상기 제1 인버터 및 상기 제N 인버터를 상호 연결시켜 피드백 경로를 형성시키는 회로 성능 저하 측정 장치.

청구항 4

제3항에 있어서,

상기 스위치는, 상기 방사 스트레스 모드에서 상기 제1 인버터 및 상기 제N 인버터 사이의 연결을 차단하는 회로 성능 저하 측정 장치.

청구항 5

제2항에 있어서,

상기 방사 스트레스 모드 및 측정 모드로의 스위칭에 따라 발생하는 주파수를 측정하는 계수기;를 더 포함하는 회로 성능 저하 측정 장치.

청구항 6

제2항에 있어서,

상기 비제어된 스트레스 트랜지스터는,

제1 비제어된 스트레스 트랜지스터; 및

상기 제1 비제어된 스트레스 트랜지스터와 연결되고 제2 비제어된 스트레스 트랜지스터를 더 포함하는 회로 성

능 저하 측정 장치.

청구항 7

제6항에 있어서,

상기 전달 게이트 트랜지스터는,

상기 제1 비제어된 스트레스 트랜지스터를 IN 노드 및 외부 중 어느 하나와 선택적으로 연결하거나, 또는 상기 제2 비제어된 스트레스 트랜지스터를 IN 노드 및 가상 드레인 전원 중 어느 하나와 선택적으로 연결시키는 회로 성능 저하 측정 장치.

청구항 8

제7항에 있어서,

상기 제1 비제어된 스트레스 트랜지스터 및 상기 제2 비제어된 스트레스 트랜지스터로부터 출력 값이 획득되는 회로 성능 저하 측정 장치.

청구항 9

제6항에 있어서,

상기 방사 스트레스 모드에서는 N1 스트레스의 경우 및 P1 스트레스의 경우가 존재하고,

상기 N1 스트레스의 경우에는, 제2 제어된 스트레스 트랜지스터의 총 이온화 선량을 완화시키고, 제1 제어된 스트레스 트랜지스터의 총 이온화 선량을 우세하게 하며, 또는

상기 P1 스트레스의 경우에는, 상기 제1 제어된 스트레스 트랜지스터의 총 이온화 선량을 완화시키고, 상기 제2 제어된 스트레스 트랜지스터의 총 이온화 선량을 우세하게 하는 회로 성능 저하 측정 장치.

청구항 10

제1항에 있어서,

완전 공핍형 실리콘 온 인슐레이터의 경우, p-전계 효과 트랜지스터의 총 이온화 선량 효과가 n-전계 효과 트랜지스터의 총 이온화 선량 효과보다 더 강한 것으로 측정되는 회로 성능 저하 측정 장치.

청구항 11

측정 대상 및 상기 측정 대상에 대응하는 회로 성능 저하 측정 장치가 준비되되, 상기 회로 성능 저하 측정 장치는, 제1 인버터, 상기 제1 인버터와 직접적으로 연결되거나 또는 다른 적어도 하나의 인버터를 통하여 간접적으로 연결된 제N 인버터, 상기 제1 인버터를 외부 및 상기 제N 인버터 중 어느 하나에 선택적으로 연결하는 스위치 및 방사 스트레스 모드 및 측정 모드로의 스위칭에 따라 발생하는 주파수를 측정하는 계수기를 포함하는 단계;

상기 스위치가 동작하여 상기 회로 성능 저하 측정 장치의 작동 모드가 변경되는 단계; 및

상기 스위치의 동작에 따라 회로 성능 저하 측정 장치에서 발생하는 주파수를 측정하는 단계;를 포함하되,

상기 제1 인버터는,

제어된 스트레스 트랜지스터;

상기 제어된 스트레스 트랜지스터와 직렬로 연결된 비제어된 스트레스 트랜지스터;

상기 비제어된 스트레스 트랜지스터를 IN 노드에 선택적으로 연결시키는 전달 게이트 트랜지스터;

상기 스트레스 트랜지스터 및 상기 비제어된 스트레스 트랜지스터의 바이어싱을 수행하는 스트레스 모드 바이어싱 트랜지스터; 및

상기 바이어싱의 온/오프를 수행하는 전원 스위치 트랜지스터;를 포함하는 회로 성능 저하 측정 방법.

발명의 설명

기술 분야

[0001] 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적회로의 성능 저하 측정 장치 및 방법에 관한 것이다.

배경 기술

[0002] 전자 부품은 방사선에 의해 영향을 받아 훼손 및 파괴될 수 있다. 특히 반도체의 경우, 외부에서 인가된 방사선은 이와 같은 훼손 및 파괴뿐만 아니라, 반도체에 기록된 값을 변경하여 데이터의 손실을 야기하기도 한다.

[0003] 방사선에 의한 반도체의 훼손 및 파괴에 대해서 두 가지 메커니즘이 존재한다. 하나는 총 이온화 선량(TID, Total Ionizing Dose)이다. 총 이온화 선량은, 방사선이 인가되면 방사선이 인가된 반도체 내의 산화물 상에 홀(hole)이 생성되고, 이에 기인하여 반도체 내의 문턱 전압이 변경되어 누설 전류가 발생되어 반도체의 훼손, 파괴 또는 변형을 유발한다. 이와 같은 총 이온화 선량은 방사선 환경에서 집적회로가 동작되면서 지속적으로 받는 누적 영향인 수명이 감소되는 노화에 따라 트랜지스터 등의 부품의 신뢰성을 위협하게 된다. 다른 하나는 방사선 환경에서 집적회로가 동작될 때 어느 순간에 영향을 받는 단일 사건 효과(SEE, Single Event Effect)이다. 단일 사건 효과에 의하면, 방사선이 인가되면, 인가된 방사선이 반도체 내에 전자 전공 쌍을 생성시켜 반도체 내에 의도하지 않은 펄스 전류가 유도된다. 이에 따라서 반도체의 훼손, 파괴 및 일시적인 데이터의 변경 등이 발생된다.

[0004] 이와 같이 반도체 또는 이를 포함하는 부품이나 장치는 외부에서 인가되는 방사선에 의해 영향을 받을 수 있다. 특히 반도체 제작 공정이 미세화됨에 따라, 반도체, 반도체 제작 공정 또는 이들 반도체를 이용하는 각종 부품(예를 들어, 집적 회로 등)이나 장치 등은 소량의 외부 방사선에 의해서도 강한 영향을 받아 각종 문제를 발생시킨다. 이런 점에서, 최근에는 반도체의 내방사선 능력의 향상에 대한 요구가 증가하고 있는 것이 현실이다.

발명의 내용

해결하려는 과제

[0005] 효율적인 내방사선 집적 회로 설계가 가능하게 하는 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 총 이온화 선량 효과에 기인한 성능 저하 측정 장치 및 방법을 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

[0006] 상술한 과제를 해결하기 위하여 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 성능 저하 측정 장치 및 방법이 제공된다.

[0007] 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 장치는, 제1 인버터, 상기 제1 인버터와 직접적으로 연결되거나 또는 다른 적어도 하나의 인버터를 통하여 간접적으로 연결된 제N 인버터 및 상기 제1 인버터를 외부 및 상기 제N 인버터 중 어느 하나에 선택적으로 연결하는 스위치를 포함하되, 상기 제1 인버터는, 제어된 스트레스트랜지스터, 상기 제어된 스트레스트랜지스터와 직렬로 연결된 비제어된 스트레스트랜지스터, 상기 비제어된 스트레스트랜지스터를 IN 노드에 선택적으로 연결시키는 전달 게이트 트랜지스터, 상기 스트레스트랜지스터 및 상기 비제어된 스트레스트랜지스터의 바이어싱을 수행하는 스트레스 모드 바이어싱 트랜지스터 및 상기 바이어싱의 온/오프를 수행하는 전원 스위치 트랜지스터를 포함할 수 있다.

[0008] 상기 회로 성능 저하 측정 장치는 상기 스위치의 동작에 따라서, 방사 스트레스 모드 및 측정 모드 중 적어도 하나로 선택적으로 동작할 수 있다.

[0009] 상기 스위치는, 상기 측정 스트레스 모드에서, 상기 제1 인버터 및 상기 제N 인버터를 상호 연결시켜 피드백 경로를 형성시킬 수 있다.

[0010] 상기 스위치는, 상기 방사 스트레스 모드에서 상기 제1 인버터 및 상기 제N 인버터 사이의 연결을 차단할 수 있다.

[0011] 상기 회로 성능 저하 측정 장치는, 상기 방사 스트레스 모드 및 측정 모드로의 스위칭에 따라 발생하는 주파수를 측정하는 계수기를 더 포함할 수 있다.

- [0012] 상기 비제어된 스트레스 트랜지스터는, 제1 비제어된 스트레스 트랜지스터 및 상기 제1 비제어된 스트레스 트랜지스터와 연결되고 제2 비제어된 스트레스 트랜지스터를 더 포함할 수 있다.
- [0013] 상기 전달 게이트 트랜지스터는, 상기 제1 비제어된 스트레스 트랜지스터를 IN 노드 및 외부 중 어느 하나와 선택적으로 연결하거나, 또는 상기 제2 비제어된 스트레스 트랜지스터를 IN 노드 및 가상 드레인 전원 중 어느 하나와 선택적으로 연결시킬 수 있다.
- [0014] 상기 제1 비제어된 스트레스 트랜지스터 및 상기 제2 비제어된 스트레스 트랜지스터로부터 출력 값이 획득될 수 있다.
- [0015] 상기 방사 스트레스 모드에서는 N1 스트레스의 경우 및 P1 스트레스의 경우가 존재하고, 상기 N1 스트레스의 경우에는, 상기 제2 제어된 스트레스 트랜지스터의 총 이온화 선량을 완화시키고, 상기 제1 제어된 스트레스 트랜지스터의 총 이온화 선량을 우세하게 하며, 또는 상기 P1 스트레스의 경우에는, 상기 제1 제어된 스트레스 트랜지스터의 총 이온화 선량을 완화시키고, 상기 제2 제어된 스트레스 트랜지스터의 총 이온화 선량을 우세하게 할 수 있다.
- [0016] 완전 공핍형 실리콘 온 인슐레이터의 경우, p-전계 효과 트랜지스터의 총 이온화 선량 효과가 n-전계 효과 트랜지스터의 총 이온화 선량 효과보다 더 강한 것으로 측정될 수 있다.
- [0017] 회로 성능 저하 측정 방법은, 측정 대상 및 상기 측정 대상에 대응하는 회로 성능 저하 측정 장치가 준비하는 단계, 상기 스위치가 동작하여 상기 회로 성능 저하 측정 장치의 작동 모드가 변경되는 단계 및 상기 스위치의 동작에 따라 회로 성능 저하 측정 장치에서 발생하는 주파수를 측정하는 단계를 포함할 수 있으며, 여기서 상기 회로 성능 저하 측정 장치는 제1 인버터, 상기 제1 인버터와 직접적으로 연결되거나 또는 다른 적어도 하나의 인버터를 통하여 간접적으로 연결된 제N 인버터, 상기 제1 인버터를 외부 및 상기 제N 인버터 중 어느 하나에 선택적으로 연결하는 스위치 및 상기 방사 스트레스 모드 및 측정 모드로의 스위칭에 따라 발생하는 주파수를 측정하는 계수기를 포함하고, 상기 제1 인버터는, 제어된 스트레스 트랜지스터, 상기 제어된 스트레스 트랜지스터와 직렬로 연결된 비제어된 스트레스 트랜지스터, 상기 비제어된 스트레스 트랜지스터를 IN 노드에 선택적으로 연결시키는 전달 게이트 트랜지스터, 상기 스트레스 트랜지스터 및 상기 비제어된 스트레스 트랜지스터의 바이어싱을 수행하는 스트레스 모드 바이어싱 트랜지스터 및 상기 바이어싱의 온/오프를 수행하는 전원 스위치 트랜지스터를 포함할 수 있다.

발명의 효과

- [0018] 상술한 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 성능 저하 측정 장치 및 방법에 의하면, 방사선의 영향에 대해 보다 강인하여 우수한 내방사선 성능을 갖는 반도체, 집적 회로 또는 이를 포함하는 각종 장치의 설계 및 제작이 가능해지는 효과를 얻을 수 있다.
- [0019] 상술한 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 성능 저하 측정 장치 및 방법을 이용한 측정 결과에 의하면, 기존의 벌크 시모스 공정을 이용한 집적 회로와 방사선에 대한 효과가 서로 상이하므로, 이와 같은 측정 결과를 이용하여 구현된 장치는 설계 또는 제작된 집적 회로가 방사선에 영향을 상대적으로 덜 받게 되고, 이런 이유로, 방사선에 의한 집적 회로의 훼손이나 고장 등을 방지할 수 있게 되며, 이에 따라 집적 회로의 수명을 연장할 수 있게 된다. 또한, 집적 회로의 수명 연장에 기인하여, 회로 또는 장치 등의 유지 관리 비용의 절감 등과 같은 경제적 효과도 얻을 수 있게 된다.

도면의 간단한 설명

- [0020] 도 1은 회로 성능 저하 측정 장치의 일 실시예에 대한 도면이다.
- 도 2는 어느 하나의 인버터의 일 실시예를 도시한 도면이다.
- 도 3은 방사 스트레스 모드 하에서 존재 가능한 상태들의 일례들을 도시한 도표이다.
- 도 4는 벌크 시모스를 이용한 측정 결과를 도시한 그래프 도면이다.
- 도 5는 완전 공핍형 실리콘 온 인슐레이터를 이용한 테스트 칩의 측정 결과를 도시한 그래프 도면이다.
- 도 6은 완전 공핍형 실리콘 온 인슐레이터에 있어서 접지된 게이트 조사 하에서 n-전계 효과 트랜지스터의 총 이온화 선량 모델을 도시한 도면이다.

도 7은 완전 공핍형 실리콘 온 인슐레이터에 있어서 접지된 게이트 조사 하에서 p-전계 효과 트랜지스터에 대한 총 이온화 선량 모델을 도시한 도면이다.

도 8은 완전 공핍형 실리콘 온 인슐레이터 기술에 있어서 바이어스된 게이트에 대한 방사선 조사에 따른 n-전계 효과 트랜지스터의 총 이온화 선량 모델을 도시한 도면이다.

도 9는 완전 공핍형 실리콘 온 인슐레이터 기술에 있어서 바이어스된 게이트에 대한 방사선 조사에 따른 p-전계 효과 트랜지스터의 총 이온화 선량 모델을 도시한 도면이다.

도 10은 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 방법의 일 실시예에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하 명세서 전체에서 동일 참조 부호는 특별한 사정이 없는 한 동일 구성요소를 지칭한다. 이하에서 사용되는 '부'가 부가된 용어는, 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예에 따라 '부'가 하나의 부품으로 구현되거나, 하나의 '부'가 복수의 부품들로 구현되는 것도 가능하다.
- [0022] 명세서 전체에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 어떤 부분과 다른 부분에 따라서 물리적 연결을 의미할 수도 있고, 또는 전기적으로 연결된 것을 의미할 수도 있다. 또한, 어떤 부분이 다른 부분을 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 부분 이외의 또 다른 부분을 제외하는 것이 아니며, 설계자의 선택에 따라서 또 다른 부분을 더 포함할 수 있음을 의미한다.
- [0023] 제 1 이나 제 2 등의 용어는 하나의 부분을 다른 부분으로부터 구별하기 위해 사용되는 것으로, 특별한 기재가 없는 이상 이들이 순차적인 표현을 의미하는 것은 아니다. 또한, 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함할 수 있다.
- [0024] 이하 도 1 내지 도 9를 참조하여, 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터(FD-SOI, Fully Depleted Silicon On Insulator) 공정을 이용한 집적 회로의 성능 저하 측정 장치의 일 실시예 및 이에 따른 측정 결과에 대해 설명하도록 한다.
- [0025] 도 1은 회로 성능 저하 측정 장치의 일 실시예에 대한 도면이고, 도 2는 어느 하나의 인버터의 일 실시예를 도시한 도면으로, 회로 성능 저하를 측정하기 위해 설계된 링 오실레이터(RO, Ring Oscillator)의 회로의 일례를 도시한 것이다.
- [0026] 도 1에 도시된 바와 같이 회로 성능 저하 측정 장치(1)는, 링 오실레이터 주파수에 대해 n-전계 효과 트랜지스터/p-전계 효과 트랜지스터 각각의 총 이온화 선량 효과를 상호 비교하기 위해 설계된 링 오실레이터(10)를 포함할 수 있다. 여기서, 링 오실레이터(10)는, n-전계 효과 트랜지스터(n-FET, Field Effect Transistor) 및 p-전계 효과 트랜지스터(p-FET)의 게이트 전위를 프로그래밍할 수 있도록 설계된 것으로, 보다 구체적으로는 방사선 입사에 따라서 n-전계 효과 트랜지스터 및 p-전계 효과 트랜지스터 각각에 상이하게 스트레스를 인가하도록 설계된 것일 수 있다.
- [0027] 구체적으로 링 오실레이터(10)는 적어도 하나의 인버터(20)를 포함할 수 있다. 예를 들어, 링 오실레이터(10)는, 제1 인버터(20-1) 내지 제N 인버터(20-N, N은 1 이상의 자연수)를 포함할 수 있다. 이 경우, 각각의 인버터(즉, 제1 인버터(20-1) 내지 제N 인버터(20-N))는 순차적으로 직렬로 연결될 수 있다. 실시예에 따라서, 링 오실레이터 회로(10)는 오직 하나의 인버터(20-1, 즉 N=1)만을 포함하는 것도 가능하다.
- [0028] 또한, 링 오실레이터 회로(10)는, 제1 인버터(20-1)에 연결되는 스위치(11)와, 제N 인버터(20-N)에 직렬로 연결되는 계수기(12)를 더 포함할 수 있다.
- [0029] 스위치(11)는, 적어도 하나의 인버터(20) 중 다른 하나의 인버터, (일례로 제1 인버터(20-1))에 연결된 말단(s13)을, 외부와 연결된 일 말단(s11) 및 다른 어느 하나의 인버터(일례로, 제N 인버터(20-N))와 연결된 말단(s12) 중 어느 하나에 선택적으로 연결시킬 수 있도록 마련된다.
- [0030] 이와 같은 스위치(11)의 동작에 의해서, 링 오실레이터 회로(10)의 작동 모드가 선택된다. 일 실시예에 의하면, 링 오실레이터 회로(10)의 작동 모드는 두 가지 작동 모드를 포함할 수 있다. 이 경우, 작동 모드는, 예를 들어 방사 스트레스 모드(radiation stress mode) 및 측정 모드(measurement mode)를 포함할 수 있다. 스위치(11)는, 주기적으로 또는 비주기적으로 동작하여 링 오실레이터 회로(10)의 작동 모드를 주기적으로 전환시킨다. 다시 말해서 스위치(11)는 링 오실레이터 회로(10)의 모드를, 주기적으로 또는 비주기적으로, 측정 모

드에서 방사 스트레스 모드로 전환시키거나 또는 반대로 방사 스트레스 모드에서 측정 모드로 전환시킨다.

- [0031] 보다 상세하게는, 방사 스트레스 모드의 경우, 스위치(11)는 적어도 하나의 인버터(20) 중 어느 하나의 인버터, 일례로 제1 인버터(20-1)에 연결된 말단(s13)을 외부와 연결된 일 말단(s11)과 연결시킬 수 있다. 이에 따라 제1 인버터(20-1)와, 적어도 하나의 인버터(20) 중 어느 하나의 인버터(일례로 제N 인버터(20-N)) 사이의 연결은 차단된다. 그러므로, 방사 스트레스 모드에서는, 링 오실레이터의 피드백 경로(후술하는 바와 같이 측정 모드에서 형성되는 피드백 경로)는 차단되고, 트랜지스터(들)는 특정 바이어스 조건 하에서 방사선 조사에 노출되게 된다. 이와 같이 노출된 방사선에 대응하는 총 이온화 선량은, 링 오실레이터(10)의 주파수를 변경한다.
- [0032] 반대로 측정 모드의 경우, 스위치(11)는 외부와 적어도 하나의 인버터(20) 사이의 연결을 차단하고, 적어도 하나의 인버터(20) 중 어느 하나의 인버터, 일례로 제1 인버터(20-1)에 연결된 말단(s13)을 어느 하나의 인버터(일례로 제N 인버터(20-N))와 연결된 말단(s12)에 연결시킨다. 이에 따라 스위치(11)는 제1 인버터(20-1)와, 제N 인버터(20-N)를 서로 연결시켜 상호 간에 신호가 전달될 수 있도록 한다. 이에 따라 적어도 하나의 인버터들(20, 일례로 제1 인버터 내지 제N 인버터(20-1 내지 20-N))는 링의 형상으로 연결되고, 제N 인버터(20-N)에서 출력된 신호가 제1 인버터(20-1)에 입력되는 피드백 경로가 생성될 수 있게 된다.
- [0033] 이와 같이 스위치(11)의 동작에 따라서, 적어도 하나의 인버터(20)는 두 가지 작동 모드, 즉 방사 스트레스 모드와 측정 모드 중 어느 하나의 모드에 따라 동작하게 될 수 있다.
- [0034] 계수기(12)는 링 오실레이터(10)의 주파수(f)를 측정한다.
- [0035] 링 오실레이터(10)의 주파수(f)는, 스위치(11)에 의해 방사 스트레스 모드를 측정 모드로 간헐적으로 스위칭함으로써 샘플링 되어 측정될 수 있다. 이 경우, 측정 모드의 바이어싱으로 인한 방사 스트레스 장애 요소가 발생될 수도 있으나, 총 샘플링 시간(<1초)을 방사선 조사 시간에 비해 상당히 단축시켜 설정하면, 이와 같은 장애 요소는 무시할 수 있을 정도로 거의 영향을 미치지 못하게 된다.
- [0036] 도 2에 도시된 바를 참조하면, 일 실시예에 있어서, 인버터(20), 일례로 제1 인버터(20-1)는 복수의 트랜지스터(P1 내지 P3, N1 내지 N3)를 포함할 수 있다.
- [0037] 보다 구체적으로 제1 인버터(20-1)는, 제어된 스트레스 트랜지스터(N1 및 P1, stress-controlled transistor, 이하 각각 제1 제어된 스트레스 트랜지스터 및 제2 제어된 스트레스 트랜지스터라 칭한다), 비제어된 스트레스 트랜지스터(N2 및 P2, stress-not-controlled transistor, 이하 각각 제1 비제어된 스트레스 트랜지스터 및 제2 비제어된 스트레스 트랜지스터라 칭한다), 전달 게이트 트랜지스터(25, transmission-gate transistor), 스트레스 모드 바이어싱 트랜지스터(27) 및 전원 스위치 트랜지스터(29)를 포함할 수 있다.
- [0038] 도 2에 도시된 바와 같이, 제1 제어된 스트레스 트랜지스터(N1)는 제2 비제어된 스트레스 트랜지스터(N2)와 직렬로 연결되고, 제2 제어된 스트레스 트랜지스터(P1)도 제2 비제어된 스트레스 트랜지스터(P2) 및 가상 드레인 전원(VVDD, Virtual VDD)에 각각으로 연결된다.
- [0039] 제1 비제어된 스트레스 트랜지스터(N2)는 전달 게이트 트랜지스터(25)의 동작에 따라 선택적으로 가상 드레인 전원에 연결되거나 또는 IN 노드(T3)에 연결될 수 있다. 또한, 제2 비제어된 스트레스 트랜지스터(P2) 역시 전달 게이트 트랜지스터(25)의 동작에 따라 선택적으로 외부 또는 IN 노드(T3)에 연결될 수 있다. 제1 비제어된 스트레스 트랜지스터(N2) 및 제2 비제어된 스트레스 트랜지스터(P2)는 서로 직렬로 연결 가능하며, 출력 값은 이들 사이에 연결된다. 이에 따라 제1 비제어된 스트레스 트랜지스터(N2) 및 제2 비제어된 스트레스 트랜지스터(P2)가 IN 노드에 연결되면, NOT 게이트의 회로를 이룬다.
- [0040] 전달 게이트 트랜지스터(25)는, IN 노드(T3)를 제1 비제어된 스트레스 트랜지스터(N2)의 게이트 및/또는 제2 비제어된 스트레스 트랜지스터(P2)의 게이트로 연결할 수 있도록 마련된다. 예를 들어, 도 2에 도시된 바와 같이 전달 게이트 트랜지스터(25)는 스위치 형태로 구현될 수 있다. 보다 상세하게는 전달 게이트 트랜지스터(25)는 IN 노드(T3)를 제1 비제어된 스트레스 트랜지스터(N2)와 연결된 노드(T4)와 연결시키거나 및/또는 IN 노드(T3)를 제2 비제어된 스트레스 트랜지스터(P2)와 연결된 노드(T4)와 연결시키도록 설계된 것 수 있다. 전달 게이트 트랜지스터(25)는 n-/p-전계 효과 트랜지스터를 이용하여 구현될 수 있다.
- [0041] 스트레스 모드 바이어싱 트랜지스터(27)는, 제1 스트레스 모드 바이어싱 트랜지스터(N3) 및 제2 스트레스 모드 바이어싱 트랜지스터(P3)를 포함할 수 있다. 스트레스 모드 바이어싱 트랜지스터(27)는, 방사 스트레스 모드에서 제어된 스트레스 트랜지스터(N1 및 P1) 및 비제어된 스트레스 트랜지스터(N2 및 P2)를 적절하게 바이어싱 하기 위해 이용될 수 있다.

- [0042] 제1 스트레스 모드 바이어싱 트랜지스터(N3) 및 제2 스트레스 모드 바이어싱 트랜지스터(P3) 각각은 제1 비제어된 스트레스 트랜지스터(N2) 및 제2 비제어된 스트레스 트랜지스터(P2)와 연결되되, 제1 제어된 스트레스 트랜지스터(N1) 및 제2 제어된 스트레스 트랜지스터(P1)과 병렬로 연결될 수 있다. 제1 스트레스 모드 바이어싱 트랜지스터(N3) 및 제2 스트레스 모드 바이어싱 트랜지스터(P3) 각각의 게이트는 스트레스 및 스트레스와 연결된다.
- [0043] 이 경우, 스트레스 모드 바이어싱을 위해서 상술한 전달 게이트 트랜지스터(25)는, 제1 비제어된 스트레스 트랜지스터(N2)의 게이트를, 각각에 연결된 노드(T1, T4)를 통하여, 0V에 연결시키거나, 및/또는 제2 비제어된 스트레스 트랜지스터(P2)의 게이트를 각각에 연결된 노드(T2, T5)를 통하여 가상 드레인 전원에 연결하도록 설계될 수 있다.
- [0044] 전원 스위치 트랜지스터(29)는, 바이어싱 온/오프(on/off)을 위한 스위치 트랜지스터를 포함할 수 있다. 전원 스위치 트랜지스터(29)는, 드레인 전원(VDD)에 연결된 제1 노드(s21) 및 외부와 연결된 제2 노드(s22)를 선택적으로 가상 드레인 전원(VVDD)의 노드(s23)와 연결시켜 바이어싱을 온 시키거나 또는 오프 시킨다. 전원 스위치 트랜지스터(29)는, 방사 스트레스 모드(Radiation stress mode, 도 3 참조) 경우에 바이어싱을 배제하기 위해 이용된다. 예를 들어, 방사 스트레스 모드에서 전원 스위치 트랜지스터(29)는 제2 노드(s22)와 제3 노드(s23)를 연결시켜 바이어싱 오프 상태를 만들 수 있다. 여기서, 가상 드레인 전원(VVDD)은, 총 이온화 선량에 대한 바이어싱 효과를 배제하기 위해(즉, 바이어스 부재(No Biasing) 상태를 위해) 접지된다. 또한, 파워 스위치 트랜지스터의 폭은 매우 크도록 설계될 수 있다. 이와 같이 파워 스위치 트랜지스터의 폭이 매우 크게 마련되면, 파워 스위치 트랜지스터의 총 이온화 선량은 링 오실레이터 주파수에 영향을 미치지 않게 된다.
- [0045] 링 오실레이터 회로의 발진 경로는, 제어된 스트레스 트랜지스터(N1 및 P1), 비제어된 스트레스 트랜지스터(N2 및 P2) 및 전달 게이트 트랜지스터(25)를 통해 형성된다. 전달 게이트 트랜지스터(25)의 n-/p-전계 효과 트랜지스터는 제어된 스트레스 트랜지스터(N1 및 P1)이나 비제어된 스트레스 트랜지스터(N2 및 P2)와 비교하여 훨씬 더 넓은 폭을 갖도록 설계될 수도 있다.
- [0046] 상술한 인버터(20-1)를 이용하면, 제어된 스트레스 트랜지스터(N1 및 P1) 및 비제어된 스트레스 트랜지스터(N2 및 P2)의 총 이온화 선량 효과에 의해 링 오실레이터 주파수(f)가 지배적으로 변화한다는 것을 확인할 수 있게 된다.
- [0047] 도 2에 도시된 제1 인버터(20-1)의 기능, 구조, 구성, 기능 및/또는 동작은, 다른 인버터(20-2 내지 20-N)에도 동일하게 또는 일부 변형된 형태로 적용될 수 있다.
- [0048] 상술한 회로 성능 저하 측정 장치(1)를 이용하여, 65nm 벌크 테스트 칩 및 28nm 완전 공핍형 실리콘 온 인슐레이터의 테스트 칩 각각에 대해 선량에 대응하여 발생하는 링 오실레이터의 주파수를 측정하면, n-전계 효과 트랜지스터의 총 이온화 선량 효과보다는, p-전계 효과 트랜지스터의 총 이온화 선량 효과가 링 오실레이터 주파수의 변화에 지배하게 기여함을 측정될 수 있다.
- [0049] 이하 이에 대해 보다 구체적으로 설명하도록 한다.
- [0050] 도 3은 방사 스트레스 모드 하에서 존재 가능한 상태들의 일례들을 도시한 도표이다.
- [0051] 도 3에 도시된 바에 의하면, 방사 스트레스 모드 하에서, 바이어스가 부재한 경우(No Biasing, 이하 바이어스 부재), N1 스트레스의 경우(N1 Stress, 이하 N1 스트레스), P1 스트레스의 경우(P1 Stress, 이하 P1 스트레스) 및 스트레스가 부재한 경우(No Stress, 이하 스트레스 부재) 등과 같이 여러 경우가 존재할 수 있다. 필요에 따라서, 이들 경우 중 일부는 존재하지 않을 수도 있다. 이들 각각의 경우에는 비제어된 스트레스 트랜지스터(N2 및 P2) 및 전달 게이트 트랜지스터(25) 모두 턴 오프 된다. 그리고 게이트(일례로 완전 공핍형 실리콘 온 인슐레이터의 프론트 게이트) 및 몸체(일례로 완전 공핍형 실리콘 온 인슐레이터의 백 게이트) 사이의 전위는 0V가 되고, 방사선에 의해 비롯된 손상은 완화되게 된다. 이 경우, 제어된 스트레스 트랜지스터(N1 및 P1)의 게이트 전위는 총 이온화 선량 효과를 제어하기 위해 바이어스된다.
- [0052] N1 스트레스에서는, 게이트 제어는 제2 제어된 스트레스 트랜지스터(P1)의 총 이온화 선량이 완화되는 동안, 제1 제어된 스트레스 트랜지스터(N1)의 총 이온화 선량을 우세하게 만든다. P1 스트레스 하에서는 이와 반대로 제1 제어된 스트레스 트랜지스터(N1)의 총 이온화 선량이 완화되는 동안, 제2 제어된 스트레스 트랜지스터(P1)의 총 이온화 선량을 강화시킨다. 스트레스 부재 하에서는 제1 제어된 스트레스 트랜지스터(N1) 및 제2 제어된 스트레스 트랜지스터(P1)의 총 이온화 선량은 최소화된다. 이와 같이 세 가지 경우를 상호 비교하면, n-전계 효과

트랜지스터 및 p-전계 효과 트랜지스터의 총 이온화 선량 효과가 링 오실레이터 주파수에 각각 어떻게 영향을 미치는지를 관찰할 수 있게 된다.

[0053] 한편, 공정한 비교를 위해, 제1 제어된 스트레스 트랜지스터(N1) 및 제2 제어된 스트레스 트랜지스터(P1)의 게이트 전위를 제외한 다른 바이어스 조건은 동일하게 설정될 수도 있다. 이에 따라, 제1 제어된 스트레스 트랜지스터(N1) 및 제2 제어된 스트레스 트랜지스터(P1)의 드레인 전위는, 각각 제1 스트레스 모드 바이어싱 트랜지스터(N3) 및 제2 스트레스 모드 바이어싱 트랜지스터(P3)를 이용하여 0V 및 드레인 전원(VDD)으로 강제적으로 설정되게 된다.

[0054] 이하 구체적인 실험 결과에 대해 설명하도록 한다.

[0055] 구체적인 결과 획득을 위해, 실험은, 65nm 벌크 시모스(CMOS, complementary metal-oxide semiconductor) 및 28nm 완전 공핍형 실리콘 온 인슐레이터 내의 링 오실레이터 회로의 테스트 칩을 기반으로 수행되었다.

[0056] 도 4는 벌크 시모스를 이용한 측정 결과를 도시한 그래프 도면으로, 보다 구체적으로는 도 4는 65nm 시모스를 벌크 시모스로 이용한 경우에서의 측정 결과이다. 도 5는 완전 공핍형 실리콘 온 인슐레이터를 이용한 테스트 칩의 측정 결과를 도시한 그래프 도면으로, 보다 상세하게는 28nm의 실리콘 온 인슐레이터를 완전 공핍형 실리콘 온 인슐레이터의 테스트 칩으로 이용한 경우에서의 측정 결과이다. 도 4 및 도 5에서, x축은 총 선량(krad)을 의미하고, y축은 정규화된 링 오실레이터의 주파수를 의미한다. 이들 그래프의 측정 결과는, 방사선 소스로 Co-60 감마선을 이용하고 선량율을 10 krad(SiO₂)/시간으로 설정한 후, 200 krad(SiO₂)까지의 링 오실레이터 회로의 주파수 변동을 관측하여 획득되었다. 또한, 65nm 벌크 테스트 칩에 대한 링 오실레이터 회로는, N1 스트레스 경우, P1 스트레스 경우 및 바이어싱 부재 상태의 3가지 경우를 고려하였고, 반면에 28nm 완전 공핍형 실리콘 온 인슐레이터의 테스트 칩에 대한 링 오실레이터 회로는 스트레스 부재 상태를 더 고려하였다.

[0057] 도 4 및 도 5에 도시된 바와 같이, 65nm 벌크 테스트 칩 및 28nm 완전 공핍형 실리콘 온 인슐레이터의 테스트 칩 각각에 대해 선량에 대응하여 발생하는 링 오실레이터의 주파수를 측정하면, 벌크 시모스의 링 오실레이터의 속도는 증가하는 경향을 보이는 반면에, 완전 공핍형 실리콘 온 인슐레이터의 속도는 감소하는 경향을 보인다. 이 경우, 벌크 시모스의 N1 스트레스 경우와 완전 공핍형 실리콘 온 인슐레이터의 P1 스트레스 경우 각각은, 스트레스가 최악인 경우는 서로 상이하나 것으로 나타난다. 한편, 다른 28nm 완전 공핍형 실리콘 온 인슐레이터 테스트 칩에서 n-/p-전계 효과 트랜지스터의 구동 전류를 측정하면, 200 krad(SiO₂) 노출 후 n-전계 효과 트랜지스터의 구동 전류는 총 이온화 선량으로 인해 2~3% 증가하는 것으로 측정된다. 그러나 p-전계 효과 트랜지스터의 구동 전류는 대략 70%까지 감소된다. 이는 완전 공핍형 실리콘 온 인슐레이터에서 p-전계 효과 트랜지스터의 총 이온화 선량 효과는 회로 속도에 더 많은 영향을 주기 때문이다. 한편, n-전계 효과 트랜지스터에서의 구동 전류의 증가 및 p-전계 효과 트랜지스터에서의 구동 전류의 감소는, 양극 전하는 트랜지스터 극성에 관계없이 음의 문턱 전압의 전이를 초래하는 점으로 설명 가능하다. 그러나, n-/p-전계 효과 트랜지스터의 구동 전류 변화량의 상당한 차이만으로는 설명이 불가능하다.

[0058] 이하 이와 같은 n-/p-전계 효과 트랜지스터의 총 이온화 선량 유도 구동 전류 변화의 상당한 차이를, 도 6 내지 도 9에 도시된 에너지 밴드 다이어그램을 참조하여 설명하도록 한다.

[0059] 도 6 내지 도 9는 완전 공핍형 실리콘 온 인슐레이터를 이용하는 경우, 상이한 방사선 조사 하에서 n-전계 효과 트랜지스터의 및 p-전계 효과 트랜지스터의 총 이온화 선량 모델을 도시한 도면으로, 28nm 완전 공핍형 실리콘 온 인슐레이터 기술의 크기 및 도핑 레벨과 같은 물리적 파라미터를 반영한 에너지 밴드 다이어그램이다. 구체적으로 도 6 및 도 7은 각각 접지된 게이트 조사(grounded gate irradiation) 하에서 n-전계 효과 트랜지스터 및 p-전계 효과 트랜지스터 각각에 대한 총 이온화 선량 모델을 도시한 도면이고, 도 8 및 도 9는 바이어스된 게이트에 대한 방사선 조사에 따른 n-전계 효과 트랜지스터 및 p-전계 효과 트랜지스터 각각의 총 이온화 선량 모델을 도시한 도면이다.

[0060] 상술한 에너지 밴드 다이어그램 분석에 있어서, P1과 N1의 게이트 전위, P1 스트레스 경우와 N1 스트레스 경우의 다른 바이어싱 조건들은 공정한 비교를 위해 동일하게 제어되었다.

[0061] 도 6 내지 도 9에 도시된 바를 참조하면, 전계 효과 트랜지스터(30-1 내지 30-4)의 매립된 절연 산화물(32-1 내지 32-4, BOX, BURIED OXIDE)의 두께는, 게이트 산화물(31-1 내지 31-4)의 두께보다 훨씬 두껍다. 예를 들어, 매립된 절연 산화물(32-1 내지 32-4)의 두께는 대략 27.4nm인 반면에, 게이트 산화물(31-1 내지 31-4)의 두께는 대략 1nm 정도로 그 두께 차이는 상당히 크다. 그러므로, 전하를 방사선에 의해 이온화시킨 경우, 절연 산화물(32-1 내지 32-4)에 축적된 이온화된 전하가 게이트 산화물(31-1 내지 31-4)의 내의 이온화된 전하보다 더 우세

하게 된다. 특히 28nm 완전 공핍형 실리콘 온 인슐레이터에서 사용된 게이트 산화물(31-1 내지 31-4) 내의 양전하는, 게이트 산화물(31-1 내지 31-4)의 두께(일례로, 1nm) 때문에, 무시할 수 있을 정도로만 축적되게 된다. 왜냐하면, 생성된 홀은 확산되기 전에 용이하게 재결합될 수 있기 때문이다.

[0062] 도 6 및 도 7에 도시된 바를 참조하면, 접지된 게이트 조사($V_g=0$)의 경우, 축적된 전위는, n/p-전계 효과 트랜지스터(30-1, 30-2)에서 수행되는 절연 산화물(32-1, 32-2) 내의 홀의 전달 방향을 반대 방향으로 뒤집는다. 구체적으로, n-전계 효과 트랜지스터 내(30-1)의 홀은 후면 인터페이스로부터 밀려나는 반면에(33-1), p-전계 효과 트랜지스터(30-2) 내의 홀은 p-전계 효과 트랜지스터의 후면 인터페이스 방향으로 유입된다(33-2). 이와 같은 상황에서 n-전계 효과 트랜지스터(30-1)의 방사능 손상은 p-전계 효과 트랜지스터(30-2)의 방사선 손상보다 훨씬 작아질 수 밖에 없다. p-전계 효과 트랜지스터(30-2)에서, 총 이온화 선량은 상당한 음의 문턱 전압의 전이를 유도할 수 있다. 이는 도 4 및 도 5에 도시된 바와 같이 바이어싱이 부재한 경우에서도 발진 속도는 감소되는 이유가 된다.

[0063] 도 8 및 도 9에 도시된 바에 의하면, 바이어스된 게이트에 대한 방사선 조사($V_g>0$)에 따라서 에너지 대역 다이어그램은 변경될 수도 있다. 구체적으로 기판에 관하여 n-전계 효과 트랜지스터(30-3)에 대해서는 양으로 조사하고, p-전계 효과 트랜지스터(30-4)에 대해 음으로 조사하는 경우 이들에 대한 에너지 대역 다이어그램은 변경된다. 이 경우, 완전히 격감된 실리콘 막 때문에 게이트 전위는 전면의 게이트 산화막(31-3, 31-4)에서만 아니라 절연 산화물(32-3, 32-4)에도 큰 전기장을 유도하게 된다. 이와 같은 절연 산화물(32-3, 32-4)에 유도된 전기장은 n-전계 효과 트랜지스터(30-3) 및 p-전계 효과 트랜지스터(30-4) 양자 모두의 홀 전달(33-3, 33-4)을 가속화시킬 수 있다. 이 경우, 홀의 이동 방향은 접지된 게이트 조사에서의 홀의 이동 방향과 동일하다. 도 6 및 도 7의 접지된 게이트 조사의 경우와 비교하면, n-전계 효과 트랜지스터의 경우(30-3)에는 더 많은 홀들이 인터페이스로부터 더 멀리 누적되고, p-전계 효과 트랜지스터(30-4)의 경우에는 인터페이스 주변에 더 많은 홀들이 누적된다. 이런 점을 종합하면, p-전계 효과 트랜지스터(30-2)에 바이어스 게이트 조사를 수행하는 경우가 최악의 조건임을 알 수 있다. 이런 점들은 도 4 및 도 5에 도시된 바와 같이 최악의 상황은 P1 스트레스인 경우와 일치한다.

[0064] 한편, N1 스트레스 경우의 도 4 및 도 5에 도시된 바와 같이 최악의 경우가 아니다. 그러나, 바이어싱이 없는 경우보다 링 오실레이터 주파수가 상대적으로 더 많이 저하되고 있다. 이것은, 도 3에 도시된 제2 비제어된 스트레스 트랜지스터(P2)의 총 이온화 선량 효과 때문이다. N1 스트레스 경우에는 제2 비제어된 스트레스 트랜지스터(P2)의 드레인 노드(도 2의 'OUT' 노드)가 플로팅된다. 전압 분배로 인해, 기판이 드레인 전원에 연결된 동안 이와 같은 노드 전위는 0V와 드레인 전원 사이의 특정 값을 갖게 된다. 이와 같은 상황 하에서, 전기장은 제2 비제어된 스트레스 트랜지스터(P2)의 절연 산화물 전체에 존재하게 되고, 이에 따라 제2 비제어된 스트레스 트랜지스터(P2)의 절연 산화물을 통과하는 전기장이 부재한 바이어싱이 없는 경우와 비교하였을 때, N1 스트레스 경우에서 제2 비제어된 스트레스 트랜지스터(P2)는 방사선에 의해 상당히 손상될 수도 있다.

[0065] 한편, 도 4 및 도 5에 도시된 바와 같이, 스트레스 부재(즉, 제어된 스트레스 트랜지스터(N1) 및 제2 비제어된 스트레스 트랜지스터(P2)의 게이트-몸체 전위가 0V가 되는 경우)에서도, N1 스트레스와 비교하였을 때, 상당한 주파수(f) 저하가 발생된다. 스트레스 부재에서 제2 비제어된 스트레스 트랜지스터(P2)는 N1 스트레스 경우와 동일한 바이어싱 조건을 가지며, 동일하거나 유사하게 방사선에 의해 손상될 수도 있다. N1 스트레스 및 스트레스 부재와 관련해서, 링 오실레이터 주파수는 명백하게 하락한다. 이와 같은 결과는 p-전계 효과 트랜지스터의 총 이온화 선량 효과가 n-전계 효과 트랜지스터의 총 이온화 선량 효과보다 더 우세하다는 것을 나타내며, 또한 제2 비제어된 스트레스 트랜지스터(P2)의 총 이온화 선량 효과가 링 오실레이터 주파수를 지배적으로 변화시키고 있음을 나타낸다.

[0066] 이와 같은 점을 종합하면, p-전계 효과 트랜지스터의 총 이온화 선량 효과가 완전 공핍형 실리콘 온 인슐레이터 기술에서 전반적인 회로 성능에 더 많은 영향을 미침을 알 수 있다. 다시 말해서, 완전 공핍형 실리콘 온 인슐레이터 공정을 이용할 경우에는, 벌크 시모스 공정과 상이하게 p모스펫(pMOSFET)이 n모스펫(nMOSFET) 보다 총 이온화 선량에 더 영향을 받음을 알 수 있다. 결론적으로, 완전 공핍형 실리콘 온 인슐레이터 n모스펫(FD-SOI nMOSFET)은 p모스펫(pMOSFET) 보다 총 이온화 선량 특성이 더욱 우수함을 알 수 있다.

[0067] 따라서, 이러한 점을 고려하면, 내방사선 성능이 더욱 향상된 완전 공핍형 실리콘 온 인슐레이터 소자 또는 이를 이용한 집적 회로 등을 구현할 수 있게 된다. 예를 들어, 소자, 회로 및/또는 장치가 외부의 방사선에 노출이 잦은 분야(일례로, 우주 산업, 국방 산업 분야, 원자력 발전 산업 분야 등)에 있어서, n모스펫을 더 채용하거나 또는 p모스펫을 n모스펫으로 대체하여 집적 회로 등을 설계함으로써 내방사선의 성능 향상을 도모할 수 있

게 된다.

[0068] 이하 도 10을 참조하여, 총 이온화 선량 효과에 기인한 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 집적 회로의 성능 저하 측정 방법의 일 실시예에 대해 설명하도록 한다.

[0069] 도 10은 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 방법의 일 실시예에 대한 흐름도이다.

[0070] 도 10에 도시된 바에 의하면, 총 이온화 선량 효과에 기인한 회로 성능 저하 측정을 위해서, 먼저 측정 대상이 결정된다(100). 예를 들어, 65nm 벌크 시모스 및 28nm 완전 공핍형 실리콘 온 인슐레이터 내의 링 오실레이터 회로의 테스트 칩이 측정을 위해 마련된다. 또한, 각각의 측정 대상에 대응하는 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 장치(일례로 링 오실레이터)가 준비된다. 여기서 회로 성능 저하 측정 장치는, 상술한 바와 같이, 복수의 트랜지스터를 포함하는 적어도 하나의 인버터와, 적어도 하나의 인버터 중 두 개의 인버터를 선택적으로 연결 가능한 스위치와, 적어도 하나의 인버터 중 어느 하나에 연결된 계수기를 포함할 수 있으며, 이 경우, 스위치, 적어도 하나의 인버터 및 계수기는 직렬로 연결될 수 있다. 또한, 적어도 하나의 인버터 중 어느 하나의 인버터(일례로 제N 인버터)와 다른 하나의 인버터(일례로 제1 인버터)는 스위치의 동작에 따라 선택적으로 상호 전기적으로 연결되도록 마련된 것일 수 있다.

[0071] 순차적으로 스위치가 주기적 또는 비주기적으로 동작하여 회로 성능 저하 측정 장치의 작동 모드가 변경된다 (101). 예를 들어, 스위치의 동작에 따라 회로 성능 저하 측정 장치의 모드는 방사 스트레스 모드 및 측정 모드 중 어느 하나로 변경된다.

[0072] 계수기는, 이와 같은 스위치의 동작에 따라서 회로 성능 저하 측정 장치에서 발생하는 전류의 주파수를 측정할 수 있다(102). 이 경우, 각각의 측정 대상마다 전류의 주파수가 측정된다.

[0073] 계수기에 의해 측정된 각각의 측정 대상의 주파수를 기반으로 분석을 수행한다(103). 이 경우, 각각의 상태(예를 들어, 바이어스 부재, N1 스트레스, P1 스트레스 및 스트레스 부재 등)마다 측정된 주파수를 기반으로 분석이 수행될 수 있다. 이와 같은 분석 결과에 의하면, 완전 공평형 실리콘 온 인슐레이터 기술에서는, p-전계 효과 트랜지스터의 총 이온화 선량 효과가 전반적인 회로 성능에 더 많은 영향을 미침을 알 수 있다.

[0074] 이상 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 장치, 방법 및 상기 장치의 측정 결과에 따른 완전 공핍형 실리콘 온 인슐레이터 소자의 여러 실시예에 대해 설명하였으나, 총 이온화 선량 효과에 기인한 회로 성능 저하 측정 장치, 방법 및 상기 장치의 측정 결과에 따른 완전 공핍형 실리콘 온 인슐레이터 소자는 오직 상술한 실시예에 한정되는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자가 상술한 실시예를 기초로 수정 및 변형하여 구현 가능한 다양한 장치나 방법 역시 상술한 장치 및 방법의 일례가 될 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나 다른 구성 요소 또는 균등물에 의하여 대치되거나 또는 치환되더라도 상술한 장치 및 방법의 일 실시예가 될 수 있다.

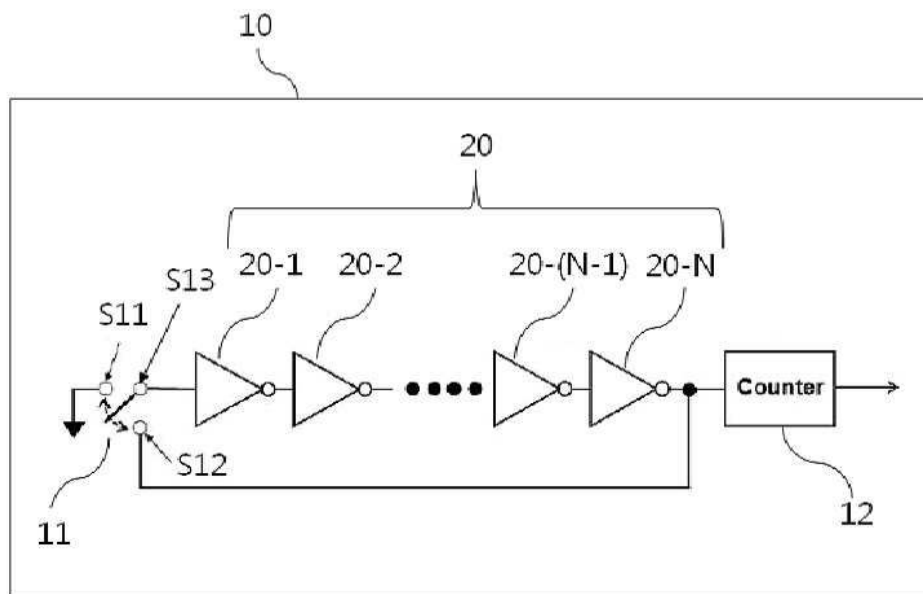
부호의 설명

[0075] 10: 링 오실레이터

20: 인버터

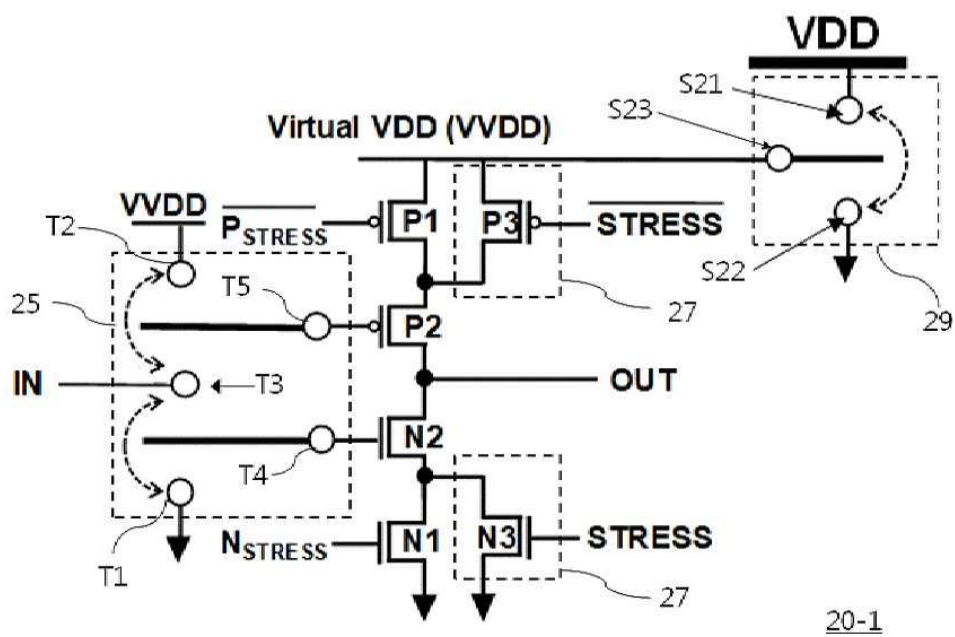
도면

도면1



1

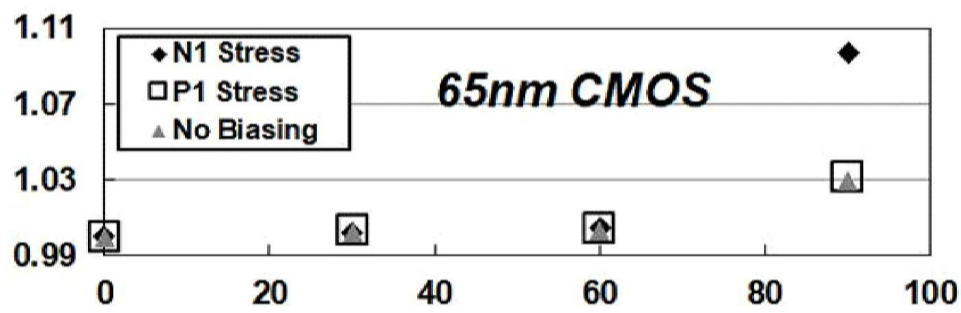
도면2



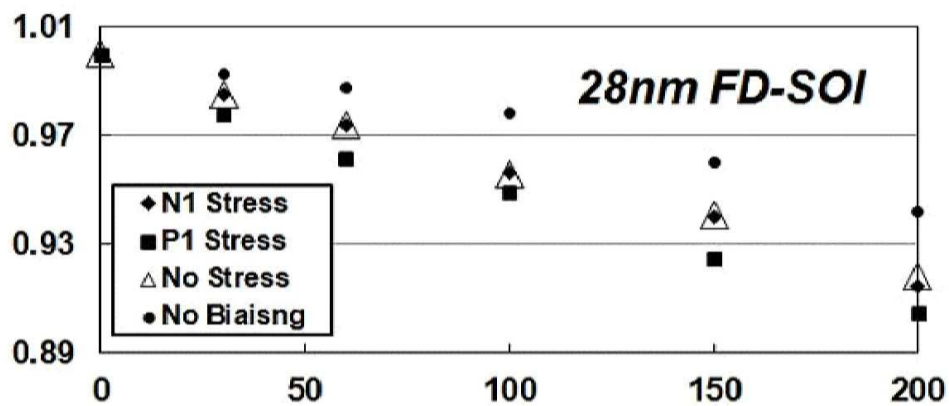
도면3

Mode	Signal/ Power	Case 1: N1 Stress	Case 2: P1 Stress	Case 3: No Stress	Case 4: No Biasing
Radiation Stress	P _{STRESS}	Low	High	Low	Biasing OFF (V _{VDD} is forced to 0V)
	N _{STRESS}	High	Low	Low	
	STRESS	High	High	High	
	V _{VDD}	V _D D	V _D D	V _D D	
Measurement	P _{STRESS} : High, N _{STRESS} : High, STRESS: Low, Biasing ON (V _{VDD} = V _D D)				

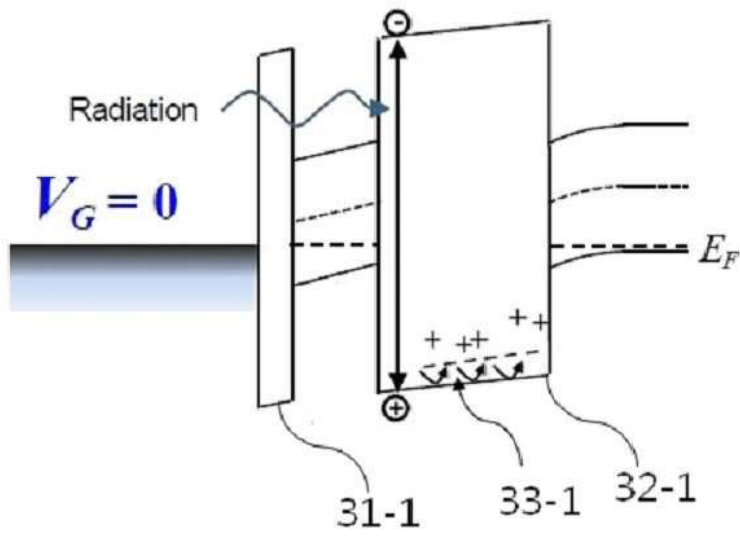
도면4



도면5

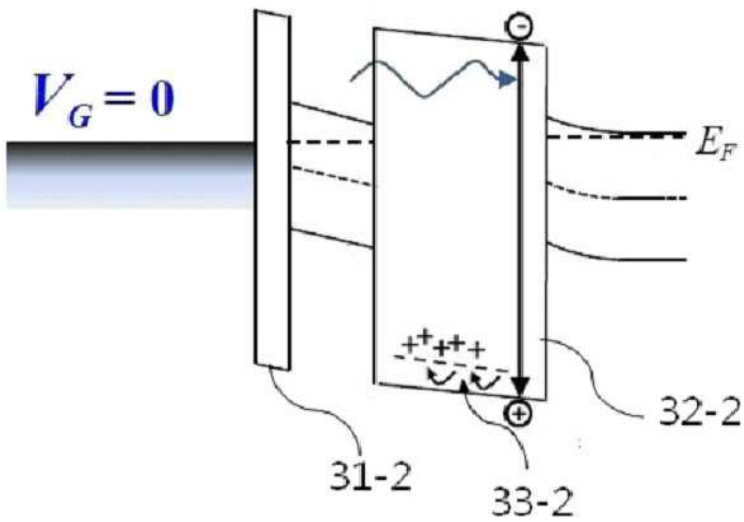


도면6



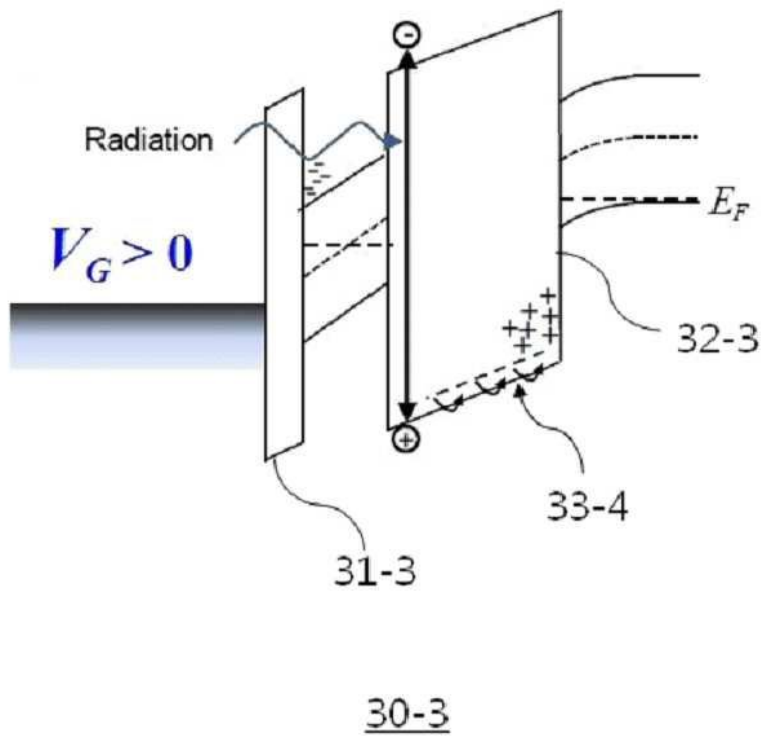
30-1

도면7

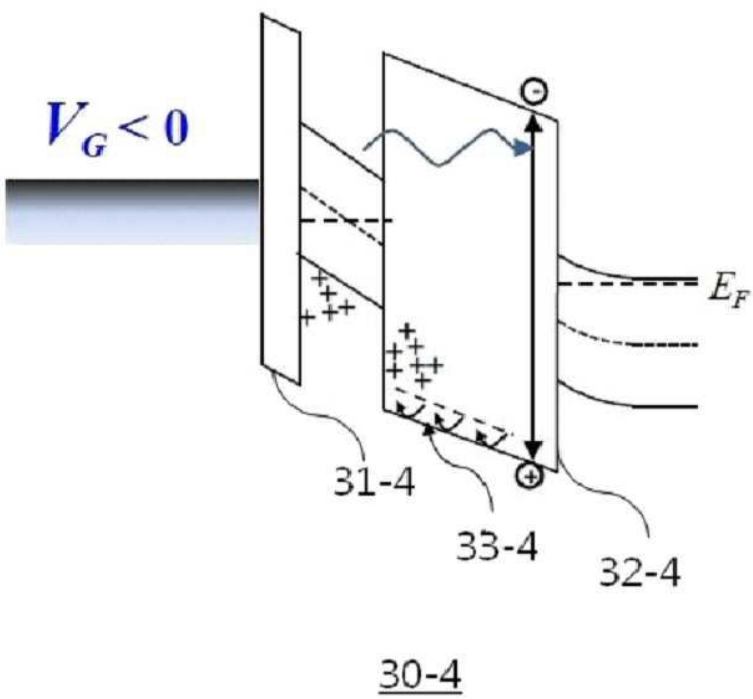


30-2

도면8



도면9



도면10

