

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96/45066

※申請日期：96/11/28

※IPC 分類：H01L 51/05 (2006.01)

一、發明名稱：(中文/英文)

具雙層電極之有機薄膜電晶體

ORGANIC THIN FILM TRANSISTOR WITH DUAL LAYER ELECTRODES

二、申請人：(共1人)

姓名或名稱：(中文/英文)(簽章) ID：

全錄股份有限公司

XEROX CORPORATION

代表人：(中文/英文)(簽章)

大衛 J.亞瑟

DAVID J. ARTHUR

住居所或營業所地址：(中文/英文)

美國紐約州 14644 羅契斯特南柯林頓道 100 號

100 S. Clinton Ave. Rochester, NY 14644, U.S.A.

國籍：(中文/英文)

美國

United States of America a

三、發明人：(共2人)

姓 名：(中文/英文) **ID：**

1. 吳怡良/WU, YILIANG
2. 翁班/ONG, BENG S.

國 籍：(中文/英文)

1. ~2. 加拿大
Canada

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 2006/11/29 11/564,438

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

三、發明人：(共2人)

姓 名：(中文/英文) **ID：**

1. 吳怡良/WU, YILIANG
2. 翁班/ONG, BENQ S.

國 籍：(中文/英文)

1. ~2. 加拿大
Canada

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 2006/11/29 11/564,438

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本揭示在各具體實施例中關於多層電極及包括其之薄膜電晶體(TFT)。

【先前技術】

TFT 為現代電子(包括例如感應器、影像及顯示裝置)之基礎組件。使用目前主流矽技術之 TFT 電路對某些應用可能太昂貴,特別是對於大面積電子裝置,如顯示器(例如主動矩陣液晶監視器或電視)用背面切換電路、及其中高切換速度及/或高密度不重要之低階電子裝置(如無線射頻辨識(RFID)標籤)。矽為主 TFT 電路之高成本主要由於資本密集之矽製造及製造所需嚴格控制環境下複雜之高溫、高真空微影術製程所造成。因為使用習知微影術製造矽為主 TFT 電路之成本及複雜性,對於有機 TFTs (OTFTs)之興趣漸增。有機材料不僅提供使用低成本溶液或液體製造技術之可能性,亦及引人注目之機械性質,如實體縮小、重量輕及撓性。

OTFTs 通常在基板上由導電性閘極、源極與吸極、分隔閘極及源極與吸極之電絕緣閘介電層、及接觸閘介電層且橋接源極與吸極之半導體層組成。其性能可由場效移動力及電流開/關比決定。其希望為高移動力及高開/關比。

移動力及開/關比均受源極與吸極間之總電阻 R_{total} 影響。如果總電阻高,則其需要高電場強度注射及摘取電荷載子。總電阻可使用下式決定:

$$R_{\text{total}} = R_{\text{contact}} + R_{\text{sc}}$$

R_{contact} 為各電極與半導體層之界面處的接觸電阻。 R_{sc} 為源極與吸極間半導體層長度之電阻。

一種降低總電阻之方法為藉由減小源極與吸極間之半導體通道長度而降低 R_{sc} 。如此增加移動力，但是如果 R_{contact} 非常低則降低開/關比。其限制如 TFT 之應用。

另一種降低總電阻之方法為降低接觸電阻。接觸電阻通常藉由選擇作業函數與半導體之能階相同或非常接近之電極材料而最小。能階在 p-型半導體之情形為半導體之最高佔據分子軌域 (HOMO)，或者在 n-型半導體之情形為半導體之最低未佔據分子軌域 (LUMO)。然而如果在 R_{sc} 低時接觸電阻最小，則電流開/關比降低，因為 TFT 呈現高關電流。

【發明內容】

本揭示經由各例示具體實施例關於 TFT。TFT 包括基板、閘極、源極、吸極、閘極介電層、及半導體層。源極與吸極包括第一及第二層，其中第一及第二層均直接接觸半導體層。

在本揭示之進一步具體實施例中，TFT 為有機 TFT，其中半導體層為有機半導體層。

源極與吸極各包括第一及第二層。各第一層包括一種作業函數與半導體層之能階相差至少 0.5 eV 之材料。各第二層包括一種作業函數與半導體層之能階相同或相差最大 0.2 eV 之材料。此種其中故意引入接觸電阻之設計造成一

種具有高移動力及高電流開/關比之 TFT。

在其他具體實施例中，源極第一層及吸極第一層各具有最大 50 奈米之厚度。在進一步具體實施例中，源極第一層及吸極第一層各具有約 5 奈米至約 50 奈米之厚度。

在另外具體實施例中，源極第二層及吸極第二層各具有至少 5 奈米之厚度。在進一步具體實施例中，源極第二層及吸極第二層各具有約 20 奈米至約 1000 奈米之厚度。

在又進一步具體實施例中，半導體層之能階與源極第一層之作業函數間之差為約 0.5 eV 至約 1.0 eV。在其他具體實施例中，此差為至少 1.0 eV。

在又其他具體實施例中，半導體為 p-型半導體且半導體之能階係按半導體之 HOMO 計。

在又另外具體實施例中，半導體通道長度為最大 20 微米。在進一步具體實施例中，半導體通道長度為最大 10 微米。在其他具體實施例中，半導體通道長度為約 5 至約 10 微米。在又進一步具體實施例中，半導體通道長度為約 1 至約 5 微米。

在其他具體實施例中，源極第一層、吸極第一層、源極第二層、及吸極第二層各直接接觸半導體層。

在進一步具體實施例中，源極第二層具有與半導體之能階相符之作業函數。

在另外具體實施例中，各第一層包括鈦。在進一步具體實施例中，各第二層包括金。

在又進一步具體實施例中，電晶體為一種底部閘極底

部接觸電晶體。

在進一步具體實施例中，電晶體具有提升的移動力及開/關電流比之改良性能。

本揭示之這些及其他非限制特性更特別地揭示於下。

【實施方式】

本揭示敘述一種具雙層源極與吸極之 TFT。各源極與吸極包括第一層（其包括第一導電材料）及第二層（其包括第二導電材料）。在具體實施例中，源極第一層可與吸極第一層相同或不同。源極第二層可與吸極第二層相同或不同。關於半導體之能階係依其各為 p-型或 n-型半導體而指半導體之 HOMO 或 LUMO 能階。

在此揭示之組件、方法及設備的更完整了解可參考附圖而得。這些圖式僅為基於方便性及本發明之展示容易性的略示圖，因此不意圖表示裝置或其組件之相對大小及尺寸及/或界定或限制例示具體實施例之範圍。

雖然為了明確而在以下說明中使用指定名詞，這些名詞意圖僅指圖式中所選擇描述用半導體之特定結構，而且不意圖界定或限制本揭示之範圍。在圖式及以下說明中應了解，相同之代號指功能相同之組件。

第 1 圖描述一種依照本揭示之底部閘極底部接觸 TFT 組態。TFT 10 包括接觸閘極 30 與閘極介電層 40 之基板 20。雖然在此將閘極 30 敘述為在基板 20 內，其非必要。然而為閘極介電層 40 分隔閘極 30 與源極 50、吸極 60 及半導體層 70 重要的。源極 50 包括第一層 52 及第二層 54。

吸極 60 亦包括第一層 62 及第二層 64。第一層 62 較第二層 64 接近閘極介電層 40。半導體層 70 通過源極與吸極 50 及 60 之間。源極與吸極 50 及 60 之層 52、54、62、64 均接觸半導體層 70。半導體在源極與吸極 50 及 60 之間具有通道長度 80。

第 2 圖描述另一種依照本揭示之底部閘極頂部接觸 TFT 組態。TFT 10 包括接觸閘極 30 與閘極介電層 40 之基板 20。半導體層 70 係位於閘極介電層 40 頂部且將其及源極與吸極 50 及 60 分隔。源極 50 包括第一層 52 及第二層 54。吸極 60 亦包括第一層 62 及第二層 64。源極與吸極 50 及 60 之層 52、54、62、64 均接觸半導體層 70。

第 3 圖描述一種依照本揭示之底部閘極底部接觸 TFT 組態。TFT 10 包括基板 20，其亦作為閘極且接觸閘極介電層 40。源極 50 包括第一層 52 及第二層 54。吸極 60 亦包括第一層 62 及第二層 64。第一層 62 較第二層 64 接近閘極介電層 40。源極與吸極 50 及 60 之層 52、54、62、64 均接觸半導體層 70。

第 4 圖描述一種依照本揭示之頂部閘極頂部接觸 TFT 組態。TFT 10 包括接觸源極 50、吸極 60 及半導體層 70 之基板 20。源極 50 包括第一層 52 及第二層 54。吸極 60 亦包括第一層 62 及第二層 64。半導體層 70 通過源極與吸極 50 及 60 之間。閘極介電層 40 係位於半導體層 70 頂部。閘極 30 係位於閘極介電層 40 頂部且未接觸半導體層 70。源極與吸極 50 及 60 之層 52、54、62、64 均接觸半導體層

70。

基板可由包括但不限於矽、玻璃板、塑膠薄膜或片之材料組成。對於結構撓性裝置，塑膠基板（例如聚酯、聚碳酸酯、聚醯亞胺片等）可能較佳。基板之厚度可為約 10 微米至超過 10 毫米，例示厚度為約 50 至約 100 微米，特別是對於撓性塑膠基板，而且對於剛性基板（如玻璃或矽）為約 1 至約 10 毫米。

閘極係由導電材料組成。其可為薄金屬膜、導電性聚合物薄膜、由導電墨水或漿料製成之導電性薄膜、或基板本身，例如重摻雜矽。閘極材料之實例包括但不限於鋁、金、鉻、氧化銦錫、導電性聚合物（如摻雜聚苯乙烯磺酸酯聚（3,4-伸乙二氧基噻吩）（PSS-PEDOT））、及包括碳黑 / 石墨之導電墨水及 / 或漿料。閘極可藉真空蒸發、濺鍍金屬或導電性金屬氧化物、習知微影術與蝕刻、化學蒸氣沉積、旋塗、流延或印刷、或其他沉積方法製備。閘極之厚度範圍為例如對金屬薄膜為約 10 至約 200 奈米，而且對導電性聚合物為約 1 至約 10 微米。

閘極介電層通常可為無機材料薄膜或有機聚合物薄膜。適合作為閘極介電層之無機材料的實例包括氧化矽、氮化矽、氧化鋁、鈦酸鋇、鈦酸鋇鋅等。合適有機聚合物之實例包括聚酯、聚碳酸酯、聚（乙烯酚）、聚醯亞胺、聚苯乙烯、聚（甲基）丙烯酸酯、聚（丙烯酸酯）、環氧樹脂等。閘極介電層之厚度視所使用材料之介電常數而定，而且可為例如約 5 奈米至約 5000 奈米，包括約 100 至約 1000

奈米。閘極介電層可具有例如每公分小於約 10^{-12} 西門子 (S/cm) 之導電度。閘極介電層係使用此技藝已知之習知方法形成，其包括形成閘極所述之方法。

半導體層通常為有機半導體材料。有機半導體之實例包括但不限於合烯，如蔥、四萘、五萘及經取代五萘、茱、富勒烯、寡聚噻吩、聚噻吩及其經取代衍生物、聚吡咯、聚對伸苯基、聚對苯基亞乙烯、萘二羧酸二酐、萘貳醯亞胺、聚萘、酞青（如酞青銅或酞青鋅）及其經取代衍生物。半導體亦可為無機半導體，如 ZnO、ZnS、矽奈米線等。

在指定具體實施例中，半導體為聚噻吩。聚噻吩包括例如區域規則性及區域無規性聚（3-烷基噻吩）、包括經取代與未取代伸噻吩基之聚噻吩、包括視情況地經取代噻吩 [3,2-b] 噻吩及 / 或視情況地經取代噻吩 [2,3-b] 噻吩基之聚噻吩、包括融合環芳族基之聚噻吩、包括含雜原子融合環芳族基之聚噻吩、及包括非噻吩為主芳族基（如伸苯基、茱、呋喃等）之聚噻吩。

半導體層為約 5 奈米至約 1000 奈米深，包括約 20 至約 100 奈米深。在特定組態中，如第 1 至 4 圖所示組態，半導體層完全地覆蓋源極與吸極。半導體層具有以源極與吸極間距離界定之通道長度。在指定具體實施例中，半導體通道長度為最大 20 微米。在進一步具體實施例中，半導體通道長度為最大 10 微米。在指定具體實施例中，半導體通道長度為約 5 至約 10 微米。在進一步具體實施例中，半

導體通道長度為約 1 至約 5 微米。通道長度為重要的，因為較短之通道長度減小 R_{sc} ，如以上所討論。如果 R_{sc} 大則無需引入接觸電阻以達成高電流開/關比。此外較小之通道長度增加移動力。

半導體層可藉分子束沉積、真空沉積、昇華、旋塗、浸塗、印刷（例如噴墨印刷、網版印刷、鋼板印刷、微接點印刷、膠板印刷）、及其他此技藝已知之習知方法形成，其包括形成閘極所述之方法。

關於電性能特性，有機半導體通常具有 10^{-8} 至 10^{-4} S/cm 範圍之導電度。亦可加入各種此技藝已知之摻雜劑以改變導電度。有機半導體可為 p-型或 n-型半導體。對於 p-型，半導體通常具有高於 4.5 eV 之能階（HOMO 能階）。在指定具體實施例中，p-型半導體具有約 5.1 eV 之 HOMO 能階。對於 n-型，半導體通常具有低於 4.5 eV 之能階（LUMO 能階）。在指定具體實施例中，n-型半導體具有約 4.0 eV 之 LUMO 能階。在指定具體實施例中，半導體為 p-型半導體。在指定具體實施例中，有機半導體為聚噻吩。聚噻吩通常具有約 4.7 eV 至約 5.5 eV 之 HOMO 能階。

源極或吸極之第一層具有與半導體層之能階相差 0.5 eV 之作業函數。在指定具體實施例中，第一層之作業函數相差 0.5 至約 1.0 eV。在其他具體實施例中，此差為至少 1.0 eV。當然第一層之作業函數與半導體層之能階間之差亦有上限。此差應不大於 3.0 eV。第二層具有與半導體層之能階相差最大 0.2 eV 之作業函數。在指定具體實施例中

，第二層之作業函數與半導體層之能階相差最大 0.1 eV 。理想地，第二層具有與半導體層之能階相符之作業函數。此差為故意的，因為其將接觸電阻引入 TFT 中。令人驚奇地發現，降低 R_{sc} 與增加 $R_{contact}$ 之組合製造具高移動力及高電流開/關比之 TFT。

原則上，幾乎任何材料可用於電極之任一層，只要其符合這些要求。適合用於源極或吸極之任一層的金屬包括但不限於鉑、金、銀、鎳、鉻、銅、鐵、錫、銻、鉛、鋇、銦、鈮、鉍、銻、鋁、鈮、銻、鉕、鎢、鎢、氧化錫-銻、氧化銦錫、摻氟氧化鋅、鋅、碳、石墨、玻質碳、銀漿、碳漿、鋰、鈹、鈉、鎂、鉀、鈣、銦、鈦、錳、鋳、鎳、鈉、鈉-鉀合金、鎂、鋰、及其合金。在進一步具體實施例中，其使用較便宜之導電材料；其為銀、鎳、鉻、銅、鐵、錫、銻、鉛、鋇、銦、鈮、鉍、銻、鋁、鈮、銻、鉕、鎢、鎢、氧化錫-銻、氧化銦錫、摻氟氧化鋅、鋅、碳、石墨、銀漿、及碳漿。第一層必須與半導體之能階相差至少 0.5 eV 且第二層必須相差最大 0.2 eV ，暗示著二電極層始終包括不同之材料。

導電性聚合物可用於源極或吸極之任一層。此導電性聚合物包括但不限於聚苯胺、聚吡咯、PSS-PEDOT、或其衍生物或其混合物。這些聚合物亦可經摻雜以增強其導電度。通常其導電度大於 10^{-3} S/cm 。

任一電極之第一層應不超過約 100 奈米厚。在進一步具體實施例中，任一電極之第一層具有約 5 奈米至約 50 奈米之厚度。在指定具體實施例中，任一電極之第一層具有

最大 50 奈米之厚度。第一層可藉此技藝已知之任何沉積方法形成，其包括形成閘極所述之方法。第二層可為約 5 奈米至約 3000 奈米厚。在指定具體實施例中，第二層具有至少 20 奈米之厚度，包括約 20 至約 1000 奈米厚。第二層可藉此技藝已知之任何沉積方法形成，其包括形成閘極所述之方法。

金屬合金可在各電極之第一層與第二層間界面處形成。視裝置結構及製造步驟（例如在第一金屬層之後沉積第二金屬層時）而定，其可將第二層金屬擴散至第一層中形成金屬合金。此擴散可發生約 0.1 奈米至約 5 奈米厚之範圍。

源極與吸極之第一層較佳為均由如第二層之相同材料組成。例如在指定具體實施例中，源極與吸極之第一層均為鈦且二電極之第二層均為金。大部份 p-型有機半導體具有約 5.1 eV 之作業函數。鈦具有 4.1 eV 之作業函數，其與半導體相差至少 0.5 eV。金亦具有 5.1 eV 之作業函數，其與半導體相符。然而本揭示亦預期任一電極之兩層的材料係獨立地選擇。

如在第 1-4 圖所見，源極與吸極之兩層均直接接觸半導體層。在具體實施例中，源極第一層較源極第二層接近閘極介電層。在進一步具體實施例中，TFT 為底部閘極底部接觸 TFT 且源極第一層直接接觸閘極介電層。

在指定具體實施例中，TFT 具有雙層電極，其中源極與吸極之第一層具有與半導體之能階相差至少 0.5 eV 之作

業函數。第二層具有與半導體之能階相差最大 0.1 eV 之作業函數。此外半導體通道長度為最大 20 微米 。

在小半導體通道長度及雙層源極與吸極設計之具體實施例中，其得到高移動力及高電流開/關比。

OTFT 之各組件可依任何次序沉積在基板上。然而通常閘極與半導體層均應接觸閘極介電層。此外源極與吸極均應接觸半導體層。特別地，電極之二層均應接觸半導體層。

以下實例係為了進一步描述依照本揭示具多層電極之 OTFT 之目的。實例僅為描述性且不意圖將依照本揭示製造之裝置限於在此所述之材料、條件或方法參數。所有之份均為體積百分比，除非另有指示。

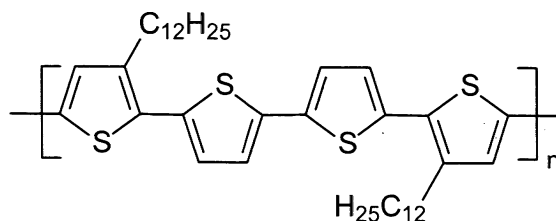
實例

實例 1

建置具描述於第 3 圖之組態的底部接觸薄膜電晶體。其包括具厚約 300 奈米 之熱生長氧化矽層的 n -摻雜型矽晶圓。晶圓係作為閘極。氧化矽層係作為閘極介電層。將 10 奈米 鈦層塗佈於對應源極與吸極之兩個位置。此鈦層為雙層電極之第一層。其次對鈦層塗佈 100 奈米 金層以形成雙層電極之第二層。半導體通道長度（即源極與吸極間之距離）為 5 微米 。

藉由將裝置在 60°C 浸於 0.1 M OTS-8 於甲苯之溶液經 20 分鐘 ，而使氧化矽表面經辛基三氯矽烷 (OTS-8) 修改。然後藉由將裝置在室溫浸於 0.01 M 辛硫醇於甲苯之溶液經

20 分鐘，而使金表面經辛硫醇修改。然後沉積以下之聚噻吩以形成半導體層。



其中 n 為約 5 至約 5,000 之數目。在此實例中，聚合物具相對聚苯乙烯標準品為 22,900 之 M_w 及 17,300 之 M_n 。此聚噻吩及其製備敘述於美國專利第 6,770,904 號，其揭示在此全部併入作為參考。將聚噻吩旋塗然後在 140°C （其相轉移溫度）退火。電晶體具有 5 微米之半導體通道長度及 250 微米之通道寬度。半導體具有 5.1 eV 之 HOMO 能階，其與源極第一鈦層之作業函數 (4.1 eV) 相差 1.0 eV，而且與源極第二金層之作業函數 (5.1 eV) 相符。

裝置係使用 Keithley 4200 SCS 半導體特徵化裝置顯示特徵。電荷載子移動力 μ 係依照方程式 (1) 由飽和狀態（閘極電壓 $V_G < \text{源極} - \text{吸極電壓 } V_{SD}$ ）之資料計算

$$I_{SD} = C_i \mu (W/2L) (V_G - V_T)^2 \quad (1)$$

其中 I_{SD} 為飽和狀態之吸極電流， W 與 L 各為半導體通道寬度及長度， C_i 為每單位面積閘極層之電容，及 V_G 與 V_T 各為閘極電壓及下限電壓。裝置之 V_T 係藉由飽和狀態之 I_{SD} 平方根與裝置之 V_G 間關係，將測量之資料外差至 $I_{SD}=0$ 決定。

薄膜電晶體之另一個重要性質為其電流開/關比。其為閘極電壓 V_G 等於或大於吸極電壓 V_D 時之飽和源極-吸極電

流對閘極電壓 V_G 爲零時之源極-吸極電流的比例。移動力經計算爲 0.39 平方公分/伏特·秒及電流開/關比爲約 10^7 。

比較例 1

在比較例 1 中，電晶體係如實例 1 而製造，除了源極與吸極爲單一金層且具有 90 微米之通道長度。移動力經計算爲 0.12 平方公分/伏特·秒及電流開/關比爲約 10^7 。

比較例 2

在比較例 2 中，電晶體係如實例 1 而製造，除了源極與吸極爲單一金層且通道長度爲 2 或 5 微米。其具有至多 0.45 平方公分/伏特·秒之移動力，但是電流開/關比小於 10^4 。

將比較例 1 與比較例 2 相比顯示短半導體通道長度顯著地增加移動力。將實例 1 與比較例 1 相比顯示無接觸電阻仍將短半導體通道長度戲劇性地降低電流開/關比（由 10^7 至 10^4 ）。藉由以雙層電極設計故意地引入接觸電阻，其可得到高移動力及高電流開/關比。

雖然已敘述特定具體實施例，申請人或熟悉此技藝者可得目前未知之替代方案、修改、變化、改良、及實質等致物。因而提出之所附申請專利範圍（其可修正）意圖包括所有此種替代方案、修改、變化、改良、及實質等致物

【圖式簡單說明】

以下爲圖式之簡單說明，其係爲了描述在此揭示之例示具體實施例之目的而非限制其之目的而提出。

第 1 圖表示依照本揭示之 TFT 的第一具體實施例。

第 2 圖表示依照本揭示之 TFT 的第二具體實施例。

第 3 圖表示依照本揭示之 TFT 的第三具體實施例。

第 4 圖表示依照本揭示之 TFT 的第四具體實施例。

【主要元件符號說明】

10	薄膜電晶體
20	基板
30	閘極
40	閘極介電層
50	源極
52	源極第一層
54	源極第二層
60	吸極
62	吸極第一層
64	吸極第二層
70	半導體層
80	半導體通道長度

五、中文發明摘要：

本發明提供一種具雙層源極與吸極之薄膜電晶體 (TFT)。各源極與吸極包括第一層及第二層。第一層具有與半導體之能階相差至少 0.5 eV 之作業函數，及第二層具有與半導體之能階相符之作業函數。半導體具有短通道長度。

六、英文發明摘要：

A thin-film transistor (TFT) with dual-layer source and drain electrodes is provided. Each source and drain electrode comprises a first layer and a second layer. The first layer has a work function which differs from the energy level of the semiconductor by at least 0.5 eV and the second layer has a work function matching the energy level of the semiconductor. The semiconductor has a short channel length.

十、申請專利範圍：

1.一種薄膜電晶體，其包括：

源極；吸極；及

半導體層；

其中源極與吸極各包括第一及第二層；

其中源極第一層具有與半導體之能階相差至少 0.5 eV 之作業函數；

其中源極第二層具有與半導體之能階相差最大 0.2 eV 之作業函數；

其中半導體層具有不超過 20 微米之通道長度。

2.如申請專利範圍第 1 項之薄膜電晶體，其中源極第一層、吸極第一層、源極第二層、及吸極第二層獨立地包括選自鈦、鉑、金、銀、鎳、鉻、銅、鐵、錫、銻、鉛、鉭、銮、鈮、鉍、銻、鋁、鈦、鎢、鉬、鎢、氧化錫-銻、氧化銮錫、摻氟氧化鋅、鋅、碳、石墨、銀漿、碳漿、鋰、鈹、鈉、鎂、鉀、鈣、銦、錳、鋳、鎳、鈷、鈉、鈉-鉀合金、鎂、鋰、及其合金之材料。

3.如申請專利範圍第 1 項之薄膜電晶體，其中源極第一層及吸極第一層各具有最大 50 奈米之厚度。

4.如申請專利範圍第 1 項之薄膜電晶體，其中源極第一層及吸極第一層各具有約 5 奈米至約 50 奈米之厚度。

5.如申請專利範圍第 1 項之薄膜電晶體，其中源極第二層及吸極第二層各具有至少 5 奈米之厚度。

6.如申請專利範圍第 1 項之薄膜電晶體，其中源極第二層

及吸極第二層各具有約 20 至約 1000 奈米之厚度。

7.如申請專利範圍第 1 項之薄膜電晶體，其中半導體之能階與源極第一層之作業函數間之差為 0.5 eV 至約 1.0 eV

。

8.如申請專利範圍第 1 項之薄膜電晶體，其中半導體之能階與源極第一層之作業函數間之差為至少 1.0 eV。

9.如申請專利範圍第 1 項之薄膜電晶體，其中半導體層具有約 5 至約 10 微米之通道長度。

10.如申請專利範圍第 1 項之薄膜電晶體，其中半導體為 p-型半導體。

11.如申請專利範圍第 1 項之薄膜電晶體，其中源極第一層、吸極第一層、源極第二層、及吸極第二層各直接接觸半導體層。

12.如申請專利範圍第 1 項之薄膜電晶體，其中源極第二層具有與半導體之能階相符之作業函數。

13.一種有機薄膜電晶體，其包括：

源極；吸極；閘極介電層；及

有機半導體層；

其中源極與吸極各包括第一及第二層；

其中各第一層具有與半導體之能階相差至少 0.5 eV 之作業函數；

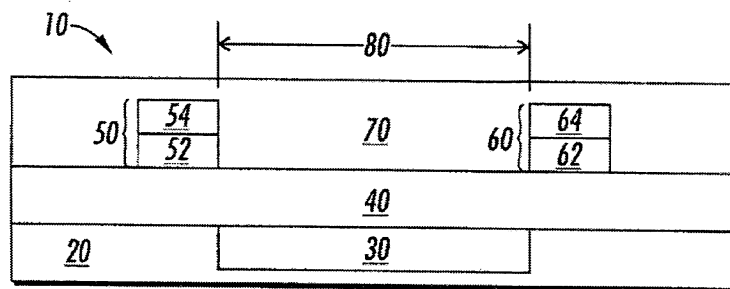
其中各第二層具有與半導體之能階相差最大 0.2 eV 之作業函數；

其中半導體層具有約 5 至約 10 微米之通道長度。

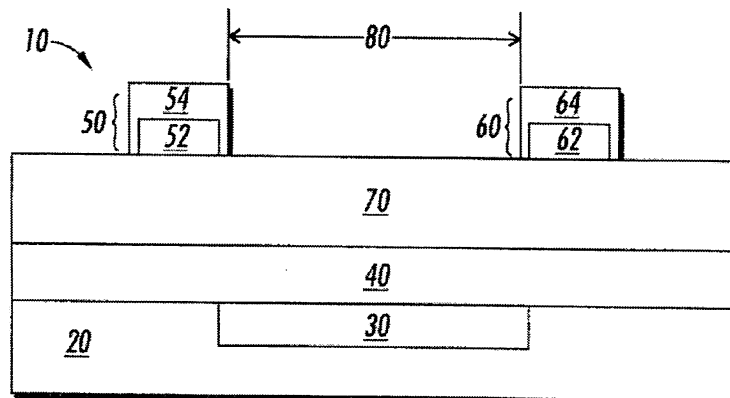
- 14.如申請專利範圍第 13 項之薄膜電晶體，其中源極第一層較源極第二層接近閘極介電層。
- 15.如申請專利範圍第 13 項之薄膜電晶體，其中半導體層與各第一層間之作業函數差為 0.5 eV 至約 1.0 eV。
- 16.如申請專利範圍第 13 項之薄膜電晶體，其中有機半導體層與各第一層間之作業函數差為至少 1.0 eV。
- 17.如申請專利範圍第 13 項之薄膜電晶體，其中源極第一層及吸極第一層各包括鈦。
- 18.如申請專利範圍第 13 項之薄膜電晶體，其中源極第二層及吸極第二層各包括金。
- 19.如申請專利範圍第 13 項之薄膜電晶體，其中電晶體為底部閘極底部接觸電晶體。
- 20.一種有機薄膜電晶體，其包括：
源極；吸極；及
聚噻吩半導體層；
其中源極與吸極各包括第一鈦層及第二金層；及
其中半導體層具有最大約 10 微米之通道長度。

十一、圖式：

1/2

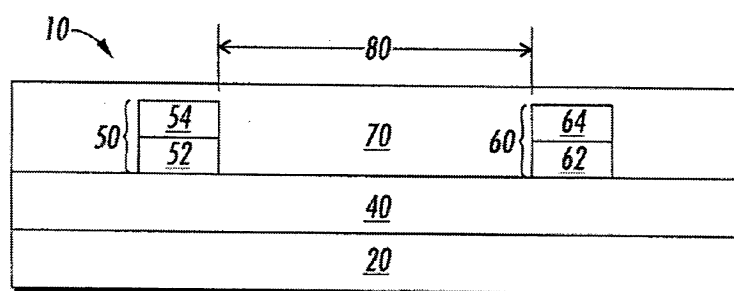


第 1 圖

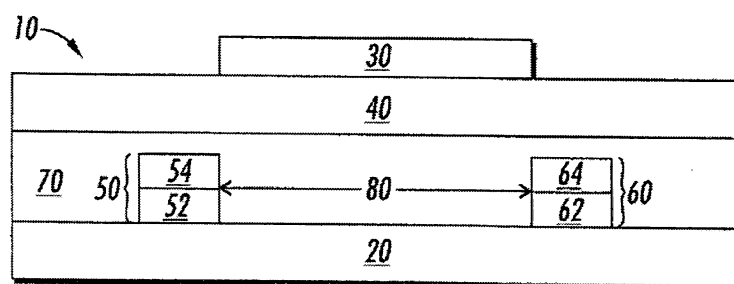


第 2 圖

2/2



第 3 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	薄膜電晶體
20	基板
30	閘極
40	閘極介電層
50	源極
52	源極第一層
54	源極第二層
60	吸極
62	吸極第一層
64	吸極第二層
70	半導體層
80	半導體通道長度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：