(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/044664 A1

(51) 国際特許分類:
H03K 5/04 (2006.01) *H03K 5/13* (2014.01)
H03K 3/017 (2006.01)

(21) 国際出願番号： PCT/JP2019/018674

(22) 国際出願日： 2019年5月10日(10.05.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

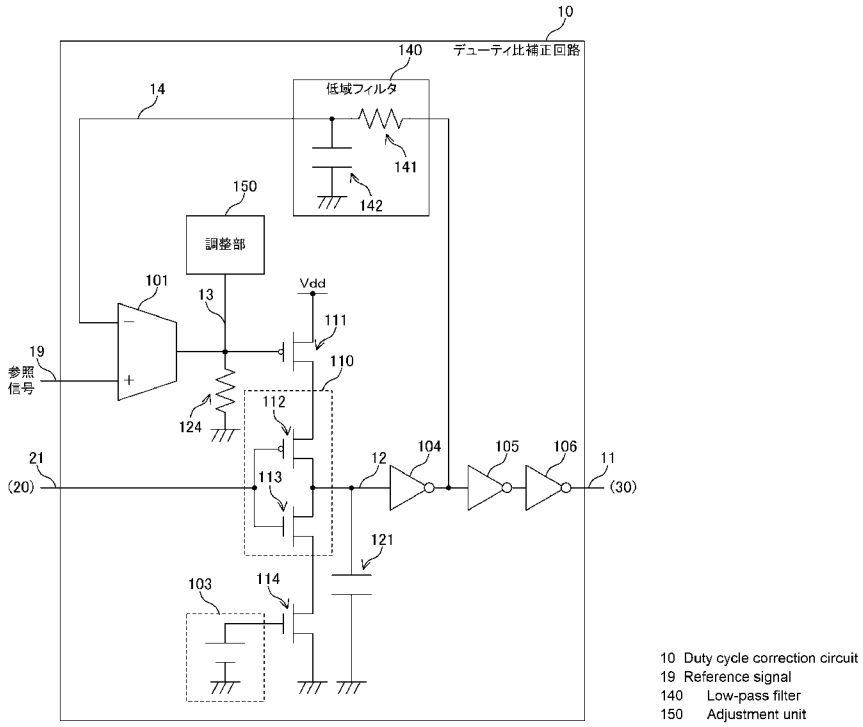
(30) 優先権データ：
特願 2018-159136 2018年8月28日(28.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 小野 和俊(**ONO Kazutoshi**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 執行 信彦(**SHIGYO Nobuhiko**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 前田 秀雄(**MAEDA Hideo**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 鈴木 登志生(**SUZUKI Toshio**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 神宮 宜克(**JINGU Yoshikatsu**); 〒2430014 神奈川県厚木市旭町４

(54) **Title:** DUTY CYCLE CORRECTION CIRCUIT AND SIGNAL GENERATION CIRCUIT

(54) 発明の名称： デューティ比補正回路および信号生成回路



(57) **Abstract:** The purpose of the present invention is to stably adjust a duty cycle of a clock signal in the event of a drop in source voltage. The duty cycle correction circuit is equipped with an inverting buffer, a capacitor, a low-pass filter, an error amplifier, and an adjustment unit. The inverting buffer inverts an input signal. The capacitor, by being connected to the output of the inverting buffer, adjusts the rise time and the fall time of the inverted signal. The low-pass filter extracts a low-frequency component of the inverted signal. The error amplifier adjusts the duty cycle of the inverted signal by

WO 2020/044664 A1

［続葉有］

丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人：松 尾 憲 一 郎 (MATSUO Kenichiro); 〒8100042 福岡県福岡市中央区赤坂１丁目１０番１７号 しんくみ赤坂ビル７階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

changing the rise time and/or the fall time of the inverted signal by controlling an output source current and/or an output sink current of the inverting buffer on the basis of the difference between the extracted low-frequency component and a reference signal. The adjustment unit adjusts the error amplifier's control of the inverting buffer.

(57) 要約：電源電圧が低下した場合であっても、クロック信号のデューティ比の調整を安定化する。デューティ比補正回路は、反転バッファ、キャパシタ、低域フィルタ、誤差増幅器および調整部を具備する。反転バッファは、入力信号を反転する。キャパシタは、反転バッファの出力に接続されて反転された信号の立ち上がり時間および立ち下がり時間を調整する。低域フィルタは、反転された信号の低周波成分を抽出する。誤差増幅器は、抽出された低周波成分と参照信号との差分に基づいて反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて反転された信号のデューティ比の調整を行う。調整部は、誤差増幅器における反転バッファの制御を調整する。

明　細　書

発明の名称 ： デューティ比補正回路および信号生成回路

技術分野

[0001] 本開示は、デューティ比補正回路および信号生成回路に関する。詳しくは、信号のデューティ比を補正するデューティ比補正回路および当該デューティ比補正回路を備える信号生成回路に関する。

背景技術

[0002] 従来、モバイル機器の送信装置として、ＢＬＥ規格に準拠した送信装置が使用されている。この送信装置から送信される信号は、デューティ比を５０％にして２次歪みを低減する必要がある。妨害電波の送信を低減するためである。このような送信装置としてＤＣＯ（Digital Controlled Oscillator）により生成された信号のデューティ比を５０％に補正した後、パワーアンプにて増幅し、アンテナより送信する送信装置が使用されている。上述の信号のデューティ比を補正する回路として、例えば、クロック信号の立ち上がりタイミングを制御する回路を有するデューティ比補正回路が提案されている（例えば、特許文献１参照。）。

[0003] このデューティ比補正回路は、ｐチャネルＭＯＳトランジスタおよびｎチャネルＭＯＳトランジスタにより構成されるＣＭＯＳ（Complementary Metal Oxide Semiconductor）インバータを有する。このＣＭＯＳインバータのｐチャネルＭＯＳトランジスタのソースは第２のｐチャネルＭＯＳトランジスタを介して電源線Ｖｄｄに接続され、ｎチャネルＭＯＳトランジスタのソースは第２のｎチャネルＭＯＳトランジスタを介して接地される。第２のｐチャネルＭＯＳトランジスタのゲートは所定の電圧にバイアスされる。一方、第２のｎチャネルＭＯＳトランジスタのゲートには帰還制御のための信号が入力される。具体的には、ローパスフィルタによりＣＭＯＳインバータの出力信号からデューティ比に応じた信号が生成され、上述の第２のｎチャネルＭＯＳトランジスタのゲートに負帰還される。このような構成により、ＣＭ

ＯＳインバータに入力されたクロック信号は、立ち上がり時間が調整されてデューティ比が調整される。

先行技術文献

特許文献

[0004] 特許文献1：特開２０００－０６８７９７号公報

発明の概要

発明が解決しようとする課題

[0005] 上述の従来技術では、電源電圧が低下した場合に、クロック信号のデューティ比が調整できないという問題がある。消費電力を低減するためには、送信機の低電源電圧化が必要となる。しかし、上述の従来技術では、ＣＭＯＳインバータに第２のｐチャネルＭＯＳトランジスタおよび第２のｎチャネルＭＯＳトランジスタが直列に接続される構成を採る。このため、低電源電圧化した際に第２のｎチャネルＭＯＳトランジスタのドレイン－ソース間電圧Ｖｄｓが不足する。立ち上がり時間の調整効率が低下することとなり、帰還制御系の利得が低下してクロック信号のデューティ比が調整できなくなるという問題がある。

[0006] 本開示は、上述した問題点に鑑みてなされたものであり、電源電圧が低下した場合であっても、信号のデューティ比の調整を安定化することを目的としている。

課題を解決するための手段

[0007] 本開示は、上述の問題点を解消するためになされたものであり、その第１の態様は、入力信号を反転する反転バッファと、上記反転バッファの出力に接続されて上記反転された信号の立ち上がり時間および立ち下がり時間を調整するキャパシタと、上記反転された信号の低周波成分を抽出する低域フィルタと、上記抽出された低周波成分と参照信号との差分に基づいて上記反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、上記反転された信号の立ち上がりおよび立ち下がりのうちの

少なくとも１つを変化させて上記反転された信号のデューティ比の調整を行う誤差増幅器と、上記誤差増幅器における上記反転バッファの制御を調整する調整部とを具備するデューティ比補正回路である。

[0008] また、この第１の態様において、上記反転バッファに電源電流を供給する定電流電源部を更に具備し、上記誤差増幅器は、上記定電流電源部の電源電流を制御する制御信号を出力することにより、上記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて上記反転された信号のデューティ比を調整し、上記調整部は、上記出力される制御信号を調整することにより上記誤差増幅器における上記反転バッファの制御を調整してもよい。

[0009] また、この第１の態様において、上記調整部は、電源電圧が印加されるカレントミラー回路を備え、上記カレントミラー回路のミラー電流を調整信号として上記出力される制御信号に重畳することにより上記出力される制御信号を調整してもよい。

[0010] また、この第１の態様において、上記定電流電源部は、上記反転バッファにソース側電源電流を供給するソース定電流電源部および上記反転バッファにシンク側電源電流を供給するシンク定電流電源部により構成されてもよい。

[0011] また、この第１の態様において、上記誤差増幅器は、上記ソース定電流電源部に制御信号を出力するソース側誤差増幅器および上記シンク定電流電源部に制御信号を出力するシンク側誤差増幅器により構成されてもよい。

[0012] また、この第１の態様において、上記制御信号に所定のバイアス電圧を付加して上記ソース側定電流電源部および上記シンク側定電流電源部に供給するバイアス回路をさらに具備してもよい。

[0013] また、この第１の態様において、上記誤差増幅器のオフセットを調整するオフセット調整部をさらに具備してもよい。

[0014] また、この第１の態様において、上記反転バッファは、ドレイン端子が共通に接続されるｐチャネルＭＯＳトランジスタおよびｎチャネルＭＯＳトラ

ンジスタにより構成されるとともに上記共通に接続されるドレイン端子が自身の反転バッファの出力端を構成してもよい。

[0015] また、この第１の態様において、上記反転バッファは、上記ｐチャネルＭＯＳトランジスタおよび上記ｎチャネルＭＯＳトランジスタのゲートと自身の反転バッファの入力端との間にキャパシタがそれぞれ接続されてもよい。

[0016] また、本開示の第２の態様は、信号を発生する発振回路と、上記信号を反転する反転バッファと、上記反転バッファの出力に接続されて上記反転された信号の立ち上がり時間および立ち下がり時間を調整するキャパシタと、上記反転された信号の低周波成分を抽出する低域フィルタと、上記抽出された低周波成分と参照信号との差分に基づいて上記反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、上記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて上記反転された信号のデューティ比の調整を行う誤差増幅器と、上記誤差増幅器における上記反転バッファの制御を調整する調整部とを具備する信号生成回路である。

[0017] 上述の態様を採ることにより、誤差増幅器が反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御して反転された信号のデューティ比の調整を行う際に、誤差増幅器による制御が調整部により調整されるという作用をもたらす。電源電圧の変化に応じた調整部による調整が想定される。

発明の効果

[0018] 本開示によれば、電源電圧が低下した場合であっても、クロック信号のデューティ比の調整を安定化するという優れた効果を奏する。

図面の簡単な説明

[0019] [図1]本開示の実施の形態に係る送信装置の構成例を示す図である。

[図2]本開示の第１の実施の形態に係るデューティ比補正回路の構成例を示す図である。

[図3]本開示の第１の実施の形態に係る調整部の構成例を示す図である。

[図4]本開示の第１の実施の形態に係るデューティ比の補正の一例を示す図である。

[図5]本開示の第１の実施の形態に係る制御信号の調整の一例を示す図である。

[図6]本開示の第２の実施の形態に係るデューティ比補正回路の構成例を示す図である。

[図7]本開示の第２の実施の形態に係るオフセット調整部の構成例を示す図である。

[図8]本開示の第３の実施の形態に係るデューティ比補正回路の構成例を示す図である。

[図9]本開示の第３の実施の形態に係る調整部の構成例を示す図である。

[図10]本開示の第３の実施の形態に係る制御信号の調整の一例を示す図である。

[図11]本開示の第４の実施の形態に係るデューティ比補正回路の構成例を示す図である。

[図12]本開示の第４の実施の形態に係るバイアス回路の構成例を示す図である。

[図13]本開示の第４の実施の形態に係る制御信号の調整の一例を示す図である。

[図14]本開示の第５の実施の形態に係るデューティ比補正回路の構成例を示す図である。

発明を実施するための形態

[0020] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。また、以下の順序で実施の形態の説明を行う。

１．第１の実施の形態

２．第２の実施の形態

３．第３の実施の形態

４．第４の実施の形態

５．第５の実施の形態

[0021] ＜１．第１の実施の形態＞

［送信装置の構成］

図１は、本開示の実施の形態に係る送信装置の構成例を示す図である。同図の送信装置１は、ＰＬＬ（Phase Locked Loop）２０と、デューティ比補正回路１０と、パワーアンプ３０と、マッチングネットワーク４０と、送信アンテナ５０とを備える。この送信装置１を例に挙げてデューティ比補正回路１０の構成を説明する。なお、ＰＬＬ２０およびデューティ比補正回路１０は、信号生成回路を構成する。

[0022] ＰＬＬ２０は、クロック信号を発生させる回路である。このＰＬＬ２０は、発振回路を内蔵し、所望の周波数および位相のクロック信号（矩形波）を発生する。クロック信号は、信号線２１を介してデューティ比補正回路１０に入力される。なお、ＰＬＬ２０は、請求の範囲に記載の発振回路の一例である。クロック信号は、請求の範囲に記載の信号の一例である。

[0023] デューティ比補正回路１０は、ＰＬＬ２０から出力されたクロック信号のデューティ比を５０％に補正する回路である。クロック信号のデューティ比が５０％でない場合には、２次歪みを伴う電波が送信アンテナ５０から送信され、妨害マージンが低下する。そこで、デューティ比補正回路１０を配置し、デューティ比を５０％に補正する。デューティ比が補正されたクロック信号は、信号線１１を介してパワーアンプ３０に出力される。

[0024] パワーアンプ３０は、デューティ比が補正されたクロック信号を増幅する増幅器である。このパワーアンプ３０には、Ｄ級アンプを使用することができる。同図の送信装置１においては、複数のパワーアンプ３０を並列に接続して送信電力の向上を図っている。

[0025] マッチングネットワーク４０は、パワーアンプ３０および送信アンテナ５０のインピーダンス整合を行う回路である。同図のマッチングネットワーク４０は、π型フィルタに構成され、増幅されたクロック信号の基本波を通過させる。

[0026] 送信アンテナ５０は、マッチングネットワーク４０からのクロック信号の基本波を送信するアンテナである。

[0027] ［デューティ比補正回路の構成］

図２は、本開示の第１の実施の形態に係るデューティ比補正回路の構成例を示す図である。同図のデューティ比補正回路１０は、誤差増幅器１０１と、バイアス回路１０３と、反転バッファ１０４乃至１０６と、ＭＯＳトランジスタ１１１乃至１１４と、キャパシタ１２１と、抵抗１２４と、低域フィルタ１４０と、調整部１５０とを備える。なお、ＭＯＳトランジスタ１１１および１１２は、ｐチャネルＭＯＳトランジスタを使用することができる。ＭＯＳトランジスタ１１３および１１４は、ｎチャネルＭＯＳトランジスタを使用することができる。同図のデューティ比補正回路１０には、電源を供給する電源線Ｖｄｄが配線される。

[0028] 信号線２１は、ＭＯＳトランジスタ１１２のゲートおよびＭＯＳトランジスタ１１３のケートに接続される。ＭＯＳトランジスタ１１２のドレインは、ＭＯＳトランジスタ１１３のドレイン、反転バッファ１０４の入力およびキャパシタ１２１の一端に接続される。キャパシタ１２１の他の一端は、接地される。ＭＯＳトランジスタ１１２のソースはＭＯＳトランジスタ１１１のドレインに接続され、ＭＯＳトランジスタ１１１のソースは電源線Ｖｄｄに接続される。ＭＯＳトランジスタ１１１のゲートは信号線１３に接続される。この信号線１３には、調整部１５０の出力、誤差増幅器１０１の出力および抵抗１２４の一端がさらに接続される。抵抗１２４の他の一端は、接地される。ＭＯＳトランジスタ１１３のソースはＭＯＳトランジスタ１１４のドレインに接続され、ＭＯＳトランジスタ１１４のソースは接地される。ＭＯＳトランジスタ１１４のゲートは、バイアス回路１０３に接続される。

[0029] 反転バッファ１０４の出力は、反転バッファ１０５の入力および低域フィルタ１４０の入力に接続される。反転バッファ１０５の出力は反転バッファ１０６の入力に接続され、反転バッファ１０６の出力は信号線１１に接続される。低域フィルタ１４０の出力は、誤差増幅器１０１の反転入力に接続される。誤差増幅器１０１の非反転入力は、信号線１９に接続される。なお、信号線１９には、不図示の参照信号生成部により生成された参照信号が入力される。

[0030] バイアス回路１０３は、電圧源により構成され、ＭＯＳトランジスタ１１４のゲートに所定のバイアス電圧を供給する回路である。

[0031] ＭＯＳトランジスタ１１２および１１３は、反転バッファ１１０を構成する。この反転バッファ１１０は、信号線２１を介して入力されたクロック信号の論理を反転し、信号線１２に出力する。ＭＯＳトランジスタ１１３のソースには、ＭＯＳトランジスタ１１４が接続される。上述のように、ＭＯＳトランジスタ１１４のゲートにはバイアス回路１０３によりバイアス電圧が印加され、ＭＯＳトランジスタ１１３のソースと接地との間に接続される。このため、ＭＯＳトランジスタ１１４は、ＭＯＳトランジスタ１１３にシンク側の電源電流を供給する定電流電源部を構成する。なお、ＭＯＳトランジスタ１１４は、請求の範囲に記載のシンク定電流電源部の一例である。

[0032] ＭＯＳトランジスタ１１１は、電源線ＶｄｄとＭＯＳトランジスタ１１２のドレインとの間に接続され、ＭＯＳトランジスタ１１２にソース側の電源電流を供給する。ＭＯＳトランジスタ１１１のゲートには、信号線１３を介して誤差増幅器１０１の出力が接続される。このため、ＭＯＳトランジスタ１１１は、誤差増幅器１０１の出力に応じたソース側電源電流をＭＯＳトランジスタ１１２に供給する。なお、ＭＯＳトランジスタ１１１は、請求の範囲に記載のソース定電流電源部の一例である。

[0033] キャパシタ１２１は、反転バッファ１１０により反転されたクロック信号の立ち上がり時間および立ち下がり時間を調整するキャパシタである。前述のように反転バッファ１１０には、ＭＯＳトランジスタ１１１および１１４

が接続されてソース側およびシンク側の電源電流が供給される。反転バッファ１１０の出力に接続されるキャパシタ１２１は、これらソース側およびシンク側の電源電流に基づく出力ソース電流および出力シンク電流により充電および放電される。このため、反転バッファ１１０の出力クロック信号は、ランプ状の立ち上がりおよび立ち下がりを有する信号となる。このように、ＭＯＳトランジスタ１１１および１１４ならびにキャパシタ１２１により、反転されたクロック信号の立ち上がり時間および立ち下がり時間が調整される。

[0034] 反転バッファ１０４は、反転バッファ１１０の出力クロック信号の論理を反転するとともに波形の整形を行うものである。上述のように、反転バッファ１１０の出力クロック信号は、ランプ状の立ち上がりおよび立ち下がりを有する信号となる。反転バッファ１０４により、このクロック信号を急峻な立ち上がりおよび立ち下がりを有する信号に整形する。整形後のクロック信号は、直列に接続された反転バッファ１０５および１０６を介して信号線１１に出力される。また、反転バッファ１０４により整形されたクロック信号は、低域フィルタ１４０にも入力される。

[0035] 低域フィルタ１４０は、反転バッファ１０４により成型されたクロック信号の低周波数成分を抽出するフィルタである。この低域フィルタ１４０は、直列に接続された抵抗１４１およびキャパシタ１４２により構成され、クロック信号の高周波数成分を遮断し、低周波数成分を通過させる。低域フィルタ１４０のカットオフ周波数を十分低く設定することより、クロック信号のデューティ比に応じた信号を抽出することができる。クロック信号のデューティ比が５０％の場合には、低域フィルタ１４０の出力から電源電圧（Ｖｄｄ）の略１／２の電圧の信号が出力される。クロック信号のデューティ比が５０％を超える場合にはＶｄｄの１／２より高い電圧の信号が出力され、クロック信号のデューティ比が５０％未満の場合にはＶｄｄの１／２より低い電圧の信号が出力される。低域フィルタ１４０の出力信号は、信号線１４を介して誤差増幅器１０１の反転入力に入力される。

[0036] 誤差増幅器１０１は、反転されたクロック信号のデューティ比の調整を行うものである。この誤差増幅器１０１は、低域フィルタ１４０から入力されるクロック信号の低周波成分と信号線１９を介して入力される参照信号との差分に基づいて反転バッファ１１０の出力ソース電流および出力シンク電流の少なくとも１つを制御する。これにより、反転されたクロック信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させ、反転されたクロック信号のデューティ比の調整を行う。同図の誤差増幅器１０１は、トランスコンダクタンス増幅器により構成される。このトランスコンダクタンス増幅器は、反転入力および非反転入力に印加される電圧の差分に応じた電流を出力する増幅器である。同図の誤差増幅器１０１は、反転入力および非反転入力に印加される電圧の差分を増幅するとともに電流に変換して出力する。誤差増幅器１０１の非反転入力に対して反転入力の電圧が高い場合には誤差増幅器１０１からはシンク側電流が流れ、誤差増幅器１０１の非反転入力に対して反転入力の電圧が低い場合には誤差増幅器１０１からはソース側電流が流れる。

[0037] この誤差増幅器１０１の出力電流は、抵抗１２４により電圧に変換される。この変換された誤差増幅器１０１の出力電圧が信号線１３を介してＭＯＳトランジスタ１１１のゲートに印加される。これにより、参照信号およびクロック信号の低周波数成分の差分に応じた電圧が制御信号としてＭＯＳトランジスタ１１１のゲートに印加される。ＭＯＳトランジスタ１１１が供給するソース側電源電流が誤差増幅器１０１の出力である制御信号により制御されることとなる。このように、低域フィルタ１４０を介して反転バッファ１１０の出力クロック信号を誤差増幅器１０１の入力に帰還することにより、反転バッファ１１０の出力クロック信号のデューティ比を変更して補正することができる。なお、ＭＯＳトランジスタ１１１はｐチャネルＭＯＳトランジスタであり、抵抗１２４によりＭＯＳトランジスタ１１１のゲートがプルダウンされるため、誤差増幅器１０１は信号線１３に対してソース側の電流を供給することによりＭＯＳトランジスタ１１１のソース側電源電流を制御

する。デューティ比の補正の詳細については後述する。

[0038] 調整部１５０は、誤差増幅器１０１における反転バッファ１１０の制御を調整するものである。この調整部１５０は、誤差増幅器１０１から出力される制御信号を調整する。具体的には、調整部１５０は、信号線１３に対して電流（調整信号）を出力する。この調整信号は、抵抗１２４を流れるため、誤差増幅器１０１の制御信号に重畳されて電圧に変換され、ＭＯＳトランジスタ１１１のゲートに印加される。調整部１５０による調整は、例えば、電源電圧Ｖｄｄの変化に基づいて行うことができる。電源電圧Ｖｄｄが変化してＭＯＳトランジスタ１１１のドレイン－ソース間電圧Ｖｄｓが変化すると、デューティ比の変更効率が変化して帰還制御系のループ利得が変化することとなる。このような場合に、ＭＯＳトランジスタ１１１のドレイン－ソース間電圧Ｖｄｓの変化を打ち消す調整信号を調整部１５０が出力することにより、デューティ比の変更効率の変化を軽減することができる。これにより、誤差増幅器１０１等による帰還制御系を安定化させることができる。

[0039] ［調整部の構成］

図３は、本開示の第１の実施の形態に係る調整部の構成例を示す図である。同図は、調整部１５０の構成例を表す回路図である。同図の調整部１５０は、ＭＯＳトランジスタ１５１および１５２と、抵抗１５５とを備える。ＭＯＳトランジスタ１５１および１５２には、ｐチャネルＭＯＳトランジスタを使用することができる。

[0040] ＭＯＳトランジスタ１５１および１５２のソースは電源線Ｖｄｄに共通に接続される。ＭＯＳトランジスタ１５１のゲートは、ＭＯＳトランジスタ１５１のドレイン、ＭＯＳトランジスタ１５２のゲートおよび抵抗１５５の一端に接続される。抵抗１５５の他の一端は、接地される。ＭＯＳトランジスタ１５２のドレインは、信号線１３に接続される。

[0041] ＭＯＳトランジスタ１５１および１５２は、カレントミラー回路を構成する。ＭＯＳトランジスタ１５１には、電源電圧Ｖｄｄおよび抵抗１５５に応じた電流が流れる。このＭＯＳトランジスタ１５１に流れる電流がＭＯＳト

ランジスタ１５２にミラーされて信号線１３に出力される。電源電圧Ｖｄｄが変化した場合には、ＭＯＳトランジスタ１５１の電流も変化し、ＭＯＳトランジスタ１５２により信号線１３に出力される電流も変化する。また、例えば、デューティ比補正回路１０を構成する半導体素子の製造プロセスのばらつきにより、デューティ比補正回路１０に配置されるＭＯＳトランジスタの閾値等が変化した場合においても、ＭＯＳトランジスタ１５１の電流およびＭＯＳトランジスタ１５２により信号線１３に出力される電流が変化する。

[0042] また、例えば、周囲の温度が変化してデューティ比補正回路１０に配置されるＭＯＳトランジスタの閾値等が変化した場合においても同様に、ＭＯＳトランジスタ１５１の電流およびＭＯＳトランジスタ１５２により信号線１３に出力される電流が変化する。このように、調整部１５０は、電源線Ｖｄｄや製造プロセスのばらつき、温度の変化等に応じた電流を調整信号として信号線１３に出力することができる。なお、電源電圧Ｖｄｄが低い場合には、抵抗１５５を省略することができる。

[0043] ［デューティ比の補正］

図４は、本開示の第１の実施の形態に係るデューティ比の補正の一例を示す図である。同図は、入力されるクロック信号のデューティ比が調整される様子を表した図である。同図において、デューティ比補正回路入力は、信号線２１から入力されるクロック信号を表す。反転バッファ出力は、信号線１２に出力される反転バッファ１１０の出力クロック信号を表す。デューティ比補正回路出力は、信号線１１に出力されるデューティ比が補正されたクロック信号を表す。また、同図の破線は、０Ｖ（接地電位）を表す。点線は、反転バッファ１０４の閾値を表す。この閾値は電源電圧Ｖｄｄの略１／２の電圧となる。また、同図におけるａ、ｂおよびｃは、入力クロック信号のデューティ比がそれぞれ５０％、５０％未満および５０％を超える場合を表したものである。

[0044] 同図におけるａにおいて、デューティ比５０％のクロック信号は、反転バ

ッファ１１０により反転され、キャパシタ１２１により立ち上がりおよび立ち下がりがランプ状に変化する波形に変換される。クロック信号のデューティ比が５０％であるため、反転バッファ１１０から出力されるクロック信号は、立ち上がり時間および立ち下がり時間が等しい波形となる。その後、反転バッファ１０４により再度反転されるとともに立ち上がりおよび立ち下がりが整形される。この際、誤差増幅器１０１の出力からのソース側電流（制御信号）および調整部１５０からのソース側電流（調整信号）が信号線１３に出力され、ＭＯＳトランジスタ１１１のゲートはこれらのソース側電流に基づく電圧にバイアスされる。このバイアス電圧により、ＭＯＳトランジスタ１１４のシンク側電源電流と絶対値が同じ値のソース側電源電流がＭＯＳトランジスタ１１１から反転バッファ１１０に供給される。このように、定常時における帰還制御が実行される。

[0045] 同図におけるｂにおいて、クロック信号のデューティ比が５０％より低いため、低域フィルタ１４０の出力電圧は低下する。このため、誤差増幅器１０１の出力ソース電流が増加し、ＭＯＳトランジスタ１１１のゲート電圧が上昇する。これにより、ＭＯＳトランジスタ１１１のソース側電源電流が減少して反転バッファ１１０の出力クロック信号の立ち上がり時間が長くなる。反転バッファ１１０の出力クロック信号の立ち下がり時間はクロック信号のデューティ比が５０％の時と同じであるため、反転バッファ１０４により波形が整形された後のクロック信号の論理「１」の期間が延長され、デューティ比が５０％に調整される。

[0046] 同図におけるｃにおいて、クロック信号のデューティ比が５０％より高いため、低域フィルタ１４０の出力電圧は上昇する。このため、誤差増幅器１０１の出力ソース電流が減少し、ＭＯＳトランジスタ１１１のゲート電圧が低下する。これにより、ＭＯＳトランジスタ１１１のソース側電源電流が増加して反転バッファ１１０の出力クロック信号の立ち上がり時間が短くなる。反転バッファ１０４により波形が整形された後のクロック信号の論理「１」の期間が短縮され、デューティ比が５０％に調整される。

[0047] ［制御信号の調整］

図５は、本開示の第１の実施の形態に係る制御信号の調整の一例を示す図である。同図は、調整部１５０による誤差増幅器１０１の制御信号の調整の様子を表す図である。同図の横軸は誤差増幅器１０１の反転入力および非反転入力の差分を表す。反転入力および非反転入力の電圧が等しい場合に差分は値「０」となり、反転入力が非反転入力より高い場合に差分は正の値となる。同図の縦軸は、ＭＯＳトランジスタ１１１のゲート電圧を表す。

[0048] 同図において破線のグラフ３０４は、帰還制御が停止した状態における。誤差増幅器１０１の入力の差分とＭＯＳトランジスタ１１１のゲート電圧との関係を表したものである。誤差増幅器１０１の反転入力の電圧が非反転入力の電圧より低い場合には、誤差増幅器１０１の入力の差分に応じたソース側電流が出力され、ゲート電圧がＭＯＳトランジスタ１１１に印加される。誤差増幅器１０１の反転入力の電圧が非反転入力の電圧より高くなると、誤差増幅器１０１はシンク側電流を出力する方向に動作する。しかし、抵抗１２４は、信号線１３に接続されていない側の端子が接地されているため、シンク側電流は流れず、ＭＯＳトランジスタ１１１のゲート電圧は０Ｖとなる。

[0049] 実線のグラフ３０１は、図４におけるａにおいて説明した帰還制御系が定常状態にある場合の誤差増幅器１０１の入力の差分とＭＯＳトランジスタ１１１のゲート電圧との関係を表したものである。グラフ３０１は、グラフ３０４に対して正のゲート電圧の方向にシフトした形状となる。１点鎖線のグラフ３０３は、調整部１５０における調整信号が多い場合のグラフである。例えば、電源電圧Ｖｄｄが上昇した場合に、調整部１５０は調整信号を増加させる。これにより、グラフ３０１がグラフ３０３にシフトしてゲート電圧が全般的に高くなる。これにより、ＭＯＳトランジスタ１１１のソース側電源電流の増加を補償し、帰還制御系のループ利得の変化を軽減する。

[0050] 一方、電源電圧Ｖｄｄが低下した場合には、調整部１５０の調整信号が減少する。これにより、グラフ３０１が２点鎖線のグラフ３０２にシフトして

ゲート電圧が全般的に低くなり、ＭＯＳトランジスタ１１１のソース側電源電流の減少を補償し、帰還制御系のループ利得の変化を軽減する。

[0051] なお、製造プロセスのばらつきによりＭＯＳトランジスタの閾値等が変化した場合においても、調整部１５０により誤差増幅器１０１の制御信号が調整される。帰還制御系のループ利得の変化を軽減することができる。

[0052] 以上説明したように、本開示の第１の実施の形態のデューティ比補正回路１０は、調整部１５０の調整信号により誤差増幅器１０１の制御信号を調整する。これにより、電源電圧Ｖｄｄが変化した場合であっても、クロック信号のデューティ比を５０％に補正することができる。

[0053] ＜２．第２の実施の形態＞

上述の第１の実施の形態のデューティ比補正回路１０は、誤差増幅器１０１を配置して帰還制御を行うことにより、クロック信号のデューティ比を５０％に補正していた。これに対し、本開示の第２の実施の形態のデューティ比補正回路１０は、誤差増幅器１０１のオフセットを調整する点で、上述の第１の実施の形態と異なる。

[0054] ［デューティ比補正回路の構成］

図６は、本開示の第２の実施の形態に係るデューティ比補正回路の構成例を示す図である。同図のデューティ比補正回路１０は、オフセット調整部１６０をさらに備える点で、図２において説明したデューティ比補正回路１０と異なる。

[0055] 同図のオフセット調整部１６０は、誤差増幅器１０１のオフセットを略「０」に調整するものである。送信装置１の低電力化を図るため、デューティ比補正回路１０等の電源電圧Ｖｄｄを低くする場合がある。例えば、電源電圧Ｖｄｄを１Ｖ以下の低い電圧にする場合には、誤差増幅器１０１出力に対する許容オフセット誤差が低下する。そこで、誤差増幅器１０１のオフセットをキャンセルすることにより、オフセット誤差の影響を軽減することができる。

[0056] ［オフセット調整部の構成］

図７は、本開示の第２の実施の形態に係るオフセット調整部の構成例を示す図である。同図のオフセット調整部１６０は、誤差増幅器１６１と、スイッチ１６２乃至１６４と、キャパシタ１６５とを備える。

[0057] スイッチ１６３は、信号線１４および誤差増幅器１０１の反転入力の間に接続される。スイッチ１６４は、誤差増幅器１０１の反転入力および非反転入力の間に接続される。誤差増幅器１６１の非反転入力は信号線１９に接続され、誤差増幅器１６１の反転入力はスイッチ１６２を介して誤差増幅器１６１の出力に接続される。また、誤差増幅器１６１の出力は信号線１３にさらに接続される。キャパシタ１６５は、誤差増幅器１６１の反転入力および接地の間に接続される。

[0058] キャパシタ１６５は、誤差増幅器１０１および１６１のオフセットに相当する電圧を保持するキャパシタである。誤差増幅器１６１は、キャパシタ１６５に保持された電圧に基づく電流を信号線１３に出力することにより、誤差増幅器１０１のオフセットを調整するものである。

[0059] オフセット調整部１６０は、不図示の制御回路により、オフセット補正期間および通常動作期間を切り替えて実行する。通常動作期間においては、スイッチ１６２および１６４を非導通状態とし、スイッチ１６３を導通状態にする。これにより、誤差増幅器１０１の反転入力に低域フィルタ１４０の出力が印加され、参照信号との差分に基づく電流が出力される。オフセット補正期間においては、スイッチ１６３を非導通状態とし、スイッチ１６２および１６４を導通状態にする。これにより、誤差増幅器１０１の反転入力および非反転入力ならびに誤差増幅器１６１の非反転入力に参照信号が入力される。誤差増幅器１０１の出力には、自身のオフセットに基づく電流が出力され、スイッチ１６２を介して誤差増幅器１６１の反転入力に印加されるとともにキャパシタ１６５を充電する。これにより、キャパシタ１６５に誤差増幅器１０１のオフセットに基づく電圧が保持される。この際、誤差増幅器１６１のオフセットに基づく電圧も同様にキャパシタ１６５に保持される。

[0060] 次に、通常動作期間に移行すると、誤差増幅器１６１は、キャパシタ１６

５に保持されたオフセット電圧に基づく電流を出力する。この誤差増幅器１６１の出力電流が誤差増幅器１０１の出力電流に重畳されるため、誤差増幅器１０１のオフセットをキャンセルすることができる。

[0061] これ以外のデューティ比補正回路１０の構成は本開示の第１の実施の形態において説明したデューティ比補正回路１０の構成と同様であるため、説明を省略する。

[0062] 以上説明したように、本開示の第２の実施の形態のデューティ比補正回路１０は、オフセット調整部１６０を配置することにより、誤差増幅器１０１のオフセットを調整することができる。これにより、電源電圧Ｖｄｄが低い場合であっても、デューティ比の補正の誤差を低減することができる。

[0063] ＜３．第３の実施の形態＞

上述の第１の実施の形態のデューティ比補正回路１０は、ＭＯＳトランジスタ１１１のソース側電源電流を制御していた。これに対し、本開示の第３の実施の形態のデューティ比補正回路１０は、ＭＯＳトランジスタ１１４のシンク側電源電流の制御をさらに行う点で、上述の第１の実施の形態と異なる。

[0064] ［デューティ比補正回路の構成］

図８は、本開示の第３の実施の形態に係るデューティ比補正回路の構成例を示す図である。同図のデューティ比補正回路１０は、誤差増幅器１０２および抵抗１２５をさらに備え、調整部１５０の代わりに調整部１７０を備えるとともにバイアス回路１０３を省略する点で、図２において説明したデューティ比補正回路１０と異なる。

[0065] 誤差増幅器１０２の反転入力は信号線１４に接続され、誤差増幅器１０２の非反転入力は信号線１９に接続される。誤差増幅器１０２の出力は、信号線１５に接続される。この信号線１５は、ＭＯＳトランジスタ１１４のゲートおよび抵抗１２５の一端にさらに接続される。抵抗１２５の他の一端は、電源線Ｖｄｄに接続される。調整部１７０は２つ出力を備え、それぞれ信号線１３および１５に接続される。これ以外の結線は、図２のデューティ比補

正回路１０と同様であるため、説明を省略する。

[0066] ＭＯＳトランジスタ１１４のゲートには、信号線１５を介して誤差増幅器１０２の出力が接続される。このため、ＭＯＳトランジスタ１１４は、誤差増幅器１０２の出力に応じたシンク側電源電流をＭＯＳトランジスタ１１３に供給する。なお、ＭＯＳトランジスタ１１４は、請求の範囲に記載のシンク定電流電源部の一例である。誤差増幅器１０１は、請求の範囲に記載のソース側誤差増幅器の一例である。誤差増幅器１０２は、請求の範囲に記載のシンク側誤差増幅器の一例である。

[0067] 誤差増幅器１０２は、誤差増幅器１０１と同様にトランスコンダクタンス増幅器により構成され、低域フィルタ１４０から入力されるクロック信号の低周波成分と信号線１９を介して入力される参照信号との差分に基づいて反転バッファ１１０の出力シンク電流を制御する。これにより、誤差増幅器１０２は、反転バッファ１１０により反転されたクロック信号の立ち下がりを変化させてクロック信号のデューティ比の調整を行う。誤差増幅器１０２の出力電流は、抵抗１２５により電圧に変換されてＭＯＳトランジスタ１１４のゲートに印加される。すなわち、参照信号およびクロック信号の低周波数成分の差分に応じた電圧が制御信号としてＭＯＳトランジスタ１１４のゲートに印加される。なお、ＭＯＳトランジスタ１１４はｎチャネルＭＯＳトランジスタであり、抵抗１２５によりＭＯＳトランジスタ１１４のゲートがプルアップされるため、誤差増幅器１０２は信号線１５に対してシンク側電流を供給することによりＭＯＳトランジスタ１１４のシンク側電源電流を制御する。

[0068] 調整部１７０は、誤差増幅器１０１および１０２における反転バッファ１１０の制御を調整するものである。この調整部１７０は、誤差増幅器１０１および１０２から出力される制御信号を同時に調整する。具体的には、調整部１７０は、信号線１３および１５に対して調整信号をそれぞれ出力する。

[0069] ［調整部の構成］

図９は、本開示の第３の実施の形態に係る調整部の構成例を示す図である

。同図の調整部１７０は、ＭＯＳトランジスタ１５３および１５４をさらに備える点で、図３において説明した調整部１５０と異なる。ＭＯＳトランジスタ１５３および１５４には、ｎチャネルＭＯＳトランジスタを使用することができる。

[0070] 抵抗１５５は、ＭＯＳトランジスタ１５１のドレインおよびＭＯＳトランジスタ１５３のドレインの間に接続される。ＭＯＳトランジスタ１５３のドレインは、ＭＯＳトランジスタ１５３のゲートおよびＭＯＳトランジスタ１５４のゲートにさらに接続される。ＭＯＳトランジスタ１５３のソースおよびＭＯＳトランジスタ１５４のソースは、ともに接地される。ＭＯＳトランジスタ１５４のドレインは、信号線１５に接続される。これ以外の結線は、図３の調整部１５０と同様であるため、説明を省略する。

[0071] ＭＯＳトランジスタ１５３および１５４は、カレントミラー回路を構成する。ＭＯＳトランジスタ１５３には、電源電圧Ｖｄｄおよび抵抗１５５に応じた電流が流れる。このＭＯＳトランジスタ１５３に流れる電流がＭＯＳトランジスタ１５４にミラーされて信号線１５に出力される。調整部１７０は、信号線１３および１５にソース側電流およびシンク側電流を調整信号としてそれぞれ出力する。

[0072] ［制御信号の調整］

図１０は、本開示の第３の実施の形態に係る制御信号の調整の一例を示す図である。同図は、調整部１７０による誤差増幅器１０１および１０２の制御信号の調整の様子を表す図である。図５と共通するグラフには同じ符号を記載した。

[0073] 同図の破線のグラフ３０８は、帰還制御が停止した状態における。誤差増幅器１０２の入力の差分とＭＯＳトランジスタ１１４のゲート電圧との関係を表したものである。誤差増幅器１０２の反転入力の電圧が非反転入力の電圧より高い場合には、誤差増幅器１０２の入力の差分に応じたシンク側電流が出力され、ゲート電圧がＭＯＳトランジスタ１１４に印加される。誤差増幅器１０２の反転入力の電圧が非反転入力の電圧より低くなると、誤差増幅

器１０２はソース側電流を出力する方向に動作する。しかし、抵抗１２５は、信号線１５に接続されていない側の端子が電源線Ｖｄｄに接続されているため、ソース側電流は流れず、ＭＯＳトランジスタ１１４のゲートは電源電圧Ｖｄｄが印加される。

[0074] 実線のグラフ３０５は、図４におけるａにおいて説明した帰還制御系が定常状態にある場合の誤差増幅器１０２の入力の差分とＭＯＳトランジスタ１１４のゲート電圧との関係を表したものである。グラフ３０５は、グラフ３０８に対して負のゲート電圧の方向にシフトした形状となる。１点鎖線のグラフ３０７は調整部１７０における調整信号が多い場合のグラフであり、２点鎖線のグラフ３０６は調整部１７０における調整信号が少ない場合のグラフである。このように、電源電圧Ｖｄｄの変化に伴うＭＯＳトランジスタ１１４のシンク側電源電流の増加および減少が補償され、帰還制御系のループ利得の変化が軽減される。

[0075] このように、同図のデューティ比補正回路１０は、誤差増幅器１０１および１０２を備え、反転バッファ１１０のソース側電源電流およびシンク側電源電流を制御する。これにより、クロック信号のデューティ比の補正効率を向上させることができる。

[0076] なお、図８のデューティ比補正回路１０においても図６のデューティ比補正回路１０と同様にオフセットの調整を行うことができる。具体的には、図６において説明したオフセット調整部１６０を誤差増幅器１０１に接続するとともにオフセット調整部１６０と同じ構成の第２のオフセット調整部を誤差増幅器１０２に接続する。これにより、誤差増幅器１０１および１０２のオフセット調整を行い、デューティ比の補正の誤差を低減することができる。

[0077] これ以外のデューティ比補正回路１０の構成は本開示の第１の実施の形態において説明したデューティ比補正回路１０の構成と同様であるため、説明を省略する。

[0078] 以上説明したように、本開示の第３の実施の形態のデューティ比補正回路

１０は、２つの誤差増幅器１０１および１０２を配置し、反転バッファ１１０のソース側電源電流およびシンク側電源電流を制御する。これにより、クロック信号の立ち上がり時間および立ち下がり時間を同時に調整することができ、クロック信号のデューティ比の補正効率を向上させることができる。

[0079] ＜４．第４の実施の形態＞

上述の第３の実施の形態のデューティ比補正回路１０は、２つの誤差増幅器１０１および１０２を使用していた。これに対し、本開示の第４の実施の形態のデューティ比補正回路１０は、１つの誤差増幅器１０１により、ＭＯＳトランジスタ１１１および１１４の制御を行う点で、上述の第３の実施の形態と異なる。

[0080] ［デューティ比補正回路の構成］

図１１は、本開示の第４の実施の形態に係るデューティ比補正回路の構成例を示す図である。同図のデューティ比補正回路１０は、誤差増幅器１０２を省略し、抵抗１２４および１２５の代わりに定電流回路１３１および１３２を備え、バイアス回路１８０をさらに備える点で、図８において説明したデューティ比補正回路１０と異なる。

[0081] 定電流回路１３１は、ソース側の定電流を供給する回路である。この定電流回路１３１は、ＭＯＳトランジスタ１１５およびＭＯＳトランジスタ１１５に所定のゲート電圧を供給する電圧源１０７により構成される。ＭＯＳトランジスタ１１５のソースは電源線Ｖｄｄに接続され、ドレインは信号線１３に接続される。ＭＯＳトランジスタ１１５には、ｐチャネルＭＯＳトランジスタを使用することができる。

[0082] 定電流回路１３２は、シンク側の定電流を供給する回路である。この定電流回路１３２は、ＭＯＳトランジスタ１１６およびＭＯＳトランジスタ１１６に所定のゲート電圧を供給する電圧源１０８により構成される。ＭＯＳトランジスタ１１６のソースは接地され、ドレインは信号線１５に接続される。ＭＯＳトランジスタ１１６には、ｎチャネルＭＯＳトランジスタを使用することができる。なお、定電流回路１３２は、定電流回路１３１が供給する

電流に対して絶対値が等しい電流を供給する。

[0083] バイアス回路１８０は、信号線１３および１５の間に接続され、所定のバイアス電圧を供給する回路である。このバイアス回路１８０は、誤差増幅器１０１の出力に接続され、誤差増幅器１０１の制御信号に上述のバイアス電圧を付加する。ＭＯＳトランジスタ１１１のゲートには、信号線１３を介して誤差増幅器１０１の制御信号が入力される。一方、ＭＯＳトランジスタ１１４のゲートには、バイアス回路１８０によるバイアス電圧が付加された誤差増幅器１０１の制御信号が印加される。このバイアス回路１８０を配置することにより、ＭＯＳトランジスタ１１１のゲートとは異なる電位のＭＯＳトランジスタ１１４のゲートに誤差増幅器１０１の制御信号を供給することができる。これ以外の結線は、図８のデューティ比補正回路１０と同様であるため、説明を省略する。

[0084] 後述するように、バイアス回路１８０には、定電流回路１３１および１３２と同じ値の電流が流れる。入力されたクロック信号のデューティ比が低く、参照信号よりクロック信号の低周波成分が低い場合には、誤差増幅器１０１からソース側の電流が供給される。この際、定電流回路１３１が供給する電流に加えて誤差増幅器１０１からの電流がバイアス回路１８０および定電流回路１３２に流れることとなる。バイアス回路１８０の端子間電圧が上昇するとともに定電流回路１３２の出力電圧も上昇する。このため、定電流回路１３１の出力電圧が低下する。ＭＯＳトランジスタ１１１のゲート電圧が高くなってＭＯＳトランジスタ１１１のソース側電源電流が減少し、反転バッファ１１０から出力されるクロック信号の立ち上がり時間が長くなる。一方、ＭＯＳトランジスタ１１４のゲート電圧は高くなるため、ＭＯＳトランジスタ１１４のシンク側電源電流が増加して反転バッファ１１０から出力されるクロック信号の立ち下がり時間が短くなる。これらにより、反転バッファ１０４により整形されたクロック信号のデューティ比は上昇し、クロック信号のデューティ比が調整される。

[0085] 入力されたクロック信号のデューティ比が高く、参照信号よりクロック信

号の低周波成分が高い場合には、誤差増幅器１０１からシンク側の電流が供給される。定電流回路１３１の出力電流の一部が誤差増幅器１０１に流れることとなり、バイアス回路１８０および定電流回路１３２に流れる電流が不足する。このため、バイアス回路１８０の端子間電圧が低下するとともに定電流回路１３２の出力電圧も低下する。このため、定電流回路１３１の出力電圧も低下する。ＭＯＳトランジスタ１１１のゲート電圧が低くなってＭＯＳトランジスタ１１１のソース側電源電流が増加し、反転バッファ１１０から出力されるクロック信号の立ち上がり時間が短くなる。一方、ＭＯＳトランジスタ１１４のゲート電圧は低くなるため、ＭＯＳトランジスタ１１４のシンク側電源電流が減少して反転バッファ１１０から出力されるクロック信号の立ち下がり時間が長くなる。反転バッファ１０４により整形されたクロック信号のデューティ比は低下し、クロック信号のデューティ比が調整される。

[0086] ［バイアス回路の構成］

図１２は、本開示の第４の実施の形態に係るバイアス回路の構成例を示す図である。同図のバイアス回路１８０は、電流源１８１および１８２と、ＭＯＳトランジスタ１８３乃至１８８を備える。ＭＯＳトランジスタ１８３乃至１８５は、ｎチャネルＭＯＳトランジスタを使用することができる。ＭＯＳトランジスタ１８６乃至１８８は、ｐチャネルＭＯＳトランジスタを使用することができる。

[0087] 電流源１８１は、電源線ＶｄｄおよびＭＯＳトランジスタ１８３のドレインの間に接続される。ＭＯＳトランジスタ１８３のドレインは、ＭＯＳトランジスタ１８３のゲートおよびＭＯＳトランジスタ１８４のゲートにさらに接続される。ＭＯＳトランジスタ１８３のソースはＭＯＳトランジスタ１８５のドレインおよびゲートに接続され、ＭＯＳトランジスタ１８５のソースは接地される。電流源１８２は、ＭＯＳトランジスタ１８８のドレインおよび接地線の間に接続される。ＭＯＳトランジスタ１８８のドレインは、ＭＯＳトランジスタ１８８のゲートおよびＭＯＳトランジスタ１８７のゲートに

さらに接続される。ＭＯＳトランジスタ１８８のソースはＭＯＳトランジスタ１８６のドレインおよびゲートに接続され、ＭＯＳトランジスタ１８６のソースは電源線Ｖｄｄに接地される。ＭＯＳトランジスタ１８４のドレインおよびＭＯＳトランジスタ１８７のソースは、信号線１３に共通に接続される。ＭＯＳトランジスタ１８４のソースおよびＭＯＳトランジスタ１８７のドレインは、信号線１５に共通に接続される。

[0088] 同図の電流源１８１および１８２は、図１１において説明した定電流回路１３１および１３２が供給する電流の１／２の電流を供給する。ＭＯＳトランジスタ１８３および１８４はカレントミラー回路を構成するため、ＭＯＳトランジスタ１８４は、電流源１８１の供給電流と同じ値の電流を信号線１３から信号線１５に流す。同様に、ＭＯＳトランジスタ１８７は、電流源１８２の供給電流と同じ値の電流を信号線１３から信号線１５に流す。これらＭＯＳトランジスタ１８４および１８７により、バイアス回路１８０には、定電流回路１３１および１３２と同じ電流が流れることとなる。なお、ＭＯＳトランジスタ１８８および１８５は、信号線１３および１５に接続されるノードにおけるバイアス回路１８０電位を調整するＭＯＳトランジスタである。

[0089] なお、バイアス回路１８０の構成は、この例に限定されない。例えば、単一の抵抗をバイアス回路１８０として使用することもできる。この場合、この抵抗の両端には定電流回路１３１および１３２からの電流に基づくバイアス電圧が生成され、誤差増幅器１０１の制御信号に付加される。

[0090] ［制御信号の調整］

図１３は、本開示の第４の実施の形態に係る制御信号の調整の一例を示す図である。同図は、調整部１７０による誤差増幅器１０１の制御信号の調整の様子を表す図である。同図において、実線のグラフ３１１は、誤差増幅器１０１の入力の差分とＭＯＳトランジスタ１１１のゲート電圧との関係を表すグラフである。また、１点鎖線のグラフ３１２は調整部１７０における調整信号が多い場合のグラフであり、２点鎖線のグラフ３１７は調整部１７０

における調整信号が少ない場合のグラフである。

[0091] 同図において、実線のグラフ３１５は、誤差増幅器１０１の入力の差分とＭＯＳトランジスタ１１４のゲート電圧との関係を表すグラフである。また、１点鎖線のグラフ３１７は調整部１７０における調整信号が多い場合のグラフであり、２点鎖線のグラフ３１６は調整部１７０における調整信号が少ない場合のグラフである。同図における「バイアス電圧」は、バイアス回路１８０によるバイアス電圧を表す。

[0092] 同図に表したように、調整部１７０の調整信号に応じてバイアス回路１８０のバイアス電圧が変化し、ＭＯＳトランジスタ１１１および１１４のソース側電源電流およびシンク側電源電流の増加および減少が補償される。

[0093] これ以外のデューティ比補正回路１０の構成は本開示の第３の実施の形態において説明したデューティ比補正回路１０の構成と同様であるため、説明を省略する。

[0094] 以上説明したように、本開示の第４の実施の形態のデューティ比補正回路１０は、１つの誤差増幅器１０１により反転バッファ１１０のソース側電源電流およびシンク側電源電流を制御する。これにより、デューティ比補正回路１０の構成を簡略化することができる。

[0095] ＜５．第５の実施の形態＞

上述の第３の実施の形態のデューティ比補正回路１０は、ＭＯＳトランジスタ１１１および１１４により反転バッファ１１０にソース側電源電流およびシンク側電源電流を供給していた。これに対し、本開示の第５の実施の形態のデューティ比補正回路１０は、反転バッファ１１０を構成するＭＯＳトランジスタ１１２および１１３のゲートに制御信号を印加してソース側電源電流およびシンク側電源電流を調整する点で、上述の第３の実施の形態と異なる。

[0096] ［デューティ比補正回路の構成］

図１４は、本開示の第５の実施の形態に係るデューティ比補正回路の構成例を示す図である。同図のデューティ比補正回路１０は、ＭＯＳトランジス

タ１１１およびＭＯＳトランジスタ１１４を省略し、抵抗１２６および１２７ならびにキャパシタ１２２および１２３をさらに備える点で、図８において説明したデューティ比補正回路１０と異なる。

[0097] キャパシタ１２２は信号線２１およびＭＯＳトランジスタ１１２のゲートの間に接続され、キャパシタ１２３は信号線２１およびＭＯＳトランジスタ１１３のゲートの間に接続される。抵抗１２６は信号線１３およびＭＯＳトランジスタ１１２のゲートの間に接続され、抵抗１２７は信号線１５およびＭＯＳトランジスタ１１３のゲートの間に接続される。ＭＯＳトランジスタ１１２のソースは電源線Ｖｄｄに接続され、ＭＯＳトランジスタ１１３のソースは接地される。これ以外の結線は図８において説明したデューティ比補正回路１０と同様であるため、説明を省略する。

[0098] ＭＯＳトランジスタ１１２および１１３は、キャパシタ１２２および１２３を介して信号線２１からのクロック信号がゲートにそれぞれ入力される。また、ＭＯＳトランジスタ１１２および１１３のゲートには、抵抗１２６および１２７を介して誤差増幅器１０１および１０２の制御信号がそれぞれ入力される。この制御信号により、ＭＯＳトランジスタ１１２および１１３のゲートバイアス電圧が変化してＭＯＳトランジスタ１１２のソース側電流およびＭＯＳトランジスタ１１３のシンク側電流が調整される。

[0099] これ以外のデューティ比補正回路１０の構成は本開示の第３の実施の形態において説明したデューティ比補正回路１０の構成と同様であるため、説明を省略する。

[0100] 以上説明したように、本開示の第５の実施の形態のデューティ比補正回路１０は、反転バッファ１１０を構成するＭＯＳトランジスタのゲートにキャパシタ結合により入力クロック信号を印加するとともに、ＭＯＳトランジスタのゲートに制御信号を印加する。これにより、ソース定電流電源部およびシンク定電流電源部を省略することができ、デューティ比補正回路１０の構成を簡略化することができる。

[0101] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上

述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0102] なお、本技術は以下のような構成もとることができる。

（１）入力信号を反転する反転バッファと、

前記反転バッファの出力に接続されて前記反転された信号の立ち上がり時間および立ち下がり時間を調整するキャパシタと、

前記反転された信号の低周波成分を抽出する低域フィルタと、

前記抽出された低周波成分と参照信号との差分に基づいて前記反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、前記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて前記反転された信号のデューティ比の調整を行う誤差増幅器と、

前記誤差増幅器における前記反転バッファの制御を調整する調整部と

を具備するデューティ比補正回路。

（２）前記反転バッファに電源電流を供給する定電流電源部を更に具備し、

前記誤差増幅器は、前記定電流電源部の電源電流を制御する制御信号を出力することにより、前記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて前記反転された信号のデューティ比を調整し、

前記調整部は、前記出力される制御信号を調整することにより前記誤差増幅器における前記反転バッファの制御を調整する前記（１）に記載のデューティ比補正回路。

（３）前記調整部は、電源電圧が印加されるカレントミラー回路を備え、前記カレントミラー回路のミラー電流を調整信号として前記出力される制御信号に重畳することにより前記出力される制御信号を調整する前記（２）に記載のデューティ比補正回路。

（４）前記定電流電源部は、前記反転バッファにソース側電源電流を供給す

るソース定電流電源部および前記反転バッファにシンク側電源電流を供給するシンク定電流電源部により構成される前記（２）または（３）に記載のデューティ比補正回路。

（５）前記誤差増幅器は、前記ソース定電流電源部に制御信号を出力するソース側誤差増幅器および前記シンク定電流電源部に制御信号を出力するシンク側誤差増幅器により構成される前記（４）に記載のデューティ比補正回路。

（６）前記制御信号に所定のバイアス電圧を付加して前記ソース側定電流電源部および前記シンク側定電流電源部に供給するバイアス回路をさらに具備する前記（４）に記載のデューティ比補正回路。

（７）前記誤差増幅器のオフセットを調整するオフセット調整部をさらに具備する前記（１）から（６）の何れかに記載のデューティ比補正回路。

（８）前記反転バッファは、ドレイン端子が共通に接続されるｐチャネルＭＯＳトランジスタおよびｎチャネルＭＯＳトランジスタにより構成されるとともに前記共通に接続されるドレイン端子が自身の反転バッファの出力端を構成する前記（１）から（７）の何れかに記載のデューティ比補正回路。

（９）前記反転バッファは、前記ｐチャネルＭＯＳトランジスタおよび前記ｎチャネルＭＯＳトランジスタのゲートと自身の反転バッファの入力端との間にキャパシタがそれぞれ接続される前記（８）に記載のデューティ比補正回路。

（１０）信号を発生する発振回路と、

前記信号を反転する反転バッファと、

前記反転バッファの出力に接続されて前記反転された信号の立ち上がり時間および立ち下がり時間を調整するキャパシタと、

前記反転された信号の低周波成分を抽出する低域フィルタと、

前記抽出された低周波成分と参照信号との差分に基づいて前記反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、前記反転された信号の立ち上がりおよび立ち下がりのうちの少なく

とも１つを変化させて前記反転された信号のデューティ比の調整を行う誤差増幅器と、

前記誤差増幅器における前記反転バッファの制御を調整する調整部と

を具備する信号生成回路。

符号の説明

[0103] １０　デューティ比補正回路

２０　ＰＬＬ

３０　パワーアンプ

４０　マッチングネットワーク

５０　送信アンテナ

１０１、１０２、１６１　誤差増幅器

１０３、１８０　バイアス回路

１０４～１０６、１１０　反転バッファ

１０７、１０８　電圧源

１１１～１１６、１５１～１５４、１８３～１８８　ＭＯＳトランジスタ

１２１～１２３、１４２、１６５　キャパシタ

１２４、１４１、１５５　抵抗

１３１、１３２　定電流回路

１４０　低域フィルタ

１５０、１７０　調整部

１６０　オフセット調整部

１６２～１６４　スイッチ

１８１、１８２　電流源

請求の範囲

[請求項1] 入力信号を反転する反転バッファと、

前記反転バッファの出力に接続されて前記反転された信号の立ち上がり時間および立ち下がり時間を調整するキャパシタと、

前記反転された信号の低周波成分を抽出する低域フィルタと、

前記抽出された低周波成分と参照信号との差分に基づいて前記反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、前記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて前記反転された信号のデューティ比の調整を行う誤差増幅器と、

前記誤差増幅器における前記反転バッファの制御を調整する調整部と

を具備するデューティ比補正回路。

[請求項2] 前記反転バッファに電源電流を供給する定電流電源部を更に具備し、

前記誤差増幅器は、前記定電流電源部の電源電流を制御する制御信号を出力することにより、前記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて前記反転された信号のデューティ比を調整し、

前記調整部は、前記出力される制御信号を調整することにより前記誤差増幅器における前記反転バッファの制御を調整する

請求項１記載のデューティ比補正回路。

[請求項3] 前記調整部は、電源電圧が印加されるカレントミラー回路を備え、前記カレントミラー回路のミラー電流を調整信号として前記出力される制御信号に重畳することにより前記出力される制御信号を調整する

請求項２記載のデューティ比補正回路。

[請求項4] 前記定電流電源部は、前記反転バッファにソース側電源電流を供給するソース定電流電源部および前記反転バッファにシンク側電源電流

を供給するシンク定電流電源部により構成される請求項２記載のデューティ比補正回路。

[請求項5] 前記誤差増幅器は、前記ソース定電流電源部に制御信号を出力するソース側誤差増幅器および前記シンク定電流電源部に制御信号を出力するシンク側誤差増幅器により構成される請求項４記載のデューティ比補正回路。

[請求項6] 前記制御信号に所定のバイアス電圧を付加して前記ソース側定電流電源部および前記シンク側定電流電源部に供給するバイアス回路をさらに具備する請求項４記載のデューティ比補正回路。

[請求項7] 前記誤差増幅器のオフセットを調整するオフセット調整部をさらに具備する請求項１記載のデューティ比補正回路。

[請求項8] 前記反転バッファは、ドレイン端子が共通に接続されるｐチャネルＭＯＳトランジスタおよびｎチャネルＭＯＳトランジスタにより構成されるとともに前記共通に接続されるドレイン端子が自身の反転バッファの出力端を構成する請求項１記載のデューティ比補正回路。

[請求項9] 前記反転バッファは、前記ｐチャネルＭＯＳトランジスタおよび前記ｎチャネルＭＯＳトランジスタのゲートと自身の反転バッファの入力端との間にキャパシタがそれぞれ接続される請求項８記載のデューティ比補正回路。

[請求項10] 信号を発生する発振回路と、

前記信号を反転する反転バッファと、

前記反転バッファの出力に接続されて前記反転された信号の立ち上がり時間および立ち下がり時間を調整するキャパシタと、

前記反転された信号の低周波成分を抽出する低域フィルタと、

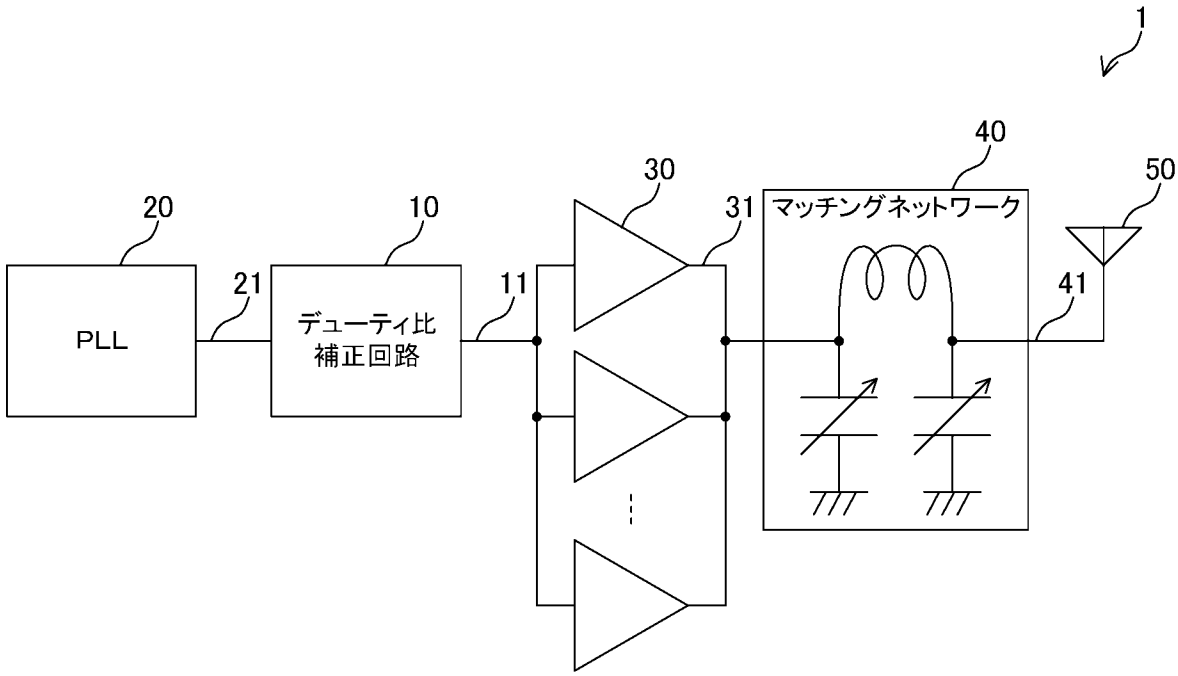
前記抽出された低周波成分と参照信号との差分に基づいて前記反転バッファの出力ソース電流および出力シンク電流の少なくとも１つを制御することにより、前記反転された信号の立ち上がりおよび立ち下がりのうちの少なくとも１つを変化させて前記反転された信号のデュ

ーティ比の調整を行う誤差増幅器と、

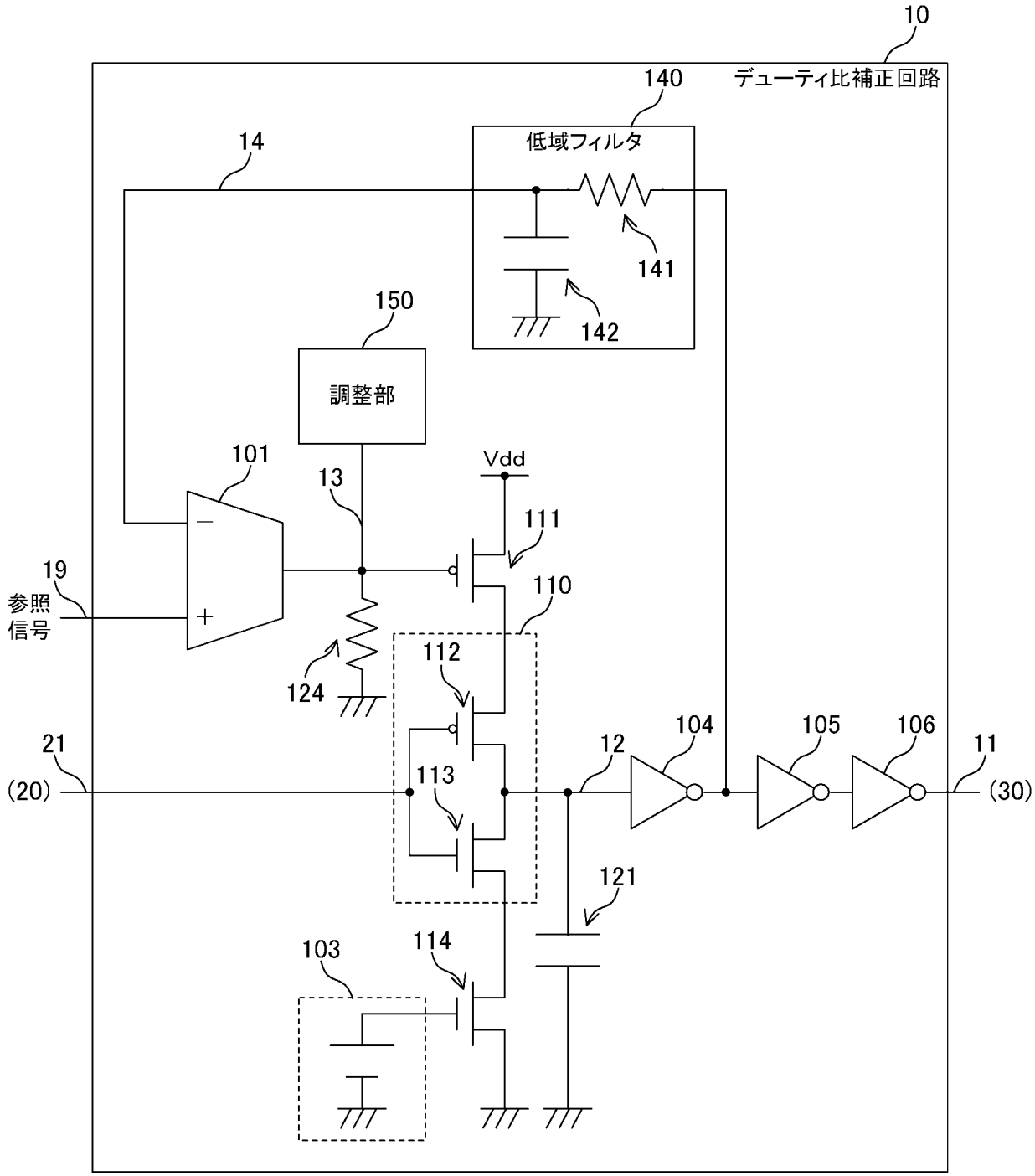
前記誤差増幅器における前記反転バッファの制御を調整する調整部と

を具備する信号生成回路。

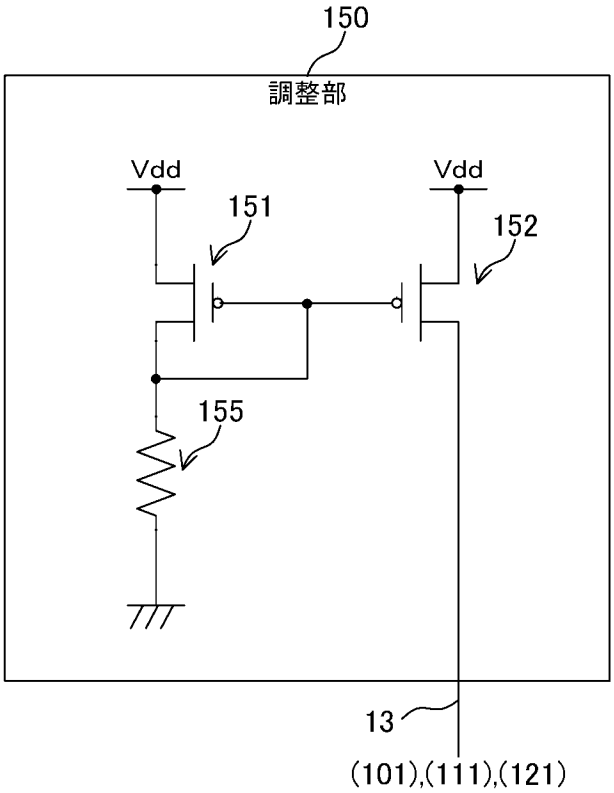
[図1]



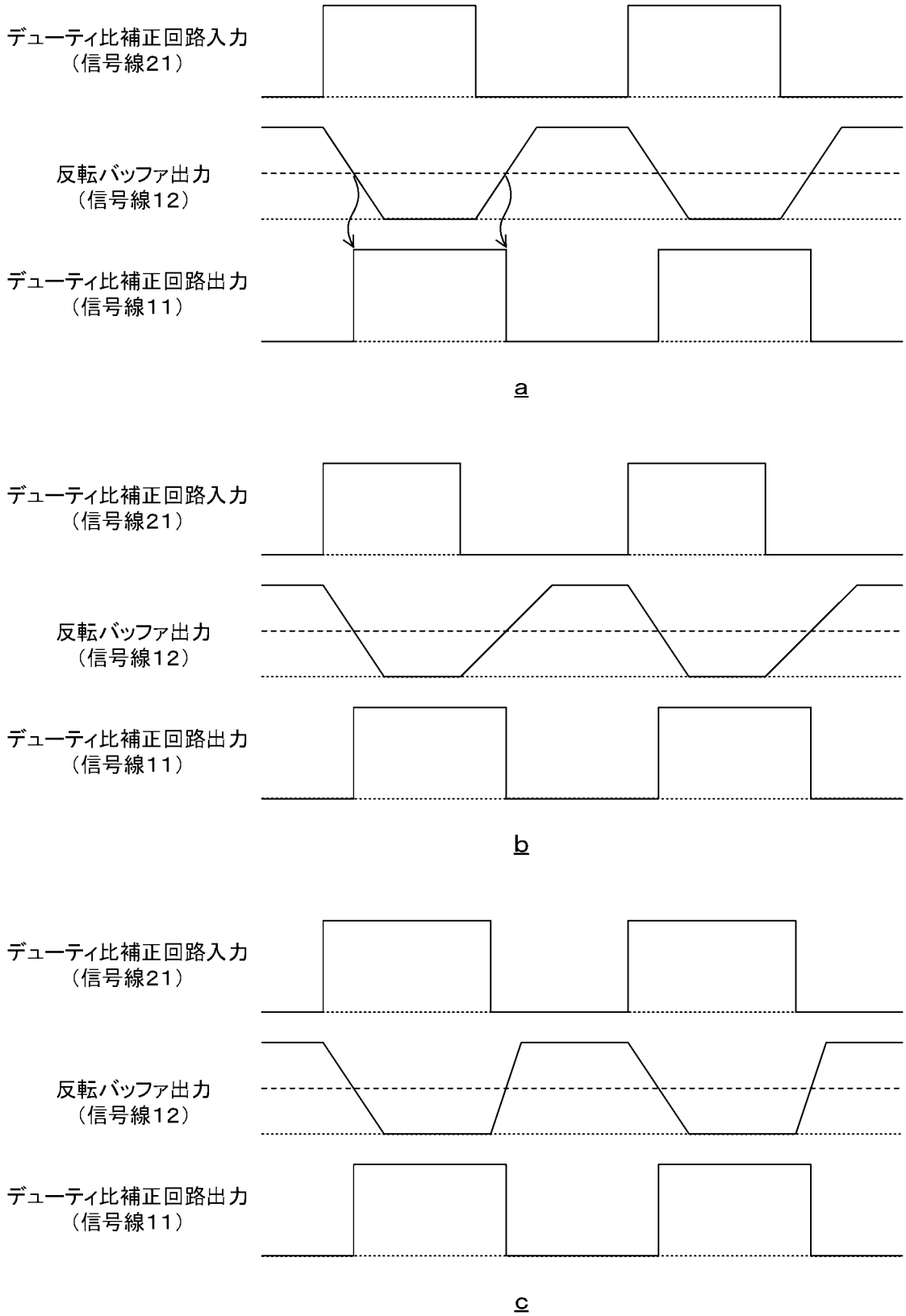
[図2]


10
デューティ比補正回路
140
低域フィルタ
14
141
142
150
調整部
101
13
Vdd
111
19
参照
信号
110
112
124
104
105
106
21
(20)
12
11
(30)
113
121
103
114

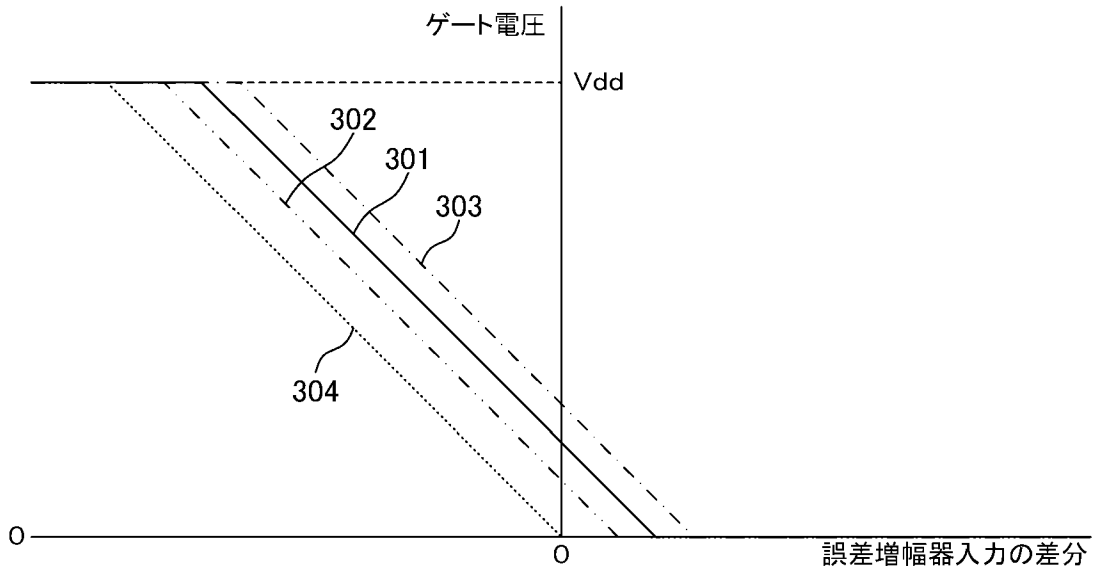
[図3]



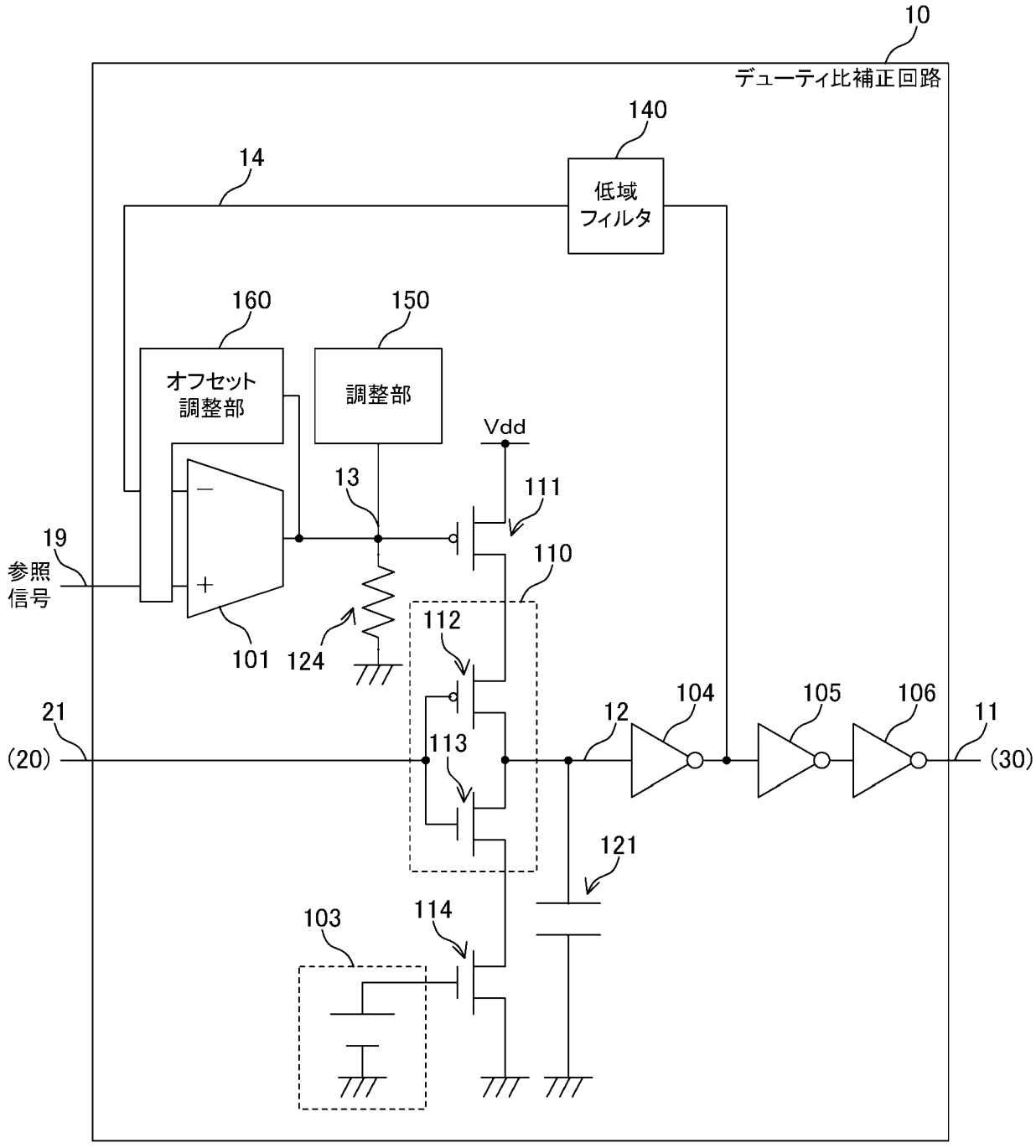
[図4]


デューティ比補正回路入力
（信号線21）
反転バッファ出力
（信号線12）
デューティ比補正回路出力
（信号線11）
a
デューティ比補正回路入力
（信号線21）
反転バッファ出力
（信号線12）
デューティ比補正回路出力
（信号線11）
b
デューティ比補正回路入力
（信号線21）
反転バッファ出力
（信号線12）
デューティ比補正回路出力
（信号線11）
c

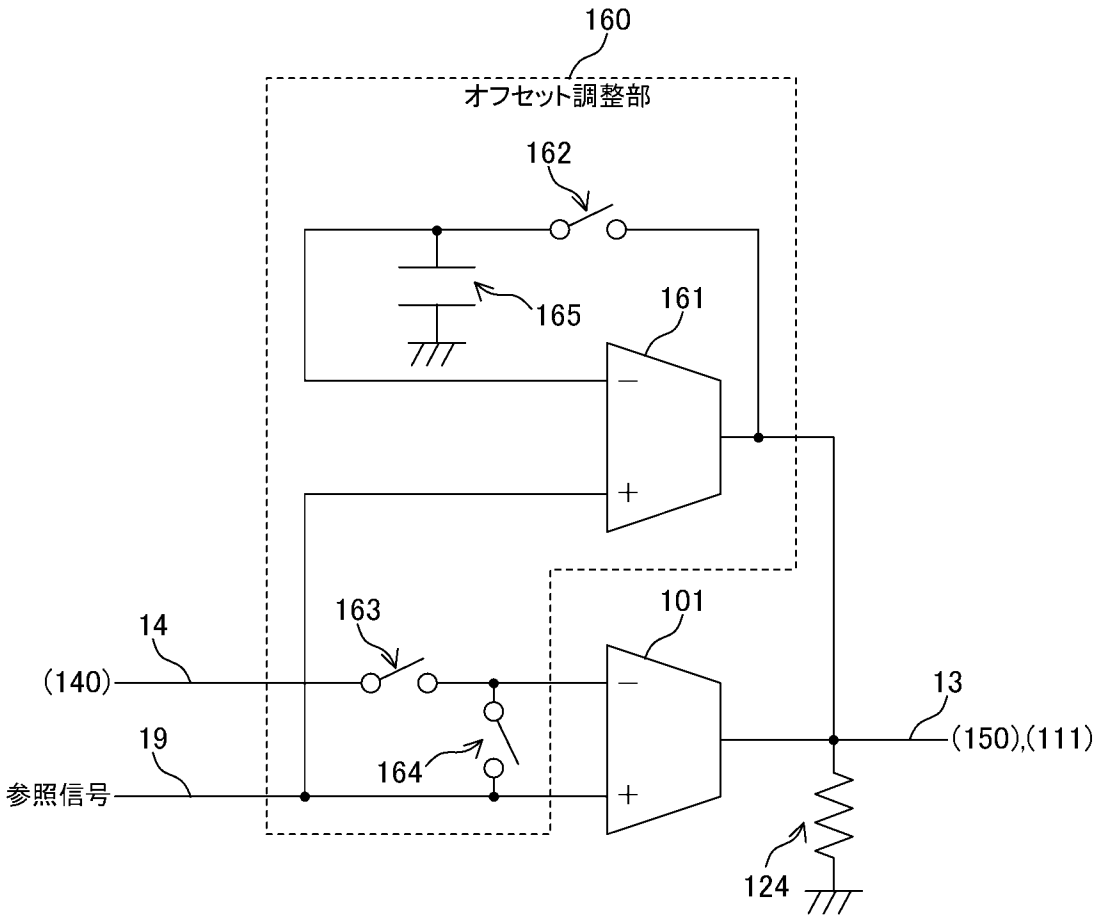
[図5]



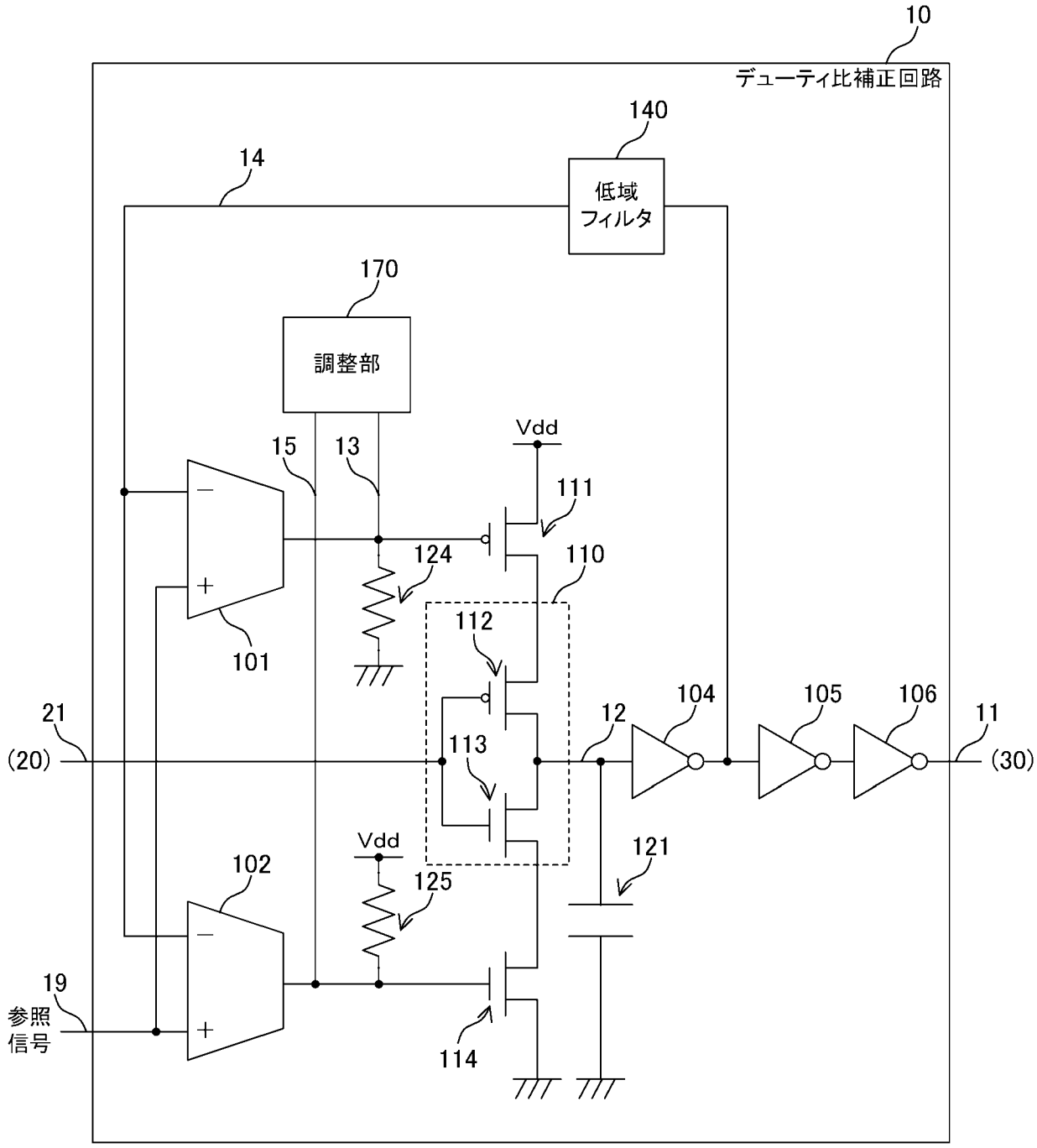
[図6]


10
デューティ比補正回路
140
低域
フィルタ
14
160
オフセット
調整部
150
調整部
Vdd
13
111
19
参照
信号
110
112
101
124
104
105
106
21
(20)
12
11
(30)
113
121
103
114

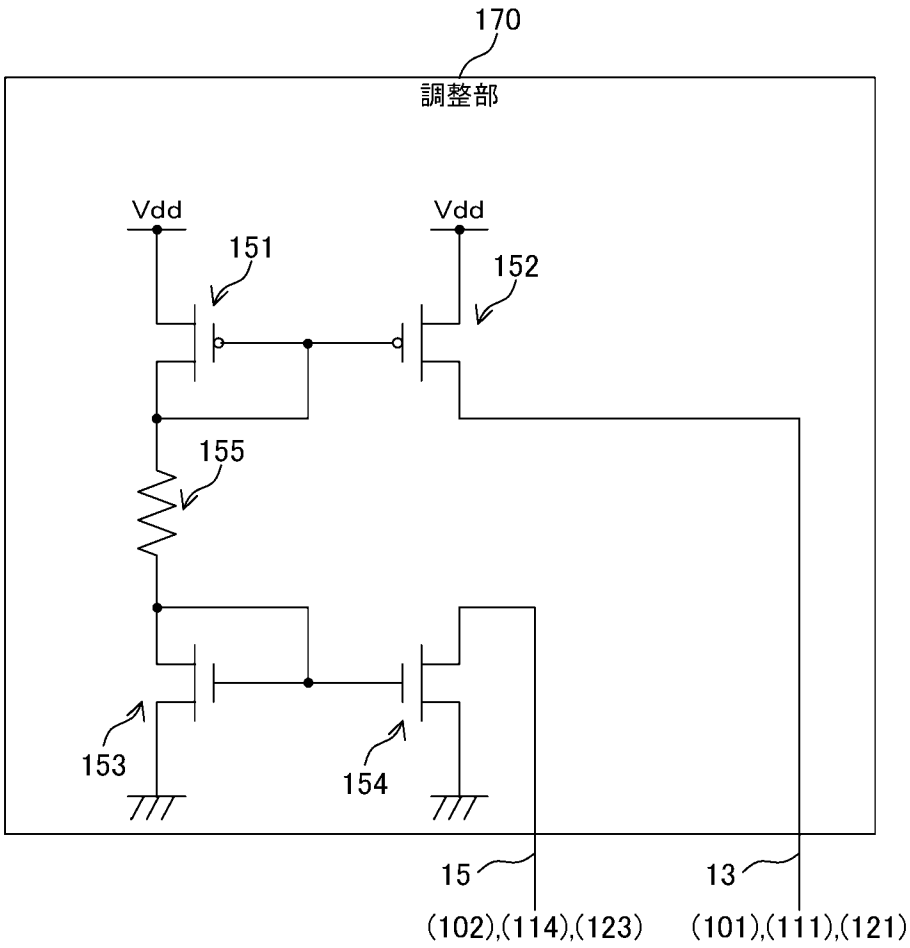
[図7]


160
オフセット調整部
162
165
161
163
101
14
(140)
19
参照信号
164
13
(150),(111)
124

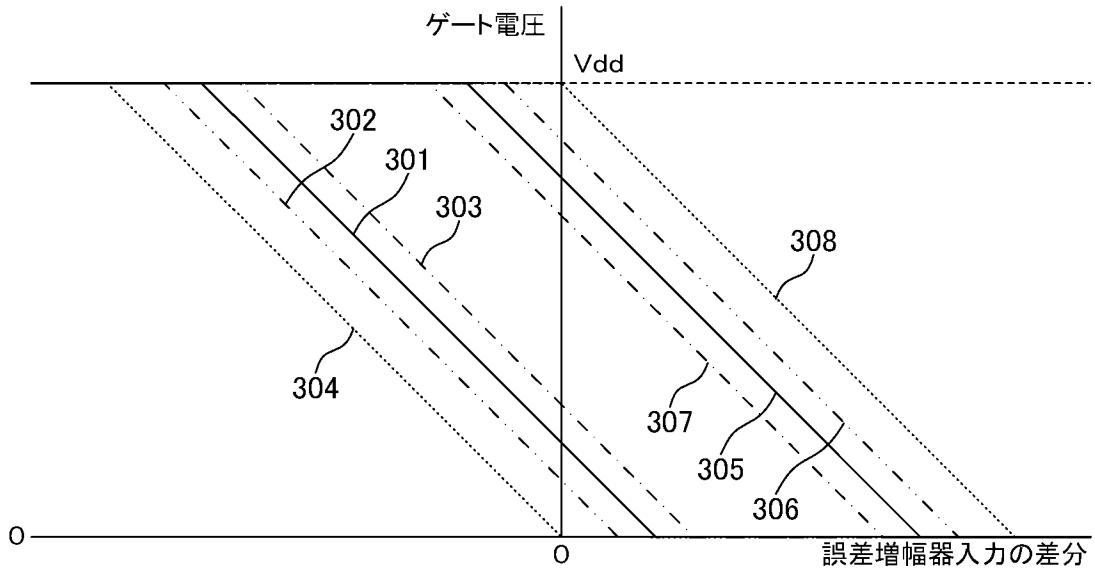
[図8]


10
デューティ比補正回路
140
低域
フィルタ
14
170
調整部
15
13
Vdd
111
124
110
112
101
104
105
106
21
(20)
12
11
(30)
113
Vdd
121
102
125
19
参照
信号
114

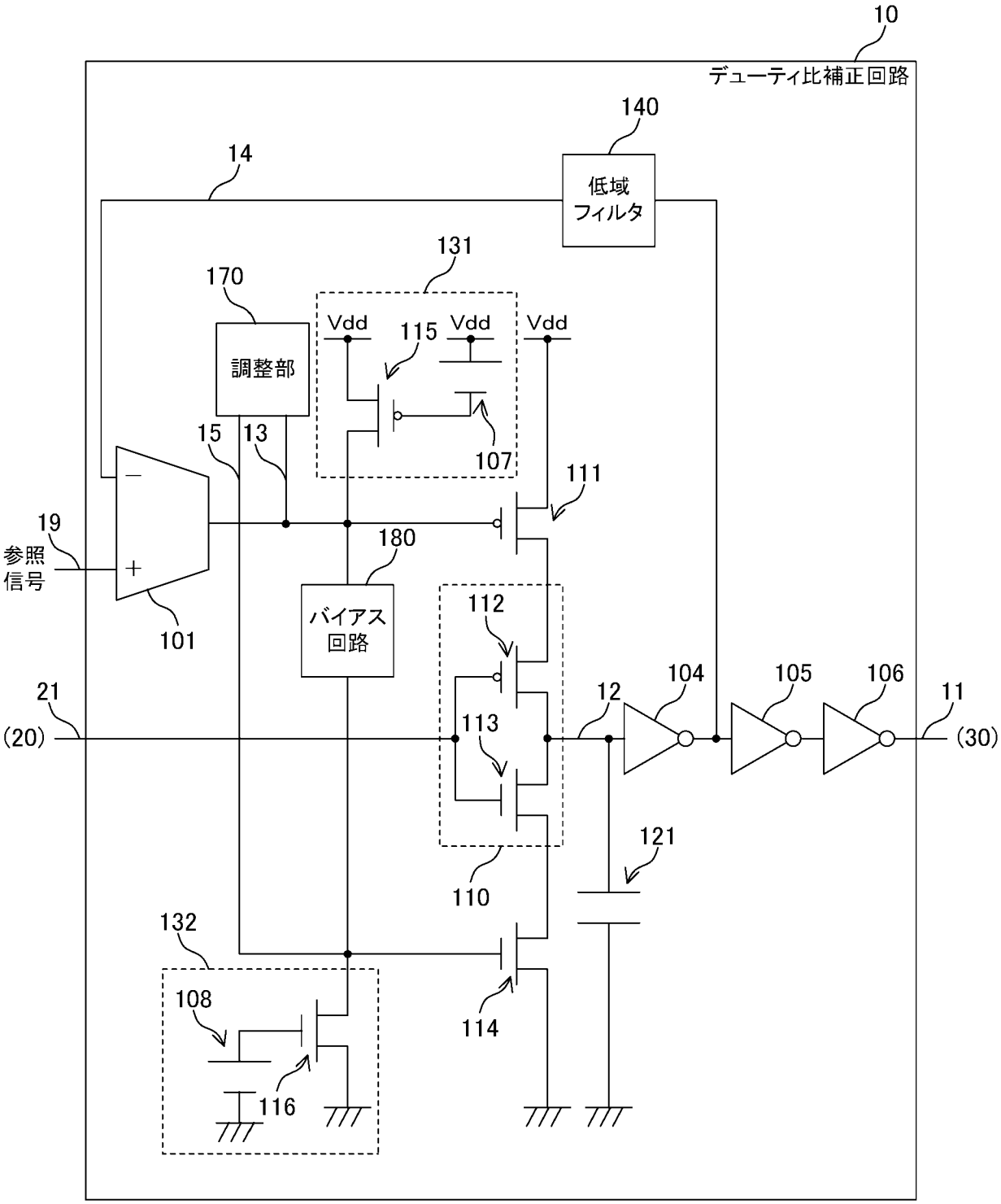
[図9]



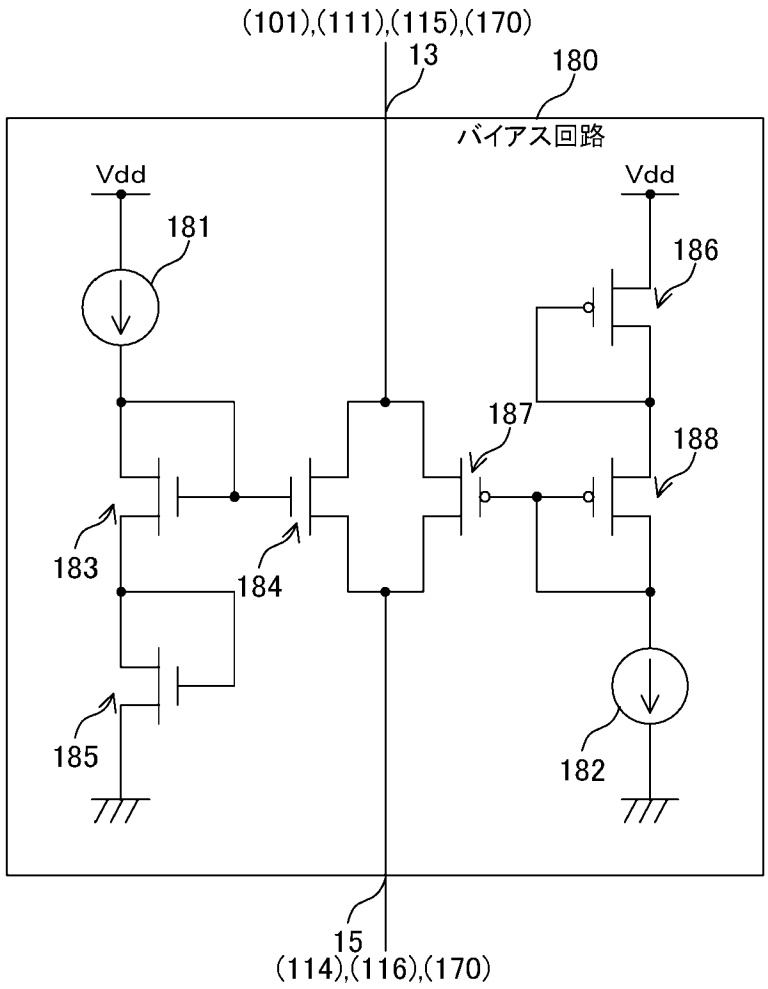
[図10]



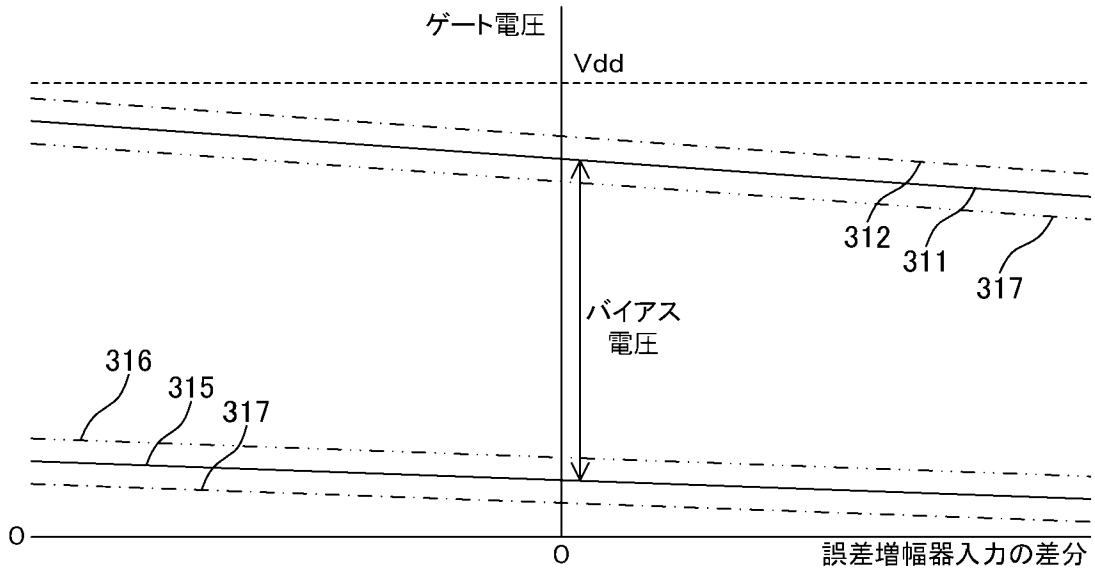
[図11]


10
デューティ比補正回路
140
低域
フィルタ
14
131
170
調整部
Vdd
115
Vdd
Vdd
107
15
13
111
19
参照
信号
180
バイアス
回路
101
112
104
105
106
21
(20)
12
113
11
(30)
121
110
132
108
114
116

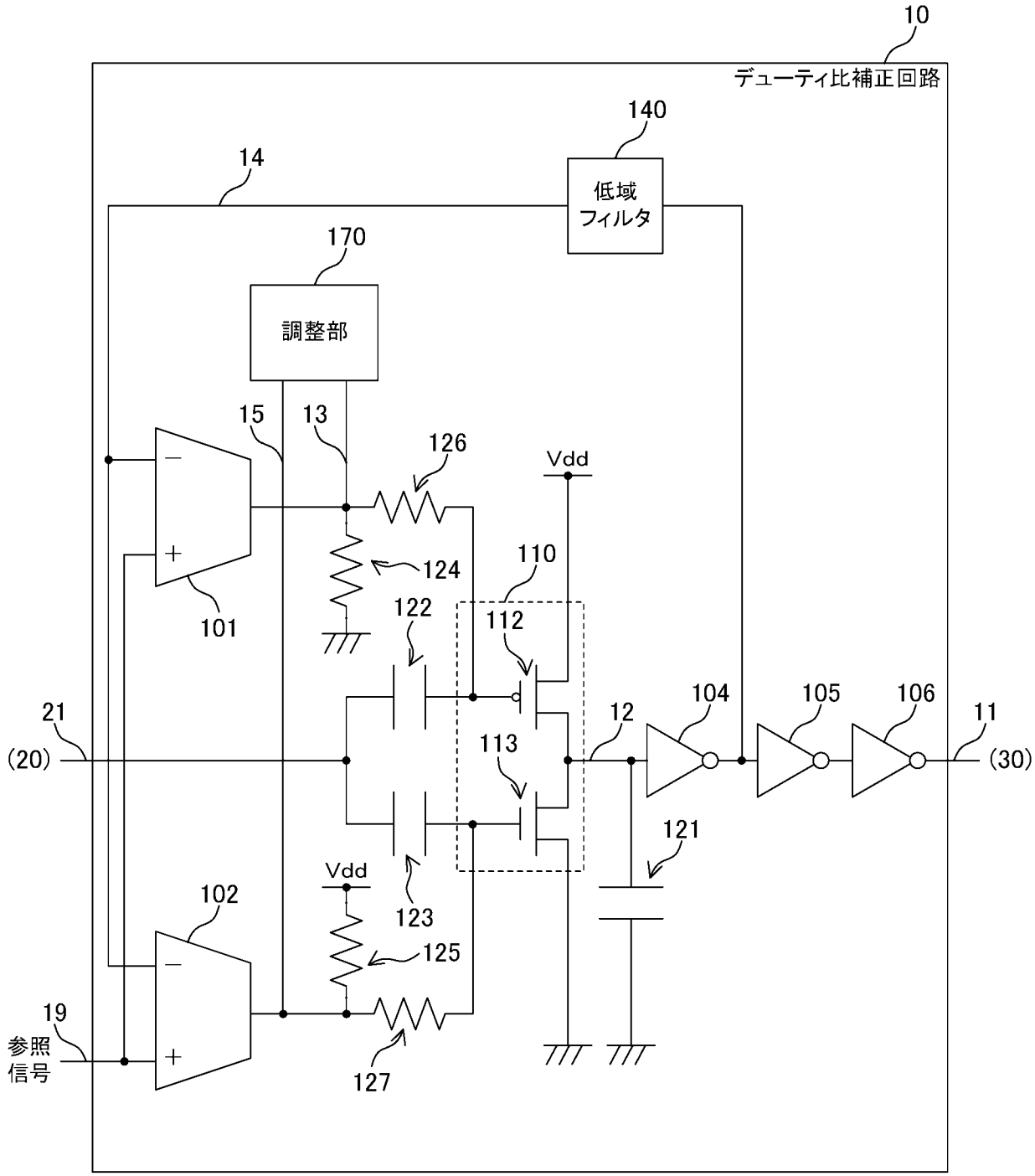
[図12]


(101),(111),(115),(170)
13
180
バイアス回路
Vdd
Vdd
181
186
187
188
183
184
185
182
15
(114),(116),(170)

[図13]



[図14]


10
デューティ比補正回路
140
低域
フィルタ
14
170
調整部
15
13
126
Vdd
124
110
122
112
101
104
105
106
21
(20)
12
11
(30)
113
121
Vdd
102
123
125
19
参照
信号
127

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/018674

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H03K5/04(2006.01)i, H03K3/017(2006.01)i, H03K5/13(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H03K5/04, H03K3/017, H03K5/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2002/0084817 A1 (NAIR, Rajendran et al.) 04 July 2002, paragraphs [0005]-[0023], fig. 1-2B (Family: none)	1-5, 7-10 6
Y A	JP 2003-289242 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 10 October 2003, paragraphs [0017]-[0029], fig. 1-3 (Family: none)	1-5, 7-10 6
Y A	JP 2006-65836 A (ROHM CO., LTD.) 09 March 2006, paragraphs [0008]-[0032], fig. 1 & US 2006/0022652 A1, paragraphs [0043]-[0053], fig. 1 & KR 10-2006-0048788 A & CN 1740937 A	1-5, 7-10 6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28.06.2019	09.07.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/018674

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-236174 A (ASAHI KASEI EMD CORP.) 21 November 2013, paragraphs [0002]-[0014], fig. 1-4 (Family: none)	7 6
Y A	JP 7-264018 A (KAWASAKI STEEL CORP.) 13 October 1995, paragraphs [0033]-[0051], fig. 1 (Family: none)	9 6
Y A	JP 2000-68797 A (MITSUBISHI ELECTRIC CORP.) 03 March 2000, paragraphs [0025]-[0031], fig. 1 & US 6198322 B1, column 2, line 35, to column 7, line 13, fig. 1	10 6
A	WO 2018/037946 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 01 March 2018 (Family: none)	6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０１８６７４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/04(2006.01)i, H03K3/017(2006.01)i, H03K5/13(2014.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/04, H03K3/017, H03K5/13

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	US 2002/0084817 A1 (NAIR,Rajendran et al.) 2002.07.04, 段落[0005]-[0023],FIG1-2B (ファミリーなし)	1-5,7-10 6
Y A	JP 2003-289242 A (松下電器産業株式会社) 2003.10.10, 段落[0017]-[0029],図1-3 (ファミリーなし)	1-5,7-10 6

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．０６．２０１９	０９．０７．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　１２０８
渡井　高広
電話番号　０３－３５８１－１１０１　内線　３５７６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-65836 A (ローム株式会社)	1-5,7-10
A	2006.03.09, 段落[0008]-[0032],図1	6
	& US 2006/0022652 A1,段落[0043]-[0053],FIG.1	
	& KR 10-2006-0048788 A & CN 1740937 A	
Y	JP 2013-236174 A (旭化成エレクトロニクス株式会社)	7
A	2013.11.21, 段落[0002]-[0014],図1-4	6
	(ファミリーなし)	
Y	JP 7-264018 A (川崎製鉄株式会社)	9
A	1995.10.13, 段落[0033]-[0051],図1	6
	(ファミリーなし)	
Y	JP 2000-68797 A (三菱電機株式会社)	10
A	2000.03.03, 段落[0025]-[0031],図1	6
	& US 6198322 B1,第2欄35行-第7欄13行,FIG.1	
A	WO 2018/037946 A1 (ソニーセミコンダクタソリューションズ株式会社)	6
	2018.03.01, (ファミリーなし)	