

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成27年9月24日(2015.9.24)

【公開番号】特開2013-97858(P2013-97858A)

【公開日】平成25年5月20日(2013.5.20)

【年通号数】公開・登録公報2013-025

【出願番号】特願2012-181345(P2012-181345)

【国際特許分類】

G 11 B 33/12 (2006.01)

G 11 B 33/14 (2006.01)

【F I】

G 11 B 33/12 305Z

G 11 B 33/12 313C

G 11 B 33/14 501A

【手続補正書】

【提出日】平成27年8月7日(2015.8.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力トランジスタを備えるデジタル入力検出器と、

出力が可変供給電圧を前記デジタル入力検出器に付与する適応型電源と

を備え、

前記適応型電源により前記デジタル入力検出器に付与される前記可変供給電圧が、前記入力トランジスタのしきい値電圧の変動にかかわらず入力信号の予測される論理レベルの関数として決定される設定点値を維持するために前記入力トランジスタの前記しきい値電圧によって変動する装置。

【請求項2】

前記入力トランジスタが、前記予測される論理レベルを有する入力信号に対して、前記しきい値電圧に、または前記しきい値電圧の近くにバイアスされるように、前記設定点値が選択される、請求項1に記載の装置。

【請求項3】

前記入力トランジスタが、ソースが前記適応型電源の前記出力に結合され、ドレインが低い方の供給電位に結合され、ゲートが前記デジタル入力検出器の入力ノードに結合される第1のPMOSトランジスタを備え、前記第1のPMOSトランジスタの前記ドレインが、前記デジタル入力検出器の第1の出力ノードにさらに結合される、請求項1に記載の装置。

【請求項4】

前記デジタル入力検出器が、それぞれのドレインが前記第1のPMOSトランジスタの前記ソースに結合され、それぞれのソースが前記適応型電源の前記出力に結合される、第2および第3のPMOSトランジスタを少なくとも備える、入力レベル・ヒステリシス回路網をさらに備え、前記第2のPMOSトランジスタのゲートが、前記第1のPMOSトランジスタの前記ソースにさらに結合され、前記第3のPMOSトランジスタのゲートが、前記デジタル入力検出器の第2の出力ノードに結合される、請求項3に記載の装置。

【請求項5】

前記デジタル入力検出器が、それぞれのゲートが前記第1のPMOSトランジスタの前記ゲートに結合される、第1および第2のNMOSトランジスタをさらに備え、前記第1のNMOSトランジスタのドレインが、前記第1のPMOSトランジスタの前記ドレインに結合され、前記第2のNMOSトランジスタのドレインが、前記第1のNMOSトランジスタのソースに結合され、前記第2のNMOSトランジスタのソースが、前記低い方の供給電位に結合される、請求項3に記載の装置。

【請求項6】

入力トランジスタを備えるデジタル入力検出器と、
出力が可変供給電圧を前記デジタル入力検出器に付与する適応型電源と
を備え、

前記適応型電源により前記デジタル入力検出器に付与される前記可変供給電圧が、入力信号の予測される論理レベルの関数として決定される設定点値の付近で、前記入力トランジスタのしきい値電圧によって変動する装置であって、

前記設定点値が、最小の予測される論理ハイ入力信号レベル、および前記入力トランジスタの前記しきい値電圧の関数として決定される装置。

【請求項7】

前記設定点値が、前記最小の予測される論理ハイ入力信号レベルと、前記入力トランジスタの前記しきい値電圧との和として決定される、請求項6に記載の装置。

【請求項8】

入力トランジスタを備えるデジタル入力検出器と、
出力が可変供給電圧を前記デジタル入力検出器に付与する適応型電源と
を備え、

前記適応型電源により前記デジタル入力検出器に付与される前記可変供給電圧が、前記入力トランジスタのしきい値電圧によって変動する装置であって、

前記適応型電源が、

第1の入力および第2の入力および出力を有し、前記第1の入力が基準電圧源に結合され、前記出力が前記可変供給電圧を前記デジタル入力検出器に付与する、演算増幅器と、

前記デジタル入力検出器の前記入力トランジスタの1つまたは複数の対応するパラメータ変動特性と実質的に整合される、1つまたは複数のパラメータ変動特性を有し、ソースが前記演算増幅器の前記出力に結合され、ゲートおよびドレインが相互に結合される、適応型電源トランジスタと、

直列に接続される第1および第2の抵抗要素を備え、前記第1および第2の抵抗要素の前記直列接続の第1の端部が、前記適応型電源トランジスタの前記ゲートおよびドレインに結合され、前記第1および第2の抵抗要素の前記直列接続の第2の端部が、低い方の供給電位に結合され、前記第1および第2の抵抗要素の間のタップが、フィードバック線を介して前記演算増幅器の前記第2の入力に結合される、分圧回路と
を備える装置。

【請求項9】

入力トランジスタを備えるデジタル入力検出器を用意するステップと、
可変供給電圧を前記デジタル入力検出器に用意するステップと
を含み、

前記デジタル入力検出器に付与される前記可変供給電圧が、前記入力トランジスタのしきい値電圧の変動にかかわらず入力信号の予測される論理レベルの関数として決定される設定点値を維持するために前記入力トランジスタの前記しきい値電圧によって変動する方法。