

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年2月16日 (16.02.2017)



(10) 国际公布号
WO 2017/024573 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2015/086821
- (22) 国际申请日: 2015年8月13日 (13.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510487278.0 2015年8月10日 (10.08.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (72) 发明人: 王笑笑 (WANG, Xiaoxiao); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。 杜鹏 (DU, Peng); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。 王聪 (WANG, Cong); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种阵列基板及其制作方法

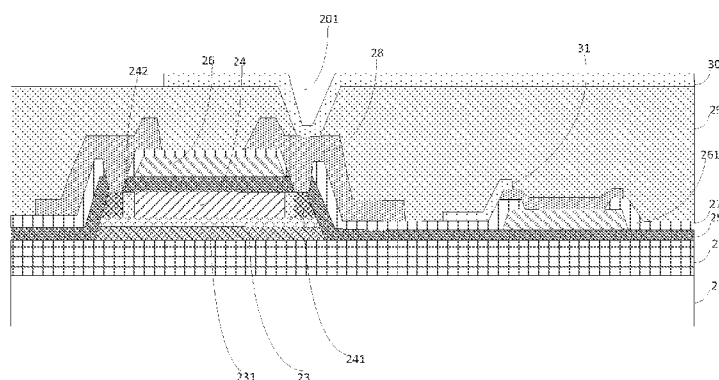


图 2

(57) Abstract: An array substrate and a manufacturing method therefor. The method comprises: forming a buffer layer (22), a light-shielding layer (23) and a whole semiconductor layer (24) on a base substrate (21), and simultaneously patterning the semiconductor layer (24) and the light-shielding layer (23); and then successively forming a first insulating layer (25), first metal layers (26, 261), a second insulating layer (27), a second metal layer (28), a flat layer (29) and a first transparent conductive layer (30) on the patterned semiconductor layer (24).

(57) 摘要: 一种阵列基板及其制作方法, 所述方法包括: 在衬底基板(21)上形成缓冲层(22)、遮光层(23)、整层半导体层(24), 并对所述半导体层(24)和所述遮光层(23)同时进行图形化处理; 然后在图形化处理后的半导体层(24)上依次形成第一绝缘层(25)、第一金属层(26,261)、第二绝缘层(27)、第二金属层(28)、平坦层(29)、第一透明导电层(30)。



WO 2017/024573 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

说明书

发明名称：一种阵列基板及其制作方法

技术领域

- [1] 本发明涉及液晶显示器技术领域，特别是涉及一种阵列基板及其制作方法。

背景技术

- [2] 低温多晶硅（Low temperature poly-silicon，简称LTPS），由于其具有高的电子迁移率，可以有效的减小TFT的器件的面积，提升像素的开口率，能够增大面板显示亮度的同时降低整体的功耗，使得面板的制造成本大幅度降低，目前已成为液晶显示领域的研究热点。
- [3] 传统的LTPS设计中，阵列基板侧的光罩流程较为复杂，一般都采用十道左右光罩制程，这样大大的降低了产品生产制造的产能，而且受到工艺复杂的影响，产品良率也很低，所以很难大幅度的推广，目前只能应用在小尺寸产品上。
- [4] 请参照图1，图1为现有技术的阵列基板的结构示意图，如图1所示，现有的阵列基板的制作方法，包括在衬底基板10上形成遮光层11；在遮光层11上形成缓冲层12，在缓冲层12上形成半导体层13，半导体层13需要通过曝光显影的方式重掺杂和轻掺杂，以及在半导体层13上形成第一绝缘层14，在第一绝缘层14上形成第一金属层15，在第一金属层15上第二绝缘层16，在第二绝缘层16上形成第二金属层17，并在第二金属层17上形成平坦层18，在未与源漏极区对应的平坦层18上形成第一透明导电层101；第一透明导电层101通过过孔与第二金属层的非源漏极部分连接，在与源漏极区对应的平坦层18上形成第二透明导电层102，第二透明导电层102与源极或者漏极连接，第一透明导电层101和第二透明导电层102之间设置有第三绝缘层19。
- [5] 上述制程中遮光层、半导体层、重掺杂、轻掺杂、以及平坦层、源漏极、第二绝缘层、第一透明导电层、第三绝缘层、第二透明导电层的制作中都需要掩膜板进行曝光，因此制程比较复杂，对工艺的制程要求较高，导致生产成本较高。
- [6] 因此，有必要提供一种阵列基板及其制作方法，以解决现有技术所存在的问题

。

对发明的公开

技术问题

- [7] 本发明的目的在于提供一种阵列基板及其制作方法，以解决现有技术制程过程比较复杂，生产成本较高，不利于在大尺寸上应用的技术问题。

问题的解决方案

技术解决方案

- [8] 为解决上述技术问题，本发明构造了一种阵列基板的制作方法，包括以下步骤：
- [9] 在衬底基板上形成缓冲层；
- [10] 在所述缓冲层上形成整层遮光层；所述遮光层的材料为非晶硅；
- [11] 对所述遮光层进行氧化处理，以在所述遮光层的表面形成绝缘膜；
- [12] 在所述绝缘膜上形成整层半导体层，并对所述半导体层和具有所述绝缘膜的所述遮光层同时进行图形化处理，以使部分所述遮光层和部分所述半导体层依次覆盖在所述缓冲层上；所述半导体层用于形成沟道；
- [13] 在所述图形化处理后的半导体层上形成第一绝缘层；
- [14] 在所述第一绝缘层上形成第一金属层，对所述第一金属层进行图形化处理形成栅极和公共电极；
- [15] 在所述第一金属层上形成第二绝缘层；
- [16] 在与所述公共电极对应的所述第二绝缘层上设置第三过孔，以使所述第二金属层与所述公共电极接触；
- [17] 在所述第二绝缘层上形成第二金属层，对所述第二金属层进行图形化处理形成漏极和源极；
- [18] 在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层，所述平坦层上形成有第一过孔；
- [19] 在所述平坦层上形成第一透明导电层；所述第一透明导电层通过所述第一过孔与所述第二金属层连接。
- [20] 在本发明的阵列基板的制作方法中，所述在所述第一绝缘层上形成第一金属层

的步骤之后，所述方法还包括：

[21] 在所述图形化处理后的半导体层的第一部分中通过扩散或者离子注入法掺入第一触发导电性物质；所述第一触发导电性物质用于提高所述半导体层的导电性能；所述第一触发导电性物质在所述图形化处理后的半导体层中的浓度大于第一预设浓度，其中所述第一部分为所述图形化处理后的半导体层中未被所述栅极覆盖的部分。

[22] 在本发明的阵列基板的制作方法中，所述方法还包括：

[23] 对所述栅极进一步蚀刻，以使得所述栅极覆盖在所述图形化处理后的半导体上的面积减小；

[24] 在所述图形化处理后的半导体层的第二部分中通过扩散或者离子注入法掺入第二触发导电性物质；所述第二触发导电性物质用于提高所述半导体层的导电性能；所述第二触发导电性物质在所述图形化处理后的半导体层中的浓度小于第二预设浓度，其中所述第二部分为所述图形化处理后的半导体层中未被所述蚀刻后的栅极覆盖，且与所述第一部分不重叠的部分。

[25] 在本发明的阵列基板的制作方法中，所述在所述第二绝缘层上形成第二金属层的步骤之后，所述方法还包括：在所述第二绝缘层以及第一绝缘层上设置有第二过孔；所述源极和所述漏极通过所述第二过孔与所述半导体层连接。

[26] 在本发明的阵列基板的制作方法中，所述绝缘膜的材料为二氧化硅。

[27] 在本发明的阵列基板的制作方法中，所述在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层的步骤之前，所述方法还包括：

[28] 在与所述公共电极对应处的第二金属层上形成第二透明导电层。

[29] 在本发明的阵列基板的制作方法中，所述第一透明导电层包括像素电极。

[30] 在本发明的阵列基板的制作方法中，所述半导体层的材料为低温多晶硅。

[31] 为解决上述技术问题，本发明构造了一种阵列基板的制作方法，包括以下步骤：

[32] 在衬底基板上形成缓冲层；

[33] 在所述缓冲层上形成整层遮光层；

[34] 在所述遮光层上形成整层半导体层，并对所述半导体层和所述遮光层同时进行

图形化处理，以使部分所述遮光层和部分所述半导体层依次覆盖在所述缓冲层上；所述半导体层用于形成沟道；

[35] 在所述图形化处理后的半导体层上形成第一绝缘层；

[36] 在所述第一绝缘层上形成第一金属层，对所述第一金属层进行图形化处理形成栅极和公共电极；

[37] 在所述第一金属层上形成第二绝缘层；

[38] 在所述第二绝缘层上形成第二金属层，对所述第二金属层进行图形化处理形成漏极和源极；

[39] 在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层，所述平坦层上形成有第一过孔；

[40] 在所述平坦层上形成第一透明导电层；所述第一透明导电层通过所述第一过孔与所述第二金属层连接。

[41] 在本发明的阵列基板的制作方法中，所述在所述第一绝缘层上形成第一金属层的步骤之后，所述方法还包括：

[42] 在所述图形化处理后的半导体层的第一部分中通过扩散或者离子注入法掺入第一触发导电性物质；所述第一触发导电性物质用于提高所述半导体层的导电性能；所述第一触发导电性物质在所述图形化处理后的半导体层中的浓度大于第一预设浓度，其中所述第一部分为所述图形化处理后的半导体层中未被所述栅极覆盖的部分。

[43] 在本发明的阵列基板的制作方法中，所述方法还包括：

[44] 对所述栅极进一步蚀刻，以使得所述栅极覆盖在所述图形化处理后的半导体上的面积减小；

[45] 在所述图形化处理后的半导体层的第二部分中通过扩散或者离子注入法掺入第二触发导电性物质；所述第二触发导电性物质用于提高所述半导体层的导电性能；所述第二触发导电性物质在所述图形化处理后的半导体层中的浓度小于第二预设浓度，其中所述第二部分为所述图形化处理后的半导体层中未被所述蚀刻后的栅极覆盖，且与所述第一部分不重叠的部分。

[46] 在本发明的阵列基板的制作方法中，所述在所述第二绝缘层上形成第二金属层

的步骤之后，所述方法还包括：在所述第二绝缘层以及第一绝缘层上设置有第二过孔；所述源极和所述漏极通过所述第二过孔与所述半导体层连接。

[47] 在本发明的阵列基板的制作方法中，所述遮光层的材料为非晶硅；

[48] 所述方法还包括：对所述遮光层进行氧化处理，以在所述遮光层的表面形成绝缘膜；所述绝缘膜的材料为二氧化硅。

[49] 在本发明的阵列基板的制作方法中，所述在所述第一金属层上形成第二绝缘层的步骤之后，所述方法还包括：

[50] 在与所述公共电极对应的所述第二绝缘层上设置第三过孔，以使所述第二金属层与所述公共电极接触。

[51] 在本发明的阵列基板的制作方法中，所述在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层的步骤之前，所述方法还包括：

[52] 在与所述公共电极对应处的第二金属层上形成第二透明导电层。

[53] 在本发明的阵列基板的制作方法中，所述第一透明导电层包括像素电极。

[54] 本发明还提供一种阵列基板，其包括：

[55] 缓冲层，位于衬底基板上；

[56] 遮光层，位于所述缓冲层上；

[57] 半导体层，位于所述遮光层上，所述半导体层用于形成沟道；

[58] 第一绝缘层，位于所述半导体层上；

[59] 第一金属层，位于所述第一绝缘层上，所述第一金属层包括薄膜晶体管的栅极区和公共电极区；

[60] 第二绝缘层，位于所述第一金属层上；

[61] 第二金属层，位于所述第二绝缘层上，所述第二金属层包括薄膜晶体管的漏极区和源极区；

[62] 平坦层，位于所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上；所述平坦层上设置有第一过孔；

[63] 第一透明导电层，位于所述平坦层上；所述第一透明导电层通过所述第一过孔与所述第二金属层连接。

[64] 在本发明的阵列基板中，在与所述公共电极对应处的第二金属层上还设置有第

二透明导电层。

[65] 在本发明的阵列基板中，所述第一透明导电层包括像素电极。

[66] 在本发明的阵列基板中，所述半导体层的材料为低温多晶硅。

发明的有益效果

有益效果

[67] 本发明的阵列基板及其制作方法，通过对现有的制程方法进行改进，从而简化生产过程，降低生产成本。

对附图的简要说明

附图说明

[68] 图1为现有技术的阵列基板的结构示意图；

[69] 图2为本发明阵列基板的结构示意图；

[70] 图3为本发明阵列基板的制作方法的第一至三步的结构示意图；

[71] 图4为本发明阵列基板的制作方法的第四步的结构示意图；

[72] 图5为本发明阵列基板的制作方法的第五步的结构示意图；

[73] 图6为本发明阵列基板的制作方法的第六步的结构示意图；

[74] 图7为本发明阵列基板的制作方法的第七步的结构示意图；

[75] 图8为本发明阵列基板的制作方法的第八步的结构示意图；

[76] 图9为本发明阵列基板的制作方法的第九步的结构示意图；

[77] 图10为本发明阵列基板的制作方法的第十步的结构示意图；

[78] 图11为本发明阵列基板的制作方法的第十一步的结构示意图；

[79] 图12为本发明阵列基板的制作方法的第十二步的结构示意图；

[80] 图13为本发明阵列基板的制作方法的第十三步的结构示意图；

[81] 图14为本发明阵列基板的制作方法的第十四步的结构示意图；

[82] 图15为本发明阵列基板的制作方法的第十五步的结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[83] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实

施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是以相同标号表示。

[84] 请参照图2，图2为本发明阵列基板的结构示意图。

[85] 本发明的阵列基板如图2所示，包括衬底基板21、缓冲层22、遮光层23、半导体层24、第一绝缘层25、第一金属层、第二绝缘层27、第二金属层28、平坦层29、第一透明导电层30；

[86] 所述缓冲层22位于所述衬底基板21上；所述遮光层23位于所述缓冲层22上；所述半导体层24位于所述遮光层23上，在所述半导体层24与所述遮光层23之间设置有绝缘膜231，所述半导体层24用于形成沟道；所述第一绝缘层25位于所述半导体层24上；所述第一金属层位于所述第一绝缘层25上，包括薄膜晶体管的栅极区26和公共电极区261；所述第二绝缘层27位于所述第一金属层上；所述第二金属层28位于所述第二绝缘层27上，所述第二金属层28包括薄膜晶体管的漏极区和源极区；所述平坦层29位于所述第二金属层28以及未被所述第二金属层覆盖的第二绝缘层27上，所述平坦层29上设置有第一过孔201；所述第一透明导电层30位于所述平坦层29上；所述第一透明导电层30通过所述第一过孔201与所述第二金属层28连接。所述第一透明导电层30包括像素电极。在与所述公共电极261对应的第二金属层28上还设置有第二透明导电层31。

[87] 上述阵列基板的制作方法包括：

[88] 如图3所示，S101、在衬底基板21上形成缓冲层22；

[89] S102、在所述缓冲层22上形成整层遮光层23，

[90] 所述遮光层的材料为非晶硅，譬如a-si。

[91] S103、对所述遮光层进行氧化处理，以在所述遮光层的表面形成绝缘膜231；

[92] 当所述遮光层23的材料为非晶硅时，经过氧化处理后，在其表面形成二氧化硅绝缘膜231，能够有效地防止沟道内的电荷转移到非晶硅中。

[93] S104、在所述绝缘膜231上形成整层半导体层，并对所述半导体层和所述遮光层同时进行图形化处理；

- [94] 如图4所示, 通过第一道掩模板对整层半导体层和整层遮光层同时进行曝光显影, 仅部分所述遮光层23、所述绝缘膜231、所述半导体层24依次覆盖在所述缓冲层22上; 所述半导体层24用于形成沟道; 所述半导体层24的材料譬如为低温多多晶硅。所述绝缘膜231能够有效地防止沟道内的电荷转移到遮光层23中。
- [95] S105、在所述图形化处理后的半导体层24上形成第一绝缘层25;
- [96] 如图5所示, 所述第一绝缘层25的材料可为无机透明材料。
- [97] S106、在所述第一绝缘层25上形成第一金属层;
- [98] 如图6所示, 所述步骤106具体是通过带有图形的掩模板(第二道掩模板), 对所述第一金属层经过曝光显影、蚀刻后形成栅极26和公共电极261; 所述栅极26和所述公共电极261以外的第一金属层在制程中被蚀刻掉。所述第一金属层的材料可为铬、钼、铝或铜等。
- [99] 优选地, 在步骤S106之后, 即在所述第一绝缘层上形成第一金属层的步骤之后, 所述方法还包括:
- [100] S201、在所述图形化处理后的半导体层的第一部分中通过扩散或者离子注入法掺入第一触发导电性物质;
- [101] 如图7所示, 即对所述图形化处理后的半导体层24的第一部分进行重掺杂; 所述第一触发导电性物质用于提高所述半导体层的导电性能; 所述第一触发导电性物质在所述图形化处理后的半导体层中的浓度大于第一预设浓度, 其中所述第一部分241为所述图形化处理后的半导体层24中未被所述栅极26覆盖的部分。所述第一触发导电性物质譬如为五价元素砷、锑、磷等原子; 通过步骤S201, 能够使得制程得到的漏极和源极分别与半导体层达到欧姆接触的效果。
- [102] S202、对所述栅极进一步蚀刻, 以使得所述栅极覆盖在所述半导体上的面积减小;
- [103] S203、在所述图形化处理后的半导体层24的第二部分中通过扩散或者离子注入法掺入第二触发导电性物质;
- [104] 如图8所示, 即对所述图形化处理后的半导体层的第二部分进行轻掺杂, 所述第二触发导电性物质用于提高所述半导体层的导电性能; 所述第二触发导电性物质在所述图形化处理后的半导体层中的浓度小于第二预设浓度, 其中所述第

二部分242为所述图形化处理后的半导体层中未被所述蚀刻后的栅极覆盖，且与所述第一部分241不重叠的部分。所述第二触发导电性物质譬如为五价元素砷、锑、磷等原子；其中第一预设浓度大于第二预设浓度。经过S203处理后，使得半导体层中低温多晶硅的电子迁移率更好。

[105] 现有技术为重掺杂时，需要使用掩模板进行遮光处理，而本发明直接使用第一金属层的栅极区对所述半导体层进行遮光，从而进一步节省了制程程序。现有技术在轻掺杂时，也需要使用掩模板进行遮光处理，而本发明通过对第一金属层的栅极区蚀刻，并使用蚀刻后的第一金属层的栅极区对所述半导体层进行遮光，从而更加节省了制程程序。

[106] S107、在所述第一金属层上形成第二绝缘层27；

[107] 如图9所示，具体是在第一金属层以及未被第一金属层覆盖的第一绝缘层25上形成所述第二绝缘层27。所述第二绝缘层27的材料可为有机透明材料。

[108] 优选地，在S107步骤之后，即所述在所述第一金属层上形成第二绝缘层的步骤之后，所述方法还包括：

[109] 如图10所示，S302、在与所述公共电极261对应的所述第二绝缘层27上设置第三过孔203。

[110] 优选地，在步骤S108之前，即在所述第二绝缘层上形成第二金属层的步骤之前，所述方法还包括：

[111] 如图11所示，S301、通过第三道掩模板对所述第二绝缘层以及第一绝缘层同时进行曝光显影；以在所述第二绝缘层以及第一绝缘层上设置有第二过孔202。

[112] S108、在所述第二绝缘层27上形成第二金属层28；

[113] 如图12所示，具体是通过带有图形的掩模板（第四道掩模板），对所述第二金属层28经过曝光显影、蚀刻后形成漏极和源极；所述第二金属层28的材料可为铬、钼、铝或铜等。

[114] 优选地，在所述第二绝缘层27上及所述第三过孔203形成第二金属层28，以使所述第二金属层28与所述公共电极261直接接触。从而防止制作第三过孔时，由于第二绝缘层27的厚度比较大，防止第一金属层被损坏。所述源极和所述漏极通过两个所述第二过孔202与所述半导体层24连接。

- [115] 优选地，在步骤S109之前，即在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层的步骤之前，所述方法还包括：
- [116] 如图13所示，S303、在与所述公共电极261对应处的第二金属层上形成第二透明导电层31；
- [117] 在所述第二金属层上涂布整层第二透明导电层，通过第五道掩模板对所述第二透明导电层进行显影曝光，留下与所述公共电极261对应的部分；剩余部分被显影掉。
- [118] 所述第二透明导电层31与所述公共电极261连接，用于形成存储电容。
- [119] S109、在所述第二金属层28以及未被所述第二金属层28覆盖的第二绝缘层27上形成平坦层29；
- [120] 如图14所示，S109具体包括在未被所述第二透明导电层31覆盖的所述第二金属层28、所述第二透明导电层31以及未被所述第二金属层28和所述第二透明导电层31覆盖的第二绝缘层27上形成平坦层29。
- [121] 优选地，如图15所示，其中所述平坦层29上形成有第一过孔201；通过第六道掩模板对所述平坦层进行显影曝光形成所述第一过孔201。
- [122] S110、在所述平坦层29上形成第一透明导电层30；
- [123] 如图2所示，可以利用溅射镀膜法，在设置有第一过孔的所述平坦层29上形成所述第一透明导电层30。所述第一透明导电层30上设置有像素电极，通过第七道掩模板对所述第一透明导电层进行显影曝光，形成所述像素电极。所述第一透明导电层30通过所述第一过孔201与所述第二金属层28连接，所述第一透明导电层30与源极或者漏极连接。
- [124] 现有技术的遮光层的材料通常为金属，用于防止背光源照射时，半导体层中载流子的迁移率发生变化。而本发明遮光层的材料为非晶硅，由于非晶硅能够吸收使半导体层中载流子的迁移率发生变化的光，因此能够防止在背光源照射时，半导体层的迁移率发生变化。从而可以使用同一掩模板对遮光层的材料和半导体层的材料进行同时曝光，从而节省了曝光工序，简化了生产过程，降低生产成本。
- [125] 本发明的阵列基板及其制作方法，通过对现有的制程方法进行改进，只需要七

道掩模板就可以完成阵列基板的制程，从而简化生产过程，降低生产成本。

- [126] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种阵列基板的制作方法，其包括：

在衬底基板上形成缓冲层；

在所述缓冲层上形成整层遮光层；所述遮光层的材料为非晶硅；

对所述遮光层进行氧化处理，以在所述遮光层的表面形成绝缘膜

；

在所述绝缘膜上形成整层半导体层，并对所述半导体层和具有所述绝缘膜的所述遮光层同时进行图形化处理，以使部分所述遮光层和部分所述半导体层依次覆盖在所述缓冲层上；所述半导体层用于形成沟道；

在所述图形化处理后的半导体层上形成第一绝缘层；

在所述第一绝缘层上形成第一金属层，对所述第一金属层进行图形化处理形成栅极和公共电极；

在所述第一金属层上形成第二绝缘层；

在与所述公共电极对应的所述第二绝缘层上设置第三过孔，以使所述第二金属层与所述公共电极接触；

在所述第二绝缘层上形成第二金属层，对所述第二金属层进行图形化处理形成漏极和源极；

在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层，所述平坦层上形成有第一过孔；以及

在所述平坦层上形成第一透明导电层；所述第一透明导电层通过所述第一过孔与所述第二金属层连接。

[权利要求 2]

根据权1所述的阵列基板的制作方法，其中所述在所述第一绝缘层上形成第一金属层的步骤之后，所述方法还包括：

在所述图形化处理后的半导体层的第一部分中通过扩散或者离子注入法掺入第一触发导电性物质；所述第一触发导电性物质用于提高所述半导体层的导电性能；所述第一触发导电性物质在所述图形化处理后的半导体层中的浓度大于第一预设浓度，其中所述

第一部分为所述图形化处理后的半导体层中未被所述栅极覆盖的部分。

[权利要求 3] 根据权2所述的阵列基板的制作方法，其中所述方法还包括：
对所述栅极进一步蚀刻，以使得所述栅极覆盖在所述图形化处理后的半导体上的面积减小；以及
在所述图形化处理后的半导体层的第二部分中通过扩散或者离子注入法掺入第二触发导电性物质；所述第二触发导电性物质用于提高所述半导体层的导电性能；所述第二触发导电性物质在所述图形化处理后的半导体层中的浓度小于第二预设浓度，其中所述第二部分为所述图形化处理后的半导体层中未被所述蚀刻后的栅极覆盖，且与所述第一部分不重叠的部分。

[权利要求 4] 根据权1所述的阵列基板的制作方法，其中所述在所述第二绝缘层上形成第二金属层的步骤之后，所述方法还包括：在所述第二绝缘层以及第一绝缘层上设置有第二过孔；所述源极和所述漏极通过所述第二过孔与所述半导体层连接。

[权利要求 5] 根据权1所述的阵列基板的制作方法，其中
所述绝缘膜的材料为二氧化硅。

[权利要求 6] 根据权1所述的阵列基板的制作方法，其中所述在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层的步骤之前，所述方法还包括：
在与所述公共电极对应处的第二金属层上形成第二透明导电层。

[权利要求 7] 根据权1所述的阵列基板的制作方法，其中所述第一透明导电层包括像素电极。

[权利要求 8] 根据权1所述的阵列基板的制作方法，其中所述半导体层的材料为低温多晶硅。

[权利要求 9] 一种阵列基板的制作方法，其包括：
在衬底基板上形成缓冲层；
在所述缓冲层上形成整层遮光层；

在所述遮光层上形成整层半导体层，并对所述半导体层和所述遮光层同时进行图形化处理，以使部分所述遮光层和部分所述半导体层依次覆盖在所述缓冲层上；所述半导体层用于形成沟道；
在所述图形化处理后的半导体层上形成第一绝缘层；
在所述第一绝缘层上形成第一金属层，对所述第一金属层进行图形化处理形成栅极和公共电极；
在所述第一金属层上形成第二绝缘层；
在所述第二绝缘层上形成第二金属层，对所述第二金属层进行图形化处理形成漏极和源极；
在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层，所述平坦层上形成有第一过孔；以及
在所述平坦层上形成第一透明导电层；所述第一透明导电层通过所述第一过孔与所述第二金属层连接。

[权利要求 10]

根据权9所述的阵列基板的制作方法，其中所述在所述第一绝缘层上形成第一金属层的步骤之后，所述方法还包括：
在所述图形化处理后的半导体层的第一部分中通过扩散或者离子注入法掺入第一触发导电性物质；所述第一触发导电性物质用于提高所述半导体层的导电性能；所述第一触发导电性物质在所述图形化处理后的半导体层中的浓度大于第一预设浓度，其中所述第一部分为所述图形化处理后的半导体层中未被所述栅极覆盖的部分。

[权利要求 11]

根据权10所述的阵列基板的制作方法，其中所述方法还包括：
对所述栅极进一步蚀刻，以使得所述栅极覆盖在所述图形化处理后的半导体上的面积减小；以及
在所述图形化处理后的半导体层的第二部分中通过扩散或者离子注入法掺入第二触发导电性物质；所述第二触发导电性物质用于提高所述半导体层的导电性能；所述第二触发导电性物质在所述图形化处理后的半导体层中的浓度小于第二预设浓度，其中所述

第二部分为所述图形化处理后的半导体层中未被所述蚀刻后的栅极覆盖，且与所述第一部分不重叠的部分。

[权利要求 12] 根据权9所述的阵列基板的制作方法，其中所述在所述第二绝缘层上形成第二金属层的步骤之后，所述方法还包括：在所述第二绝缘层以及第一绝缘层上设置有第二过孔；所述源极和所述漏极通过所述第二过孔与所述半导体层连接。

[权利要求 13] 根据权9所述的阵列基板的制作方法，其中所述遮光层的材料为非晶硅；

所述方法还包括：对所述遮光层进行氧化处理，以在所述遮光层的表面形成绝缘膜；所述绝缘膜的材料为二氧化硅。

[权利要求 14] 根据权9所述的阵列基板的制作方法，其中所述在所述第一金属层上形成第二绝缘层的步骤之后，所述方法还包括：
在与所述公共电极对应的所述第二绝缘层上设置第三过孔，以使所述第二金属层与所述公共电极接触。

[权利要求 15] 根据权14所述的阵列基板的制作方法，其中所述在所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上形成平坦层的步骤之前，所述方法还包括：
在与所述公共电极对应处的第二金属层上形成第二透明导电层。

[权利要求 16] 根据权9所述的阵列基板的制作方法，其中所述第一透明导电层包括像素电极。

[权利要求 17] 一种阵列基板，其包括：
缓冲层，位于衬底基板上；
遮光层，位于所述缓冲层上；
半导体层，位于所述遮光层上，所述半导体层用于形成沟道；
第一绝缘层，位于所述半导体层上；
第一金属层，位于所述第一绝缘层上，所述第一金属层包括薄膜晶体管的栅极区和公共电极区；
第二绝缘层，位于所述第一金属层上；

第二金属层，位于所述第二绝缘层上，所述第二金属层包括薄膜晶体管的漏极区和源极区；

平坦层，位于所述第二金属层以及未被所述第二金属层覆盖的第二绝缘层上；所述平坦层上设置有第一过孔；以及

第一透明导电层，位于所述平坦层上；所述第一透明导电层通过所述第一过孔与所述第二金属层连接。

[权利要求 18] 根据权17所述的阵列基板，其中在与所述公共电极对应处的第二金属层上还设置有第二透明导电层。

[权利要求 19] 根据权17所述的阵列基板，其中所述第一透明导电层包括像素电极。

[权利要求 20] 根据权17所述的阵列基板，其中所述半导体层的材料为低温多晶硅。

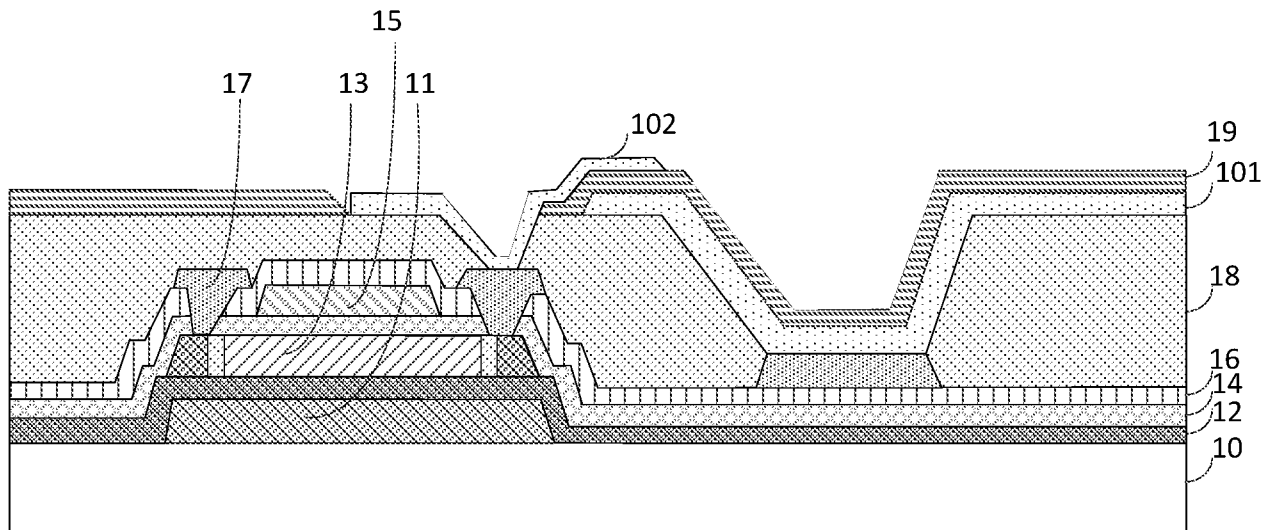


图 1

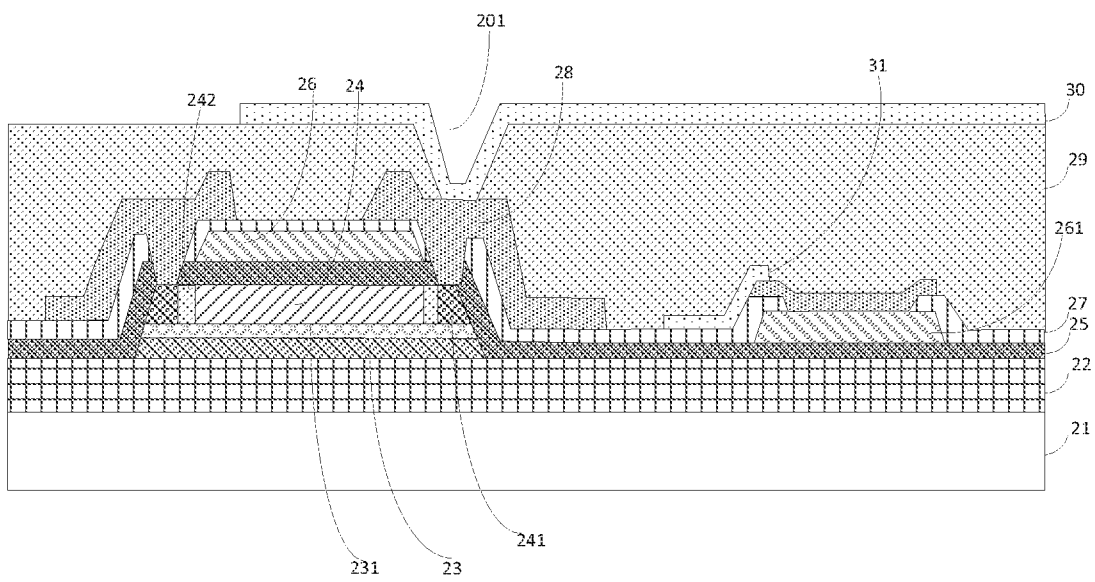


图 2

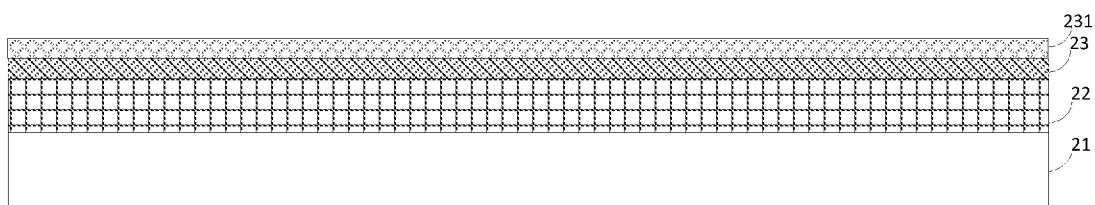


图 3

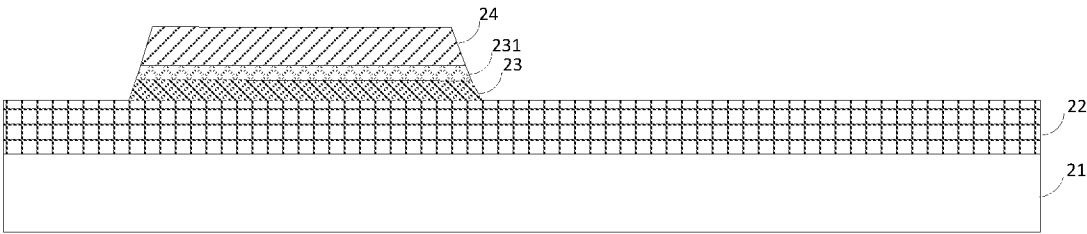


图 4

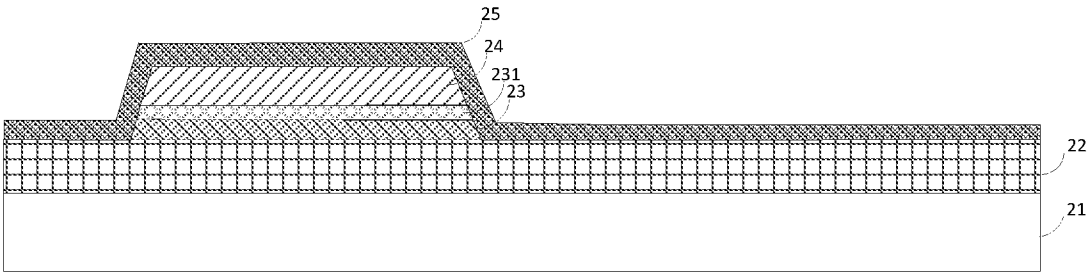


图 5

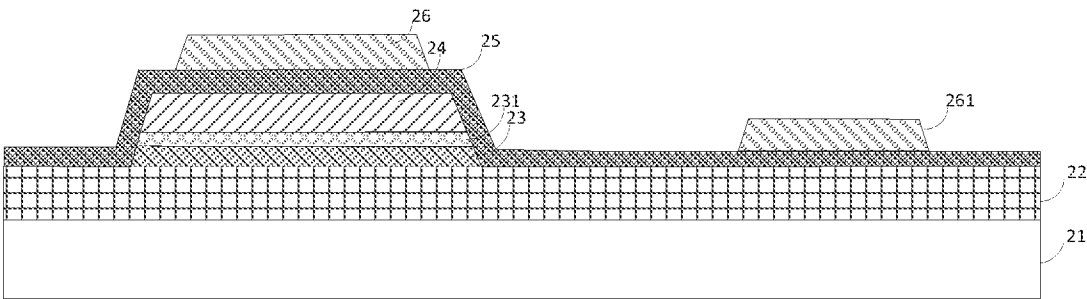


图 6

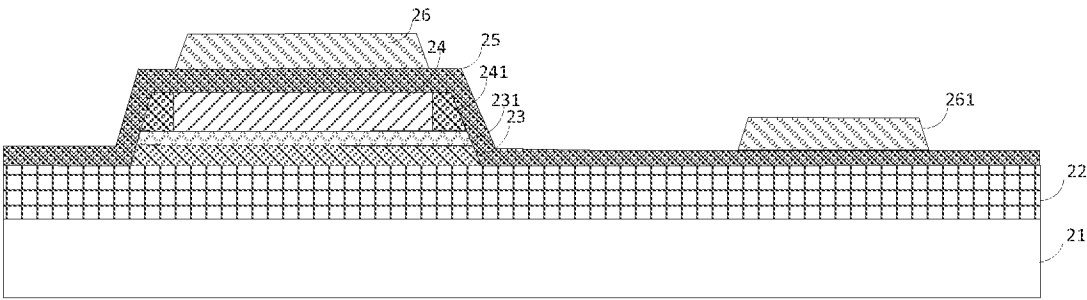


图 7

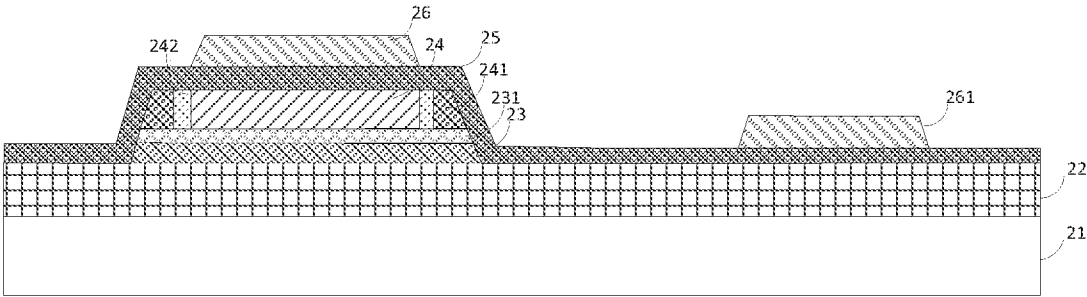


图 8

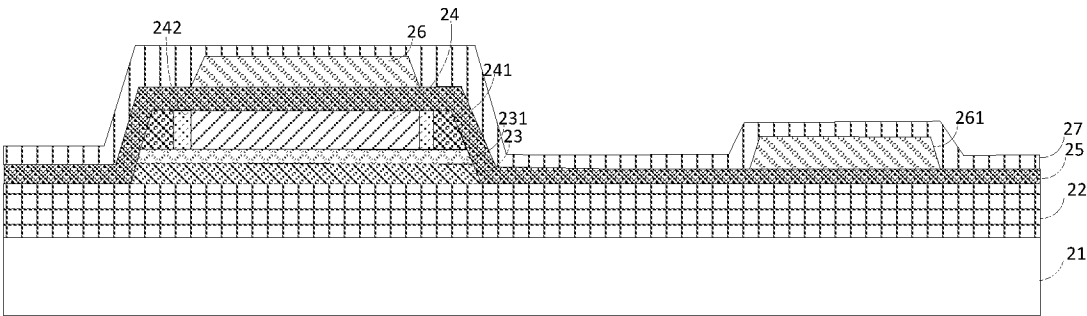


图 9

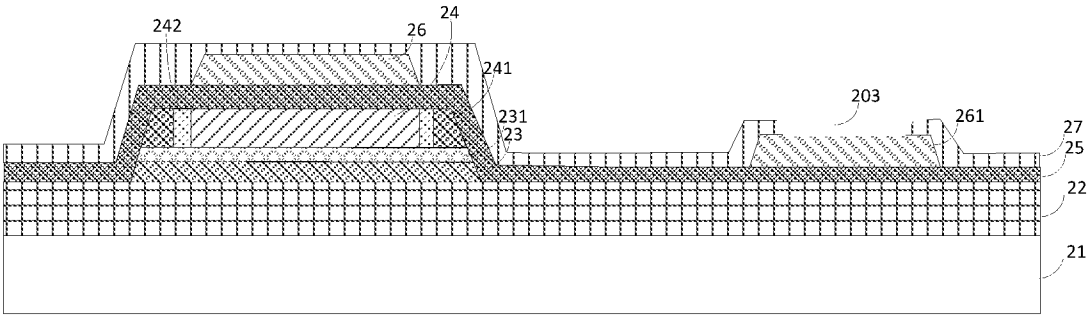


图 10

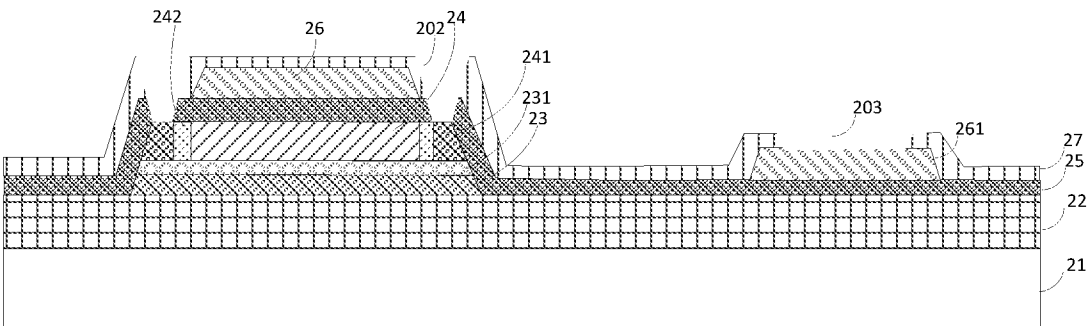


图 11

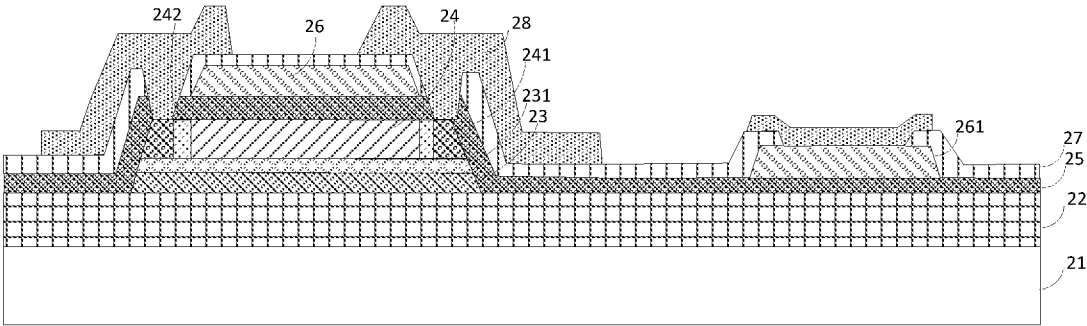


图 12

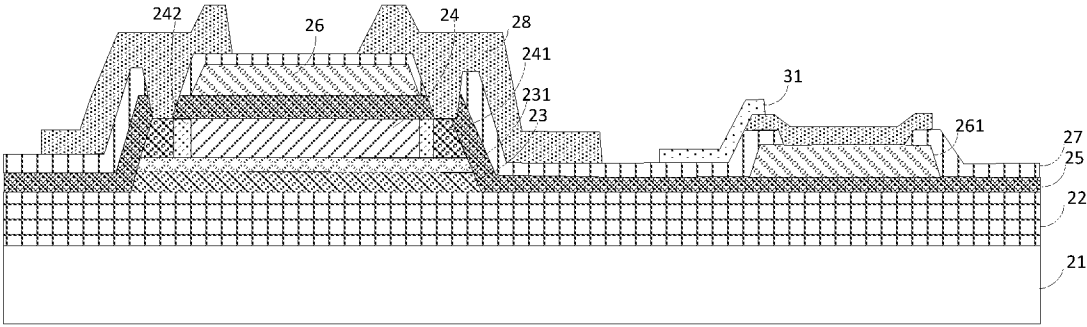


图 13

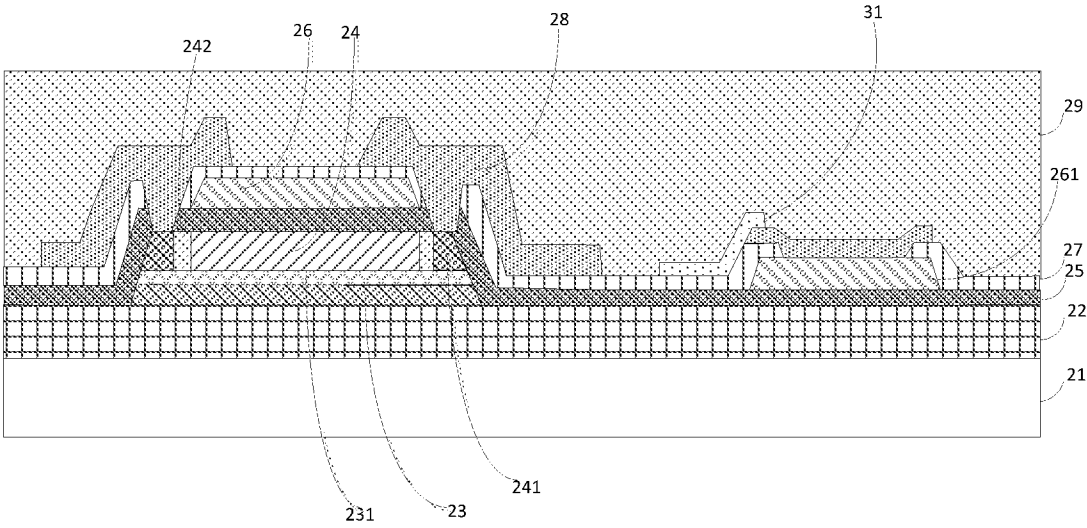


图 14

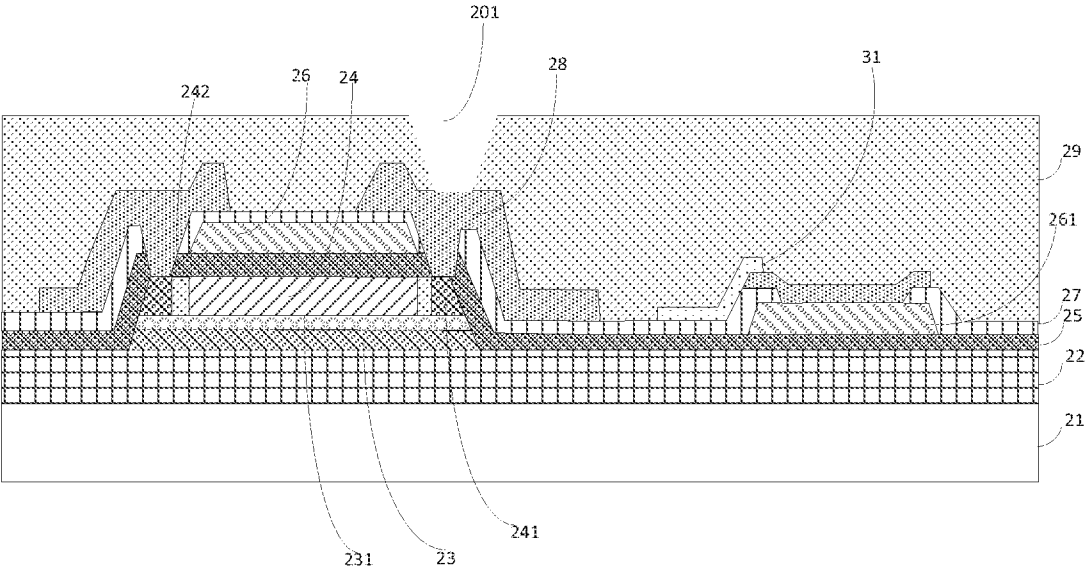


图 15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/086821

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: thin film transistor?, TFT?, light shield+, light block+, insulat+, common electrode?, LDD, capacitor, semiconductor, light dope, static characteristics

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101345261 A (NEC LCD TECHNOLOGIES LTD.) 14 January 2009 (14.01.2009) description, page 8, the third paragraph to page 9, the second paragraph, figures 2 and 3	1-20
Y	US 2008246042 A1 (AU OPTRONICS CORP.) 09 October 2008 (09.10.2008) description, paragraphs [0043] to [0053], figures 5 and 6	1-20
Y	US 2004063270 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 01 April 2004 (01.04.2004) description, paragraphs [0017] to [0023], figure 2	2, 3, 10, 11
A	CN 103855225 A (LG DISPLAY CO., LTD.) 11 June 2014 (11.06.2014) the whole document	1-20
A	US 2004135236 A1 (FUJITSU DISPLAY TECHNOLOGIES CORPORATION) 15 July 2004 (15.07.2004) the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&"document member of the same patent family

Date of the actual completion of the international search 08 October 2015	Date of mailing of the international search report 01 February 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Yan Telephone No. (86-10) 62414051

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/086821

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101345261 A	14 January 2009	CN 101345261 B	07 May 2014
		US 2009014721 A1	15 January 2009
		US 7932137 B2	26 April 2011
		JP 2009016742 A	22 January 2009
		JP 5458367 B2	02 April 2014
		US 2011068343 A1	24 March 2011
		US 8389345 B2	05 March 2013
		JP 2013084977 A	09 May 2013
		JP 5610406 B2	22 October 2014
		US 7745825 B2	29 June 2010
US 2008246042 A1	09 October 2008	TW 200841471 A	16 October 2008
		TW I351764 B	01 November 2011
		US 2010112773 A1	06 May 2010
		US 8263445 B2	11 September 2012
		US 7009262 B2	07 March 2006
US 2004063270 A1	01 April 2004	JP 2004119861 A	15 April 2004
		JP 4454921 B2	21 April 2010
		US 2006118888 A1	08 June 2006
		US 7422933 B2	09 September 2008
		US 2008299737 A1	04 December 2008
		US 7648863 B2	19 January 2010
		JP 2010056559 A	11 March 2010
		JP 5063666 B2	31 October 2012
		US 2014151708 A1	05 June 2014
		KR 20140071218 A	11 June 2014
US 2004135236 A1	15 July 2004	US 7202115 B2	10 April 2007
		JP 2004207337 A	22 July 2004
		JP 4245915 B2	02 April 2009

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/CN2015/086821

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
		US 2007164287 A1	19 July 2007
		US 7394098 B2	01 July 2008
		JP 2009088541 A	23 April 2009
		JP 4447647 B2	07 April 2010

国际检索报告

国际申请号

PCT/CN2015/086821

A. 主题的分类

H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPODOC, WPI, CNKI, IEEE: 薄膜晶体管, 遮光, 挡光, 绝缘膜, 半导体膜, 半导体层, 公共电极, 轻掺杂, 轻源漏, 存储电容, thin film transistor?, TFT?, light shield+, light block+, insulat+, common electrode?, LDD, capacitor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101345261 A (NEC液晶技术株式会社) 2009年 1月 14日 (2009 - 01 - 14) 说明书第8页第3段-第9页第2段, 附图2-3	1-20
Y	US 2008246042 A1 (AU OPTRONICS CORP.) 2008年 10月 9日 (2008 - 10 - 09) 说明书第[0043]-[0053]段, 附图5-6	1-20
Y	US 2004063270 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2004年 4月 1日 (2004 - 04 - 01) 说明书第[0017]-[0023]段, 附图2	2-3, 10-11
A	CN 103855225 A (乐金显示有限公司) 2014年 6月 11日 (2014 - 06 - 11) 全文	1-20
A	US 2004135236 A1 (FUJITSU DISPLAY TECHNOLOGIES CORPORATION) 2004年 7月 15日 (2004 - 07 - 15) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 10月 8日

国际检索报告邮寄日期

2016年 2月 1日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨燕

传真号 (86-10)62019451

电话号码 (86-10)62414051

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/086821

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101345261	A	2009年 1月 14日	CN	101345261	B	2014年 5月 7日
				US	2009014721	A1	2009年 1月 15日
				US	7932137	B2	2011年 4月 26日
				JP	2009016742	A	2009年 1月 22日
				JP	5458367	B2	2014年 4月 2日
				US	2011068343	A1	2011年 3月 24日
				US	8389345	B2	2013年 3月 5日
				JP	2013084977	A	2013年 5月 9日
				JP	5610406	B2	2014年 10月 22日
US	2008246042	A1	2008年 10月 9日	US	7745825	B2	2010年 6月 29日
				TW	200841471	A	2008年 10月 16日
				TW	I351764	B	2011年 11月 1日
				US	2010112773	A1	2010年 5月 6日
				US	8263445	B2	2012年 9月 11日
US	2004063270	A1	2004年 4月 1日	US	7009262	B2	2006年 3月 7日
				JP	2004119861	A	2004年 4月 15日
				JP	4454921	B2	2010年 4月 21日
				US	2006118888	A1	2006年 6月 8日
				US	7422933	B2	2008年 9月 9日
				US	2008299737	A1	2008年 12月 4日
				US	7648863	B2	2010年 1月 19日
				JP	2010056559	A	2010年 3月 11日
				JP	5063666	B2	2012年 10月 31日
CN	103855225	A	2014年 6月 11日	US	2014151708	A1	2014年 6月 5日
				KR	20140071218	A	2014年 6月 11日
US	2004135236	A1	2004年 7月 15日	US	7202115	B2	2007年 4月 10日
				JP	2004207337	A	2004年 7月 22日
				JP	4245915	B2	2009年 4月 2日
				US	2007164287	A1	2007年 7月 19日
				US	7394098	B2	2008年 7月 1日
				JP	2009088541	A	2009年 4月 23日
				JP	4447647	B2	2010年 4月 7日

表 PCT/ISA/210 (同族专利附件) (2009年7月)