

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3708974号
(P3708974)

(45) 発行日 平成17年10月19日(2005.10.19)

(24) 登録日 平成17年8月12日(2005.8.12)

(51) Int. Cl.⁷

F I

H04N 7/24

H04N 7/13

Z

H03M 7/40

H03M 7/40

H04N 5/92

H04N 11/04

Z

H04N 11/04

H04N 5/92

H

請求項の数 3 (全 14 頁)

(21) 出願番号 特願平6-64885
 (22) 出願日 平成6年4月1日(1994.4.1)
 (65) 公開番号 特開平7-79432
 (43) 公開日 平成7年3月20日(1995.3.20)
 審査請求日 平成13年3月15日(2001.3.15)
 審判番号 不服2004-20872(P2004-20872/J1)
 審判請求日 平成16年10月7日(2004.10.7)
 (31) 優先権主張番号 042173
 (32) 優先日 平成5年4月2日(1993.4.2)
 (33) 優先権主張国 米国(US)

(73) 特許権者 391000807
 アールシーエー トムソン ライセンシン
 グ コーポレイション
 RCA THOMSON LICENS I
 NG CORPORATION
 アメリカ合衆国 ニュージャージー州 O8
 540 プリンストン インデペンデンス
 ・ウェイ 2
 (74) 復代理人 100120581
 弁理士 市原 政喜
 (74) 代理人 100077481
 弁理士 谷 義一
 (74) 代理人 100088915
 弁理士 阿部 和夫

最終頁に続く

(54) 【発明の名称】 コード化ビデオ信号の処理装置

(57) 【特許請求の範囲】

【請求項1】

コードワード・データストリームを、優先順位付けされた第1および第2のコードワード・シーケンスにセグメント化する、ビデオ信号処理システムの装置であって、

一連のデータ・グループを含むビデオ信号コードワード・データストリームを供給すると共に、前記ビデオ信号コードワード・データストリームの各コードワードと同時に、関連したコードワードのビット長を示す長さワードを供給する手段と、

前記ビデオ信号コードワード・データストリームに応答して分析インターバル期間中に動作することにより、データ・グループ内の第1および第2のコードワードを分けるためのプライオリティ・ブレイクポイントを判定する分析手段を含み、該プライオリティ・ブレイクポイントが挿入された出力コードワード・データストリームを出力するコードワード処理手段と、

前記コードワード処理手段から前記出力コードワード・データストリームを受信し、前記出力コードワード・データストリームのフォーマットを、優先順位付けされた第1および第2のデータ・チャネルを介して伝送するために前記優先順位付けされた第1および第2のコードワード・シーケンスに変換する伝送処理手段と、

前記分析インターバル期間中に、空白コードワードであって該コードワードに関連した長さワードがゼロ値を示す空白コードワード、を生成する手段と、

前記コードワード処理手段によって前記ビデオ信号コードワード・データストリームの処理が行われる前段において、前記空白コードワードを前記ビデオ信号コードワード・デ

10

20

ータストリーム中に挿入する手段と、
を具備したことを特徴とする装置。

【請求項 2】

請求項 1 に記載の装置において、

前記ビデオ信号は、複数のイメージ・スライスをそれぞれ含む複数のイメージ・フレームから構成されたイメージ情報を内容とするテレビジョン信号であり、

前記分析インターバル期間はイメージ・スライス・インターバルを含む、ことを特徴とする装置。

【請求項 3】

請求項 1 に記載の装置において、

前記ビデオ信号コードワード・データストリームを供給する手段から供給された前記ビデオ信号コードワード・データストリームは M P E G 符号化フォーマットに準拠しており、

前記伝送処理手段は、コードワードを伝送用データセルにパッキング処理する際、前記空白コードワードを無視する、
ことを特徴とする装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明はコード化ビデオ信号を処理するための装置に関し、特に、可変長コード化 (variable length coding - VLC) の対象となるビデオ信号を、M P E G 標準に従って優先順位付けするための装置に関する。

【0002】

なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第 08 / 042 , 173 号 (1993 年 4 月 2 日出願) の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部分を構成するものとする。

【0003】

【背景技術】

米国特許第 5,122,875 号 (Raychaudhuri 他) は、M P E G 準拠 (MPEG-like) 可変長コード化の対象となる高品位テレビジョン (high-definition television - HDTV) 信号を処理するためのシステムを記載している。M P E G とは、国際標準化機構 (International Organization for Standardization - ISO) によって確立された標準化コード形式である。この標準は、I S O 文書 ISO/IEC DIS 11172 「ディジタル記憶媒体用の動画および関連オーディオのコード化」 (Coding for Moving Pictures and Associated Audio for Digital Storage Media) に述べられており、1991 年 11 月 23 日改訂に記載されている。なお、この文書は、一般的コード形式の説明部分に関しては、引用により本明細書の一部を構成するものである。Raychaudhuri システムは、コードワード (codeword) を高プライオリティと低プライオリティのコードワード・シーケンスに分割するプライオリティ・セクタ (priority selector) を含んでいる。高プライオリティと低プライオリティのコードワード・シーケンスは、それぞれイメージ再生にとって相対的に大きい重要度と小さい重要度をもつ圧縮ビデオ・データに対応している。

【0004】

プライオリティ・セクタは、あるイメージ・スライス (image slice) のときの高プライオリティと低プライオリティのセグメント間のブレイクポイント (breakpoint) を計算するためにコードワードを分析する。以下の説明で明らかなように、「スライス」とは、M P E G コード化構文の階層の 1 つに対応するイメージ・セグメントである。コードワード・データストリームがトランスポート・プロセッサ (transport processor) に渡されると、このプロセッサはコードワード・データを各々がヘッダとペイロード (payload) セクションを含んでいるトランスポート・セル (transport cell) にパックし、出力として H P デー

10

20

30

40

50

タストリームとS Pデータストリームを送出する。

【0005】

データ優先順位付けシステム(data prioritizing system)においてプライオリティ・セレクトに望まれていることは、そのオペレーションを同期化して必要なタイミング条件を単純化することである。例えば、必要とするクロックを1つだけにすることである。プライオリティ・セレクトに望まれているもう1つは、優先順位付けされたデータがトランスポート・プロセッサによって受信され、パックされて出力チャネルに送出されるとき、そのデータストリームがMPEGなどの標準的データ形式との互換性を失わないように、コードワード・データストリームを処理することである。

【0006】

10

【発明の概要】

本発明による装置はコードワード・プライオリタイザ(codeword prioritizer)に組み込まれ、所定のコードワード相互間の関係に従って、コードワード・データストリームを複数のコードワード・シーケンスにセグメント化することを容易にする。本明細書に開示している好適実施例によれば、コードワード・プライオリタイザは、コードワード・シーケンスを分析して、高プライオリティ(H P)コードワードと標準プライオリティ(S P)コードワード間のどこにブレークポイントを設定すべきかを判断するために休止(pause)したときのインタバル期間に、空白コードワード(null codeword)をコードワード・データストリームに挿入する。この空白ワードは、そのあとに続くトランスポート・プロセッサがコードワードをセルにパックするとき無視することにより、MPEGフォーマットとの互換性を保つようにしている。

20

【0007】

【実施例】

以下、図面を参照して本発明の実施例を詳細に説明する。

【0008】

図1に示すように、高品位テレビジョン・ソース10からのデジタル・ビデオ・データは、プロセッサ14においてMPEG準拠の可変長コード化(つまり、データ圧縮)の処理を受ける。データ・ソース10は、一連のオリジナル・イメージ・フィールド/フレーム・データ(図2(A)に図示)を並べ替え、これにより、図2(B)に示すような出力を得る。並べ替えられたシーケンス(データ列)はプロセッサ/コンプレッサ14に入力され、このプロセッサ/コンプレッサはMPEG準拠のフォーマットに従ってコード化された圧縮フレームのシーケンスを出力する。このフォーマット(形式)は階層構造になっており、図5には簡略形式で示されている。MPEG階層形式(hierarchical format)は複数の層からなり、各層はそれぞれのヘッダ情報をもっている。名目上、各ヘッダは開始コード(start code)、それぞれの層に関するデータ、およびヘッダ拡張部分を追加するための予備を含んでいる。ヘッダ情報の多く(上記のMPEG文書に示されているものは、MPEGシステム環境において同期をとる目的で必要になるものである。圧縮されたビデオ・データ、つまり、図5に示すように階層形式の可変長コード化(VLC)された並列コードワードは、プロセッサ14からFIFOプライオリティ分析バッファ(FIFO priority analysis buffer)22に入力される。このバッファは、プライオリティ・プロセッサ(priority processor)20の分析回路によって分析される直前にコードワードをストアする。

30

40

【0009】

プロセッサ14は、プライオリティ・プロセッサ20が必要とするコードワード・タイプ・データを含んでいるコードワードを作成する。具体的には、プロセッサ14は各並列入力コードワードを、7ビットのタイプ・フィールドおよび15ビットのバリュー・フィールドを示す並列22ビットの等価フォーマットに変換するために複数のROMを採用している。タイプ・フィールドは、MPEG階層内で意味と相対的プライオリティが異なるコードワードを区別する情報、つまり、タイプ別にコードワードを区別する情報を収めている。バリュー・フィールドは、特定コードワード・タイプの量的情報を収めている。バリ

50

ユー・フィールドの15ビットは、すべてが常に使用されるとは限らない。例えば、タイプ「15」はモーション・ベクトル(motion vector)であり、このタイプに関連する9ビット値はベクトルの大きさを示している。また、プロセッサ14は、各コードワードと同時に、そのコードワードの長さを示す長さ(Length)ワードを、並列ビット形式で別々のバス上に送出する。米国特許第5,122,875号(Raychaudhuri)には、MPEG準拠の階層構造化された圧縮ビデオ・データを出力するために、エレメント14として使用できるコンプレッサ装置の例が開示されている。

【0010】

プロセッサ14からの22ビット・コードワードは、(有効な)新しいコードワードがいつ受信できる準備状態にあるかをバッファ22に知らせる、プロセッサ14からのWRITE信号と一緒に、プライオリティ・プロセッサ20に非同期的に送られる。書き込みイネーブル(許可)クロック(ライトEN)は、有効なコードワードをバッファ22に書き込むためのものである。システム・クロック・ジェネレータ25によって生成される23.6MHzのリード信号は、プライオリティ・プロセッサ20のすべてのエレメントによって使用される単一システム・クロックである。読取りイネーブル(許可)信号(リードEN)は、バッファ22がユニット14からデータを受信しようとしていることを制御ユニット24が検出したとき、制御ユニット24によって生成され、それ以外のときは禁止とされる。リード・イネーブル信号(リードEN)の他の特性は後に説明する。

【0011】

プライオリティ・プロセッサ20は、一度に1スライスごとにコードワード・データストリームを分析し、そして、このプライオリティ・プロセッサが、各スライスをHPセグメントとSPセグメントに優先順位付けするブレイクポイント値を計算しているときの分析インタバル期間に、空白コードワード(null codeword - 長さがゼロと指定されているコードワード)をスライスとスライスの間に挿入する。最終的には、これらのセグメントはトランスポート・プロセッサ(transport processor)50によってHPセルまたはSPセルにパックされる。スライス(slice)とは、図4と図5に示すように、MPEG規定のイメージ・セグメントである。これについては、図4および図5を参照して後述する。空白コードワードを含めて、各コードワードには、関連したコードワードのビット長を指定する並列長さワードが関連づけられている。空白コードワードは、プロセッサ14によってコードワードが生成されないときのインタバル期間(つまり、モーションまたはイメージ・ディテールがほとんど、あるいはまったくないインタバル期間)にも挿入される。空白コードワードはプロセッサ20の同期オペレーションを容易にし、単一システム・クロック(リード)の使用を可能にする。空白コードワードは、データ・パック・オペレーション時にはトランスポート・プロセッサ50によって無視されるが、これは、各空白コードワードに関連づけられた長さワードには、ゼロの値が割り当てられているためである。

【0012】

バッファ22は従来の設計構造にすることが可能である。例えば、バッファ22は、それぞれの部分に15ビットのバリュウ・コードワードを受け入れるための対の並列化8ビット幅バッファと、7ビットのタイプ・コードワードを受け入れるための8ビット幅バッファとで構成することが可能である。この目的に適した8ビット幅ユニット(バッファ)としては、Integrated Device Technology社製のIDT型72241バッファがある。これらの8ビット・ユニットからのバッファされた出力は、それぞれのDフリップフロップを経由して、バッファ22のバリュウおよびタイプ・コードワード出力に送ることが可能である。Dフリップフロップはリード信号によってクロックがとられ、それぞれの8ビット・バッファの出力端から送られてきたデータをその「D」入力端に受信する。リード・イネーブル(リードEN)信号は、8ビット・バッファから出力Dフリップフロップへのデータ・フローを許可または禁止するゲートを制御するために使用される。

【0013】

コードワードは、リード・クロックに同期して、一度に1コードワードずつバッファ22から読み出されるが、この読出しはスライスとスライスの間では中止される。タイム・マ

10

20

30

40

50

マルチプレクサ(time multiplexer) 28は、バッファ22が空であるときのインタバル期間に、また、プライオリティ・ブレイクポイントがあるスライスで計算されているときの分析インタバル期間バッファ22が読み出されていないときに、空白コードワードをバッファ22からのデータストリーム中に挿入する。空白コードワードとその関連(ゼロ)長さワードは、コンパレータおよび空白コードワード・ジェネレータ26によって生成される。ユニット26のコンパレータ部分はバッファ22の出力をモニタし、ピクチャ開始(Picture Start)コードワード(これは、各ピクチャ・フレームの直前に現れる)およびスライス開始(Slice Start)コードワード(これは各イメージ・スライスの直前に現れる)が現れると、それを検出するようにプログラムされている。例えば、スライス開始コードワードが現れたときは、あるスライス(N)がバッファ22から読み出され、次のスライス(N+1)がバッファ22に書き込まれる直前にあることを示している。ブレイクポイント・アナライザ(breakpoint analyser) 42がスライス・データを分析するためには、一定数のクロック・サイクルが必要であり、その終了時に、バッファ22はリード・イネーブル(リード EN)信号を受けて再び読み出すことが許可され、空白コードワード生成は中止される。空白コードワードとその関連並列長さワードは、タイム・マルチプレクサ28の一方の入力端に入力され、他方の入力端には、バッファ22からのタイプおよびバリュウ・データ出力が入力される。

【0014】

レジスタ30はリード・システム・クロックと同期して動作し、マルチプレクサ28がクロックで動作するデバイスではなく、そのために時間遅延が起こったとき発生するタイミング差を埋め合わせるために、データストリームのタイミングを調整する働きをする。レジスタ30の同期コードワード出力は、コンパレータおよびフラグ・ジェネレータ32を経由してコードワード・バッファ36の一方の入力端に、また、3クロック期間遅延ネットワーク(three-clock period delay network) 34を経由してコードワード・バッファ36の他方の入力端に入力される。ユニット32のコンパレータ部分は、4つの関連インジケータ(フラグ)を生成する目的で4つのコードワード・タイプを検出するようにプログラムされており、これらのコードワード・タイプがトランスポート・プロセッサ50によって受信されたとき、該当のマークが付けられるようになっている。トランスポート・プロセッサが必要とする4つのフラグは、グループ開始(Group Start)フラグ、ピクチャ開始(Picture Start)フラグ、レコード・ヘッダ(Record Header)フラグおよびマクロブロック・アドレス・インクリメント(Macroblock Address Increment)フラグである。これらのフラグはコードワード・ストリームと並列に伝達される。

【0015】

ユニット32は、“I”フレーム(これは図4と図5に示されているが、同図を参照して後述する)のピクチャ開始コードワードより1コードワード前にグループ開始フラグを生成する。従って、このフラグは2クロックだけ遅延してコードワード・バッファ36に渡される。グループ開始フラグは、ピクチャ開始コードワードより1コードワード前に、空白コードワードと同時に現れる。ピクチャ開始フラグは、すべてのフレーム(図4のI、P、Bフレーム)のピクチャ開始コードワードと同時に生成される。ピクチャ開始フラグは、ピクチャ開始コードワード・タイプが検出されると生成され、このフラグは、ピクチャ開始コードワードとタイミングを合わせるために、3クロック期間だけ遅延してコードワード・バッファ36に渡される。レコード・ヘッダ・フラグは、スライス開始コードワードより1コードワード前に、すべてのスライスの開始時に生成され、空白コードワードと同時に現れるが、空白コードワードは、あとで、マルチプレクサ41のオペレーションによってプライオリティ・ブレイクポイント値に置き換えられる。レコード・ヘッダ・コードワードは、関連スライスのプライオリティ・ブレイクポイントを示す値を含んでいる。ユニット32のコンパレータはスライス開始タイプ・コードワードを検出し、2クロックだけ遅延してスライス開始フラグをバッファ36に出力する。レコード・ヘッダ・コードワードが所定のクロック・サイクル数のあとでコードワード・バッファ36から現れると、現スライスのプライオリティ・ブレイクポイント値がアナライザ42から得られ、

10

20

30

40

50

レコード・ヘッダと同時に現れた空白コードワードのバリュウ・フィールド中にマルチプレクサ 4 1 によって挿入される。バッファ 3 6 のフラグ出力ラインはマルチプレクサ 4 1 の制御入力端に入力され、その結果、プライオリティ・ブレイクポイント値は、レコード・ヘッダ・フラグがバッファ 3 6 のフラグ出力ラインに現れたとき、レコード・ヘッダと同時に現れた空白ワードのバリュウ・フィールド中に挿入される。ブレイクポイント値は、レコード・ヘッダ・フラグに関連づけられた空白ワードのバリュウ・フィールド中に挿入され、この値は、トランポート・プロセッサ 5 0 がレコード・ヘッダ自体を作るとき、トランポート・プロセッサ 5 0 によって使用される。マクロブロック・アドレス・インクリメント・インジケータ・フラグはマクロブロックの開始を示しており、マクロブロック・アドレス・インクリメント・コードワード・タイプが検出されたときマクロブロック・アドレス・インクリメント・コードワードと同時に生成される。

10

【0016】

コードワード・バッファ 3 6 は、一定数のクロック期間(clock period)の長さになっている。この例では、クロック期間は 8 1 9 2 である。コードワードが遅延回路 3 4 からバッファ 3 6 に入るとき、ユニット 3 2 によって生成されたフラグは、それぞれのコードワードとタイミングが合わされて、コードワードと一緒にバッファ 3 6 内を伝わっていく。バッファ 3 6 の長さは一定で、長いために、ブレイクポイント・アナライザ 4 2 とその関連回路は、十分な時間的余裕をもってスライス内のコードワードの統計を処理し、コードワードがバッファ 3 6 から現れたときコードワードを優先順位付けするためのプライオリティ・ブレイクポイント値を生成することができる。

20

【0017】

バッファ 3 6 からの正しくタイミング合わせされたコードワードとフラグはプライオリティ・フラグ・ジェネレータ 4 0 のそれぞれの入力端に並列に送られる。このジェネレータ 4 0 には、ブレイクポイント・アナライザ 4 2 からプライオリティ・ブレイクポイント値も入力される。ユニット 4 0 からの出力コードワードは、ユニット 4 8 によってプロセッサ 1 4 の入力に逆変換されてコードワード形式に戻され、各々がヘッダとデータ(ペイロード)セクションをもつ H P セルと S P セル、つまり、トランポート・パケットに、トランポート・プロセッサ 5 0 によって配列される。トランポート・プロセッサ 5 0 からの H P パケットと S P パケットは出力プロセッサ 5 5 によって処理されてから、データ・チャンネル上を送られる。図 3 および米国特許第 5, 1 2 2, 8 7 5 号(Raychaudhuri 他)に示されているように、出力プロセッサ 5 5 は、レート・バッファ(rate buffer)、誤り訂正およびモデム・ネットワークを含むことが可能である。また、Raychaudhuri 特許には、M P E G 準拠の階層エンコード、優先順位付けを目的としたコードワード分析、およびトランポート処理のために使用できるネットワークも記載されているが、これらについては後述する。

30

【0018】

スライス・プライオリティ・ブレイクポイントおよびその結果として優先順位付けされる H P と S P ビットストリームを設定するためには、プライオリティ処理回路にはそのスライスのデータ統計が必要であり、この統計は、次のスライス・インタバル期間に新しいコードワードがプライオリティ・プロセッサに入力されたとき変更が行われた場合、その変更の影響を受けない必要がある。この問題を解決するアーキテクチャの 1 つとして、「ピンポン」方式で動作する 2 つのプライオリティ分析入力バッファを使用しているものがある。このアーキテクチャによれば、現スライスのコードワードは一方のバッファに書き込まれ、前のスライスのコードワードは他方のバッファから読み出されるようになっている。この種の二重バッファ構成は、前掲の Raychaudhuri 特許に記載されているシステムで使用されている。二重バッファ手法は効率面では十分であるが、2 つのバッファが必要になるために、ハードウェア面で高価である。さらに、タイミング制御信号を生成するための回路は、可変長コード化スライス・コードワードが一般に、異なる長さになっているために、複雑な構造になっている。図 1 に示すプライオリティ・プロセッサは、使用する入力バッファが入力バッファ 2 2 の 1 つだけであるので、アーキテクチャが単純化され、低コ

40

50

ストである。また、エンコーダ 1 2 がデータを送信していないときのインタバルを利用するようになっている。

【 0 0 1 9 】

制御ユニット 2 4 からバッファ 2 2 に与えられる読取り許可（イネーブル）信号（リード E N ）により、単一バッファ 2 2 からなる入力バッファ構成の実現が可能になっている。前述したように、リード・イネーブル信号は、バッファ 2 2 から読み取られるコードワードがないとき、および、バッファ 2 2 が空のときは、現れない。そのときは、空白コードワードがマルチプレクサ 2 8 からデータストリーム中に挿入されるので、コードワード・データストリームは同期を維持している。バッファ 2 2 は、リード・イネーブル信号がブレイクポイント分析インタバルの終了時に現れたとき、データの読出しを開始し、この読出しは、通常、入力コードワード・ストリーム中にブレイクポイント (break) が現れ（つまり、ディテールがほとんど、あるいはまったくないイメージが現れたとき）、その結果、バッファ 2 2 に残っているコードワードがなくなるまで続けられ、コードワードがなくなると、リード・イネーブル信号は禁止され、空白コードワードがユニット 2 6 , 2 8 からデータストリーム中に挿入される。リード・イネーブル信号は、制御ユニット 2 4 がバッファ 2 2 の出力端に現れたピクチャ開始コードワード・タイプまたはスライス開始コードワード・タイプを検出したときも（例えば、コンパレータにより）禁止される。この状態が起こったときは、バッファ読取りオペレーションが中止される直前にバッファ 2 2 から読み出されていたデータは、すべてが前のスライス（N）のものであり、新しいスライス（N + 1）が開始する直前にあることを意味する。

【 0 0 2 0 】

これらのコードワード・タイプの検出は、コードワード自体がクロックに合わせてバッファ 2 2 から読み出される前に行われ、そして、そのコードワードはリード・イネーブル信号が禁止されている間、バッファ 2 2 の出力レジスタに残っている。このアクションが必要なのは、スライスの終了を検出するために、次のスライス開始コードワードまたはピクチャ開始コードワードをモニタする必要があるためである。従って、検出された特定のコードワードは、それが現スライス・インタバルの終了を検出するために使用される場合であっても、次のスライス・インタバルまでバッファ 2 2 に残っている。リード・イネーブル信号が禁止されている間、プライオリティ・プロセッサは分析モードにあり、到来したコードワードは、事前に決めた容量に達するまでバッファ 2 2 内にバックアップがとられ、容量まで達すると、トランスポート・レディ (Transport Ready) 制御信号が禁止され、データをこれ以上受け付けることができないことをユニット 1 4 に通知する。

【 0 0 2 1 】

スライス・プライオリティ・ブレイクポイントを判断するには、ブレイクポイント・アナライザ 4 2 とデュアル・ポートのランダム・アクセス・メモリ（R A M ） 4 4 との間でやりとりが行われる。このやりとりはスライス・インタバル期間に行われ、各スライス分析インタバルが終了するたびにクリアされる。スライス・データ累積 (slice data accumulation) モードにあるときは、入力バッファ 2 2 がデータを読み出している間、R A M 4 4 はスライス・コードワード・タイプ・データを第 1 アドレス・ポートから受け取る。分析インタバルでそのコードワード・タイプがこれまでに現れるたびに累積された関連長さワードは、R A M 4 4 の第 1 データ・ポートからアキュムレータに送られる。長さワードは、可変長コードワードの生成と同時にプロセッサ 1 4 によって生成される。この長さワードはそれぞれの関連コードワードのビット長を示しており、上記アキュムレータの他方の入力ノードへ送られる。上記アキュムレータの出力は、分析インタバルのその時点における特定コードワード・タイプの更新された総コードワード・ビット数を含んでおり、第 2 データ・ポートから R A M 4 4 にリストアップされる。データ分析モードにあるときは、R A M 4 4 データとアドレスのソースは変更される。最高プライオリティ・コードワード・タイプであることを示すアドレス 0 から、最低プライオリティ・コードワード・タイプであることを示す最高コードワード・タイプ値までをカウントするインクリメント出力は、R A M 4 4 の第 1 アドレス・ポートへ送られる。従って、第 1 データ・ポートが

らは、プライオリティが順次に低くなっていくコードワード・タイプごとの累積ビット長が上記アキュムレータの一方の入力ノードへ送られる。上記アキュムレータの他方の入力端はアキュムレータの出力端からフィードバックされるので、該アキュムレータは、重要度が低くなっていく各コードワード・タイプの総ビット長の総和をとることになる。総和が $HP \text{ } FRAC \text{ } BITS$ (下述する) 信号の値まで達すると、総和が $HP \text{ } FRAC \text{ } BITS$ 値を越える原因となったビット長合計をもつコードワード・タイプが記録され、その分析インターバルのプライオリティ・ブレイクポイント用に使用される。RAM 44の第2アドレス・ポートにはインクリメント・カウンタの遅延されたバージョンが入力され、一方、第2データ・ポートはロケーションをクリアし、RAMを次の分析インターバルのアキュムレータ・モードの準備状態にするためにゼロ値を送信する。

10

【0022】

それぞれのコードワード・タイプについてRAM 44によって累積され、ストアされた長さ値は、RAM 44の第2データ・ポートからアナライザ42へ送られる。データ質問(data interrogation)信号 $INTERR$ は、アナライザ42からRAM 44の第2アドレス・ポートへ送られる。この質問信号を受けると、RAM 44は、コードワード・タイプと長さデータを累積している途中で次のメモリ・アドレスまでインクリメントするので、次のアドレスからのデータは分析のためにユニット42へ送られる。最高プライオリティ・データに対応する最高アドレスから始めて、RAM 44は重要度が低くなっていく各コードワード・タイプのコードワード長さ値を累積していく。この累算は入力信号 $HP \text{ } FRAC \text{ } BITS$ で指定されたアドレスに達するまで続けられ、累積されたコードワード長さ値はアナライザ42に出力される。

20

【0023】

アナライザ42は、累積された長さ値と入力信号 $HP \text{ } FRAC \text{ } BITS$ 値を関数として、プライオリティ・ブレイクポイントを判断する。この信号は、分析しているスライスの高プライオリティ・チャンネルで送るべき目標ビット数を、ユニット42内のブレイクポイント判断回路に通知する。信号 $HP \text{ } FRAC \text{ } BITS$ は、現在分析中のスライスに含まれるビット数と、アルゴリズムにより判断され、高プライオリティ対総ビット数の比率をパーセントで表したパラメータ $HP \text{ } FRAC$ との積である。 $HP \text{ } FRAC$ は基本的には、例えば、エンコーダ・レート・バッファから受け取ったビット割振り情報とバッファ占有情報を関数として、あるフレーム・インターバル期間に動的に計算されたデータ分割(data split)パラメータである。分析中のスライスのビット数はマイクロプロセッサ(図示せず)によって計算されるが、パラメータ $HP \text{ } FRAC$ は米国特許第5,144,425号(Joseph)に記載されているように計算することが可能である。このJoseph特許には、長さタイプ・コードワードと、 $HP \text{ } FRAC$ パラメータに対応する値とに応答するブレイクポイント・アナライザおよびアキュムレータを含む装置も記載されている。

30

【0024】

スライスNのコードワードがユニット42によって分析されている間(この時点で、空白ワードがデータ・ストリーム中に挿入される)、後続のスライスのコードワードがユニット14から送られてくると、ユニット22内のバッファに入れられる。リード・イネーブル信号は分析インターバル期間中禁止されるので、次のスライスでバッファ22にストアされるコードワード量は増加を続けていく。しかし、これは問題とはならない。つまり、上述したように、ユニット14は相当量のデータをバッファ22に送る能力があるが、データは、処理中のイメージがほとんど、あるいはまったくディテールまたはモーション情報をもっていないときのように、比較的長い時間期間の間、存在しないことがよくあるからである。これらのアイドル期間を利用すれば、バッファ22は、次のデータ・バーストがユニット14から送られてくる前に、不足分を取り戻し、最終的には読出しプロセスを通して空にすることが可能になる。

40

【0025】

ユニット14が次のコードワードのバーストをバッファ22へ送る準備状態にあるとき、バッファ22が一杯か、あるいはほとんど一杯になっていることが起こる。その場合には

50

、バッファ22からのTRANSPORT READY信号が禁止され、ユニット14に関連する出力バッファにデータを送信しないように指示する。これにより、ユニット14の出力バッファは読出しを行う代わりに、一杯になったままになっている。これは、ユニット14とプライオリティ・プロセッサ20との間でデータが失われるのを防止する安全機構の働きをする。バッファ22の容量が十分に大きければ、TRANSPORT READY信号が使用されることはまれである。

【0026】

これまでに説明してきたシステムでは、非同期入力コードワードは、空白ワードを挿入することによって同期コードワード・データストリームに変換されるので、そのあとに続くハードウェアは、共通クロックを受けて動作することができる。必要なハードウェアは、単一入力のFIFOバッファ、デュアル・ポートRAMおよびアナライザだけあれば十分であるので、単純化され、しかも、エンコーダからのデータストリームを停止させる回数を最小限にすることができる。

【0027】

プライオリティ・フラグ・ジェネレータ(priority flag generator) 40は高プライオリティ・フラグと標準プライオリティ・フラグを生成し、これらのフラグはそれぞれ、プライオリティ・ブレイクポイントによって判断された高プライオリティと標準プライオリティのコードワード・シーケンスが存在することを示している。この目的のために、フラグ・ジェネレータ40は、アナライザ42からプライオリティ・ブレイクポイントを受けて動作するコンパレータ・ネットワークを備えている。また、ユニット40は前述したようにレコード・ヘッダ・フラグと他のフラグをバッファ36から、タイプおよびバリュー・コードワード(CW)をバッファ36とマルチプレクサ41を経由して受信する。これらのコードワードには、コードワード・バッファ36からのレコード・ヘッダ・フラグが現れたときにマルチプレクサ41によって挿入されたプライオリティ・ブレイクポイント値が各スライスのレコード・ヘッダ空白コードワード・バリュー・フィールドに入っている。各スライスのレコード・ヘッダに入っているプライオリティ・ブレイクポイント値は、HP/SPプライオリティ・ブレイクポイントがどこに(つまり、スライスのどのコードワード・タイプに)現れるかを示しているので、受信側でデコードを行うことが容易になる。トランスポート・プロセッサ50は、ユニット40によって生成されたHPフラグとSPフラグを使用して、その入力コードワード・データストリームを出力HPおよびSPデータストリームに分割する。HPフラグのあとに置かれたコードワードは出力HPデータ経路に送られ、SPフラグのあとに置かれたコードワードは出力SPデータ経路に送られる。ユニット40からの並列出力データは、マルチプレクサ41からのコードワードとバッファ36からのいくつかのフラグ(これらはユニット40によってほぼ未変更のままである)およびユニット40によって生成され、正しくタイミング合わせされたHPフラグとSPフラグを含んでいる。

【0028】

トランスポート・プロセッサ50に入力される前に、ユニット40からの出力コードワード・データストリームはブロック48によって処理され、このブロックでは、ユニット14によるコードワード処理とは逆の処理が行われる。ユニット48は、フラグなどのある種のデータストリーム構成要素を未変更のまま引き渡す。タイプおよびバリュー・コードワード・データは、ユニット48内のそれぞれのROMによって最大32ビット長までの可変長コードワードに変換される。プライオリティ・プロセッサ20からトランスポート・プロセッサ50へ渡される並列データは、コードワード、長さワード、ユニット32によって生成されたものを含むフラグ、およびユニット40によって生成されたHP、SPフラグを含んでいる。トランスポート・プロセッサ50はHPフラグとSPフラグを受け取ると、プライオリティ・プロセッサ20からのコードワード・データストリームを、ペイロードとヘッダ・セクションを含むデータ・パケットのHPおよびSPストリームに分割し、これらは図3に示すように、出力プロセッサ55によって処理される。トランスポート・プロセッサ50が優先順位付けされた出力HPおよびSPデータストリームをどのように

10

20

30

40

50

作成するかの詳細な説明は、米国特許第5,231,486号(A.A. Acampora)に記載されている。

【0029】

図3は、本発明においてHDTVエンコード・システムを採用した装置の例を示したものである。図3に示すシステムは単一のビデオ入力信号を処理しているが、ルミナンス(luminance)成分とクロミナンス(chrominance)成分は別々に処理され、ルミナンス・モーション・ベクトルは圧縮されたクロミナンス成分を生成するために使用されることはもちろんである。圧縮されたルミナンス成分とクロミナンス成分はインタリーブされて、マクロブロックが作られてからコードワード・プライオリティの解析が行われる。

【0030】

図2(A)に示す一連のイメージ・フィールド/フレーム・シーケンスは回路305に入力され、フィールド/フレームは図2(B)に示すように並べ替えられる。並べ替えられたシーケンスはコンプレッサ310に入力され、MPEG準拠の形式(フォーマット)にコード化された圧縮フレーム・シーケンスが生成される。この形式は階層形式になっているが、図5には簡略形式で示されている。MPEG階層形式は、各々がそれぞれのヘッダ情報をもつ複数の層からなっている。名目上、各ヘッダは開始コード、それぞれの層に関するデータ、およびヘッダ拡張部分追加用の予備を含んでいる。

【0031】

システムによって出力されるMPEG準拠の信号に関して説明すると、それがなにを意味するかは、(a)ビデオ信号の連続するピクチャ・フィールド/フレームはI、P、Bコード化シーケンスに従ってコード化されることと、(b)ピクチャ・レベルのコード化データはMPEG準拠のスライスまたはブロック・グループでコード化されることであり、その場合、フィールド/フレーム当たりのスライス数は変化することがあり、またスライスあたりのマクロブロック数は変化することがある。Iコード化フレームはフレーム内で圧縮されるフレームであり、この場合、イメージを再生するためにIフレーム圧縮データだけが必要になる。Pコード化フレームはフォワード・モーション補償予測法(forward motion compensated predictive method)に従ってコード化され、この場合、Pフレーム・コード化データは現フレームおよび現フレームの前に現れたIまたはPフレームから生成される。Bコード化フレームは双方向モーション補償予測法(bidirectionally motion compensated predictive method)に従ってコード化される。Bコード化フレーム・データは、現フレームおよび現フレームの前後に現れたIとPフレームから生成される。

【0032】

このシステムのコード化出力信号は、フィールド/フレームのグループ、つまり、ボックスL1の行により示されるピクチャのグループ(GOP)にセグメント化される(図5)。各GOP(L2)はヘッダとそのあとに置かれたピクチャ・データのセグメントを含んでいる。GOPヘッダは、水平方向と垂直方向のピクチャ・サイズに関するデータ、アスペクト比、フィールド/フレーム・レート(field/frame rate)、ビット・レート(bit rate)などを含んでいる。

【0033】

それぞれのピクチャ・フィールド/フレームに対応するピクチャ・データ(L3)は、ピクチャ・ヘッダとそのあとに置かれたスライス・データ(L4)を含んでいる。ピクチャ・ヘッダはフィールド/フレーム番号とピクチャ・コード・タイプを含んでいる。各スライス(L4)はスライス・ヘッダとそのあとに置かれた複数のデータ・ブロックMBiを含んでいる。スライス・ヘッダはグループ番号と量子化(quantization)パラメータを含んでいる。

【0034】

各ブロックMBi(L5)はマクロブロックを表し、ヘッダとそのあとに置かれたモーション・ベクトルおよびコード化係数(coded coefficient)を含んでいる。MBiヘッダはマクロブロック・アドレス、マクロブロック・タイプおよび量子化パラメータを含んでいる。コード化係数は層L6に示されている。各マクロブロックは6ブロックを含んでいる

10

20

30

40

50

。つまり、4つのルミナンス・ブロック、1つのクロミナンス・ブロック、1つのVクロミナンス・ブロックである(図4参照)。ブロックは、例えば、 8×8 のピクセル・マトリックスを表し、これに対して離散コサイン変換(discrete cosine transform - DCT)が施される。4つのルミナンス・ブロックは、例えば、 16×16 ピクセル・マトリックスを表す隣接ルミナンス・ブロックの 2×2 マトリックスになっている。クロミナンス(UとV)ブロックは、4つのルミナンス・ブロックと同じ総面積を表している。つまり、圧縮前に、クロミナンス信号は、ルミナンスに対して水平方向と垂直方向に2のファクター(factor of two)だけサブサンプリングされる。データのスライスは、隣接するマクロブロック・グループで表された面積に対応するイメージの矩形部分を表すデータに対応している。フレームは、垂直方向の60スライス×水平方向の6スライスからなる、360スライスのラスタ・スキャンを含むことが可能である。

10

【0035】

ブロック係数は、一度に1ブロックずつ、DCTによって得られる。DC係数が最初に現れ、次に、それぞれのDCT AC係数が相対的重要度の順に現れる。ブロック終わりコードEOBは、連続して現れる各データ・ブロックの終わりに付加される。

【0036】

コンプレッサ310からのデータはプライオリタイザ(prioritizer) 311によって処理されてからトランスポート・プロセッサ312に送られ、トランスポート・プロセッサはデータを高プライオリティ(HP)構成要素と標準プライオリティ(SP)構成要素にセグメント化する。これらの構成要素は、レート・バッファ(rate buffer) 313, 314を経由してそれぞれのフォワード・エラー・コード化ユニット(forward error coding unit) 315, 316に入力される。レート・コントローラ(rate controller) 318はバッファ313, 314とやりとりして、コンプレッサ310から与えられた平均データ・レートを調整する。そのあと、信号は伝送モデム317に送られ、そこでHPおよびSPデータは、標準6MHz NTSCテレビ・チャンネル内のそれぞれの搬送波を直交振幅変調(quadrature amplitude modulate)する。

20

【0037】

最後に、上述してきた実施例と特許請求の範囲との関係を示すために、カッコ書きにより、その対応関係を以下に示す。

【0038】

30

『ビデオ信号処理システムにおいて、コードワード・データストリームを優先順位付けされた第1および第2のコードワード・シーケンスにセグメント化することを容易にする装置であって、

一連のデータ・グループを含むビデオ信号コードワード・データストリームを供給する手段(14)と、

前記コードワード・データストリームに応答し、分析インタバル期間に動作して、あるデータ・グループ内のコードワードとコードワードとの間のプライオリティ・ブレイクポイントを判断する分析手段(42)を含むコードワード処理手段(30~36、40~44)と、

前記分析インタバル期間に空白コードワードを生成する手段(26)と、

40

前記空白コードワードを含めて、出力コードワード・データストリームを前記コードワード処理手段から受信し、該データストリームのフォーマットを、優先順位付けされた第1および第2のデータ・チャンネルを介して伝送するのに適した形式の前記優先順位付けされた第1および第2のコードワード・シーケンスに変換するための伝送処理手段(50)とを具備したことを特徴とする装置。』。

【0039】

【図面の簡単な説明】

【図1】高品位テレビ・データなどのビデオ・データを処理するためのシステムにおいて、本発明によるプライオリティ・プロセッサ搭載装置を含んでいる部分を示すブロック図である。

50

【図2】コード化ビデオ信号のイメージ・フィールド/フレーム・シーケンスを絵で表した図である。

【図3】本発明によるコードワード・プライオリタイザ搭載装置を含むHDTVコード化システムを示すブロック図である。

【図4】図3に示すシステムに含まれるコード化/圧縮装置によって作成されるデータブロック生成を絵で表した図である。

【図5】図3に示すシステムに含まれるコード化/圧縮装置から得られるデータ形式を一般化して絵で表した図である。

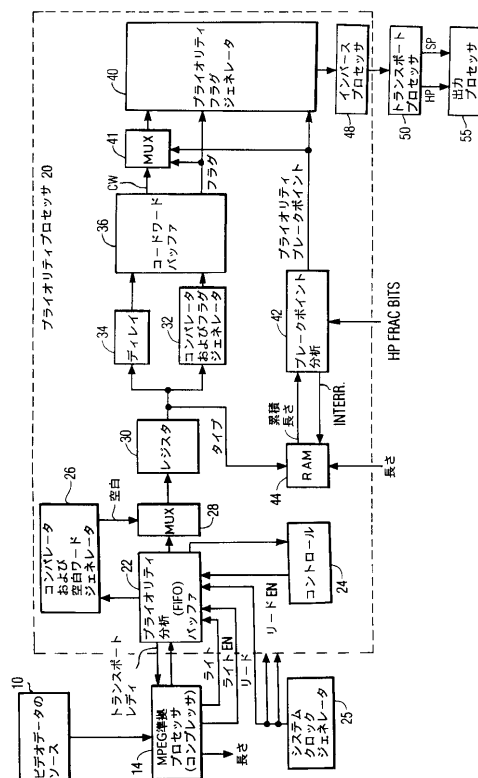
【符号の説明】

- 14 プロセッサ
- 26 コンパレータおよび空白コードワード・ジェネレータ
- 30 レジスタ
- 32 コンパレータおよびフラグ・ジェネレータ
- 34 3クロック期間遅延ネットワーク
- 36 コードワード・バッファ
- 40 プライオリティ・フラグ・ジェネレータ
- 41 マルチプレクサ
- 42 ブレークポイント・アナライザ
- 44 RAM
- 50 トランスポート・プロセッサ

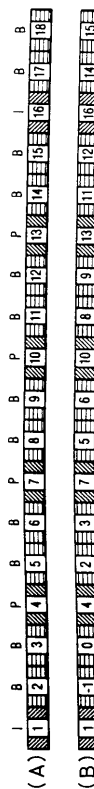
10

20

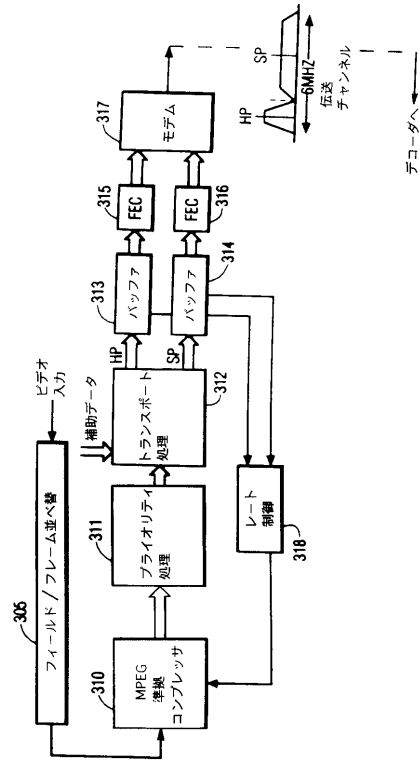
【図1】



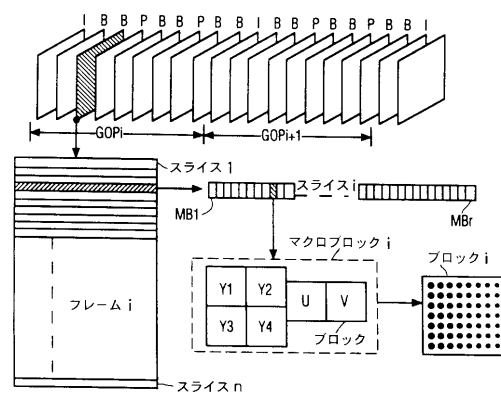
【図2】



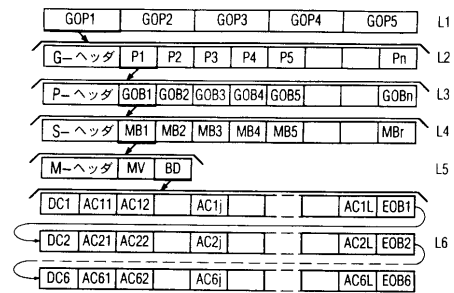
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 ロナルド ジョゼフ コルチンスキ
アメリカ合衆国 08610 ニュージャージー州 ハミルトン ジェラマイア アヴェニュー 6
7

合議体

審判長 原 光明

審判官 藤内 光武

審判官 西谷 憲人

(56)参考文献 米国特許第5122875(US,A)
特開平2-214280(JP,A)