(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/02

(45) 공고일자 1999년03월20일
(11) 등록번호 특0181299
(24) 등록일자 1998년12월07일

(21) 출원번호 특1990-010376
(22) 출원일자 1990년07월10일
(65) 공개번호 특1991-003884
(43) 공개일자 1991년02월28일

(30) 우선권주장 21295 A/89 1989년07월25일 이탈리아(IT)
(73) 특허권자 에스지에스-톰손 마이크로일렉트로닉스 에스. 알. 엘. 산토 푸롤로, 귀세페 페를라
이탈리아공화국 밀라노 20041 아그라테 브리안자2비아 씨. 올리베티
(72) 발명자 살바토레 라시티
이탈리아공화국 칸타니아 95032 벨파소 66 비아 크리스토포로 콜롬보
세르지오 파라라
이탈리아공화국 칸타니아 95021 아시카스텔로 프라쯔 아시트레짜 비아 리보르노 103
(74) 대리인 남상선

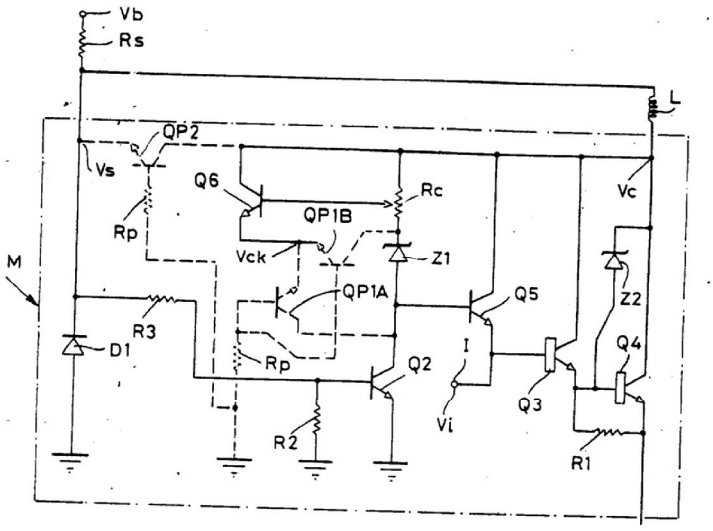
심사관 : 민병준

(54) 전력장치를 위한 유도부하 및 제어장치를 구동시키기 위한 전력장치를 포함한 모노리식 집적회로에서 전원 전압의 음의 임펄스에 의해 발생된 기생효과를 방지하기 위한 장치

요약

내용없음.

대표도



명세서

[발명의 명칭]

전력장치를 위한 유도부하 및 제어장치를 구동시키기 위한 전력장치를 포함한 모노리식 집적회로에서 전원전압의 음의 임펄스에 의해 발생된 기생효과를 방지하기 위한 장치

[도면의 간단한 설명]

제1도는 유도부하를 구동하는 전력장치, 상기 전력장치용 제어장치 및 본 발명에 따른 보호장치를 포함한 전체 회로구조도.

제2a,b,c도는 선 X-X 및 Y-Y 를 따라 단일 도면으로 통합될 수 있는 모노리식 집적회로기술로 제작된 상기 회로구조의 축방향 단면도.

제3도는 모노리식 집적회로기술로 제작된 회로구조의 평면도.

제4도는 제2b도를 또 다르게 절단한 부분-단면도.

[발명의 상세한 설명]

본 발명은 유도부하, 상기 유도부하를 구동시키기 위한 전력장치 및 상기 전력장치용 제어장치를 포함한 모노리식 집적회로에서 전원전압의 음의 임펄스에 의해 발생된 기생효과를 방지하기 위한 장치에 관한 것이다.

이러한 형태의 회로구조는 특별히 모터카에 사용되며, 이 회로는 2 또는 1개의 슬래브(slabs)위에서 구성된다.

전력장치 및 제어장치가 2개의 각각 다른 슬래브상에 집적되는 경우 전원의 음의 임펄스로 부터 전력장치를 보호하기 위한 종래의 방법은 외부저항 및 전원 및 병렬로 제어장치에 연결된 다이오드를 사용하는 것이다. 다이오드는 제어장치에 인가된 음의 전압이 그것의 직접 전도전압보다 높지 않게 하기 위해 동작한다; 외부 저항은 다이오드를 통해 흐를 수 있는 최대 전류를 제한하기 위해 사용된다. 만일 다이오드 및 외부저항이 적절한 크기이면, 이 해결방법은 과도한 전도 및 때때로 집적회로 내부에 있는 부품의 소손과 같은 결점을 방지하기에 충분하다.

그러나 만일 전력장치를 제어장치와 함께 모노리식으로 집적하는 것이 바람직스럽다면, 상기 설명된 보호장치는 충분하지 않다.

사실, 이 기술적 해결방법으로 전력장치 콜렉터에 연결된 콜렉터 및 전원에 연결된 에미터를 갖는 기생 트랜지스터 형성이 있다.

음의 임펄스가 전원에 도달하면, 이 전력장치(즉, 달링턴형)는 음의 베이스 전압 때문에 대단히 신속하게 차단된다.

만일 음의 임펄스가 전력장치가 전도되는 기간동안 인가된다면, 즉 전력장치 콜렉터상의 코일에 에너지가 축적될 때, 전력장치의 콜렉터 전압은 캐소드가 전력장치 콜렉터에 연결된 고압-제너 다이오드에 의해 설정될 수 있는 클램프 전압까지 갑자기 상승한다.

이 조건은 전력장치를 위한 역방향 2차 브레이크-다운 전압으로 옮겨 지는데, 이 장치의 차단속도는 달링턴 베이스가 접지로만 차단될 수 있을 때 정상동작 기간보다 훨씬 크고, 반면 시험되는 경우, 그것은 음의 전압으로 차단된다. 기생 트랜지스터에 대한 직접 2차 브레이크-다운 전압이 동시에 존재하고, 이것은 전력장치의 고전압 및 그것의 베이스-에미터 전압이 양의 값을 갖는다는 사실에 기인한 전류를 견뎌야만 한다.

상기 단점들을 방지하기 위하여, 동일 출원인 이름으로 1989년 7월 11일 동시 출원된 특허 제 21150 A/89 호에 공개된 것과 같이, 이 삽입(introduction)은 전원의 음의 임펄스에 감응하는 제1트랜지스터 및 상기 제1트랜지스터에 의해 제어되며 전력장치의 재전도를 제어하기 적당한 제2트랜지스터에 의해 구성되는 전압제한회로가 제어장치 내부에 제공된다.

사실상 전력장치의 콜렉터 전압을 제한하기 위하여 제공되는 이 해결 방법은 음의 과잉전압 문제를 해결하기 위해 적당하며, 그러므로 전력장치의 콜렉터와 전원 사이에 연결된 기생 트랜지스터의 파괴를 방지한다 ; 그러나 집적회로 효과 때문에, 이 구성은 상기 제2제어 트랜지스터의 베이스와 전력장치를 재전도시키고, 상술된 해결방법을 무용하게 하는 전류를 흡수하는 또 다른 기생 트랜지스터의 전원 사이에서 결정된다.

본 발명의 목적은 상기 또 다른 기생 트랜지스터의 효과를 제거시키는 것이다.

본 발명에 따라, 상기 목적은 유도부하를 구동하기 위한 전력장치 및 상기 전력장치용 제어장치를 포함하는 모노리식 집적회로에서 전원전압의 음의 임펄스에 의해 야기되는 기생효과를 방지하는 장치로서 달성되고, 상기 제어회로는 공급전압인 음의 임펄스에 감응하는 제1트랜지스터 및 상기 제1트랜지스터에 의해 제어되며 전력장치의 재전도를 제어하기에 적당한 제2 트랜지스터로 구성된 전압제한회로를 포함하고, 기생효과 방지장치는 전원전압의 음의 임펄스에 대하여 상기 전압제한기의 차폐소자를 포함하는 것을 특징으로 한다.

이런 방법으로 전압제한기의 부품과 전원 사이에 형성된 또 다른 기생 트랜지스터는 전원전압의 임펄스가 발생할 때 불리한 효과를 발생시키지 않는 위치로 삽입된다. 기생 트랜지스터의 전도는 사실상 방지되고, 그것으로 전압제한기상에 방해동작이 작용한다.

이들 특성 및 여타의 특성들은 동봉된 도면에서 비제한 실험으로 도시된 몇가지 실시예의 상세한 설명을 통해 더욱 분명해질 것이다.

제1도를 참조하면, 부하(L)로부터 전압(Vc)인 회로절점에 연결된 공통 콜렉터를 가진 달링턴 구조에서 2개의 트랜지스터(Q3,Q4)로 구성된 전력장치에 의해 구동되는 유도부하(L)를 포함하는 회로구조가 도시되어 있다. 트랜지스터(Q4)는 접지되어 있는 에미터와 트랜지스터(Q3)의 에미터에 연결된 베이스를 갖는다. 트랜지스터(Q4)의 베이스와 에미터 사이에 저항(R1)이 있고, 트랜지스터(Q4)의 베이스와 콜렉터 사이에는 제너 다이오드(Z2)가 있다. 트랜지스터(Q3)의 베이스는 제어신호(Vi)에 대한 입력(I)의 한쪽에 연결되고, 반면에 다른 쪽은 트랜지스터(Q3)의 베이스에 연결된 에미터를 갖는 트랜지스터(Q5)를 포함하는 제어장치에 의해 제어되며, 반면 콜렉터는 전압(Vc)인 절점에 연결되고, 베이스는 제너 다이오드(Z1) 및 가변저항(Rc)을 통하여 전압(Vc)인 절점에 한쪽이 연결되고, 또 다른 쪽은 상기 트랜지스터(Q5)를 제어하는 트랜지스터(Q2)의 콜렉터에 연결된다. 트랜지스터(Q2)의 에미터는 접지되고, 베이스는 저항(R2)을 통하여 접지되며, 베이스는 또한 저항(R3)을 통하여 전압(Vs)인 전원절점에 연결된다. 전압(Vs)인 상기 절점은 다이오드(D1)를 통하여 접지되고, 예를 들면 저항(Rs)을 통하여 모터 자동차의 전지전압인 공급전압(Vb)에 연결된다. 버퍼기능을 가진 트랜지스터(Q6)는 절점(Vc)에 연결된 콜렉터, 가변저항(Rc)의

중앙단자에 연결된 베이스 및 아래 설명될 목적을 위해 바이어스 전압(Vck)을 인가하기에 적당한 에미터를 가진다.

설명된 구조 때문에 회로는 다음과 같이 동작한다.

전력장치(Q3,Q4)가 전도상태이고, 따라서 인덕터(L)는 충전상태에 있다고 가정하자. 이 상태에서 전원(Vb 및 Vs)상의 임의의 음의 임펄스는 트랜지스터(Q3)의 음의 베이스 전압 및 대단히 높은 차단속도를 가진 전력장치(Q3,Q4)의 차단을 결정한다. 동시에 공통 콜렉터에서 전압(Vc)은 제너 다이오드(Z2)에 의해 설정된 클램프 전압까지 상승한다. 트랜지스터(Q2 및 Q5), 저항(Rc)및 제어 다이오드(Z1)로 구성된 전압제한회로에 의해 방지되는 전력장치(Q3,Q4)의 역 2차 브레이크-다운 전압이 발생될 수 있다. 사실 이 상황에서, 트랜지스터(Q2)는 베이스가 전압(Vs)에 의해 음전위를 유지하므로 차단되며, 부하(L)상의 양의 과잉전압(Vc)은 트랜지스터(Q5)를 전도시키며, 이것은 전력 달링턴(Q3,Q4)을 전도시키고, 양의 과잉전압을 접지로 방전시킨다.

제 2a, 2b 2c도는 모노리식 집적회로 형태로(제1도의 블럭 M)제1도 회로구조를 실시한 것을 도시한다. 특별히 제2c도는 베이스가 내부적으로 p- 형 영역(4,14)에서 실시되고, 에미터가 n- 형 영역(6,16)에서 실시되고, 공통 콜렉터가 n- 형 영역(5)에서 실시되는, 2개의 트랜지스터(Q3,Q4)에 의해 구성되는 전력장치를 도시한다. 제2a 및 제2b도는 제어장치를 도시하는데, 여기서 트랜지스터(Q2)는 p- 형 영역(2)에 의해 구성되는 베이스, n 형 영역(1)에 의해 구성되는 에미터 및 n+ 형의 영역(8)에 의하여 구성되는 콜렉터를 갖는다. 트랜지스터(Q2)의 콜렉터, 영역(8)에 대하여, 트랜지스터(Q5)의 베이스(제2a 및 제2b도의 D 지점)가 연결되어 있고. 내부적으로 p- 형 영역(18)이 얻어진다. 트랜지스터(Q5)의 콜렉터는 n 형 영역(5)에 연결된다 ; 내부적으로 n- 형 영역(24)에 대해 얻어진 에미터는 트랜지스터(Q3)의 베이스(제2a 및 제2b도의 A 지점)에 연결된다. 트랜지스터(Q5)의 베이스, 영역(18)에서 n+ 형의 반대 영역(28)인 제너 다이오드(Z1)의 한쪽 끝(D 지점)에 연결되고, p 형의 반대 영역(29)인 다른 끝이 연결되며, 전압(Vc)인 절점에 연결된 p- 형 영역(11)에서 얻어지는 저항분압기(Rc)에 연결된다.

집적회로형태로서, 이것의 달성은 제1도에 점선으로 도시된 기생 트랜지스터(QP2)의 형성을 규정하며, 이 트랜지스터의 베이스는 직렬저항(Rp)을 포함하는 p 형 영역(7)에 의해 구성되며 접지되고, 반면 이 트랜지스터의 콜렉터는 영역(5)에서 전력장치(Q3,Q4)의 공통 콜렉터에 의해 구성되고, 에미터는 n+ 형의 영역(9)에 의해 구성되고 전원(Vs)에 연결된다.

상기 트랜지스터(QP2)의 존재는 전압제한기(Q2,Q5,Z1,Rc)를 가진 제어장치의 도입을 필요하게 한다.

임의의 양의 과잉전압(Vc)을 감소시키기에 적합한 제어장치를 도입하는 것이 실제적으로 필요하며, 전원(Vs)상의 음의 임펄스와 결합함에 의해 기생 트랜지스터 내부에 과도한 전류를 흐르게 할 수 있으며, 결과적으로 트랜지스터를 파괴시킬 수 있다.

덧붙여, 집적회로의 모노리식 달성은 기생 트랜지스터(QP1A,QP1B)쌍의 형성을 제공하며(제1도에 점선으로 도시되어 있음), 이것의 베이스는 영역(7)의 섹션(section)(70)을 나타나게 함에 의해 형성된다.

(QP1A)의 콜렉터는 n 형 영역(3)으로 구성되고, 트랜지스터(Q5)의 베이스에 연결된다. 트랜지스터(QP1B)의 콜렉터는 n- 형 영역(13)으로 구성되고, 제너 다이오드(Z1)와 저항분압기(Rc) 사이에 연결된다. 상기 기생 트랜지스터(QP1A 및 QP1B)는, 그들의 전도에 의해 트랜지스터(Q5)의 전도 및 음의 과잉전압(Vs)과 양의 과잉전압(Vc)이 존재하는 전력장치(Q3,Q4)의 재전도를 방지할 수 있다.

상기 단점을 방지하기 위하여, 본 발명에 따라 바이어스 포켓(bias pocket)(40)이 도입되고, 거기에 기생 트랜지스터(QP1A,QP1B)의 에미터가 연결된다.상기 포켓(40)은 기생 트랜지스터(QP1A,QP1B)를 통해 흐르는 전류를 최소까지 감소시키는 효과를 가지며, 그러므로 음과 양의 과잉전압(Vc)을 방전시키는 것이 필요하다는 것이 증명되는 경우, 전력 달링턴(Q3,Q4)의 재전도가 허용된다.

포켓(40)의 바이어싱은 보호를 보장한다. 3종류의 바이어스가 선택될 수 있다 :

a) Vs (집적회로 공급전압)에 의존하지 않는 전압으로 포켓(40)을 바이어스 하는것.

상기 포켓을 바이어스하는 방법에 대한 비제한적 예(경우 a)가 제2a도에 도시되어 있고, 여기서 이 포켓은 전압(Vck)로 바이어스되고, 출력 달링턴의 콜렉터 전압에 의존한다.

(QP1A,QP1B)의 에미터는 n- 형 환상영역(40)으로 구성되고, 다음 트랜지스터(Q6)의 에미터에 연결되고(제2a 및 2b도의 B 지점), 이것의 베이스는 p 형 영역(27)으로 형성되고, 다음 저항분압기(Rc)에 연결되고, 반면 콜렉터는영역(5)에 연결되고, 에미터는 n 형 영역(20)으로 형성되고, 제2b도 영역(40)에 전위(Vck)를 공급한다.

이 경우(QP1A,QP1B)는 그들 스스로 재전도할 수 없는데, 왜냐하면, 상기 설명된 조건으로 부터 (Vbe)는 확실히 음이 될 것이기 때문이다 ; 사실, 그것의 베이스는 접지되고 에미터는 확실히 양의 전압이 되는데, 왜냐하면, 그것은 인덕턴스(L)가 방전하는 동안 (Q3,Q4)가 차단되므로 상승해야 하는 출력 달링턴(Q3,Q4)의 전압(Vc)에 의존하기 때문이다.

만일 n- 형 환상영역(40)의 바이어스를 위해 요구되는 전류가 수볼트보다 높게 저항(Rc)에 인가되는 전압강하를 일으키지 못한다면 트랜지스터(Q6)는 차폐될 수 있다. 반면에, 만일 트랜지스터 이득에 의해 주어지는 전류감소가 충분치 않으면 그것은 달링턴이 될 수 있다.

비슷한 방법으로 보호를 달성하는 회로부품을 형성하는 모든 다른 부품들을 보호하는 것이 필요하게 될 것이다.

제2a 및 제2b도는 (Q2)및 (Z1) 보호의 실시예를 도시한다.

(b) 제2b도의 절연층(7)과 같은 전압으로 포켓을 바이어스하는 것.

이 경우 트랜지스터(QP1A,QP1B)는 전도될 수 없는데, 왜냐하면, 그들의 베이스 및 에미터가 동일 전위이기 때문이다(제2b도의 경우 접지).

c) 포켓을 바이어스하지 않는 것(플로팅(floating)).

트랜지스터(QP1A,QP1B)는 2가지 이유 때문에 보호된다 :

- 그것들이 보다 넓은 베이스(플로팅 포켓의 존재)를 가지기 때문에 보다 낮은 이득을 갖는다 ;

- 그것들은 보다 높은 베이스 저항을 갖는데, 왜냐하면, 플로팅 포켓의 존재는 그들의 베이스(제2b도의 층7)를 표시하는 p- 형 영역을 조절하기 때문이다.

제4도는 보호를 달성하는 또 다른 방법을 도시한다 ; 그것에는 (Q2)의 보호는 단순성을 보호하기 위해서만 내부에 도시되어 있고, 그러므로 우리는 단지 1개의 NPN 기생 측생 트랜지스터(QP1)에 대해서만 설명할 것이다.

이 경우, 능동부품의 보호(도면의 경우 Q2)는 크리티칼 포켓(Critical pocket)을 제거함으로써 달성되고, 즉 그것들의 에피택셜층 n (예를 들면, 제4도의 층(9))은 능동부품(예를 들면, 제4도의 경우, 트랜지스터(Q2)를 위한 층(3))을 포함하는 포켓상의 집적회로(제1도) 공급전압(Vs)에 의존하는 전압으로 바이어스된다. 이것은 제4도의 영역(7)의 노출부(70)에 적절한 크기를 제공함에 의해 달성된다.

이런 방법으로 제4도의 영역(70)으로 구성되는 그것의 베이스가 넓어지기 때문이고, 포켓 n(층 3)과 이웃한 것(층 7) 사이의 거리가 증가되므로, 제4도의 NPN 기생 측생 트랜지스터(QP1)의 이득은 감소된다.

그러나 이러한 경우, 보호층(제4도 층 3)을 제공하고, 그것을 이웃포켓(제4도의 층 9)으로 부터 분리시키는 능동부품 포켓을 둘러싸는 노출영역 P(제4도의 층(70))에 몇몇 접점을 삽입시키는 것이 필요하다 ; 사실, 이런 방법으로 절연층(제4도의 층(7) 및 (70))의 동일 전압에서 (QP1)의 베이스를 구성하는 영역(70)은 바이어스되고 절연층 쪽으로 분산된 임의 전류가 (QP1)을 위한 베이스 전류가 되는 것을 방지한다. n 형 포켓(3)에 포함된 능동소자 사이의 금속연결 트랙통로는 p 형 영역(70)에 의해 둘러싸여지고, 외부지역은 가능한한 배제된 채로 남는다.

(57) 청구의 범위

청구항 1

유도부하(L)을 구동하기 위한 전력장치(Q3,Q4) 및 상기 전력장치(Q3,Q4)를 위한 제어장치(Q2,Q5)를 포함한 모노리식 집적회로에서 전원전압의 음의 임펄스에 의해 발생된 기생효과를 방지하기 위한 장치에 있어서, 상기 제어장치(Q2,Q5)가 공급전압(Vs)의 음의 임펄스에 감응하는 제1트랜지스터(Q2)와 상기 제1트랜지스터(Q2)에 의해 제어되고, 전력장치(Q3,Q4)의 재전도를 제어하는 제2트랜지스터(Q5)로 구성되는 전압제한회로를 포함하고, 기생효과 방지장치가 전원전압의 음의 임펄스에 대하여 전압 제한회로의 보호부품(40,70)을 포함하는 것을 특징으로 하는 기생효과 방지장치.

청구항 2

제1항에 있어서, 상기 보호 부품이 전압제한기의 모든 능동부품(Q2,Z1)을 둘러싸며, 공급전압의 상기 음의 임펄스보다 큰 전위(Vck)에 연결되는 환상포켓(40)을 포함하는 것을 특징으로 하는 기생효과 방지장치.

청구항 3

제1항에 있어서, 전압제한기(Q2,Z1)의 모든 능동부품을 둘러싸는 환상포켓(40)이 절연체(7 및 70)와 동일한 전압으로 바이어스되는 것을 특징으로 하는 기생효과 방지장치.

청구항 4

제1항에 있어서, 전압제한기(Q2,Z1)의 모든 능동부품을 둘러싸는 환상포켓(40)이 바이어스 되지 않는 것을 특징으로 하는 기생효과 방지장치.

청구항 5

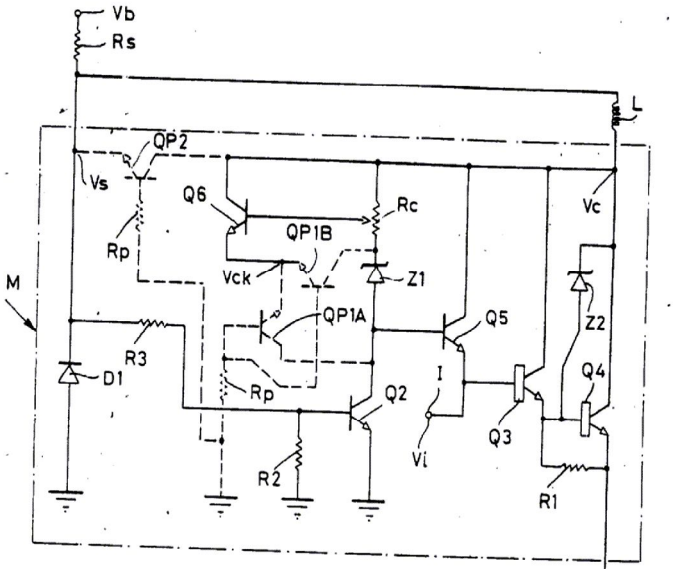
제1항에 있어서, 전압제한기(Q2,Z1)의 모든 능동부품이 표면이 전노출 지역을 따라 분포된 접지점을 갖는 p- 형 영역(70)에 의해 둘러싸이는 것을 특징으로 하는 기생효과 방지장치.

청구항 6

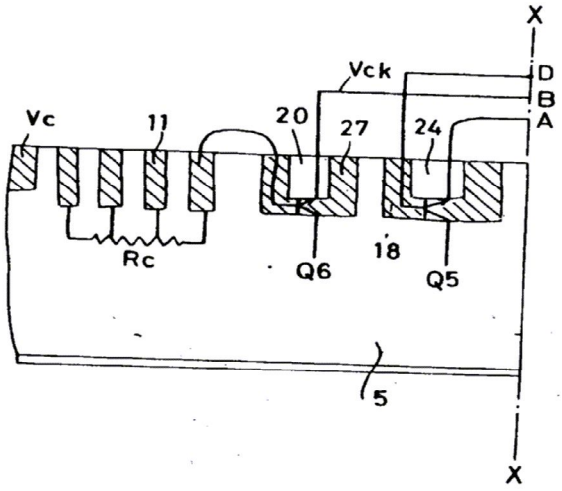
제5항에 있어서, 상기 접지점으로 부터 p- 형 영역(70)에 의해 둘러싸인 n- 포켓(3)내에 포함된 능동부품과 외부 사이의 연결금속 트랙통로를 배제하는 것을 특징으로 하는 기생효과 방지장치.

도면

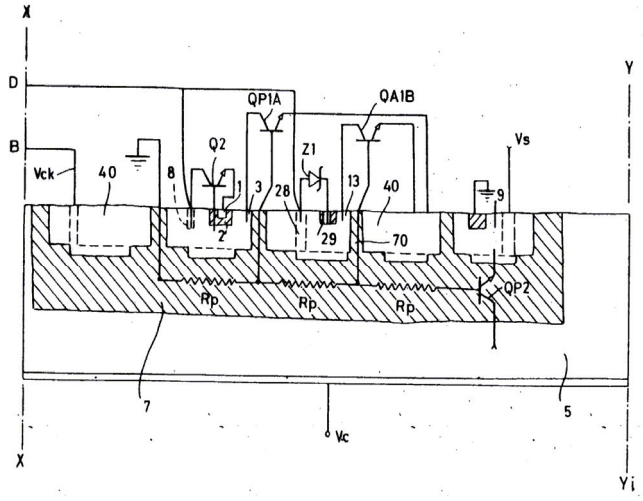
도면1



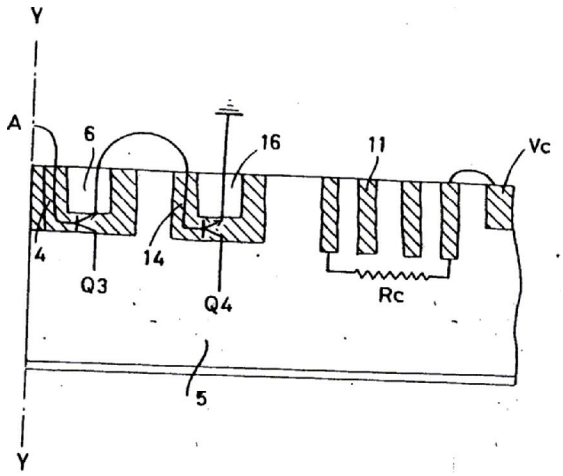
도면2a



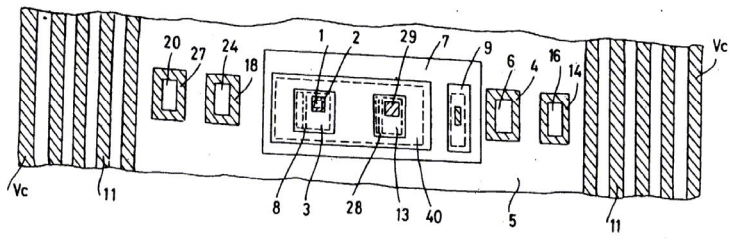
도면2b



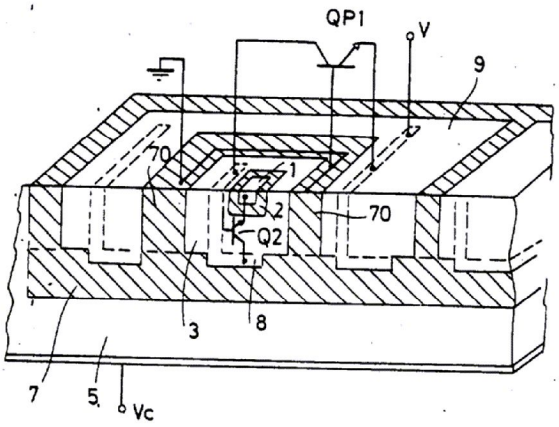
도면2c


Y
A
6
16
11
Vc
4
14
Q3
Q4
Rc
5
Y

도면3


20
27
24
18
1
2
29
7
9
6
4
16
14
Vc
Vc
11
8
3
28
13
40
5
11

도면4


QP1
V
9
70
1
2
Q2
70
3
8
7
5
Vc