

發明專利說明書

200415246

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92128177

※申請日期：92年10月09日

※IPC分類：C23C14/24

壹、發明名稱：

(中) 多晶氧化鎂蒸鍍材料

(外) 多結晶MgO蒸着材

Polycrystal MgO deposition material

貳、申請人：(共 2 人)

1. 姓名：(中) 三菱綜合材料股份有限公司

(英) MITSUBISHI MATERIALS CORPORATION

代表人：(中) 1. 西川章

(英)

地址：(中) 日本國東京都千代田區大手町一丁目五番一號

(英)

國籍：(中英) 日本

JAPAN

2. 姓名：(中) LG電子股份有限公司

(英) LG ELECTRONICS INC.

代表人：(中) 1. 宋漢波

(英) 1. SONG, HAN-BOK

地址：(中) 韓國漢城特別市永登浦區汝矣島洞二〇番地

(英) 韓國ソウル特別市永登浦区汝矣島洞20番地

國籍：(中英) 韓國

KOREA

參、發明人：(共 4 人)

1. 姓名：(中) 櫻井英章

(英) SAKURAI, HIDEAKI

地址：(中) 日本國茨城縣那珂郡那珂町向山一〇〇二番地一四三菱綜合材料股
份有限公司總合研究所那珂研究中心內

(英) 日本国茨城県那珂郡那珂町向山1002番地14三菱マテリアル
株式会社總合研究所那珂研究センター內

2. 姓名：(中) 豊口銀二郎

(英) TOYOGUCHI, GINJIRO

地 址：(中) 日本國茨城縣那珂郡那珂町向山一〇〇二番地一四三菱綜合材料股
份有限公司總合研究所那珂研究中心內
(英) 日本国茨城県那珂郡那珂町向山1002番地14三菱マテリアル
株式会社総合研究所那珂研究センター内

3. 姓 名：(中) 黒光祥郎
(英) KUROMITSU, YOSHIROU
地 址：(中) 日本國茨城縣那珂郡那珂町向山一〇〇二番地一四三菱綜合材料股
份有限公司總合研究所那珂研究中心內
(英) 日本国茨城県那珂郡那珂町向山1002番地14三菱マテリアル
株式会社総合研究所那珂研究センター内

4. 姓 名：(中) 卜勇全
(英) PARK, EUNG-CHUL
地 址：(中) 韓國漢城特別市永登浦區汝矣島洞二〇番地
(英) 韓国ソウル特別市永登浦区汝矣島洞20番地

肆、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2002/10/10 ; 2002-296861 有主張優先權

地 址：(中) 日本國茨城縣那珂郡那珂町向山一〇〇二番地一四三菱綜合材料股
份有限公司總合研究所那珂研究中心內
(英) 日本国茨城県那珂郡那珂町向山1002番地14三菱マテリアル
株式会社総合研究所那珂研究センター内

3. 姓 名：(中) 黒光祥郎
(英) KUROMITSU, YOSHIROU
地 址：(中) 日本國茨城縣那珂郡那珂町向山一〇〇二番地一四三菱綜合材料股
份有限公司總合研究所那珂研究中心內
(英) 日本国茨城県那珂郡那珂町向山1002番地14三菱マテリアル
株式会社総合研究所那珂研究センター内

4. 姓 名：(中) 卜勇全
(英) PARK, EUNG-CHUL
地 址：(中) 韓國漢城特別市永登浦區汝矣島洞二〇番地
(英) 韓国ソウル特別市永登浦区汝矣島洞20番地

肆、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2002/10/10 ; 2002-296861 有主張優先權

(1)

玖、發明說明**【發明所屬之技術領域】**

本發明係關於作為 AC 型之電漿顯示器面板之保護膜材料之用為氧化鎂膜材料之多晶氧化鎂蒸鍍材料。更詳言之係關於遍及廣泛溫度範圍應答性良好之氧化鎂膜並使用此作為電漿顯示器面板材料之多晶氧化鎂蒸鍍材料。

【先前技術】

近來以液晶 (Liquid Crystal Display) 為首，各種平面顯示器之研究開發與實用化驚人，其產量亦驟增。對於彩色顯示器面板 (Plasma display Panel 以下稱為 PDP)，其開發與實用化之動向最近呈現活躍。PDP 易大型化，高清晰度電視用之大畫面牆式電視之最短距離，已製造對角 40 吋級之 PDP。PDP 係分成於電極結構點之金屬電極用介電體玻璃材料覆蓋之 AC 型，與於放電空間金屬電路露出之 DC 型。

當初開發此 AC 型 PDP，係用以使介電體玻璃層露出放電空間，被曝露直接放電，經由離子轟擊之濺鍍介電體玻璃層表面變化，放電起始電壓上昇。為此，嘗試將具有高昇華熱之各種氧化物作為此介電體玻璃層之保護膜。此保護膜用以擔負與直接放電用之氣體接觸之重要任務。即保護膜所要求之特性，(1) 低放電電壓，(2) 放電時之耐濺鍍性，(3) 快速之放電應答性，及 (4) 絕緣性。滿足此類條件之材料係為氧化鎂用於保護膜。由此氧化鎂所成之保護

(2)

膜，自放電時濺鍍保護介電體玻璃層表面，為 PDP 長壽命化重要之工作。

但將氧化鎂作為保護膜之用時，有多產生稱為黑色干擾之顯示混亂。所謂黑色干擾係應亮點單元(選擇單元)不亮點之面板顯示混亂現象，已知易發生於畫面中之亮點區域與非亮點區域之臨界。此混亂現象非1行或1列之複數選擇單元全部皆不亮點，因發生部位分散存在，認為黑色干擾之原因為不發生位址放電，或即使發生亦為強度不足之位址錯誤。

解決上述各項問題之良策，揭示經由真空成膜法將含矽以500~10000重量 ppm 範圍內之比例之氧化鎂膜作為耐濺鍍性保護膜之用之 PDP(如參照日本特許第3247632號公報)。日本特許第3247632號公報揭示於氧化鎂膜中含上述比例之矽，得抑制因黑色干擾為原因之位址錯誤。

又，揭示經由脂肪酸鹽之熱分解以含1000~40000重量 ppm 之比例之矽形成氧化鎂膜，將此膜作為耐濺鍍性保護膜之 PDP(如參照特開2001-110321號公報)。若根據載於特開2001-110321號公報之技術，經由脂肪酸鹽之熱分解所形成之氧化鎂膜中之微量成分可改善電之特性，二次電子發射量增加經由剩餘電荷彌補有效電壓之降低，電荷剩餘本身被減輕，因剩餘電荷迅速消失，得抑制引起黑色干擾之原因的位址錯誤。

另一方面，發表 PDP 面板之放電單元之形狀或面板驅動時之外加電壓、頻率等各樣條件影響應答性(如參照

(3)

A.Seguin 、 L.Tessier 、 H.Doyeux and S.Salavin, “Measurement of Addressing Speed in Plasma Display Devices.”、IDW'99 p699-702)。此文獻揭示評估 PDP 應答性之作法。

又發表經由於放電單元內照射真空紫外線以改善應答性（如參照 R.Ganter 、 Th.Callegari 、 N.Posseme 、 B.Caillier and J.P.Boeuf 、 “Photomission in Plasma Display Panel Discharge Cells.”、IDW'00、p731-734）。此文獻亦揭示評估 PDP 應答性之作法。

該特許文獻及非特許文獻，應答性評估時並無特別觸及溫度條件，認為於室溫附近之條件進行應答性評估。

但 PDP 之允許溫度依製造廠商，最低溫度為 0℃，較佳為 -15℃，最高溫度為 70℃，較佳為 90℃ 上下幅大。因此本發明者們，進行遍及 -15℃ ~ 90℃ 廣泛溫度範圍之放電應答性評估，再進行詳細調查之結果，查明於應答性有溫度依賴性。具體言之，若超過於某溫度之放電應答時間之極限值，產生寫入放電不良有面板閃光之問題。又放電應答性差時，須加長位址期間，其結果使持續期間變短，因得不到面板充分之亮度，以往係施以雙掃描用以改善面板亮度，以補亮度。但因雙掃描須多數之位址 IC 數，有電路成本提高之問題。

【發明內容】

〔發明之揭示〕

(4)

本發明之目的係提供具有遍及廣泛溫度範圍之良好的放電應答性之多晶氧化鎂蒸鍍材料。

本發明之其一目的係藉由縮短位址期間，延長持續期間，提供提高面板亮度之 PDP 之材料之多晶氧化鎂蒸鍍材料。

本發明之另一目的係提供以期面板亮度無降低而削減大幅的位址 IC 數作為 PDP 材料之用多晶氧化鎂蒸鍍材料。

用以解決上述目的之型態，係由含氧化鎂純度 99.9% 以上且相對密度 90% 以上之多晶氧化鎂燒結粒所成，於多晶氧化鎂中含矽濃度 30ppm 以上低於 500ppm 之 PDP 保護膜用多晶氧化鎂蒸鍍材料。

若藉由該型態，將於多晶氧化鎂含矽濃度於該範圍內之氧化鎂蒸鍍材料成膜之氧化鎂膜可得遍及廣泛溫度範圍之良好的放電應答性。

於多晶氧化鎂蒸鍍材料中含矽濃度以 220~480ppm 為宜，較佳為 250~450ppm，最佳為 280~350ppm。

將於多晶氧化鎂蒸鍍材料成膜之氧化鎂膜可得遍及廣泛溫度範圍之良好的放電應答性。

使用將該構成之多晶氧化鎂蒸鍍材料成膜之氧化鎂膜之 PDP，可得遍及廣泛溫度範圍之良好的放電應答性，因得以縮短位址期間，延長持續期間，可提高面板亮度。另一方面因可確保必要充分之面板亮度，得以期面板亮度無降低而削減大幅的位址 IC 數。

(5)

〔用以實施發明之形態〕

其次說明本發明之實施形態。

本發明者們詳細調查多晶氧化鎂蒸鍍材料及使用此蒸鍍材料經成膜之氧化鎂膜中之雜質及其含量對放電應答性之影響的結果，確認於多晶氧化鎂所含矽濃度有很大之影響。得知多晶氧化鎂中之矽濃度愈增加大致放電應答性呈良好，但再增加反而惡化，故考量適用於製品時，須存於最適矽濃度之範圍。如此溫度依賴性存性之要因係因經由添加矽提高二次電子發射能。

調整本發明矽濃度之多晶氧化鎂蒸鍍材料，係 PDP 之保護膜用蒸鍍材料之改良，由含氧化鎂純度 99.9% 以上且相對密度 90% 以上之多晶氧化鎂燒結粒所成。其具特徵之構成係於多晶氧化鎂含矽濃度為 30ppm 以上低於 500ppm。

於多晶氧化鎂中含矽濃度以該濃度範圍比例所含之本發明氧化鎂蒸鍍材料，矽以氧化鎂矩陣之粒界及粒內含亞微細粒 $\sim 5\mu\text{m}$ 左右粒狀之析出物存在。若根據使用 EPAM(電子探針微分析器 Electron Probe MicroAnalyzer) 分析之測定結果，得知本發明氧化鎂蒸鍍材料中之矽以 CaSiO_4 或 $\text{CaMgSi}_2\text{O}_4$ 、 MgSiO_3 等複合氧化物或 SiO_2 之型態存在。

於多晶氧化鎂中含矽之濃度低於下限值，或高於上限值會產生於低溫應答性不適之情況。適宜矽濃度為 220 \sim 480ppm，較佳為 250 \sim 450ppm，最佳為 280 \sim 350ppm。

(6)

將本發明之氧化鎂蒸鍍材料，藉由電子束蒸鍍法成膜之氧化鎂膜所含之矽，藉由 X 線繞射器 (XRD X-ray Diffractometer) 測定之結果，無法確認氧化鎂以外之物質，即於氧化鎂蒸鍍材料中存在之該複合氧化物之類之物質。再者，本發明氧化鎂膜中之氧化鎂之格定數較一般之氧化鎂格定數小些。自此得推定，較鎂離子半徑小之矽被放入氧化鎂格子內而存在。

說明如此構成之本發明之氧化鎂蒸鍍材料之製造方法。

首先將含 99.9% 以上之高純度氧化鎂粉末與多晶氧化鎂中含矽濃度 30ppm 以上低於 500ppm 量所成之高純度二氧化矽粉末與黏合劑與有機溶劑混合，調製成濃度 30~75 重量% 漿料。調製 40~65 重量% 之漿料為宜。漿料濃度限定於 30~75 重量%，係因若超過 75 重量% 該漿料為非水系，有很難穩定混合造粒之問題點，因低於 30 重量% 得不到具有均勻組織緊密之氧化鎂膜燒結體。氧化鎂膜粉末之平均粒徑於 0.1~0.5 μm 之範圍內為宜。氧化鎂膜粉末之平均粒徑規定於該範圍內，係因若低於下限值粉末太細之凝結，粉末之黏結惡化，有很難調製高濃度漿料之問題點，若超過上限值，有很難控制細微結構，得不到緊密燒結體粒之問題點。

若考量防止矽存量之散在並與氧化鎂膜矩陣之反應性及矽化合物之純度時，二氧化矽粉末以添加 1 次粒子徑納米等級之二氧化矽粒子為宜，尤以用以氣相法所得比表面

(7)

積 $50 \sim 300 \text{m}^2/\text{g}$ 之超微粉二氧化矽 (Aerosil) 者為宜。

黏合劑以使用聚乙二醇酯或聚乙烯縮丁醛等，有機溶劑以使用乙醇或1-丙醇等為宜。黏合劑以添加 $0.2 \sim 5.0$ 重量%為宜。

高純度粉末與黏合劑與有機溶劑之濕式混合，尤為高純度粉末與為分散劑之有機溶劑之濕式混合，係藉由濕式球磨機或攪拌式磨機進行。濕式球磨機，係使用 ZrO_2 製球時，使用直徑 $5 \sim 10 \text{mm}$ 之多數 ZrO_2 製球經 $8 \sim 24$ 小時，以 $20 \sim 24$ 小時濕式混合為宜。 ZrO_2 製球之直徑限定為 $5 \sim 10 \text{mm}$ ，係因若低於 5mm 混合不充分，因若超過 10mm 有雜質增加之不適情況。混合時間若超過最長之 24 小時，因雖長時間連續混合但很少產生雜質之故。

攪拌式磨機，係使用直徑 $1 \sim 3 \text{mm}$ 多數 ZrO_2 製球經 $0.5 \sim 1$ 小時濕式混合。 ZrO_2 製球之直徑限定為 $1 \sim 3 \text{mm}$ ，係因若低於 1mm 混合不充分，因若超過 3mm 有雜質增加之不適情況。混合時間長短皆為 1 小時，因若超過 1 小時不僅原料之混合球本身亦磨損，成為雜質產生之原因，又因即使 1 小時亦可充分混合。

接著將該漿料噴霧乾燥平均粒徑為 $50 \sim 250 \mu\text{m}$ ，製得 $50 \sim 200 \mu\text{m}$ 之混合造粒粉末為宜。將此混合造粒放入預定模型以之預定壓力成型。該噴霧乾燥以使用噴霧乾燥器進行為宜，使用預定模型之單軸加壓裝置或冷靜水壓成型裝置 (CIP (Cold Isostatic Press) 成型裝置)。單軸加壓裝置，係將造粒粉末以 $750 \sim 2000 \text{kg}/\text{cm}^2$ ，以 $1000 \sim 1500 \text{kg}/\text{cm}^2$

(8)

之壓力為宜單軸加壓成型，CIP 成型裝置，係將造粒粉末以 $1000 \sim 3000 \text{ kg/cm}^2$ ，以 $1500 \sim 2000 \text{ kg/cm}^2$ 之壓力為宜 CIP 成型。將壓力限定該範圍，係因提高成型體之密度並防止燒結後變形，省去後加工。

再將成型體以預定溫度燒結。燒結於大氣、惰性氣體、真空或還原氣體環境中以 1350°C 以上，以 $1400 \sim 1800^\circ\text{C}$ 之溫度為宜進行 $1 \sim 10$ 小時，以 $2 \sim 8$ 小時為宜。藉此可得相對密度 90% 以上之燒結體粒。該燒結於大氣壓下進行，進行熱加壓 (HP) 或熱靜水壓加壓 (HIP (Hot Isostatic Press)) 燒結之類加壓燒結時，於惰性氣體、真空或還原氣體環境中以 1350°C 以上之溫度進行 $1 \sim 5$ 小時為宜。

使用如此所得之燒結粒多晶氧化鎂膜蒸鍍材料，於基板表面形成氧化鎂膜。

第 1 圖係表示本發明 PDP 內部結構立體圖。

於面放電形式之 AC 型 PDP10，通常於前玻璃基板 11 之畫面橫方向成對平行配置持續電極 12 與掃描電極 13。於後玻璃基板 14 之畫面 方向配置位址電極 16。此持續電極 12 與掃描電極 13 之間隙被稱為放電間隙，此間隙選定約 $80 \mu\text{m}$ 。前玻璃基板 11 與後玻璃基板 14 藉由 $100 \sim 150 \mu\text{m}$ 左右高度之隔板 17，此隔板 17 之壁面及底部塗佈螢光體粉末 18。彩色顯示時，於行方向形成 3 個並列之放電空間於隔板 17 之背面及底部 3 色 (R、G、B) 之螢光體 18G、18B、18R 分別被塗佈形成 3 個輔助發光單位 (單位發光區域)，將此為 1 個發光單位。前玻璃基板 11、後玻璃基板 14 及隔板 17

(9)

形成之放電空間 19 封入氣體。此封入氣體係使用 Ne(鎢) 或(Xe)氙等惰性氣體之混合氣體。

於被覆持續電極 12 及掃描電極 13 之介電體玻璃層 21 之表面，用以降低藉由放電時放電氣體之離子轟擊，設有耐濺鍍性高之保護膜 22。PDP 因保護膜 22 之材質及膜質大大影響放電特性，故此保護膜為放電電極之用。此保護膜材料係使用耐濺鍍性優且二次電子放射係數高之絕緣體本發明之氧化鎂膜。

如此構成之矩陣顯示形式之 AC 型 PDP，於設於前玻璃基板 11 與後玻璃基板 14 之間之放電空間 19 內相對之持續電極 12 及掃描電極 13 與位址電極 16 之間產生電漿放電，將自被封入放電空間 19 內之氣體產生之紫外線藉由照射設於放電空間 19 內之螢光體 18 進行顯示。利用維持（持續）顯示元件之單元點亮狀態之記憶效果。顯示時首先，自某影像持續結束至下次影像尋址止之間進行（寫入）持續結束至之間進行畫面全體之壁電荷之消去（復位）。接著再僅將應點亮單元以積蓄壁電荷之行順序進行尋址（寫入）。之後對所有單元同時外加較交流極性之放電起始電壓低之電壓（持續電壓）。壁電荷存在之單元，因壁電壓重疊於持續電壓，加於單元之有效電壓超越放電起始電壓產生放電。提高持續電壓之外加頻率，可得表觀上連續性點亮狀態。

該尋址（寫入），係藉由後玻璃基板之位址電極與前玻璃基板之掃描電極間進行寫入放電進行壁電荷積蓄。如自以往所用解析度 VGA(視頻圖形陣列 Visual Graphics

(10)

Array)級 256 灰階表現 (8 分區) 之 PDP，寫入放電以 $3\mu\text{s}$ 進行時，因須依序寫入 480 行，驅動小時約 10% 去除壁電荷，約 70% 耗於影像資料之寫入，實際上顯示影像時間僅剩約 20% 左右。了解若為 PDP 時，面板亮度係此影像顯示愈長愈清晰。用以改善面板亮度將驅動位址電極之位址 IC 數增加 2 倍，將影像上下部各自寫入 (雙掃描) 得縮短寫入時間延長影像顯示時間。但若用此方法有電路成本增加之問題。

對此，使用本發明氧化鎂膜蒸鍍材料成膜之氧化鎂膜，因可得遍及廣泛溫度範圍之良好的放電應答性，可縮短寫入放電時間。因此，使用此保護膜之本發明 PDP，因可延長影像顯示時間得提高面板亮度。另一方面，得期面板亮度無降低而削減大幅之位址 IC 數。

【實施方式】

實施例

以下詳細說明本發明之實施例與比較例。

實施例 1

準備氧化鎂純度 99.95%、相對密度 98%、於多晶氧化鎂中含矽濃度 300ppm 之燒結粒為多晶氧化鎂膜蒸鍍材料。顆粒大小為 $5\text{mm } \varnothing$ 、 1.6mmt 。表面層疊 ITO 電極與銀電極形成電極，再準備覆蓋此電極形成介電體玻璃層之玻璃基板。

(11)

於此玻璃基板形成之介電體玻璃層上，藉由電子束蒸鍍法，形成膜厚 8000\AA 結晶配向性(111)之氧化鎂膜。成膜條件為到達真空度 $1.0 \times 10^{-4}\text{Pa}$ 、氧氣體分壓 $1.0 \times 10^{-2}\text{Pa}$ 、基板溫度 200°C 成膜速度 $20\text{\AA}/\text{秒}$ 。

實施例 2

除準備氧化鎂純度99.91%、相對密度94%、於多晶氧化鎂中含矽濃度250ppm之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例1之方法形成氧化鎂膜。

實施例 3

除準備氧化鎂純度99.93%、相對密度92%、於多晶氧化鎂中含矽濃度400ppm之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例1之方法形成氧化鎂膜。

實施例 4

除準備氧化鎂純度99.95%、相對密度95%、於多晶氧化鎂中含矽濃度450ppm之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例1之方法形成氧化鎂膜。

實施例 5

除準備氧化鎂純度99.98%、相對密度98%、於多晶氧化鎂中含矽濃度30ppm之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例1之方法形成氧化鎂膜，使用形成氧

(12)

化鎂膜製作 PDP 模組。製作之模組藉由 ADS 位址顯示分離 (Address Display Separation) 方式驅動，實機評估位址放電時之應答時間。

實施例 6

除準備氧化鎂純度 99.98%、相對密度 98%、於多晶氧化鎂中含矽濃度 300ppm 之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例 1 之方法形成氧化鎂膜，同於實施例 5 製作 PDP 模組。製作之模組藉由 ADS 方式驅動，實機評估位址放電時之應答時間。

比較例 1

除準備氧化鎂純度 99.96%、相對密度 98%、於多晶氧化鎂中含矽濃度 25ppm 之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例 1 之方法形成氧化鎂膜。

比較例 2

除準備氧化鎂純度 99.90%、相對密度 95%、於多晶氧化鎂中含矽濃度 550ppm 之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例 1 之方法形成氧化鎂膜。

比較例 3

除準備氧化鎂純度 99.0%、相對密度 95%、於多晶氧化鎂中含矽濃度 240ppm 之燒結粒為多晶氧化鎂膜蒸鍍材

(13)

料以外藉由同於實施例1之方法形成氧化鎂膜。

比較例4

除準備氧化鎂純度99.98%、相對密度98%、於多晶氧化鎂中含矽濃度1000ppm之燒結粒為多晶氧化鎂膜蒸鍍材料以外藉由同於實施例1之方法形成氧化鎂膜，同於實施例5製作PDP模組。製作之模組藉由ADS位址顯示分離(Address Display Separation)方式驅動，實機評估位址放電時之應答時間。

比較實驗及評估

分別製作使用於實施例1~4及比較例1~3製得具有氧化鎂膜之玻璃基板之測試基板。具體言之，首先將具有氧化鎂膜之玻璃基板為前玻璃基板。再準備層疊銀電極與白色介電玻璃層形成後，於其上形成高度150 μm 、間距360 μm 之隔板(肋條)之後玻璃基板。將此後玻璃基板與前玻璃基板對向配置。於藉由前玻璃基板、後玻璃基板、隔板所形成之放電空間，注入鎳-4%氬混合氣體為放電氣體。

使用如此製得之測試基板，進行於-15 $^{\circ}\text{C}$ 、0 $^{\circ}\text{C}$ 、25 $^{\circ}\text{C}$ 、50 $^{\circ}\text{C}$ 、70 $^{\circ}\text{C}$ 及90 $^{\circ}\text{C}$ 各溫度條件模擬位址放電試驗，即進行2片玻璃基板間之相對放電試驗。試驗條件為放電氣體壓150Torr即約 $2.0 \times 10^4 \text{Pa}$ 、外加電壓250V、頻率10Hz。於此條件進行試驗，藉由放電所發射之近紅外線經由光電

(14)

子倍增管檢測，自外加電壓發光結束止之時為應答時間加以評估。此應答時間含統計性之發光閃光。第2圖表示各自試測結果。第2圖，於粗線設定之極限值，係自使用以相同條件成膜之氧化鎂膜製作之42吋面板實際評估之應答性所得之結果相較，設定為 $500\mu\text{s}$

自第2圖清楚得知，使用較之本發明規定之氧化鎂膜純度之低純度氧化鎂膜之比較例3，呈現於室溫附近之試驗結果大大超過於極限值之結果，若使用純度低之氧化鎂膜蒸鍍材料，應答性惡化。較本發明矽濃度範圍之矽濃度低之比較例1及矽濃度高之比較例2，於 -15°C 為超越極限值之應答時間。自此結果得知氧化鎂膜中之矽濃度若低於本發明規定之下限值(30ppm)時，及高於上限值(500ppm)時，於低溫條件之應答性有困難。自超過極限極之應答時間之結果，使用與比較例1~3相同條件成膜之氧化鎂膜，製作實際42吋面板，驅動此面板時，可推定產生寫入錯誤，確認面板閃光。對此氧化鎂膜中之矽濃度於本發明之濃度範圍(30ppm 以下低於 500)內之實施例1~4，得知遍及 -15°C 至 90°C 之廣泛溫度範圍極限值以下之放電時間，應答性極良好。

其次，於實施例5、6及比較例4分別製作之模組藉由ADS方式驅動，實機評估位址放電時之應答時間。其試驗結果分別示於第3圖。

如第3圖所示，於矽濃度 30ppm 之實施例5及 300ppm 之實施例較目標應答時間($1\mu\text{s}$ 以下)表示於低之應答時間

(15)

良好之結果。得知對此矽濃度 1000ppm 之比較例 4，超過目標應答時間很難有應答性。如此得知有關應答性於氧化鎂膜中含矽濃度存有最適濃度。

〔產業上之可利用性〕

如上所述，調整本發明矽濃度之多晶氧化鎂蒸鍍材料，係 PDP 之保護膜用蒸鍍材料之改良，其具特徵之構成爲由含氧化鎂純度 99.9% 以上且相對密度 90% 以上之多晶氧化鎂燒結粒所成，於多晶氧化鎂含矽濃度爲 30ppm 以上低於 500ppm 者。使用矽濃度規定於該範圍內之多晶氧化鎂成膜之氧化鎂膜可得遍及廣泛溫度範圍之良好的放電應答性。使用此氧化鎂膜製作之 PDP，可期提高電板亮度，再可期面板亮度無降低而削減大幅的位址 IC 數。

【圖式簡單說明】

第 1 圖係表示 PDP 內部結構之主要部份剖面立體圖。

第 2 圖係表示實施例 1~4 及比較例 1~3 之氧化鎂膜之應答性與溫度之間之關係之圖。

第 3 圖係表示實施例 5、6 及比較例 4 之 PDP 模組之位址放電時之應答性與矽濃度之間之關係之圖。

〔圖號說明〕

10 AC 型 PDP

11 前玻璃基板

(16)

12 持續電極

13 掃描電極

14 後玻璃基板

16 位址電極

17 隔板

18 螢光體粉末

18G、18B、18R 螢光體

19 放電空間

21 介電體玻璃層

22 保護膜

伍、中文發明摘要

發明之名稱：多晶氧化鎂蒸鍍材料

含氧化鎂純度99.9%以上且相對密度90%以上之多晶氧化鎂燒結粒之電漿顯示器面板之保護膜用多晶氧化鎂蒸鍍材料，係於多晶氧化鎂中含矽濃度30ppm以上低於500ppm。具有遍及廣泛溫度範圍之良好的放電應答性，可提高面板亮度之電漿顯示器面板及以期面板亮度無降低而削減大幅之位址 IC 數作為電漿顯示器面板材料之用。

陸、英文發明摘要

發明之名稱：POLYCRYSTAL MgO DEPOSITION MATERIAL

A polycrystal MgO deposition material for a protection film of a plasma display panel, comprising polycrystal MgO sintered pellets, which have an MgO purity of not less than 99.9% and not less than 90% of relative density, includes silicon in the polycrystal MgO and the concentration of silicon is 30 ppm to 500 ppm. The polycrystal MgO deposition material may be used for a plasma display panel having excellent discharge response over a wide temperature range and improved panel luminance, and for a plasma display panel which achieves remarkable reduction of the number of address IC without decrease of panel luminance.

(1)

拾、申請專利範圍

1.一種多晶氧化鎂蒸鍍材料，其為電漿顯示器面板之保護膜用多晶氧化鎂蒸鍍材料，其特徵為含氧化鎂純度為99.9%以上且相對密度為90%以上之多晶氧化鎂燒結粒，且

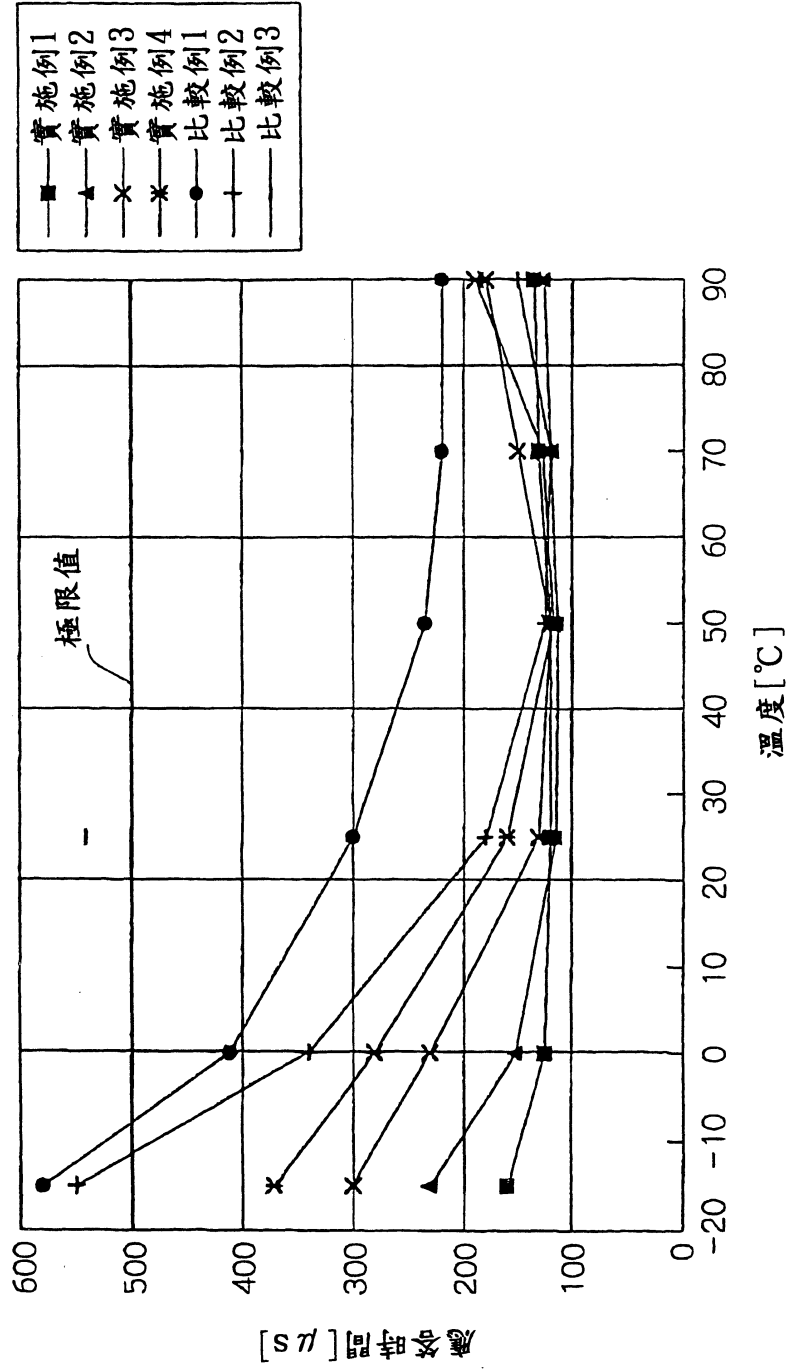
於該多晶氧化鎂所含之矽濃度為30ppm以上500ppm以下。

2.如申請專利範圍第1項之多晶氧化鎂蒸鍍材料，其中於多晶氧化鎂蒸鍍材料中所含之矽濃度為220~480ppm。

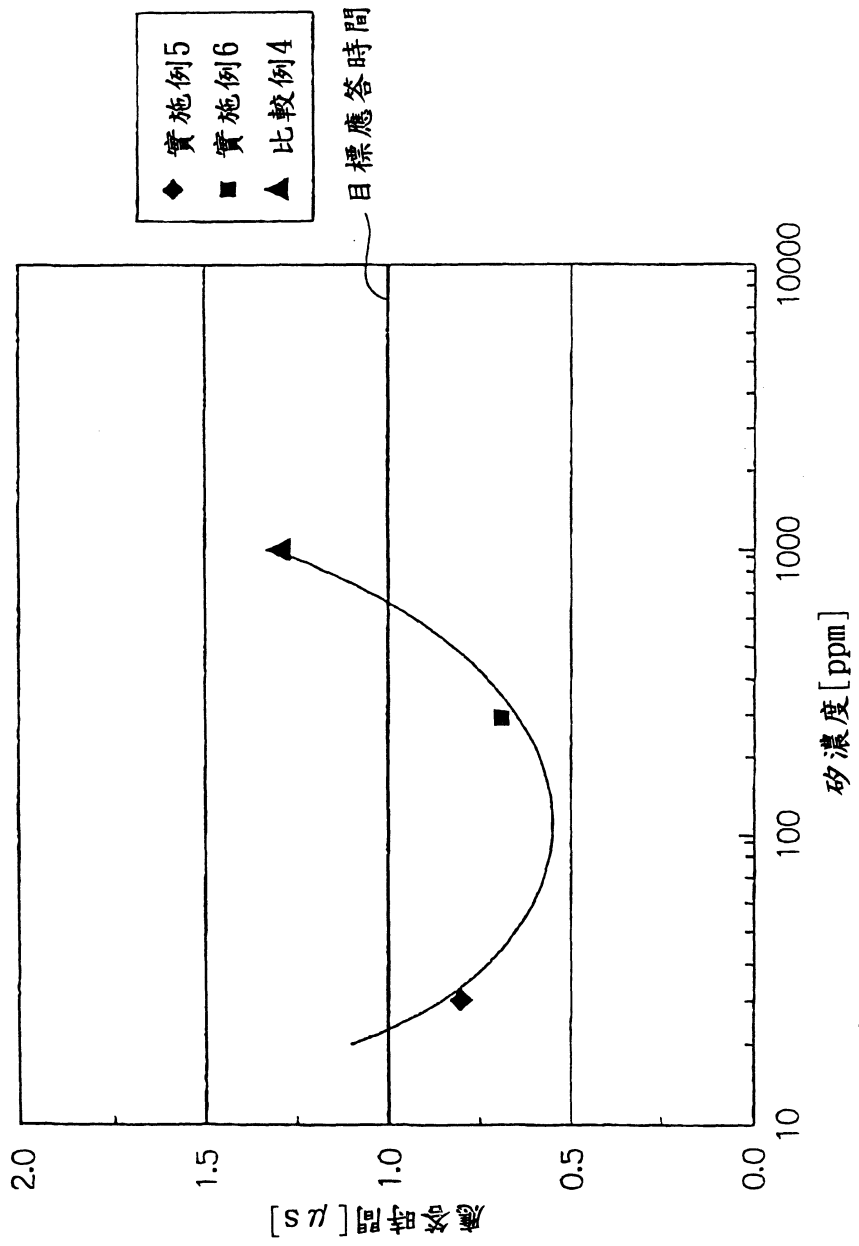
3.如申請專利範圍第1項之多晶氧化鎂蒸鍍材料，其中於多晶氧化鎂蒸鍍材料中所含之矽濃度為250~450ppm。

4.如申請專利範圍第1項之多晶氧化鎂蒸鍍材料，其中於多晶氧化鎂蒸鍍材料中所含之矽濃度為280~350ppm。

第2圖



第3圖



柒、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

- 10 AC 型 PDP
- 11 前玻璃基板
- 12 持續電極
- 13 掃描電極
- 14 後玻璃基板
- 16 位址電極
- 17 隔板
- 18G、18B、18R 螢光體
- 19 放電空間
- 21 介電體玻璃層
- 22 保護膜

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：