

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5732827号
(P5732827)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月24日 (2015. 4. 24)

(51) Int. Cl.

F I

H O 1 L 27/105 (2006. 01)

H O 1 L 27/10 4 4 8

H O 1 L 45/00 (2006. 01)

H O 1 L 45/00 Z

H O 1 L 49/00 (2006. 01)

H O 1 L 49/00 Z

請求項の数 19 (全 49 頁)

(21) 出願番号 特願2010-261517 (P2010-261517)
 (22) 出願日 平成22年11月24日 (2010. 11. 24)
 (65) 公開番号 特開2011-187925 (P2011-187925A)
 (43) 公開日 平成23年9月22日 (2011. 9. 22)
 審査請求日 平成25年11月15日 (2013. 11. 15)
 (31) 優先権主張番号 特願2010-26573 (P2010-26573)
 (32) 優先日 平成22年2月9日 (2010. 2. 9)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 大場 和博
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 記憶素子および記憶装置、並びに記憶装置の動作方法

(57) 【特許請求の範囲】

【請求項 1】

第1電極、記憶層および第2電極をこの順に有し、
 前記記憶層は、

テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも1種のカルコゲン
 元素と共にアルミニウム (Al) を含むイオン源層と、

前記イオン源層と前記第1電極との間に設けられると共に、前記第1電極の側から順に
 第1層と第2層とが積層された構成を有し、前記第2層はアルミニウム酸化物を主成分と
 し、前記第1層は前記アルミニウム酸化物よりも抵抗の低い遷移金属酸化物および遷移金
 属酸窒化物のうち少なくとも一方よりなる抵抗変化層と
 を備えた記憶素子。

【請求項 2】

前記第1層は、1 nm以上かつ前記第2層の抵抗値よりも低抵抗となる厚みを有する
 請求項1記載の記憶素子。

【請求項 3】

前記抵抗変化層は、前記アルミニウム酸化物と、前記遷移金属酸化物および遷移金属酸
 窒化物のうち少なくとも一方とを混在した状態で含有する
 請求項1記載の記憶素子。

【請求項 4】

前記遷移金属酸化物または遷移金属酸窒化物は、チタン (Ti)、ジルコニウム (Zr

), ハフニウム (Hf), パナジウム (V), ニオブ (Nb), タンタル (Ta), クロム (Cr), モリブデン (Mo) およびタングステン (W) からなる遷移金属の群のうち少なくとも1種の酸化物または酸窒化物である

請求項1ないし3のいずれか1項に記載の記憶素子。

【請求項5】

前記イオン源層は、

アルミニウム (Al) と共に、テルル (Te), 硫黄 (S) およびセレン (Se) のうち少なくとも1種のカルコゲン元素を含む中間層と、

アルミニウム (Al) および前記カルコゲン元素と共に、銅 (Cu), 亜鉛 (Zn), 銀 (Ag), ニッケル (Ni), コバルト (Co), マンガン (Mn), 鉄 (Fe), チタン (Ti), ジルコニウム (Zr), ハフニウム (Hf), パナジウム (V), ニオブ (Nb), タンタル (Ta), クロム (Cr), モリブデン (Mo) およびタングステン (W) からなる金属元素の群のうちの少なくとも1種を含むイオン供給層と

を有する請求項1ないし4のいずれか1項に記載の記憶素子。

【請求項6】

前記中間層におけるカルコゲン元素含有量に対するアルミニウム含有量の比は、前記イオン供給層におけるカルコゲン元素含有量に対するアルミニウム含有量の比よりも小さい
請求項5記載の記憶素子。

【請求項7】

前記中間層は、前記イオン供給層よりも高い抵抗を有する

請求項5または6記載の記憶素子。

【請求項8】

前記中間層は、ジルコニウム (Zr), 銅 (Cu), クロム (Cr), マンガン (Mn), チタン (Ti) およびハフニウム (Hf) からなる遷移金属の群のうち少なくとも1種を含む

請求項5ないし7のいずれか1項に記載の記憶素子。

【請求項9】

前記中間層および前記イオン供給層のうち少なくとも一方が、酸素 (O) を含む

請求項5ないし7のいずれか1項に記載の記憶素子。

【請求項10】

前記中間層は、酸素 (O) と、銅 (Cu), チタン (Ti), ジルコニウム (Zr), ハフニウム (Hf), Cr (クロム) および Mn (マンガン) からなる遷移金属の群のうち少なくとも1種とを含む

請求項5ないし7のいずれか1項に記載の記憶素子。

【請求項11】

前記第1電極および前記第2電極への電圧印加による前記アルミニウム酸化物の酸化還元と前記イオン源層に含まれる金属元素のイオンの移動とのうち少なくとも一方による前記記憶層の電気特性の変化により情報を記憶する

請求項1ないし10のいずれか1項に記載の記憶素子。

【請求項12】

前記イオン源層に含まれる金属元素は、銅 (Cu), 亜鉛 (Zn), 銀 (Ag), ニッケル (Ni), コバルト (Co), マンガン (Mn), 鉄 (Fe), チタン (Ti), ジルコニウム (Zr), ハフニウム (Hf), パナジウム (V), ニオブ (Nb), タンタル (Ta), クロム (Cr), モリブデン (Mo) およびタングステン (W) からなる群のうちの少なくとも1種である

請求項11記載の記憶素子。

【請求項13】

前記アルミニウム酸化物は、前記イオン源層に含まれるアルミニウム (Al) イオンの移動あるいは拡散、または前記第1電極および前記第2電極への電圧印加による、前記第1電極側での酸化反応により形成されたものである

請求項 1 1 または 1 2 記載の記憶素子。

【請求項 1 4】

前記第 1 電極は、チタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、モリブデン (Mo) およびタングステン (W) からなる遷移金属の群のうちの少なくとも 1 種の単体または窒化物により構成され、

前記遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方は、前記第 1 電極の表面を酸化することにより形成されたものである

請求項 1 ないし 1 3 のいずれか 1 項に記載の記憶素子。

【請求項 1 5】

前記遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方は、前記第 1 電極の上面にチタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、モリブデン (Mo) およびタングステン (W) からなる遷移金属の群のうちの少なくとも 1 種の単体または窒化物よりなる遷移金属材料膜を形成し、前記遷移金属材料膜と前記第 1 電極の表面とのうち少なくとも前記遷移金属材料膜を酸化することにより形成されたものである

請求項 1 ないし 1 3 のいずれか 1 項に記載の記憶素子。

【請求項 1 6】

第 1 電極、記憶層および第 2 電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備え、

前記記憶層は、

テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも 1 種のカルコゲン元素と共にアルミニウム (Al) を含むイオン源層と、

前記イオン源層と前記第 1 電極との間に設けられると共に、前記第 1 電極の側から順に第 1 層と第 2 層とが積層された構成を有し、前記第 2 層はアルミニウム酸化物を主成分とし、前記第 1 層は前記アルミニウム酸化物よりも抵抗の低い遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方よりなる抵抗変化層と

を備えた記憶装置。

【請求項 1 7】

隣接する前記複数の記憶素子において、前記記憶素子を構成する少なくとも一部の層が同一層により共通に設けられている

請求項 1 6 記載の記憶装置。

【請求項 1 8】

前記複数の記憶素子における共通の層は、前記抵抗変化層、前記イオン源層および前記第 2 電極であり、前記第 1 電極は素子毎に個別に設けられている

請求項 1 7 記載の記憶装置。

【請求項 1 9】

第 1 電極、記憶層および第 2 電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備え、前記記憶層は、テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも 1 種のカルコゲン元素と共にアルミニウム (Al) およびアルミニウム (Al) とは異なる金属元素を含むイオン源層と、前記イオン源層と前記第 1 電極との間に設けられると共に、前記第 1 電極の側から順に第 1 層と第 2 層とが積層された構成を有し、前記第 2 層はアルミニウム酸化物を主成分とし、前記第 1 層は前記アルミニウム酸化物よりも抵抗の低い遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方よりなる抵抗変化層とを備えた記憶装置の動作方法であって、

前記第 1 電極および前記第 2 電極の間に電圧を印加することにより、前記イオン源層中ではアルミニウム (Al) イオンおよび前記イオン源層に含まれる金属元素のイオンが前記第 1 電極側に移動すると共に、前記抵抗変化層ではアルミニウム酸化物または前記金属元素のイオンの還元反応により導電パスが生じて低抵抗化し、

10

20

30

40

50

前記第 1 電極および前記第 2 電極の間に逆極性の電圧を印加することにより、前記イオン源層中ではアルミニウム (A l) イオンおよび前記イオン源層に含まれる金属元素のイオンが前記第 2 電極側へ移動すると共に、前記抵抗変化層ではアルミニウム (A l) イオンが酸化反応によりアルミニウム酸化物を形成して高抵抗化するか、または前記還元された金属元素がイオン化して前記イオン源層に移動することにより前記導電パスが消失して高抵抗化する

記憶装置の動作方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

10

本発明は、イオン源層および抵抗変化層を含む記憶層の電気的特性の変化により情報を記憶可能な記憶素子および記憶装置、並びに記憶装置の動作方法に関する。

【背景技術】

【 0 0 0 2 】

コンピュータ等の情報機器においては、ランダム・アクセス・メモリとして、動作が高速で、高密度の D R A M (Dynamic Random Access Memory) が広く使用されている。しかしながら、D R A M は、電子機器に用いられる一般的な論理回路 L S I や信号処理と比較して、製造プロセスが複雑であるため、製造コストが高くなっている。また、D R A M は、電源を切ると情報が消えてしまう揮発性メモリであり、頻繁にリフレッシュ動作、即ち書き込んだ情報 (データ) を読み出し、増幅し直して、再度書き込み直す動作を行う必要がある。

20

【 0 0 0 3 】

そこで、従来、電源を切っても情報が消えない不揮発性のメモリとして、例えば、フラッシュメモリ、F e R A M (Ferroelectric Random Access Memory) (強誘電体メモリ) や M R A M (Magnetoresistive Random Access Memory) (磁気記憶素子) 等が提案されている。これらのメモリの場合、電源を供給しなくても書き込んだ情報を長時間保持し続けることが可能になる。しかしながら、これらのメモリはそれぞれ一長一短がある。すなわち、フラッシュメモリは、集積度が高いが動作速度の点で不利である。F e R A M は高集積度化のための微細加工に限界あり、また作製プロセスにおいて問題がある。M R A M は消費電力の問題がある。

30

【 0 0 0 4 】

そこで、特にメモリ素子の微細加工の限界に対して有利な、新しいタイプの記憶素子が提案されている。この記憶素子は、2つの電極の間に、ある金属を含むイオン導電体を挟む構造としたものである。この記憶素子では、2つの電極のいずれか一方にイオン導電体中に含まれる金属を含ませている。これにより、2つの電極間に電圧を印加した場合に、電極中に含まれる金属がイオン導電体中にイオンとして拡散し、イオン導電体の抵抗値あるいはキャパシタンス等の電気特性が変化する。例えば、特許文献 1 では、この特性を利用したメモリデバイスとして、イオン導電体がカルコゲナイトと金属との固溶体よりなる構成が提案されている。具体的には、A s S , G e S , G e S e に A g , C u あるいは Z n が固溶された材料からなり、2つの電極のいずれか一方の電極には、A g , C u あるいは Z n が含まれている。

40

【 0 0 0 5 】

この特許文献 1 の構成では、製造プロセス中の温度上昇やデータの長期保存時の長期間の熱負荷などによりイオン導電体の結晶化が促進され、抵抗値などの本来の電気的特性が変化してしまっていた。そこで、特許文献 2 では、イオン導電体と電極との間に、ガドリニウム酸化膜よりなる記憶用薄膜を設けることが記載されている。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特表 2 0 0 2 - 5 3 6 8 4 0 号公報

50

【特許文献2】特開2005-197634号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献2に記載された構成では消去側の性能が不足しており、多数ビットを書き換えた場合には、消去状態の抵抗値が低い側にばらつく傾向にあって、書き込み状態の抵抗値と消去状態の抵抗値との抵抗分離幅が不十分であり、繰り返し耐久性に改善の余地があった。

【0008】

本発明はかかる問題点に鑑みてなされたもので、その目的は、繰り返し耐久性の向上した記憶素子および記憶装置、および記憶装置の動作方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の記憶素子は、第1電極、記憶層および第2電極をこの順に有し、記憶層は、以下の(A)、(B)の構成要素を備えたものである。

(A)テルル(Te)、硫黄(S)およびセレン(Se)のうち少なくとも1種のカルコゲン元素と共にアルミニウム(Al)を含むイオン源層

(B)イオン源層と第1電極との間に設けられると共に、第1電極の側から順に第1層と第2層とが積層された構成を有し、第2層はアルミニウム酸化物を主成分とし、第1層はアルミニウム酸化物よりも抵抗の低い遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方よりなる抵抗変化層と

【0010】

本発明の記憶装置は、第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、複数の記憶素子に対して選択的に電圧または電流のパルスを印加するパルス印加手段とを備え、複数の記憶素子が上記本発明の記憶素子により構成されているものである。

【0011】

本発明の記憶装置の動作方法は、第1電極および第2電極の間に電圧を印加することにより、イオン源層中ではアルミニウム(Al)イオンおよびイオン源層に含まれる金属元素のイオンが第1電極側に移動すると共に、抵抗変化層ではアルミニウム酸化物または金属元素のイオンの還元反応により導電パスが生じて低抵抗化し、第1電極および第2電極の間に逆極性の電圧を印加することにより、イオン源層中ではアルミニウム(Al)イオンおよびイオン源層に含まれる金属元素のイオンが第2電極側へ移動すると共に、抵抗変化層ではアルミニウム(Al)イオンが酸化反応によりアルミニウム酸化物を形成して高抵抗化するか、または還元された金属元素がイオン化してイオン源層に移動することにより導電パスが消失して高抵抗化するものである。

【0012】

本発明の記憶素子あるいは本発明の記憶装置、または本発明の記憶装置の動作方法では、初期状態(高抵抗状態)の素子に対して「正方向」(例えば第1電極側を負電位、第2電極側を正電位)の電圧または電流パルスが印加されると、イオン源層中ではアルミニウム(Al)イオンおよびイオン源層に含まれる金属元素のイオンが第1電極側に移動すると共に、抵抗変化層ではアルミニウム酸化物または金属元素のイオンの還元反応により導電パスが生じて低抵抗化する(書き込み状態)。この低抵抗な状態の素子に対して「負方向」(例えば第1電極側を正電位、第2電極側を負電位)へ電圧パルスが印加されると、イオン源層中ではアルミニウム(Al)イオンおよびイオン源層に含まれる金属元素のイオンが第2電極側に移動すると共に、第1電極ではアルミニウム(Al)イオンが酸化反応によりアルミニウム酸化物を形成し、または還元状態の金属元素が酸化反応によりイオン化してイオン源層へ溶解し、導電パスが消失して高抵抗状態となる(初期状態または消去状態)。

【0013】

なお、書き込み動作および消去動作を低抵抗化および高抵抗化のいずれに対応させるか

は定義の問題であるが、本明細書では低抵抗状態を書き込み状態、高抵抗状態を消去状態と定義する。

【0014】

ここでは、抵抗変化層が、第1電極の側から順に第1層と第2層とが積層された構成を有し、第2層はアルミニウム酸化物を主成分とし、第1層はそれよりも抵抗の低い遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方よりなるので、素子に対して上述した正方向の電圧または電流パルスが印加された場合にも、遷移金属酸化物または遷移金属酸窒化物には電圧バイアスがかかりにくくなる。そのため、素子を書き込み状態（低抵抗状態）となっても、遷移金属酸化物または遷移金属酸窒化物は還元されずに第1電極上で酸化膜または酸窒化膜を形成したままとなる。よって、書き込みおよび消去の繰り返しの伴ってイオン源層に含まれるカルコゲン元素と第1電極との不要な酸化反応が生じることが抑えられる。

10

【発明の効果】

【0015】

本発明の記憶素子または本発明の記憶装置によれば、抵抗変化層が、第1電極の側から順に第1層と第2層とが積層された構成を有し、第2層はアルミニウム酸化物を主成分とし、第1層はアルミニウム酸化物よりも抵抗の低い遷移金属酸化物および遷移金属酸窒化物のうち少なくとも一方よりなるようにしたので、繰り返し耐久性を向上させることが可能となる。

【0016】

20

本発明の記憶装置の動作方法によれば、第1電極および第2電極の間に電圧を印加することにより、イオン源層中ではアルミニウム（Al）イオンおよびイオン源層に含まれる金属元素のイオンが第1電極側に移動すると共に、抵抗変化層ではアルミニウム酸化物または金属元素のイオンの還元反応により導電パスが生じて低抵抗化し、第1電極および第2電極の間に逆極性の電圧を印加することにより、イオン源層中ではアルミニウム（Al）イオンおよびイオン源層に含まれる金属元素のイオンが第2電極側へ移動すると共に、抵抗変化層ではアルミニウム（Al）イオンが酸化反応によりアルミニウム酸化物を形成して高抵抗化するか、または還元された金属元素がイオン化してイオン源層に移動することにより導電パスが消失して高抵抗化するようにしたので、繰り返し耐久性を向上させることが可能となる。

30

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態に係る記憶素子の構成を表す断面図である。

【図2】図1に示した第1層の変形例を表す断面図である。

【図3】変形例1に係る記憶素子の構成を表す断面図である。

【図4】変形例2に係る記憶素子の構成を表す断面図である。

【図5】変形例3に係る記憶素子の構成を表す断面図である。

【図6】本発明の第2の実施の形態に係る記憶素子の構成を表す断面図である。

【図7】変形例4に係る記憶素子の構成を表す断面図である。

【図8】図7に示した第1層の変形例を表す断面図である。

40

【図9】本発明の第3の実施の形態に係る記憶素子の構成を表す断面図である。

【図10】Te-Zr膜の体積抵抗率のZr添加量依存性を表す図である。

【図11】本発明の第4の実施の形態に係る記憶素子の構成を表す断面図である。

【図12】Te-Zr膜の体積抵抗率の成膜時酸素流量依存性を表す図である。

【図13】図1の記憶素子を用いたメモリセルアレイの概略構成を表す断面図である。

【図14】同じくメモリセルアレイの平面図である。

【図15】実施例1の結果を表す図である。

【図16】実施例2の結果を表す図である。

【図17】実施例3の結果を表す図である。

【図18】比較例1の結果を表す図である。

50

- 【図 19】比較例 2 の結果を表す図である。
- 【図 20】比較例 3 の結果を表す図である。
- 【図 21】遷移金属酸化物よりなる第 1 層の作用を調べた実験結果を表す図である。
- 【図 22】実施例 2 の記憶素子の TEM - EDX 写真である。
- 【図 23】図 24 に示した各元素の EDX プロファイル結果をまとめて表す図である。
- 【図 24】実施例 2 の記憶素子の各元素の EDX プロファイル結果を表す図である。
- 【図 25】実施例 4 - 1 の結果を表す図である。
- 【図 26】実施例 4 - 2 の結果を表す図である。
- 【図 27】実施例 5 - 1 の結果を表す図である。
- 【図 28】実施例 6 - 1 の結果を表す図である。 10
- 【図 29】実施例 6 - 2 の結果を表す図である。
- 【図 30】実施例 6 - 3 の結果を表す図である。
- 【図 31】実施例 6 - 4 の結果を表す図である。
- 【図 32】実施例 6 - 5 の結果を表す図である。
- 【図 33】実施例 7 - 1 の結果を表す図である。
- 【図 34】実施例 7 - 2 の結果を表す図である。
- 【図 35】実施例 7 - 3 の結果を表す図である。
- 【図 36】実施例 8 - 1 , 8 - 2 の結果を表す図である。
- 【図 37】実施例 8 - 3 , 8 - 4 の結果を表す図である。
- 【図 38】実施例 9 - 1 , 9 - 2 の結果を表す図である。 20
- 【図 39】実施例 10 の結果を表す図である。
- 【図 40】実施例 11 の結果を表す図である。
- 【図 41】実施例 10 , 11 の消去特性を調べた結果を表す図である。
- 【図 42】実施例 12 の結果を表す図である。
- 【図 43】実施例 13 - 1 の結果を表す図である。
- 【図 44】実施例 13 - 2 の結果を表す図である。
- 【図 45】実施例 13 - 3 の結果を表す図である。
- 【図 46】実施例 14 の結果を表す図である。
- 【図 47】実施例 15 の結果を表す図である。
- 【図 48】実施例 16 の結果を表す図である。 30
- 【図 49】実施例 17 の結果を表す図である。
- 【図 50】実施例 18 の結果を表す図である。
- 【図 51】比較例 4 の結果を表す図である。
- 【図 52】実施例 19 の結果を表す図である。
- 【図 53】実施例 20 の結果を表す図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態（記憶素子；抵抗変化層として遷移金属酸化物よりなる第 1 層およびアルミニウム酸化物を主成分とする第 2 層が順に積層されており、イオン源層が中間層とイオン供給層とを有する例） 40
2. 変形例 1（記憶素子；抵抗変化層がアルミニウム酸化物および遷移金属酸化物を混在した状態で含有しており、イオン源層が中間層とイオン供給層とを有する例）
3. 変形例 2（記憶素子；抵抗変化層として遷移金属酸化物よりなる第 1 層およびアルミニウム酸化物を主成分とする第 2 層が順に積層されており、イオン源層が単層である例）
4. 変形例 3（記憶素子；抵抗変化層がアルミニウム酸化物および遷移金属酸化物を混在した状態で含有しており、イオン源層が単層である例）
5. 第 2 の実施の形態（記憶素子；抵抗変化層として遷移金属酸室化物よりなる第 1 層およびアルミニウム酸化物を主成分とする第 2 層が順に積層されており、イオン源層が中間 50

層とイオン供給層とを有する例)

6. 変形例4 (記憶素子; 第1層が、遷移金属酸化物層と遷移金属酸窒化物層とを含む例)

7. 第3の実施の形態 (記憶素子; 中間層に遷移金属を添加する例)

8. 第4の実施の形態 (記憶素子; 中間層およびイオン供給層のうち少なくとも一方に酸素を添加する例)

9. 記憶装置

10. 実施例

【0019】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る記憶素子1の断面構成図である。この記憶素子1は、下部電極10 (第1電極)、記憶層20および上部電極30 (第2電極)を順に有するものである。記憶層20は、上部電極30の側から順に、イオン源層21と、抵抗変化層22とを有している。

【0020】

下部電極10は、例えば、後述 (図13) のようにCMOS (Complementary Metal Oxide Semiconductor) 回路が形成されたシリコン基板41上に設けられ、CMOS回路部分との接続部となっている。この下部電極10は、半導体プロセスに用いられる配線材料、例えば、タングステン (W)、窒化タングステン (WN)、銅 (Cu)、アルミニウム (Al)、モリブデン (Mo)、タンタル (Ta) およびシリサイド等により構成されている。下部電極10がCu等の電界でイオン伝導が生じる可能性のある材料により構成されている場合には、Cu等よりなる下部電極10の表面を、W、WN、TiN、TaN等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。

【0021】

下部電極10は、チタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、Ta、クロム (Cr)、MoおよびWからなる遷移金属の群のうちの少なくとも1種の単体または窒化物により構成されていることが好ましい。後述する抵抗変化層22中の遷移金属酸化物 (または遷移金属酸化物よりなる第1酸化層22A) を、下部電極10の表面を酸化することにより容易に形成することが可能となるからである。

【0022】

イオン源層21は、イオン供給源としての役割を有するものであり、主に非晶質構造を有している。イオン源層21は、陰イオン化するイオン伝導材料として、テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも1種のカルコゲン元素を含んでいる。また、イオン源層21は、消去時に酸化物を形成する元素として、Alを含有している。

【0023】

更に、イオン源層21は、少なくとも1種の金属元素を含んでいる。イオン源層21に含まれる金属元素としては、例えば、Cu、亜鉛 (Zn)、銀 (Ag)、ニッケル (Ni)、コバルト (Co)、マンガン (Mn)、鉄 (Fe)、Ti、Zr、Hf、V、Nb、Ta、Cr、MoおよびWからなる金属元素の群のうちの少なくとも1種が好ましい。Alおよびこれらの金属元素のいくつかは、陽イオン化するイオン伝導材料としての機能を有するものである。

【0024】

イオン源層21は、非晶質化のため金属元素としてZrを含むことが好ましい。低抵抗状態 (書き込み状態) または高抵抗状態 (初期状態または消去状態) の抵抗値保持特性を向上させることが可能となるからである。ここでは、低抵抗状態を書き込み状態、高抵抗状態を消去状態と定義する。また、Cuは、Zrとの組み合わせにより、非晶質を形成しやすく、イオン源層21の微細構造を均一に保つものであると共に、陽イオン化する金属元素としての機能も有している。

10

20

30

40

50

【0025】

イオン源層21には、必要に応じてその他の元素が添加されていてもよい。添加元素の例としては、マグネシウム(Mg)、ゲルマニウム(Ge)、シリコン(Si)などが挙げられる。Mgは、陽イオン化しやすいと共に消去バイアスで酸化膜を形成し高抵抗化しやすくするためのものである。Geは、Alと同様に、消去時に酸化物を形成することにより高抵抗状態(消去状態)を安定化させると共に、繰り返し回数の増加にも寄与するものである。Siは、記憶層20の高温熱処理時の膜剥がれを抑止すると共に、保持特性の向上も同時に期待できる添加元素であり、イオン源層21にZrと共に添加してもよい。

【0026】

このようなイオン源層21の具体的な材料としては、例えば、ZrTeAl, ZrTeAlGe, CuZrTeAl, CuZrTeAlGe, CuHfTeAl, CuTiTeAl, AgZrTeAl, NiZrTeAl, CoZrTeAl, MnZrTeAl, FeZrTeAlの組成のイオン源層材料が挙げられる。

【0027】

イオン源層21中のAlの含有量は、例えば30～50原子%である。イオン源層21中のZrの含有量は、7.5～26原子%であることが好ましく、更には、イオン源層21に含まれるカルコゲン元素の合計に対するZrの組成比率(=Zr(原子%)/カルコゲン元素の合計(原子%))は、0.2～0.74の範囲であることが好ましい。イオン源層21中のGeの含有量は15原子%以下であることが好ましい。イオン源層21中のSiの含有量は10～45原子%程度の範囲内であることが望ましい。このように構成することにより各構成元素の役割を最大限に発揮することができる。その詳細については後述する。

【0028】

抵抗変化層22は、イオン源層21と下部電極10との間に設けられ、電気伝導上のバリアとしての機能を有するものである。抵抗変化層22は、アルミニウム酸化物(AlO_x)およびアルミニウム酸化物よりも抵抗の低い遷移金属酸化物を含有している。具体的には、抵抗変化層22は、下部電極10の側から順に、遷移金属酸化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする高抵抗の第2層22Bとが積層された構成を有している。これにより、この記憶素子1では繰り返し耐久性を高めることが可能となっている。

【0029】

抵抗変化層22中の遷移金属酸化物(または第1層22A)は、導電性を有する酸化物であると共に絶縁性が高くないことが好ましい。具体的には、Ti, Zr, Hf, V, Nb, Ta, Cr, MoおよびWからなる遷移金属の群のうち少なくとも1種の酸化物であることが好ましい。

【0030】

抵抗変化層22中のアルミニウム酸化物(または第2層22B)は、イオン源層21に含まれるAlイオンの移動あるいは拡散、または下部電極10および上部電極30への電圧印加による、下部電極10側での酸化反応により形成されたものである。なお、抵抗変化層22中のアルミニウム酸化物(または第2層22B)は、記憶素子1の製造時に既に形成されているものであるが、後述する高抵抗状態(消去状態)においてより増大する(または、より厚みが厚くなる)傾向がある。

【0031】

第1層22Aの厚みは、1nm以上であることが好ましい。良好な抵抗分離特性を得ることが可能となるからである。また、第1層22Aは、第2層22Bの抵抗値よりも低抵抗となる厚みを有していることが好ましい。第1層22Aの厚みがあまりに厚すぎると、第2層22Bよりも高抵抗となってしまう、動作特性が低下するからである。第1層22Aを構成する遷移金属酸化物の密度は、例えば酸化チタン(TiO_x)の場合、4g/cm³以下であることが望ましい。

【0032】

更に、イオン源層 2 1 は、下部電極 1 0 の側から順に、中間層 2 1 A と、イオン供給層 2 1 B とを積層した 2 層構造を有していることが好ましい。中間層 2 1 A は、A l と共に、T e , S および S e のうち少なくとも 1 種のカルコゲン元素を含んでいる。イオン供給層 2 1 B は、上述したイオン源層 2 1 と同様の構成、すなわち、A l およびカルコゲン元素と共に、C u , Z n , A g , N i , C o , M n , F e , T i , Z r , H f , V , N b , T a , C r , M o および W からなる金属元素の群のうちの少なくとも 1 種を含んでいる。このようにすることにより、良好な繰り返し耐久性を保持したまま保持特性を向上させることが可能となり、低電流での不揮発メモリ動作が可能となる。なお、イオン供給層 2 1 B は、上記の金属元素を含んでいて、必要以上の元素拡散や層の混合を抑制する構成であることが望ましい。

10

【 0 0 3 3 】

特に、イオン供給層 2 1 B は、A l およびカルコゲン元素と共に、C u , T i , Z r および H f のうちの少なくとも 1 種を含むことが好ましい。これらの元素により、非晶質構造を安定化してマトリクス構造を保ちやすくなるので、結果として書き込み・消去動作の信頼性向上につながる。中でも C u は、Z r との組み合わせにより、非晶質を形成しやすく、イオン供給層 2 1 B の微細構造を均一に保つ機能を有するものである。

【 0 0 3 4 】

また、イオン供給層 2 1 B は、必要に応じて、G e , S i , M g などの他の添加元素を含んでいてもよい。

【 0 0 3 5 】

中間層 2 1 A におけるカルコゲン元素含有量に対する A l 含有量の比 (A l 濃度) は、イオン供給層 2 1 B におけるカルコゲン元素含有量に対する A l 含有量の比 (A l 濃度) よりも小さいことが好ましい。中間層 2 1 A 中の A l はイオン供給層 2 1 B との濃度勾配による拡散によりもたらされと考えられるので、例えば A l 2 T e 3 の化学量論的組成よりも少なくなると考えられる。そのため、中間層 2 1 A 中の A l のほとんどはイオン状態で存在していると考えられ、印加した電位が効果的にイオン駆動に用いられることにより、上述した保持特性の向上や低電流での不揮発メモリ動作に結びつくことが可能となる。

20

【 0 0 3 6 】

上部電極 3 0 は、下部電極 1 0 と同様に公知の半導体プロセスに用いられる配線材料により構成されている。

30

【 0 0 3 7 】

本実施の形態の記憶素子 1 では、上記下部電極 1 0 および上部電極 3 0 を介して図示しない電源 (パルス印加手段) から電圧パルス或いは電流パルスを印加すると、アルミニウム酸化物、またはイオン源層 2 1 (具体的にはイオン供給層 2 1 B) に含まれる金属元素のイオンの酸化還元により記憶層 2 0 の電気的特性、例えば抵抗値が変化するものであり、これにより情報の記憶 (書き込み , 消去 , 読み出し) が行われる。以下、その動作を具体的に説明する。

【 0 0 3 8 】

まず、上部電極 3 0 が例えば正電位、下部電極 1 0 側が負電位となるようにして記憶素子 1 に対して正電圧を印加する。これによりイオン源層 2 1 中では A l イオンが下部電極 1 0 側に移動すると共に、遷移金属酸化層 2 2 A 上ではアルミニウム酸化物を主成分とする第 2 層 2 2 B の還元反応が生じて低抵抗化する (書き込み状態) 。

40

【 0 0 3 9 】

また、イオン源層 2 1 に含まれる金属元素は、イオン化して抵抗変化層 2 2 中に移動・拡散し、下部電極 1 0 側で還元される。その結果、下部電極 1 0 と記憶層 2 0 の界面に第 2 層 2 2 B よりは抵抗が低い状態かあるいは金属状態に還元された導電パスが形成される。若しくは、イオン化した金属元素は、抵抗変化層 2 2 中に留まり不純物準位を形成し、抵抗変化層 2 2 中に導電パスが形成される。よって、記憶層 2 0 の抵抗値が低くなり、初期状態の高抵抗状態から低抵抗状態へ変化する。

50

【 0 0 4 0 】

その後、正電圧を除去して記憶素子 1 にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が書き込まれたことになる。一度だけ書き込みが可能な記憶装置、いわゆる、PROM(Programmable Read Only Memory) に用いる場合には、前記の記録過程のみで記録は完結する。

【 0 0 4 1 】

一方、消去が可能な記憶装置、すなわち、RAM(Random Access Memory) 或いはEEPROM(Electronically Erasable and Programmable Read Only Memory) 等への応用には消去過程が必要である。消去過程においては、上部電極 30 が例えば負電位、下部電極 10 側が正電位になるように、記憶素子 1 に対して負電圧を印加する。これにより、イオン源層 21 中ではA1イオンが上部電極 30 側へ移動すると共に、第1層 22 A上ではA1イオンが酸化反応によりアルミニウム酸化物を主とする第2層 22 Bを形成し、高抵抗状態となる(消去状態)。

10

【 0 0 4 2 】

また、記憶層 20 内に導電パスを形成していた還元状態の金属元素は酸化反応によりイオン化し、イオン源層 21 に溶解、若しくはTe等と結合して、より高抵抗な状態へと変化する。これにより、金属元素による導電パスが消滅、または減少して抵抗値が高くなる。あるいは、更にイオン源層 21 中に存在するGeなどの添加元素が下部電極 10 上に酸化膜を形成して、高抵抗な状態へ変化する。

20

【 0 0 4 3 】

その後、負電圧を除去して記憶素子 1 にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより、書き込まれた情報を消去することが可能になる。このような過程を繰り返すことにより、記憶素子 1 に情報の書き込みと書き込まれた情報の消去を繰り返し行うことができる。

【 0 0 4 4 】

例えば、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることができる。

【 0 0 4 5 】

記録データを復調するためには、初期の抵抗値と記録後の抵抗値との比は大きいほど好ましい。但し、高抵抗層の抵抗値が大き過ぎる場合には、書き込み、つまり低抵抗化することが困難となり、書き込み閾値電圧が大きくなり過ぎることから、初期抵抗値は1G以下に調整される。高抵抗層 22 の抵抗値は、例えば、その厚みや含まれる酸素の量などにより制御することが可能である。

30

【 0 0 4 6 】

上記は、書き込み動作を低抵抗状態「1」へ変化させる動作であると定義し、消去動作を高抵抗状態「0」へと変化させる動作であると定義した場合についての記述である。その逆に、例えば、高抵抗状態「1」から低抵抗状態「0」へと変化させる動作を消去動作とすることもでき、その場合においては、上記の記述で書き込みと消去動作を入れ替えればよい。

40

【 0 0 4 7 】

ここでは、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸化物よりなる第1層 22 Aと、アルミニウム酸化物を主成分とする第2層 22 Bとを積層した構成を有しているので、素子に対して上述した正電圧が印加された場合にも、第1層 22 Aには電圧バイアスがかかりにくくなる。そのため、素子が書き込み状態(低抵抗状態)となっても、第1層 22 Aは還元されずに下部電極 10 上で酸化膜を形成したままとなる。よって、書き込みおよび消去の繰り返しの伴ってイオン源層 21 に含まれるカルコゲン元素と下部電極 10 との不要な酸化反応が生じることが抑えられる。

【 0 0 4 8 】

すなわち、WまたはTiなどの金属材料よりなる下部電極 10 上に、第1層 22 Aを設

50

けずにイオン源層 2 1 あるいは中間層 2 1 A を下部電極 1 0 に接して形成した場合には、繰り返し回数が 1 0 ~ 1 0 0 回までは明確に高抵抗化および低抵抗化する良好な動作特性および良好なデータ保持特性を示す。しかしながら、繰り返し回数を更に増加させていくと、主に消去エラーが発生し高抵抗状態に戻らなくなり、素子特性が劣化する。これはおそらくは上述した酸化・還元反応の他に、下部電極 1 0 と中間層 2 1 A あるいはイオン源層 2 1 に含まれているカルコゲン元素とが反応する酸化反応が起こっているからであると考えられる。本実施の形態では、下部電極 1 0 上に遷移金属酸化物よりなる第 1 層 2 2 A が設けられているので、下部電極 1 0 がカルコゲン化する不要な酸化反応が抑制され、繰り返し信頼性が改善され、メモリの寿命が向上する。

【 0 0 4 9 】

10

更に、抵抗変化層 2 2 が第 1 層 2 2 A と第 2 層 2 2 B との 2 層構造を有すると共に、イオン源層 2 1 が中間層 2 1 A とイオン供給層 2 1 B との 2 層構造を有する場合には、良好な繰り返し耐久性を維持したまま保持特性が向上する。これは、必ずしも明らかではないが、次のように考えられる。

【 0 0 5 0 】

書き込み動作で低抵抗化する際には、下部電極 1 0 界面付近では還元反応が起こる。具体的には、アルミニウム酸化物を主成分とする第 2 層 2 2 B が還元されると共に、イオン源層 2 1 中を A 1 イオンが移動して下部電極 1 0 界面付近で還元されてメタルに近い A 1 が形成される。この状態で書き込み電圧バイアスを止めて、データ保持状態にしている際には、A 1 メタルは酸化しやすく酸素と結合すると高抵抗になる。このことが低抵抗状態のデータ保持不良と考えられる。一方で中間層 2 1 A 中に多く含まれるカルコゲン元素は A 1 メタルと非常に反応しやすく、A 1 メタルが生成したとしても逐次カルコゲン元素と反応するため高抵抗化する。よって、保持不良となることが少なくなり、データ保持性能が向上する。

20

【 0 0 5 1 】

すなわち、中間層 2 1 A におけるカルコゲン元素含有量に対する A 1 含有量の比 (A 1 濃度) は、上述したように、イオン供給層 2 1 B におけるカルコゲン元素含有量に対する A 1 含有量の比 (A 1 濃度) よりも小さい。そのため、書き込み動作時の A 1 イオンの還元反応により生成した A 1 メタルは、書き込み電圧バイアスを取り去ったときに再びアルミニウム酸化物となって素子抵抗を上昇させるのではなく、A 1 を溶解する余力のある中間層 2 1 A に溶解する。従って、抵抗上昇が生じることがなく、良好なデータ保持特性が得られる。

30

【 0 0 5 2 】

更に、消去動作では、中間層 2 1 A がイオン化した A 1 を含んでいるが、カルコゲン元素を多く含んだ中間層 2 1 A では A 1 イオンの移動は容易である。そのため、消去バイアスで A 1 イオンが供給されやすく、消去性能が向上する。その結果、低抵抗状態と高抵抗状態の抵抗分離幅が拡大すると考えられる。

【 0 0 5 3 】

これに加えて、イオン源層 2 1 が中間層 2 1 A とイオン供給層 2 1 B との 2 層構造を有することにより、低電流・高速でのデータ保持特性の向上が可能となる。

40

【 0 0 5 4 】

すなわち、記憶素子 1 をトランジスタと組み合わせて不揮発性のメモリセルを構成する場合、先端の半導体プロセスでメモリセルを大容量化するためには、記憶素子 1 の微細化と共にトランジスタの微細化が必要である。トランジスタはサイズを微細化するほどに駆動電流が低下していくので、高容量で消費電力が低い不揮発メモリを実現するためには、低電流で書き換えた状態でのデータ保持特性の向上が必要である。更には、高速で書き換え動作が可能な大容量の不揮発メモリを実現するには、微細トランジスタによる低い電流でなおかつナノ秒オーダーの短パルスで高速に書き換えた抵抗状態をデータ保持することが必要である。

【 0 0 5 5 】

50

しかしながら、従来では、より小さい書き換えエネルギーによる低抵抗および高抵抗の記録状態は熱擾乱による影響を受けやすいため、より低電流であり、より高速であるほど、データ保持が困難となるという問題があった。

【0056】

電流駆動力の低いトランジスタにより低電流で書き込んだ場合には、低抵抗状態の抵抗値は高めになるため、抵抗値の保持特性が低電流動作の鍵を握っている。本実施の形態の記憶素子1では、上述したようにデータ保持性能が改善され、より高い抵抗値でもデータ保持が可能となっている。よって、低電流での不揮発メモリ動作が可能となる。

【0057】

更に、本実施の形態では、上述したように、イオン源層21が、Alのほか、Zr, Cu, Geなどを含有することが好ましい。以下、その理由について説明する。

【0058】

イオン源層21中にZrが含まれている場合、特にAlおよびCuと共に存在している場合は、非晶質構造が安定化しやすい。書き込み動作時に、例えばイオン源層21からAlやCuのイオンが移動した場合でも、非晶質構造を保持しやすくイオン源層21のマトリクス構造が維持される。例えば、書き込みバイアスによって、AlやCuのイオンは移動し、イオン源層21の組成が変化し、これらの元素の組成比が減少するが、Zrが存在していることによって、組成比が変動しても非晶質構造は安定に保たれるため、必要以上のイオン移動や拡散を抑制することができるため、書き込み状態の保持性能が向上すると考えられる。

【0059】

また、消去時の高抵抗状態の保持に関しても、AlあるいはCuが金属状態あるいはそれに近い状態である導電パスが酸化されて、酸化物あるいはS, SeおよびTeのカルコゲン元素との化合物となる状態において、Zrを含んでいる場合はイオン源層21が安定な非晶質構造である場合には必要以上のイオンの拡散が抑制されるので、消去電圧バイアスがかかっていない保持状態で、熱などの原因でイオン源層21から不要なイオンが再び拡散して、上記の高抵抗状態の酸化物やカルコゲナイドが再び還元されて低抵抗になりにくく、室温よりも高温状態や長時間にわたり保持した場合でも高抵抗状態を維持する。

【0060】

更に、イオン源層21はAlを含むので、消去動作において、上部電極30が例えば負電位、下部電極10側が正電位になるように、記憶素子1に対して負電圧が印加された場合に、第1層22A上ではAlイオンが酸化反応によりアルミニウム酸化物を主とする第2層22Bを形成し、高抵抗状態（消去状態）を安定化する。加えて、第2層22Bの自己再生の観点から繰り返し回数の増加にも寄与する。なお、Alの他に同様の働きを示すGeなどを含んでもよい。

【0061】

このように、イオン源層21にZr, Al, Cu, Geなどが含まれている場合には、従来の記憶素子に比して広範囲の抵抗値保持性能、書き込み・消去の高速動作性能が向上すると共に繰り返し回数が増加する。更に、例えば低抵抗から高抵抗へと変化させる際の消去電圧を調整して高抵抗状態と低抵抗状態との間の中間的な状態を作り出せば、その状態を安定して保持することができる。よって、2値だけでなく多値のメモリを実現することが可能となる。

【0062】

ところで、このような電圧を印加する書き込み・消去動作特性と、抵抗値の保持特性と、繰り返し動作回数といったメモリ動作上の重要な諸特性は、Zr, CuおよびAl、更にはGeの組成比によって異なる。

【0063】

例えば、Zrはその含有量が多過ぎると、イオン源層21の抵抗値が下がり過ぎてイオン源層21に有効な電圧が印加できないため、特に消去がしづらくなり、Zr組成比に応じて消去の閾値電圧が上昇していき、更に多過ぎる場合には書き込み、つまり低抵抗化も

10

20

30

40

50

困難となる。一方、Zr組成比が少な過ぎると、前述のような広範囲の抵抗値の保持特性を向上させる効果が少なくなる。従って、イオン源層21中のZrの組成比は7.5以上であることが好ましく、更に好ましくは26原子%以下である。

【0064】

また、Cuは適量をイオン源層21に添加した場合、非晶質化を促進するものの、多過ぎると金属状態のCuはカルコゲン元素を含むイオン源層21中での安定性が十分でないことから書き込み保持特性が悪化したり、書き込み動作の高速性に悪影響が見られる。その一方で、ZrとCuとの組み合わせは、非晶質を形成しやすく、イオン源層21の微細構造を均一に保つという効果を有する。これにより、繰り返し動作によるイオン源層21中の材料成分の不均一化を防ぐため、繰り返し回数が増加すると共に保持特性も向上する。上述した範囲内で十分にZrを含有している場合は、非晶質構造が安定であるため、書き込み保持特性への影響はみられない。

10

【0065】

また、Alの含有量が多過ぎると、Alイオンの移動が生じやすくなり、Alイオンの還元によって書き込み状態が作られてしまう。Alはカルコゲナイドの固体電解質中で金属状態の安定性が低いので、低抵抗な書き込み状態の保持性能が低下する。一方、Al組成比が少な過ぎると、消去動作そのものや高抵抗領域の保持特性を向上させる効果が低くなり、繰り返し回数が減少する。従って、Alの組成比は30原子%以上であることが好ましく、更に好ましくは50原子%以下である。

【0066】

20

Geは必ずしも含まれていなくともよいが、Ge含有量が多過ぎる場合には書き込み保持特性が劣化することから、Geを含む場合の組成比は15原子%以下であることが好ましい。

【0067】

なお、Siも必ずしも含まれていなくともよいが、組成比が少な過ぎると記憶層20の膜剥がれ防止効果を期待できなくなり、多過ぎると良好なメモリ動作特性を得られない。よって、イオン源層21中のSiの組成比は10~45原子%程度の範囲内であることが望ましい。

【0068】

以下、本実施の形態の記憶素子1の製造方法について説明する。

30

【0069】

まず、選択トランジスタ等のCMOS回路が形成された基板上に、例えば窒化チタン(TiN)よりなる下部電極10のプラグを形成する。

【0070】

次いで、下部電極10の上面にTi, Zr, Hf, V, Nb, Ta, Cr, MoおよびWからなる遷移金属の群のうちの少なくとも1種の単体または窒化物よりなる遷移金属材料膜を形成し、この遷移金属材料膜と下部電極10の表面とのうち少なくとも遷移金属材料膜を酸化することにより、第1層22Aを形成する。

【0071】

具体的には、例えばTiNよりなる下部電極10の上面に、例えばスパッタ法により、遷移金属材料膜としてTi膜を1.0nmの厚みで形成する。続いて、このTi膜を酸素プラズマによって酸化することにより、TiO_xよりなる第1層22Aを形成する。なお、このとき、Ti膜の厚みは極めて薄いので、Ti膜の酸化に続いて下部電極10の表面でも酸化が進行している可能性がある。

40

【0072】

あるいは、例えばTiNよりなる下部電極10の上面に、遷移金属材料膜として窒化ジルコニウム(ZrN)膜を形成し、このZrN膜を酸化するようにしてもよい。このとき、ZrN膜の厚みは極めて薄いので、ZrN膜が酸化されて酸化ジルコニウム(ZrO_x)が生成するだけでなく、下部電極10の表面も酸化されてTiO_xが形成される。よって、例えば図2に示したように、ZrO_x層22A1とTiO_x層22A2とよりなる第

50

1層22Aが形成される。この場合、ZrNが十分に酸化されていることが重要であって、結果としてTiO_xが形成されることとなる。

【0073】

そののち、例えばスパッタ法により、Teよりなる中間層21Aを4nmの厚みで形成する。続いて、CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)よりなるイオン供給層21Bを60nmの厚みで形成する。これにより、中間層21Aおよびイオン供給層21Bの2層構造を有するイオン源層21が形成される。その際、記憶層20中では、イオン供給層21B中のAlが中間層21A中に拡散し、TiO_xよりなる第1層22A中の余剰の酸素、あるいはその他の膜中に進入した酸素と結合し、第1層22A上にAlO_xよりなる第2層22Bが形成される。

10

【0074】

AlO_xよりなる第2層22Bは、第1層22Aを形成したのち、原料となるAl膜を成膜し、酸化させることで形成してもよい。しかし、上述したようにイオン供給層21B中に、第2層22Bの原料となるAl元素を含有させることで、第2層22Bの成膜プロセスを導入することなく、簡便に第2層22Bを含む記憶層20を形成することが可能となる。第2層22Bの厚みは、第1層22Aを構成するTiO_xのプラズマ酸化条件(O₂雰囲気圧力、投入電力)の強さで制御することが可能である。

【0075】

イオン源層21および抵抗変化層22を形成したのち、イオン源層21の上に、例えばWよりなる上部電極30を成膜する。このようにして、下部電極10、記憶層20および上部電極30の積層膜を形成する。

20

【0076】

積層膜を形成したのち、この積層膜のうち抵抗変化層22、イオン源層21および上部電極30を、プラズマエッチング等によりパターニングする。プラズマエッチングの他には、イオンミリング、RIE(Reactive Ion Etching;反応性イオンエッチング)等のエッチング方法を用いてパターニングを行うこともできる。また、上部電極30の表面に対してエッチングを行い、中間電位(V_{dd}/2)を与える外部回路に接続するための上部電極30のコンタクト部分を露出させる。

【0077】

積層膜をパターニングしたのち、例えばAlよりなる配線層(図示せず)を200nmの厚みで形成し、この配線層と上部電極30のコンタクト部分とを接続する。そののち、積層膜に対して、例えば真空熱処理炉で300℃、2時間の熱処理を施す。以上により、図1に示した記憶素子1が完成する。

30

【0078】

なお、上述した製造方法では、第1層22Aを形成する工程において、Ti膜を形成したのち、このTi膜を酸素プラズマによって酸化することにより、TiO_xよりなる第1層22Aを形成する場合について説明した。しかしながら、第1層22Aは、例えば、TiNよりなる下部電極10の表面に形成されている自然酸化皮膜や下部電極10形成工程の洗浄由来の皮膜を逆スパッタやミリング等により除去したのちに、下部電極10の表面を直接プラズマ酸化することにより形成することも可能である。

40

【0079】

このように本実施の形態では、抵抗変化層21を、下部電極10の側から順に、遷移金属酸化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする第2層22Bとを積層した構成としたので、書き込みおよび消去の繰り返しの伴ってイオン源層21に含まれるカルコゲン元素と下部電極10との不要な酸化反応が生じることを抑え、繰り返し耐久性を高めると共にメモリの寿命を向上させることが可能となる。よって、消去状態の抵抗値のばらつきを少なくし、多ビットのアレイでも抵抗分離幅が十分に大きい良好な特性を得ることが可能となる。

【0080】

また、イオン源層21が中間層21Aとイオン供給層21Bとの2層構造を有している

50

ので、良好な繰り返し耐久性を維持したまま保持特性が向上し、より低電流での不揮発メモリ動作が可能となる。従って、微細化によりトランジスタの電流駆動力が小さくなった場合においても、情報の保持が可能となり、記憶装置の高密度化および小型化を図ることが可能となる。

【0081】

更に、イオン源層21にZr, Al, Cu, Geなどが含まれているので、データ保持特性に優れている。加えて、下部電極10、抵抗変化層22、イオン源層21および上部電極30のいずれもスパッタリングが可能な材料で構成することが可能であり、製造プロセスも簡素化される。すなわち、各層の材料に適応した組成からなるターゲットを用いて、順次スパッタリングを行えばよい。また、同一のスパッタリング装置内で、ターゲットを交換することにより、連続して成膜することも可能である。

10

【0082】

(変形例1)

なお、上記実施の形態では、抵抗変化層22が、下部電極10の側から順に、遷移金属酸化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする第2層22Bとを積層した構成を有している場合について説明したが、抵抗変化層22は、図3に示したように、アルミニウム酸化物および遷移金属酸化物を混在した状態で含有する単層構造であってもよい。

【0083】

この場合には、上部電極30が例えば正電位、下部電極10が例えば負電位となるようにして記憶素子1に対して正電圧を印加すると、イオン源層21中ではAlイオンおよびイオン源層21に含まれる金属元素のイオンが下部電極10側に移動すると共に、下部電極10上ではアルミニウム酸化物または金属元素のイオンの還元反応により導電パスが生じて低抵抗化する(書き込み状態)。この低抵抗な状態の素子に対して上部電極30が例えば負電位、下部電極10が例えば正電位になるように記憶素子1に対して負電圧を印加すると、イオン源層21中ではAlイオンおよびイオン源層21に含まれる金属元素のイオンが上部電極30側に移動すると共に、下部電極10上ではAlイオンが酸化反応によりアルミニウム酸化物を形成し、または還元状態の金属元素が酸化反応によりイオン化してイオン源層21へ溶解し導電パスが消失して高抵抗状態となる(消去状態)。

20

【0084】

ここでは、抵抗変化層22が、アルミニウム酸化物およびそれよりも抵抗の低い遷移金属酸化物を混在した状態で含有しているので、素子に対して上述した正電圧が印加された場合にも、遷移金属酸化物には電圧バイアスがかかりにくくなり、素子を書き込み状態(低抵抗状態)となっても、遷移金属酸化物は還元されずに下部電極10上で酸化物を形成したままとなる。よって、書き込みおよび消去の繰り返しに伴ってイオン源層21に含まれるカルコゲン元素と下部電極10との不要な酸化反応が生じることが抑えられる。

30

【0085】

(変形例2)

また、上記実施の形態では、イオン源層21が中間層21Aとイオン供給層21Bとの2層構造を有する場合について説明したが、イオン源層21は必ずしも中間層21Aを有する必要はなく、図4に示したように、イオン供給層21Bのみの単層構造を有していてもよい。

40

【0086】

(変形例3)

更に、図5に示したように、抵抗変化層22がアルミニウム酸化物および遷移金属酸化物を混在した状態で含有する単層であると共に、イオン源層21がイオン供給層21Bのみの単層であってもよい。

【0087】

(第2の実施の形態)

図6は、本発明の第2の実施の形態に係る記憶素子1の断面構成を表したものである。

50

この記憶素子 1 は、抵抗変化層 2 2 の第 1 層 2 2 A が遷移金属酸窒化物よりなることを除いては、上記第 1 の実施の形態と同様の構成・作用および効果を有し、第 1 の実施の形態と同様にして製造することができる。よって、対応する構成要素には同一の符号を付して説明する。

【0088】

第 1 層 2 2 A を構成する遷移金属酸化物は、導電性を有する酸窒化物であると共に絶縁性が高くないことが好ましい。具体的には、Ti, Zr, Hf, V, Nb, Ta, Cr, Mo および W からなる遷移金属の群のうち少なくとも 1 種の酸化物であることが好ましい。

【0089】

遷移金属酸窒化物よりなる第 1 層 2 2 A は、窒素 (N) を含むことにより過剰な酸素 (O) を含まなくなるので、抵抗が低くなる。また、酸化アルミニウムよりなる第 2 層 2 2 B は、第 1 の実施の形態で説明したように、イオン供給層 2 1 B 中の Al が中間層 2 1 A 中に拡散し、第 1 層 2 2 A 中の余剰の酸素、あるいはその他の記録膜中に進入した酸素と結合して形成されるものである。そのため、第 1 層 2 2 A に過剰な酸素が含まれないことにより、酸化アルミニウムの生成が抑えられて、第 2 層 2 2 B の厚みが薄くなる。これらのことから、第 1 層 2 2 A および第 2 層 2 2 B にかかる分圧が小さくなり、イオン供給層 2 1 B および中間層 2 1 A にかかる電圧が大きくなって、イオンが移動・拡散しやすくなる。よって、閾値の低下が可能となると共に低電流動作に好適である。第 1 層 2 2 A に含まれる窒素量により動作電流の制御が可能である。

【0090】

なお、変形例 1 ないし変形例 3 は、第 2 の実施の形態にも適用可能である。すなわち、抵抗変化層 2 2 は、図 3 に示したように、アルミニウム酸化物および遷移金属酸窒化物を混在した状態で含有する単層構造であってもよい。また、イオン源層 2 1 は必ずしも中間層 2 1 A を有する必要はなく、図 4 に示したように、イオン供給層 2 1 B のみの単層構造を有していてもよい。更に、図 5 に示したように、抵抗変化層 2 2 がアルミニウム酸化物および遷移金属酸窒化物を混在した状態で含有する単層であると共に、イオン源層 2 1 がイオン供給層 2 1 B のみの単層であってもよい。

【0091】

(変形例 4)

上記第 1 の実施の形態では第 1 層 2 2 A が遷移金属酸化物よりなる場合、第 2 の実施の形態では第 1 層 2 2 A が遷移金属酸窒化物よりなる場合について説明した。しかしながら、第 1 層 2 2 A は、図 7 に示したように、遷移金属酸化物層 2 2 A 3 と遷移金属酸窒化物層 2 2 A 4 とを両方含んでいてもよい。

【0092】

すなわち、例えば第 1 の実施の形態のように、例えば TiN よりなる下部電極 1 0 の上面に、遷移金属材料膜として Ti 膜を形成し、この Ti 膜を酸素プラズマによって酸化する場合には、Ti 膜およびまたは下部電極 1 0 の表面の酸化により、TiO_x よりなる遷移金属酸化物層 2 2 A 3 が形成される。この遷移金属酸化物層 2 2 A 3 の下には、TiN の酸化が完全に完了していないことにより、チタンの酸窒化物 (TiON) よりなる遷移金属酸窒化物層 2 2 A 4 が形成される可能性がある。このことは、TiN よりなる下部電極 1 0 の表面を直接プラズマ酸化する場合も同様である。

【0093】

また、例えば TiN よりなる下部電極 1 0 の上面に、遷移金属材料膜として ZrN 膜を形成し、この ZrN 膜を酸化する場合には、図 8 に示したように、ZrN 膜の酸化により形成された ZrO_x よりなる遷移金属酸化物層 2 2 A 3、ZrN の酸化が完全に完了していないジルコニウムの酸窒化物 (ZrON) よりなる遷移金属酸窒化物層 2 2 A 4、下部電極 1 0 の表面の酸化により形成された TiO_x よりなる遷移金属酸窒化物層 2 2 A 3、TiN の酸化が完全に完了していないことにより TiON よりなる遷移金属酸窒化物層 2 2 A 4 が順に形成される可能性がある。なお、ZrN 膜の厚みは極めて薄いので、ZrO

Nよりなる遷移金属酸窒化物層22A4は形成されない可能性もある。

【0094】

なお、変形例1ないし変形例3は、本変形例4にも適用可能である。すなわち、抵抗変化層22は、図3に示したように、アルミニウム酸化物、遷移金属酸化物および遷移金属酸窒化物を混在した状態で含有する単層構造であってもよい。また、イオン源層21は必ずしも中間層21Aを有する必要はなく、図4に示したように、イオン供給層21Bのみの単層構造を有していてもよい。更に、図5に示したように、抵抗変化層22がアルミニウム酸化物、遷移金属酸化物および遷移金属酸窒化物を混在した状態で含有する単層である

と共に、イオン源層21がイオン供給層21Bのみの単層であってもよい。

10

【0095】

(第3の実施の形態)

図9は、本発明の第3の実施の形態に係る記憶素子1の断面構成を表したものである。この記憶素子1は、イオン源層21の中間層21AにZr等の遷移金属が添加されていることを除いては、上記第1または第2の実施の形態と同様の構成・作用および効果を有し、第1または第2の実施の形態と同様にして製造することができる。よって、対応する構成要素には同一の符号を付して説明する。

【0096】

中間層21Aは、例えばZrを添加元素として含むことにより、イオン供給層21Bよりも高抵抗となっている。これにより、中間層21Aに電圧が印加されやすくなり、低電流でも動作しやすくなる。また、記憶素子1に電圧を印加した際に、より効率的にイオンが移動し、確実に書き込み・消去動作が可能となる。よって、動作不良が低減され、抵抗ばらつきが改善される。

20

【0097】

図10は、Te単体にZrをドーブした膜のシート抵抗を測定し体積抵抗率を求めた結果を表したものである。図10から分かるように、Te-Zr膜の抵抗率は、Zr含有率が0%(純Te)から大きくなるにつれて上昇し、約7%程度で極大値となり、それ以上では低下する。このことから、中間層21AにZrを数%添加することにより中間層21Aの抵抗率を高くすることが可能であることが分かる。

【0098】

なお、Zrの外、Cu, Cr, Mn, TiまたはHf等の他の遷移金属も、Zrと同様に中間層21Aを高抵抗化する効果を有している。すなわち、中間層21Aは、Alとカルコゲン元素とを含み、更に、Zr, Cu, Cr, Mn, TiおよびHfからなる遷移金属の群のうち少なくとも1種を含んでいることが好ましい。

30

【0099】

このように本実施の形態では、中間層21Aが、Zr, Cu, Cr, Mn, TiおよびHfからなる遷移金属の群のうち少なくとも1種を含むことにより、中間層21Aの抵抗をイオン供給層21Bよりも高くするようにしたので、書き込み・消去動作時のイオン移動を促進して、メモリ動作を安定化し、書き込み・消去状態の抵抗分布を改善することが可能となる。

40

【0100】

なお、変形例1, 第2の実施の形態および変形例4は、本実施の形態にも適用可能である。すなわち、抵抗変化層22は、アルミニウム酸化物、遷移金属酸化物および遷移金属酸窒化物を混在した状態で含有する単層構造であってもよい。

【0101】

(第4の実施の形態)

図11は、本発明の第4の実施の形態に係る記憶素子1の断面構成を表したものである。この記憶素子1は、イオン源層21の中間層21Aおよびイオン供給層21Bのうち少なくとも一方に酸素(O)が添加されていることを除いては、上記第1ないし第3の実施の形態と同様の構成・作用および効果を有し、第1ないし第3の実施の形態と同様にして

50

製造することができる。よって、対応する構成要素には同一の符号を付して説明する。

【0102】

イオン供給層21Bが酸素(O)を添加元素として含むことにより、イオン供給層21Bの抵抗率が大きくなる。そのため、書き込み動作時に、イオン供給層21B中の金属イオンにかかる分圧が大きくなり、金属イオンがより動きやすくなって、導電パスの形成がより安定する。よって、書き込み保持特性が向上する。なお、イオン供給層21Bの抵抗率は、成膜時の酸素(O₂)流量によって制御可能であり、酸素(O₂)導入量が大きくなるに従ってイオン供給層21Bの抵抗率も大きくなる。

【0103】

一方、中間層21Aが酸素(O)を添加元素として含むことにより、中間層21Aの抵抗率が高くなる。よって、消去動作時に中間層21Aにかかる電圧が大きくなり、金属イオンがイオン供給層21Bに戻りやすくなる。それと共に、導電パスの金属元素はイオン化し、イオン源層21に溶解、もしくはテルル(Te)等と結合して、より高抵抗な状態へと変化する反応が進みやすくなる。従って、消去特性が向上する。

【0104】

以上のことから、中間層21Aおよびイオン供給層21Bの両方が酸素(O)を添加元素として含むことにより、上述した書き込み保持特性および消去特性の両方が向上し、従来の書き込み/消去のトレードオフの関係から進歩し、多数ビットでの抵抗分離幅を更に改善することが可能となる。

【0105】

図12は、成膜時の酸素(O₂)流量を0ccおよび5ccとした場合について、Te単体にZrをドーブした膜のシート抵抗を測定し体積抵抗率を求めた結果を表したものである。なお、図12ではパワー、成膜時間等の成膜条件は固定した。図12から分かるように、Te-Zr膜の抵抗率は、成膜時の酸素(O₂)流量を5ccとした場合のほうが、0ccとした場合よりも高くなっている。このことから、中間層21AにZrと酸素(O)とを両方添加することにより中間層21Aの抵抗率を高くし、好適な値とすることが可能であることが分かる。

【0106】

なお、Zrの外、Cu, TiまたはHf等の他の遷移金属を酸素(O)と共に添加した場合にも、Zrと同様に中間層21Aを好適に高抵抗化する効果が得られる。すなわち、中間層21Aは、Alとカルコゲン元素とを含み、更に、酸素(O)と、Cu, Ti, ZrおよびHfからなる遷移金属の群のうち少なくとも1種とを添加元素として含むことが好ましい。

【0107】

また、図12では、Zr含有率が0%(純Te)の場合でも、成膜時の酸素(O₂)流量を5ccとした場合のほうが、0ccとした場合よりも高抵抗となっている。従って、中間層21Aに遷移元素を添加せず、酸素(O)のみを添加することによっても中間層21Aの高抵抗化が可能となることが分かる。その場合には、中間層21Aは、Alとカルコゲン元素とを含むと共に、更に、酸素(O)を添加元素として含むことが好ましい。

【0108】

以上のいずれの場合においても、中間層21Aは、イオン供給層21Bよりも高抵抗となっていることが好ましい。これにより、中間層21Aに電圧が印加されやすくなり、低電流でも動作しやすくなる。また、記憶素子1に電圧を印加した際に、より効率的にイオンが移動し、確実に書き込み・消去動作が可能となる。よって、動作不良が低減され、抵抗ばらつきが改善される。

【0109】

このように本実施の形態では、イオン源層21の中間層21Aおよびイオン供給層21Bのうち少なくとも一方に酸素(O)を添加して抵抗率を高めるようにしたので、イオン供給層21Bへの酸素添加による書き込み保持特性の向上、または中間層21Aへの酸素添加による消去特性の向上が可能となり、多数ビットでの抵抗分離幅の改善が可能となる

10

20

30

40

50

。

【0110】

なお、変形例1、第2の実施の形態および変形例4は、本実施の形態にも適用可能である。すなわち、抵抗変化層22は、アルミニウム酸化物、遷移金属酸化物および遷移金属酸窒化物を混在した状態で含有する単層構造であってもよい。

【0111】

(記憶装置)

上記記憶素子1を多数、例えば列状やマトリクス状に配列することにより、記憶装置(メモリ)を構成することができる。このとき、各記憶素子1に、必要に応じて、素子選択用のMOSトランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配線を介して、センスアンプ、アドレスデコーダ、書き込み・消去・読み出し回路等に接続すればよい。

10

【0112】

図13および図14は多数の記憶素子1をマトリクス状に配置した記憶装置(メモリセルアレイ2)の一例を表したものであり、図13は断面構成、図14は平面構成をそれぞれ表している。このメモリセルアレイ2では、各記憶素子1に対して、その下部電極10側に接続される配線と、その上部電極30側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子1が配置されている。

【0113】

各記憶素子1は、抵抗変化層22、イオン源層21および上部電極30の各層を共有している。すなわち、抵抗変化層22、イオン源層21および上部電極30それぞれは各記憶素子1に共通の層(同一層)により構成されている。上部電極30は、隣接セルに対して共通の電極となっている。

20

【0114】

一方、下部電極10は、メモリセル毎に個別に設けられることにより、隣接セル間で電氣的に分離されており、各下部電極10に対応した位置に各メモリセルの記憶素子1が規定される。下部電極10は各々対応するセル選択用のMOSトランジスタTrに接続されており、各記憶素子1はこのMOSトランジスタTrの上方に設けられている。

【0115】

MOSトランジスタTrは、半導体基板41内の素子分離層42により分離された領域に形成されたソース/ドレイン領域43とゲート電極44とにより構成されている。ゲート電極44の壁面にはサイドウォール絶縁層が形成されている。ゲート電極44は、記憶素子1の一方のアドレス配線であるワード線WLを兼ねている。MOSトランジスタTrのソース/ドレイン領域43の一方と、記憶素子1の下部電極10とが、プラグ層45、金属配線層46およびプラグ層47を介して電氣的に接続されている。MOSトランジスタTrのソース/ドレイン領域43の他方は、プラグ層45を介して金属配線層46に接続されている。金属配線層46は、記憶素子1の他方のアドレス配線であるビット線BL(図14参照)に接続されている。なお、図14においては、MOSトランジスタTrのアクティブ領域48を鎖線で示しており、コンタクト部51は記憶素子1の下部電極10、コンタクト部52はビット線BLにそれぞれ接続されている。

30

40

【0116】

このメモリセルアレイ2では、ワード線WLによりMOSトランジスタTrのゲートをオン状態として、ビット線BLに電圧を印加すると、MOSトランジスタTrのソース/ドレインを介して、選択されたメモリセルの下部電極10に電圧が印加される。ここで、下部電極10に印加された電圧の極性が、上部電極30(共通電極)の電位に比して負電位である場合には、上述のように記憶素子1の抵抗値が低抵抗状態へと遷移する。これにより選択されたメモリセルに情報が書き込まれる。次に、下部電極10に、上部電極30(共通電極)の電位に比して正電位の電圧を印加すると、記憶素子1の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに書き込まれた情報が消去される。書き込まれた情報の読み出しを行うには、例えば、MOSトランジスタTrによりメモ

50

リセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子 1 の抵抗状態により異なる電流または電圧を、ビット線 B L あるいは上部電極 3 0 (共通電極) の先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子 1 の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

【 0 1 1 7 】

本実施の形態の記憶装置は、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能な P R O M (Programmable Read Only Memory)、電氣的に消去が可能な E E P R O M (Erasable Programmable Read Only Memory)、或いは、高速に書き込み・消去・再生が可能な、いわゆる R A M 等、いずれのメモリ形態でも適用

10

【実施例】

【 0 1 1 8 】

以下、本発明の具体的な実施例について説明する。

【 0 1 1 9 】

(実施例 1)

上記第 1 の実施の形態と同様にして記憶素子 1 を備えたメモリセルアレイを作製した。まず、T i N よりなる下部電極 1 0 のプラグが形成してある C M O S 回路上に、スパッタリングにより T i 膜を 1 n m の厚みで形成した。次いで、この T i 膜を酸化プラズマで酸化して T i O x よりなる第 1 層 2 2 A を形成した。

20

【 0 1 2 0 】

続いて、T e よりなる中間層 2 1 A を 4 n m の厚みで形成し、引き続いて C u Z r T e A l G e (C u 1 1 a t % - Z r 1 1 % - T e 3 0 % - A l 4 0 % - G e 8 %) よりなるイオン供給層 2 1 B を 6 0 n m の厚みで形成した。そののち、W よりなる上部電極 3 0 を 5 0 n m の厚みで形成した。本実施例の工程を簡略的に示すと以下ようになる。

【 0 1 2 1 】

T i N / T i (1 n m) / プラズマ酸化 / T e (4 n m) / C u Z r T e A l G e (6 0 n m) / W (5 0 n m)

【 0 1 2 2 】

下部電極 1 0 , 記憶層 2 0 および上部電極 3 0 の積層膜を形成したのち、この積層膜のうち抵抗変化層 2 2 , イオン源層 2 1 および上部電極 3 0 を、メモリセルアレイの部分に残るようにパターニングした。また、上部電極 3 0 の表面に対してエッチングを行い、中間電位 (V d d / 2) を与える外部回路に接続するための上部電極 3 0 のコンタクト部分を露出させた。

30

【 0 1 2 3 】

積層膜をパターニングしたのち、A l よりなる配線層 (図示せず) を 2 0 0 n m の厚みで形成し、この配線層と上部電極 3 0 のコンタクト部分とを接続した。そののち、積層膜に対して、真空熱処理炉で 3 0 0 ° C 、 2 時間の熱処理を行った。以上により、図 1 に示した記憶素子 1 を有するメモリセルアレイを作製した。

【 0 1 2 4 】

得られた実施例 1 のメモリセルアレイについて、繰り返し書き換え特性を調べた。その際、書き込みパルスとして電圧 V w 3 V , 電流約 1 0 0 μ A 、パルス幅 1 0 n s 、消去パルスとして電圧 V e 2 V 、電流約 1 0 0 μ A 、パルス幅 1 0 n m で 1 0 ⁵ 以上繰り返した。その結果を図 1 5 (B) に示す。また、電流約 5 0 μ A として、同様に繰り返し書き換え特性を調べた。その結果を図 1 5 (C) に示す。

40

【 0 1 2 5 】

図 1 5 (B) および図 1 5 (C) から分かるように、低抵抗状態と高抵抗状態の抵抗値が 1 桁以上異なる良好なメモリ動作を示した。

【 0 1 2 6 】

次に、4 k b i t のメモリセルアレイで 1 0 0 0 回繰り返し後の、累積度数分布と、1 3 0 ° C 2 時間のデータ保持加速試験後の累積度数分布とを調べた。その結果を図 1 5 (A

50

）に示す。

【 0 1 2 7 】

図 1 5 (A) から分かるように、書き込み状態（低抵抗）と消去状態（高抵抗）とが分離していると共に良好なばらつき特性を示しており、データ保持加速試験後でも抵抗分離が得られていた。

【 0 1 2 8 】

（実施例 2）

TiN よりなる下部電極 1 0 のプラグが形成してある CMOS 回路上で、下部電極 1 0 上に形成されている自然酸化皮膜を逆スパッタで十分に除去した。そののち、下部電極 1 0 を直接プラズマ酸化することにより TiO_x よりなる第 1 層 2 2 A を形成した。このことを除いては、実施例 1 と同様にして記録素子 1 を有するメモリセルアレイを作製した。実施例 2 の工程を簡略的に示すと以下のようになる。

【 0 1 2 9 】

TiN/ プラズマ酸化 / Te (4 nm) / CuZrTeAlGe (60 nm) / W (50 nm)

【 0 1 3 0 】

（実施例 3）

W よりなる下部電極 1 0 のプラグが形成してある CMOS 回路上で、下部電極 1 0 上に形成されている自然酸化皮膜を逆スパッタで十分に除去した。そののち、下部電極 1 0 を直接プラズマ酸化することにより酸化タングステン（WO_x）よりなる第 1 層 2 2 A を形成した。このことを除いては、実施例 1 と同様にして記録素子 1 を有するメモリセルアレイを作製した。実施例 3 の工程を簡略的に示すと以下のようになる。

【 0 1 3 1 】

W/ プラズマ酸化 / Te (4 nm) / CuZrTeAlGe (60 nm) / W (50 nm)

【 0 1 3 2 】

（比較例 1）

TiN よりなる下部電極のプラグが形成してある CMOS 回路上に、スパッタリングによりガドリニウム（Gd）膜を 1 nm の厚みで形成した。この Gd 膜を酸化プラズマで酸化することにより、酸化ガドリニウム（GdO_x）膜を形成した。そののち、CuZrTeAlGe（Cu 1 1 a t % - Zr 1 1 % - Te 3 0 % - Al 4 0 % - Ge 8 %）よりなるイオン源層を 6 0 nm の厚みで形成し、W よりなる上部電極を 5 0 nm の厚みで形成した。このことを除いては、実施例 1 と同様にして記録素子を有するメモリセルアレイを作製した。比較例 1 の工程を簡略的に示すと以下のようになる。

【 0 1 3 3 】

TiN / Gd (1 nm) / プラズマ酸化 / CuZrTeAlGe (60 nm) / W (50 nm)

【 0 1 3 4 】

（比較例 2）

TiN よりなる下部電極のプラグが形成してある CMOS 回路上に、スパッタリングにより Gd 膜を 1 nm の厚みで形成した。この Gd 膜を酸化プラズマで酸化することにより、GdO_x 膜を形成した。続いて、Te よりなる中間層を 4 nm の厚みで成膜し、CuZrTeAlGe（Cu 1 1 a t % - Zr 1 1 % - Te 3 0 % - Al 4 0 % - Ge 8 %）よりなるイオン供給層を 6 0 nm の厚みで形成した。そののち、W よりなる上部電極を 5 0 nm の厚みで形成した。このことを除いては、実施例 1 と同様にして記録素子を有するメモリセルアレイを作製した。比較例 2 の工程を簡略的に示すと以下のようになる。

【 0 1 3 5 】

TiN / Gd (1 nm) / プラズマ酸化 / Te (4 nm) / CuZrTeAlGe (60 nm) / W (50 nm)

【 0 1 3 6 】

（比較例 3）

TiN よりなる下部電極のプラグが形成してある CMOS 回路上に、スパッタリングにより Te よりなる中間層を 4 nm の厚みで形成した。続いて、CuZrTeAlGe（Cu 1 1 a t % - Zr 1 1 % - Te 3 0 % - Al 4 0 % - Ge 8 %）よりなるイオン供給層

10

20

30

40

50

を60nmの厚みで形成し、Wよりなる上部電極を50nmの厚みで形成した。このことを除いては、実施例1と同様にして記録素子1を有するメモリセルアレイを作製した。比較例3の工程を簡略的に示すと以下のようになる。

【0137】

TiN/Te(4nm)/CuZrTeAlGe(60nm)/W(50nm)

【0138】

得られた実施例2、3および比較例1、2、3のメモリセルアレイについても、実施例1と同様にして、1000回繰り返し後の4kbitの累積度数分布、および/または100μAと50μAとの繰り返し特性を調べた。実施例2の累積度数分布を図16(A)、実施例2の繰り返し特性を図16(B)および図16(C)に示す。実施例3の繰り返し特性を図17(A)および図17(B)に示す。比較例1の累積度数分布を図18(A)、比較例1の繰り返し特性を図18(B)および図18(C)に示す。比較例2の繰り返し特性を図19(A)および図19(B)に示す。比較例3の累積度数分布を図20(A)、比較例3の繰り返し特性を図20(B)および図20(C)に示す。

【0139】

(実施例1、2および比較例3：遷移金属酸化物よりなる第1層の有無)

図15(A)~(C)、図16(A)~(C)および図20(A)~(C)から分かるように、下部電極10上にTiO_xよりなる第1層22Aを形成した実施例1、2ではいずれも良好な抵抗分離および繰り返し特性が得られた。これに対して、遷移金属酸化物よりなる第1層を設けず、下部電極の上に直接中間層およびイオン供給層を形成した比較例3では、高抵抗状態および低抵抗状態の分離が得られておらず、繰り返し特性に劣っていた。

【0140】

この原因は必ずしも明らかではないものの、原因を推定する測定の例として書き込み動作を行った低抵抗状態の60個の素子に、消去方向に0~3Vまで電圧を加えていったときの抵抗変化を図21(A)および図21(B)に示す。図21(B)に示したように、遷移金属酸化物よりなる第1層を形成していない場合は、消去電圧によって低抵抗化する素子が多く存在する。これに対して、図21(A)に示したように、遷移金属酸化物よりなる第1層を形成している素子では、測定の範囲内の消去電圧では低抵抗化していない。これは、下部電極の上に遷移金属酸化物よりなる第1層が存在することにより、消去電圧がかかった際にAl酸化膜が形成されるなどの高抵抗化する以外の不要な変化を抑制しているためと考えられ、おそらくは本実施例で電解質のアニオンであるTeと下部電極との反応を抑制しているためと考えられる。

【0141】

更に、実施例2の記憶素子1について、電子顕微鏡(TEM; Transmission Electron Microscope)による構造解析およびEDX測定を行った。TEM-EDX像を図22に示すと共に、断面のEDXラインプロファイル結果を図23および図24に示す。EDX測定では、断面サンプル上で約1nm径に収光した電子線を1nm間隔でラインスキャンしながら、各ポイントにおけるEDXスペクトルを取得した。EDXラインプロファイル結果は、Te-L₁ピーク、Cu-K₁ピーク、O-K₁ピーク、Al-K₁ピーク、Zr-K₁ピーク、Ti-K₁ピークの積分強度をプロットした結果である。各ピークの積分強度は、バックグラウンドのノイズ成分を含んだ値である。

【0142】

図23および図24から分かるように、実施例2では、TiO_xよりなる第1層22AとTeを含む中間層21Aとの界面に、Alおよび酸素(O)のピークが観察されており、酸化アルミニウム(Al-O)よりなる第2層22Bが形成されていることを確認できた。第2層22Bの存在は、図22のTEM像でも認められた。また、ここでは示していないが、下部電極上に遷移金属酸化物よりなる第1層を形成していない比較例3のTEM像でも、下部電極上にAl酸化層が形成されることが分かっている。しかし、実施例2および比較例3の繰り返し特性は大きく異なり、実施例2では100万回以上の書き換え繰

り返しを行っても特性劣化が少なく更に書き換えが可能であるが、遷移金属酸化物よりなる第1層を形成していない比較例3では10回繰り返し後には特性が大きく劣化している。

【0143】

すなわち、抵抗変化層22が、下部電極10の側から順に、遷移金属酸化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする第2層22Bとを積層した構成を有しているようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0144】

(実施例3および比較例2：遷移金属酸化物よりなる第1層の他の材料)

図17(A)および図17(B)から分かるように、 WO_x よりなる第1層22Aを設けた実施例3では、実施例1、2と同様に良好な抵抗分離および繰り返し特性が得られた。

【0145】

これに対して、図19(A)および図19(B)から分かるように、抵抗変化層として GdO_x 膜を形成した比較例2では、初期抵抗値が高くなりすぎて書き込み(低抵抗化)動作しがたくなるため、繰り返しが困難となった。

【0146】

すなわち、第1層22Aが、 TiO_x のほか、 WO_x により構成されている場合にも、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0147】

(実施例1～3および比較例1：中間層の有無による低電流での繰り返し特性の違い)

図18(B)および図18(C)から分かるように、下部電極上に GdO_x よりなる抵抗変化層を形成し、中間層を設けていない比較例1では、 $100\mu A$ の繰り返し後の抵抗分離は比較的良好であったものの、 $50\mu A$ の繰り返し特性は、中間層21Aを設けた実施例1～3に比べて劣っていた。

【0148】

すなわち、イオン源層21を中間層21Aとイオン供給層21Bとの2層構造とすれば、より低電流での繰り返し特性が向上することが分かった。

【0149】

(実施例2：中間層およびイオン供給層のアルミニウム濃度分布)

上述した実施例2では、遷移金属酸化物よりなる第1層22Aを形成したのちTeよりなる中間層21AおよびCuZrTeAlGeよりなるイオン供給層21Bを順に形成した。しかしながら、実際には成膜後に、図22のTEM像、並びに図23および図24のEDXラインプロファイル結果から分かるように、イオン供給層21Bから中間層21AにAlが拡散し、中間層21AにもAlが存在している状態となっていた。ただし、TEM像からは中間層21Aではイオン供給層21Bよりもカルコゲン元素含有量に対するAl含有量の比(Al濃度)が低いことが分かり、このことが本実施例の効果を発揮させているものと考えられる。つまりは、中間層21AにTeがアニオンとして豊富に存在し、書き込み・消去、特に消去動作時のAlイオンの移動を妨げないことが必要である。また、中間層21A中のAlは、イオン供給層21Bとの濃度勾配による拡散によってもたらされると考えられるので、例えばAl₂Te₃の化学量論組成よりも少なくなると考えられ、中間層21Aに存在しているAlのほとんどはイオン状態で存在していると考えられ、印加した電位が効果的にイオン移動の駆動に用いられることがこのような特性向上に結びついていると考えられる。

【0150】

すなわち、中間層21AにおけるAl濃度がイオン供給層21BにおけるAl濃度よりも小さくなるようにすれば、低電流での繰り返し特性を向上させることができることが分かった。

【0151】

(実施例 2 および比較例 1 : 中間層の有無によるデータ保持特性の違い)

図 16 (A) および図 18 (A) から分かるように、中間層を設けない比較例 1 では、繰り返し後の保持加速試験後において低抵抗状態のビットが高抵抗化し、分布が変化している様子が見られた。これに対して、中間層を有する実施例 2 では、低抵抗状態の分布に変化は見られず良好なデータ保持特性を示した。この原因は必ずしも明らかではないが、実施例 2 ではイオン供給層 21B よりも A1 濃度の低い中間層 21A が存在することで、書き込み動作時の還元反応によって、A1 イオンが還元されて A1 メタルが生成し、書き込み電圧バイアスを取り去ったときに再び A1 酸化物となって素子抵抗を上昇させるのではなく、A1 を溶解する余力のある中間層 21A にメタル A1 が溶解することによって抵抗上昇が生じないためと考えられる。

10

【0152】

すなわち、イオン源層 21 を中間層 21A とイオン供給層 21B との 2 層構造とすれば、データ保持特性を向上することができることが分かった。

【0153】

(実施例 4 - 1)

第 1 層 22A を、Ta 膜をプラズマ酸化することにより形成したことを除いては、実施例 1 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて繰り返し書き換え特性および抵抗分離を調べたところ、図 25 (A) および図 25 (B) に示したように、実施例 1 と同等の結果が得られた。

20

【0154】

(実施例 4 - 2)

第 1 層 22A を、Zr 膜をプラズマ酸化することにより形成したことを除いては、実施例 1 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて繰り返し書き換え特性および抵抗分離を調べたところ、図 26 (A) および図 26 (B) に示したように、実施例 1 と同等の結果が得られた。

【0155】

(実施例 5 - 1)

中間層 21A を GeS、イオン供給層 21B を CuZrTeAlGe により構成したことを除いては、実施例 1 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 27 (A) および図 27 (B) に示したように、実施例 1 と同等の結果が得られた。

30

【0156】

(実施例 5 - 2)

中間層 21A を Te、イオン供給層 21B を CuTiTeAl により構成したことを除いては、実施例 1 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、実施例 1 と同等の結果が得られた。

【0157】

(実施例 6 - 1)

中間層 21A を Te (厚み 5 nm)、イオン供給層 21B を Ag₇Zr₁₄Te₃₆Al₄₃ (厚み 45 nm)、上部電極 30 を Zr (厚み 50 nm) により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 28 (A) および図 28 (B) に示したように、実施例 2 と同等の結果が得られた。

40

【0158】

(実施例 6 - 2)

中間層 21A を Te (厚み 5 nm)、イオン供給層 21B を Ni₁₃Zr₁₃Te₃₃Al₄₀ (厚み 45 nm)、上部電極 30 を Zr (厚み 50 nm) により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 29 (A) および

50

図 29 (B) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 5 9 】

(実施例 6 - 3)

中間層 2 1 A を Te (厚み 5 nm)、イオン供給層 2 1 B を $\text{Co}_7\text{Zr}_{14}\text{Te}_{36}\text{Al}_{43}$ (厚み 45 nm)、上部電極 3 0 を Zr (厚み 50 nm) により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 30 (A) および図 30 (B) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 6 0 】

(実施例 6 - 4)

中間層 2 1 A を Te (厚み 5 nm)、イオン供給層 2 1 B を $\text{Mn}_{13}\text{Zr}_{13}\text{Te}_{33}\text{Al}_{40}$ (厚み 45 nm)、上部電極 3 0 を Zr (厚み 50 nm) により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 31 (A) および図 31 (B) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 6 1 】

(実施例 6 - 5)

中間層 2 1 A を Te (厚み 5 nm)、イオン供給層 2 1 B を $\text{Fe}_{10}\text{Zr}_{16}\text{Te}_{39}\text{Al}_{35}$ (厚み 45 nm)、上部電極 3 0 を Zr (厚み 50 nm) により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 32 (A) および図 32 (B) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 6 2 】

(実施例 7 - 1)

イオン供給層 2 1 B を $\text{Cu}_{10}\text{Hf}_{14}\text{Te}_{37}\text{Al}_{38}$ により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図 33 (A) ないし図 33 (C) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 6 3 】

(実施例 7 - 2)

イオン供給層 2 1 B を $\text{Cu}_{10}\text{Ti}_{14}\text{Te}_{37}\text{Al}_{38}$ により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図 34 (A) ないし図 34 (C) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 6 4 】

(実施例 7 - 3)

中間層 2 1 A を Al_1Te_9 (厚み 3.2 nm)、イオン供給層 2 1 B を $\text{Cu}_{12.5}\text{Hf}_{7.5}\text{Te}_{35.4}\text{Al}_{38}\text{Ge}_{6.6}$ (厚み 60 nm)、上部電極 3 0 をタングステン (W) (厚み 30 nm) により構成したことを除いては、実施例 2 と同様にしてメモリセルアレイを作製した。得られたメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図 35 (A) ないし図 35 (C) に示したように、実施例 2 と同等の結果が得られた。

【 0 1 6 5 】

(実施例 8 - 1 ~ 8 - 4)

実施例 2 と同様にして 4 k b i t のメモリセルアレイを作製した。その際、窒化チタン (TiN) よりなる下部電極 1 0 の表面を直接プラズマ酸化することにより酸化チタン (TiO_x) よりなる第 1 層 2 2 A を形成した。得られた四つのサンプル (実施例 8 - 1 ~ 8 - 4) について、第 1 層 2 2 A の厚みおよび密度を、X 線反射率法を用いて調べた。その結果を表 1 に示す。

【 0 1 6 6 】

【表 1】

	厚さ (nm)	密度 (g/cm ³)
実施例 8-1	1.15	3.314
実施例 8-2	1.563	3.871
実施例 8-3	2.954	3.998
実施例 8-4	4.762	3.046

10

【0167】

得られた実施例 8 - 1 ~ 8 - 4 のメモリセルアレイについて、1000 回の書き込み・消去動作を繰り返し、続いて温度加速試験を行ったのちに、累積度数分布を調べた。その結果を図 36 (A)、図 36 (B)、図 37 (A) および図 37 (B) に示す。

【0168】

表 1 および図 36 (A) ないし図 37 (B) から分かるように、実施例 8 - 1 ~ 8 - 4 はいずれも第 1 層 22A の厚みが 1 nm 以上であり、書き込み（低抵抗）状態と消去（高抵抗）状態が分離されていた。すなわち、第 1 層 22A の厚みを 1 nm 以上とすれば、良好な抵抗分離特性を得られることが確認された。

20

【0169】

（実施例 9 - 1, 9 - 2）

実施例 1 と同様にして 4 kbit のメモリセルアレイを作製した。その際、TiN よりなる下部電極 10 の上面に、遷移金属材料膜として Zr 膜を形成し、この Zr 膜を酸化することにより、ZrOx 層 22A1 を形成した。その際、結果として TiOx 層 22A2 も形成され、図 2 における第 1 層 22A が形成された。また、本実施例では Zr を用いて ZrOx 層 22A1 を形成したが、ZrN を酸化することにより、ZrOx 層 22A1 を

30

【0170】

得られた二つのサンプル（実施例 9 - 1, 9 - 2）について、第 1 層 22A の厚みおよび密度を調べたところ、実施例 9 - 1 では、TiOx 層 22A2 の厚みは 1.49 nm、密度は 3.86 g/cm³、ZrOx 層 22A1 の厚みは 1.48 nm、密度は 5.23 g/cm³ であった。実施例 9 - 2 では、TiOx 層 22A2 の厚みは 2.39 nm、密度は 3.70 g/cm³、ZrOx 層 22A1 の厚みは 1.07 nm、密度は 5.17 g/cm³ であった。

【0171】

更に、実施例 9 - 1, 9 - 2 のメモリセルアレイについて、1000 回の書き込み・消去動作を繰り返し、続いて温度加速試験を行ったのちに、累積度数分布を調べた。その結果を図 38 (A) および図 38 (B) に示す。

40

【0172】

図 38 (A) および図 38 (B) から分かるように、実施例 9 - 1, 9 - 2 はいずれも第 1 層 22A の厚みが 1 nm 以上であり、書き込み（低抵抗）状態と消去（高抵抗）状態が分離されていた。すなわち、第 1 層 22A の厚みを 1 nm 以上とすれば、良好な抵抗分離特性を得られることが確認された。

【0173】

（実施例 10：第 1 層 22A を酸窒化物により構成した例）

上記第 2 の実施の形態と同様にして記憶素子 1 を備えたメモリセルアレイを作製した。

50

まず、TiNよりなる下部電極10のプラグが形成してあるCMOS回路上に、リアクティブスパッタによりZrN膜を0.5nmの厚みで形成した。成膜条件としては、Zrターゲットに印加する電圧は3.5kW、チャンバー内に流すアルゴン(Ar)、窒素(N₂)の流量はそれぞれ25sccm、300sccmとし、全体の圧力は 2.1×10^{-3} (Torr)とした。このときのAr雰囲気気分圧は 2.0×10^{-4} (Torr)、窒素雰囲気気分圧は 1.9×10^{-3} (Torr)と見積もっている。次いで、このZrN膜を酸化プラズマで酸化してZrONよりなる第1層22Aを形成した。

【0174】

続いて、Teよりなる中間層21Aを5nmの厚みで形成し、引き続いてCuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)よりなるイオン供給層21Bを60nmの厚みで形成した。そののち、Wよりなる上部電極30を50nmの厚みで形成した。本実施例の工程を簡略的に示すと以下のようになる。

【0175】

TiN/ZrN(0.5nm)/プラズマ酸化/Te(5nm)/CuZrTeAlGe(60nm)/W(50nm)

【0176】

下部電極10、記憶層20および上部電極30の積層膜を形成したのち、実施例1と同様にして積層膜のパターニングおよび熱処理を行った。以上により、図6に示した記憶素子1を有するメモリセルアレイを作製した。

【0177】

得られた実施例10のメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図39(A)ないし図39(C)に示したように、累積度数分布、繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例1に比べて良好な特性が得られた。

【0178】

すなわち、抵抗変化層22が、下部電極10の側から順に、遷移金属酸窒化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする第2層22Bとを積層した構成を有しているようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0179】

(実施例11：中間層21Aに遷移金属を添加した例)

上記第3の実施の形態と同様にして記憶素子1を備えたメモリセルアレイを作製した。まず、TiNよりなる下部電極10のプラグが形成してあるCMOS回路上に、実施例10と同様にしてリアクティブスパッタによりZrN膜を0.5nmの厚みで形成した。次いで、このZrN膜を酸化プラズマで酸化してZrONよりなる第1層22Aを形成した。

【0180】

続いて、Te95Zr5よりなる中間層21Aを5nmの厚みで形成し、引き続いてCuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)よりなるイオン供給層21Bを60nmの厚みで形成した。そののち、タングステン(W)よりなる上部電極30を50nmの厚みで形成した。本実施例の工程を簡略的に示すと以下のようになる。

【0181】

TiN/ZrN(0.5nm)/プラズマ酸化/Te95Zr5(5nm)/CuZrTeAlGe(60nm)/W(50nm)

【0182】

下部電極10、記憶層20および上部電極30の積層膜を形成したのち、実施例1と同様にして積層膜のパターニングおよび熱処理を行った。以上により、図9に示した記憶素子1を有するメモリセルアレイを作製した。

【0183】

得られた実施例11のメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図40(A)ないし図40(C)に示したように、累

10

20

30

40

50

積度数分布，繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【0184】

また、実施例 10、11 のメモリセルアレイについて、書き込み動作を行った低抵抗状態の 60 個の素子に、消去方向に 0 ~ 3 V まで電圧を加えていったときの抵抗変化を調べた。その結果を図 41 (A) および図 41 (B) に示す。図 41 (A) および図 41 (B) から分かるように、測定の範囲内の消去電圧では低抵抗化しておらず、実施例 1 と同等以上の消去特性をもっていることが確認された。

【0185】

すなわち、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸窒化物よりなる第 1 層 22 A と、アルミニウム酸化物を主成分とする第 2 層 22 B とを積層した構成を有すると共に、イオン源層 21 を中間層 21 A とイオン供給層 21 B との 2 層構造とし、中間層 21 A に遷移金属として Zr を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0186】

(実施例 12：中間層 21 A に遷移金属を添加した例)

下部電極 10 に WN を用いた以外は、実施例 11 と同様にしてメモリセルアレイを作製した。本実施例の工程を簡略的に示すと以下ようになる。

【0187】

WN/ZrN(0.5nm)/プラズマ酸化/Ta₉₅Zr₅(5nm)/CuZrTeAlGe(60nm)/W(50nm)

【0188】

得られた実施例 12 のメモリセルアレイについて、累積度数分布，繰り返し書き換え特性および抵抗分離を調べたところ、図 42 (A) ないし図 42 (C) に示したように、累積度数分布，繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【0189】

すなわち、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸窒化物よりなる第 1 層 22 A と、アルミニウム酸化物を主成分とする第 2 層 22 B とを積層した構成を有すると共に、イオン源層 21 を中間層 21 A とイオン供給層 21 B との 2 層構造とし、中間層 21 A に遷移金属として Zr を添加するようにすれば、下部電極 10 が TiN のほか、WN により構成されている場合にも、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0190】

(実施例 13 - 1 ~ 13 - 3：第 1 層の酸窒化物の他の材料)

実施例 10 と同様にして記憶素子 1 を備えたメモリセルアレイを作製した。その際、TiN よりなる下部電極 10 のプラグが形成してある CMOS 回路上に、実施例 13 - 1 では TiN 膜、実施例 13 - 2 では窒化タンタル (Ta₂N₅) 膜、実施例 13 - 3 では窒化ハフニウム (Hf₂N₃) 膜をそれぞれ形成した。それぞれの膜を酸化プラズマで酸化して、実施例 13 - 1 では TiON、実施例 13 - 2 ではタンタルの酸窒化物 (TaON)、実施例 13 - 3 ではハフニウムの酸窒化物 (HfON) よりなる第 1 層 22 A を形成した。

【0191】

得られた実施例 13 - 1 ~ 13 - 3 のメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 43 ないし図 45 に示したように、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【0192】

すなわち、第 1 層 22 A が TiON、TaON、または HfON により構成されている場合にも、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0193】

(実施例 14：イオン供給層 21 B に酸素を添加した例)

上記第4の実施の形態と同様にして記憶素子1を備えたメモリセルアレイを作製した。まず、TiNよりなる下部電極10のプラグが形成してあるCMOS回路上に、実施例10と同様にしてリアクティブスパッタによりZrN膜を0.5nmの厚みで形成した。次いで、このZrN膜を酸化プラズマで酸化してZrONよりなる第1層22Aを形成した。

【0194】

続いて、Te95Zr5よりなる中間層21Aを5nmの厚みで形成し、引き続いてCuZrTeAlGeOよりなるイオン供給層21Bを60nmの厚みで形成した。イオン供給層21Bに酸素をドーピングする方法としてはリアクティブスパッタを用い、成膜条件としては、実施例1でCuZrTeAlGeよりなるイオン供給層を成膜したのと同じ大きさの電圧を各ターゲットに印加した。チャンバー内に流すAr、酸素(O²)の流量はそれぞれ25sccm、5sccmとし、全体の圧力は 2.4×10^{-4} (Torr)とした。このときのAr雰囲気気圧の分圧は 2.0×10^{-4} (Torr)、酸素雰囲気気圧の分圧は 4.0×10^{-5} (Torr)と見積もっている。

【0195】

そののち、Wよりなる上部電極30を50nmの厚みで形成した。本実施例の工程を簡略的に示すと以下になる。

【0196】

TiN/ZrN(0.5nm)/プラズマ酸化/Te95Zr5(5nm)/CuZrTeAlGeO(60nm)/W(50nm)

【0197】

下部電極10、記憶層20および上部電極30の積層膜を形成したのち、実施例1と同様にして積層膜のパターニングおよび熱処理を行った。以上により、図11に示した記憶素子1を有するメモリセルアレイを作製した。

【0198】

得られた実施例14のメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図46(A)ないし図46(C)に示したように、累積度数分布、繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例1に比べて良好な特性が得られた。

【0199】

すなわち、抵抗変化層22が、下部電極10の側から順に、遷移金属酸窒化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする第2層22Bとを積層した構成を有すると共に、イオン源層21を中間層21Aとイオン供給層21Bとの2層構造とし、イオン供給層21Bに酸素を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0200】

(実施例15：中間層21Aに酸素および遷移金属を添加した例)

上記第4の実施の形態と同様にして記憶素子1を備えたメモリセルアレイを作製した。まず、TiNよりなる下部電極10のプラグが形成してあるCMOS回路上に、実施例10と同様にしてリアクティブスパッタによりZrN膜を0.5nmの厚みで形成した。次いで、このZrN膜を酸化プラズマで酸化してZrONよりなる第1層22Aを形成した。

【0201】

続いて、TeZrOよりなる中間層21Aを5nmの厚みで形成した。中間層21Aに酸素をドーピングする方法としてはリアクティブスパッタを用い、成膜条件としては、実施例11と同様に、チャンバー内に流すAr、酸素(O₂)の流量はそれぞれ25sccm、5sccmとした。このときのAr雰囲気気圧の分圧は 2.0×10^{-4} (Torr)、酸素雰囲気気圧の分圧は 4.0×10^{-5} (Torr)と見積もっている。

【0202】

そののち、CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)よりなるイオン供給層21Bを60nmの厚みで形成し、最後に、Wよ

10

20

30

40

50

りなる上部電極 30 を 50 nm の厚みで形成した。本実施例の工程を簡略的に示すと以下のようなになる。

【0203】

TiN/ZrN(0.5nm)/プラズマ酸化/TeZrO (5nm)/CuZrTeAlGe (60nm)/W(50nm)

【0204】

下部電極 10、記憶層 20 および上部電極 30 の積層膜を形成したのち、実施例 1 と同様にして積層膜のパターニングおよび熱処理を行った。以上により、図 11 に示した記憶素子 1 を有するメモリセルアレイを作製した。

【0205】

得られた実施例 15 のメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図 47 (A) ないし図 47 (C) に示したように、累積度数分布、繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【0206】

すなわち、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸窒化物よりなる第 1 層 22 A と、アルミニウム酸化物を主成分とする第 2 層 22 B とを積層した構成を有すると共に、イオン源層 21 を中間層 21 A とイオン供給層 21 B との 2 層構造とし、中間層 21 A に遷移金属として Zr および酸素を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0207】

また、実施例 10 と実施例 15 とを比較すると、実施例 15 では実施例 10 に比べて、消去側の抵抗分布は、より高抵抗側に分布をとることが分かる。これは、中間層 21 A に酸素をドーピングすることで、中間層 21 A の抵抗率が大きくなって、消去時に中間層 21 A にかかる電圧が大きくなり、金属イオンがイオン供給層 21 B に戻りやすくなり、また、導電パスの金属元素がイオン化し、イオン源層 21 に溶解、もしくは Te 等と結合して、より高抵抗な状態へと変化する反応が進みやすくなるからと考えられる。

【0208】

(実施例 16 ; 中間層 21 A には遷移金属を添加せず酸素のみを添加し、イオン供給層 21 B に酸素を添加した例)

上記第 4 の実施の形態と同様にして記憶素子 1 を備えたメモリセルアレイを作製した。まず、TiN よりなる下部電極 10 のプラグが形成してある CMOS 回路上に、実施例 10 と同様にしてリアクティブスパッタにより ZrN 膜を 0.5 nm の厚みで形成した。次いで、この ZrN 膜を酸化プラズマで酸化して ZrON よりなる第 1 層 22 A を形成した。

【0209】

続いて、実施例 15 と同様にして TeO よりなる中間層 21 A を 5 nm の厚みで形成した。そののち、実施例 14 と同様にして酸素 (O) を添加した CuZrTeAlGe (Cu 11 at% - Zr 11% - Te 30% - Al 40% - Ge 8%) よりなるイオン供給層 21 B を 60 nm の厚みで形成した。最後に、W よりなる上部電極 30 を 50 nm の厚みで形成した。本実施例の工程を簡略的に示すと以下のようなになる。

【0210】

TiN/ZrN(0.5nm)/プラズマ酸化/TeO (5nm)/CuZrTeAlGeO (60nm)/W(50nm)

【0211】

下部電極 10、記憶層 20 および上部電極 30 の積層膜を形成したのち、実施例 1 と同様にして積層膜のパターニングおよび熱処理を行った。以上により、図 11 に示した記憶素子 1 を有するメモリセルアレイを作製した。

【0212】

得られた実施例 16 のメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図 48 (A) ないし図 48 (C) に示したように、累積度数分布、繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物

または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【0213】

すなわち、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸窒化物よりなる第 1 層 22 A と、アルミニウム酸化物を主成分とする第 2 層 22 B とを積層した構成を有すると共に、イオン源層 21 を中間層 21 A とイオン供給層 21 B との 2 層構造とし、中間層 21 A およびイオン供給層 21 B の両方に酸素を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0214】

(実施例 17: 中間層 21 A に遷移金属および酸素を添加し、イオン供給層 21 B に酸素を添加した例)

上記第 4 の実施の形態と同様にして記憶素子 1 を備えたメモリセルアレイを作製した。まず、TiN よりなる下部電極 10 のプラグが形成してある CMOS 回路上に、実施例 10 と同様にしてリアクティブスパッタにより ZrN 膜を 0.5 nm の厚みで形成した。次いで、この ZrN 膜を酸化プラズマで酸化して ZrON よりなる第 1 層 22 A を形成した。

【0215】

続いて、実施例 15 と同様にして TeZrO よりなる中間層 21 A を 5 nm の厚みで形成した。そののち、実施例 14 と同様にして酸素 (O) を添加した CuZrTeAlGe (Cu11at% - Zr11% - Te30% - Al40% - Ge8%) よりなるイオン供給層 21 B を 60 nm の厚みで形成した。最後に、W よりなる上部電極 30 を 50 nm の厚みで形成した。本実施例の工程を簡略的に示すと以下のようになる。

【0216】

TiN/ZrN(0.5nm)/プラズマ酸化/TeZrO (5nm)/CuZrTeAlGeO (60nm)/W(50nm)

【0217】

下部電極 10、記憶層 20 および上部電極 30 の積層膜を形成したのち、実施例 1 と同様にして積層膜のパターニングおよび熱処理を行った。以上により、図 11 に示した記憶素子 1 を有するメモリセルアレイを作製した。

【0218】

得られた実施例 17 のメモリセルアレイについて、累積度数分布、繰り返し書き換え特性および抵抗分離を調べたところ、図 49 (A) ないし図 49 (C) に示したように、累積度数分布、繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【0219】

すなわち、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸窒化物よりなる第 1 層 22 A と、アルミニウム酸化物を主成分とする第 2 層 22 B とを積層した構成を有すると共に、イオン源層 21 を中間層 21 A とイオン供給層 21 B との 2 層構造とし、中間層 21 A に遷移金属として Zr および酸素を添加し、イオン供給層 21 B に酸素を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができることが分かった。

【0220】

(実施例 18: 中間層 21 A に遷移金属および酸素を添加した例)

上記第 4 の実施の形態と同様にして記憶素子 1 を備えたメモリセルアレイを作製した。まず、CMOS 回路上に露出している TiN よりなる下部電極 10 を酸化プラズマで酸化することにより、TiOx よりなる第 1 層 22 A を約 1 nm の厚みで形成した。

【0221】

続いて、CuZrTe 膜を 5 nm の厚みで形成し、10 Torr の圧力の酸素に晒すことにより、CuZrTeOx よりなる中間層 21 A を形成した。

【0222】

そののち、CuZrTeAlGe (Cu11at% - Zr11% - Te30% - Al40% - Ge8%) よりなるイオン供給層 21 B を 60 nm の厚みで形成し、最後に、W より

10

20

30

40

50

りなる上部電極 30 を 50 nm の厚みで形成した。本実施例の工程を簡略的に示すと以下
のようになる。

【0223】

TiN/ プラズマ酸化 /CuZrTeOx(5nm)/CuZrTeAlGe(60nm)/W(50nm)

【0224】

ここで、中間層 21 A である CuZrTeOx は、成膜時の組成は表記どおりに CuZrTeOx であるが、実際にはイオン供給層 21 B である CuZrTeAlGe 層から Al が常温でも拡散するので、CuZrTeAlOx となる。

【0225】

下部電極 10、記憶層 20 および上部電極 30 の積層膜を形成したのち、この積層膜の
うち抵抗変化層 22、イオン源層 21 および上部電極 30 を、メモリセルアレイの部分に
残るようにパターニングした。また、上部電極 30 の表面に対してエッチングを行い、中
間電位 ($V_{dd}/2$) を与える外部回路に接続するための上部電極 30 のコンタクト部分
を露出させた。

【0226】

積層膜をパターニングしたのち、Al よりなる配線層 (図示せず) を 200 nm の厚み
で形成し、この配線層と上部電極 30 のコンタクト部分とを接続した。そののち、積層膜
に対して、真空熱処理炉で 300、2 時間の熱処理を行った。以上により、図 11 に示
した記憶素子 1 を有するメモリセルアレイを作製した。

【0227】

得られた実施例 18 のメモリセルアレイについて、繰り返し書き換え特性を調べた。そ
の際、書き込みパルスとして電圧 V_w 3 V、電流約 100 μ A、パルス幅 10 ns、消去
パルスとして電圧 V_e 2 V、電流約 100 μ A、パルス幅 10 nm で 10^5 以上繰り返した。
その結果を図 50 (A) に示す。

【0228】

図 50 (A) から分かるように、低抵抗状態と高抵抗状態の抵抗値が 1 桁以上異なる良
好なメモリ動作を示した。

【0229】

次に、4 kbit のメモリセルアレイで 1000 回繰り返し後の、累積度数分布 (破線)
) と、130 2 時間のデータ保持加速試験後の累積度数分布 (実線) とを調べた。その
結果を図 50 (B) に示す。

【0230】

図 50 (B) から分かるように、書き込み状態 (低抵抗) と消去状態 (高抵抗) とが分
離していると共に良好なばらつき特性を示しており、データ保持加速試験後も抵抗分離
が得られていた。よって、この間に参照抵抗を設ければ、書き込み (低抵抗状態) と消去
(高抵抗状態) との読み出しが可能な状態にあり、良好なばらつき特性が得られているこ
とが分かった。

【0231】

すなわち、抵抗変化層 22 が、下部電極 10 の側から順に、遷移金属酸化物よりなる第
1 層 22 A と、アルミニウム酸化物を主成分とする第 2 層 22 B とを積層した構成を有す
ると共に、イオン源層 21 を中間層 21 A とイオン供給層 21 B との 2 層構造とし、中間
層 21 A に遷移金属として Cu および Zr と酸素とを添加するようにすれば、良好な抵抗
分離および繰り返し特性を得ることができることが分かった。

【0232】

(実施例 19 ; 中間層 21 A に遷移金属を添加した例)

中間層 21 A を CrTe により構成したことを除いては、実施例 18 と同様にして記録
素子 1 を有するメモリセルアレイを作製した。本実施例の工程を簡略的に示すと以下の
ようになる。

【0233】

TiN/ プラズマ酸化 /CrTe(5nm)/CuZrTeAlGe(60nm)/W(50nm)

10

20

30

40

50

【0234】

なお、この場合も実施例18と同様に、中間層21AであるCrTe層はイオン供給層21BからのAlの拡散によってCrAlTeとなる。

【0235】

(比較例4)

中間層をTeにより構成したことを除いては、実施例18と同様にして記録素子を有するメモリセルアレイを作製した。比較例4の工程を簡略的に示すと以下ようになる。

【0236】

TiN/プラズマ酸化/Te(5nm)/CuZrTeAlGe(60nm)/W(50nm)

【0237】

なお、この場合も実施例18と同様に、中間層であるTe層はイオン供給層からのAlの拡散によってAlTeとなる。

【0238】

比較例4で得られたメモリセルアレイについて、1000回繰り返し後の抵抗分離を調べた。その際、電流を、実施例18と同様の条件の110 μ Aと、より低電流な80 μ Aとした。その結果を図51(A)および図51(B)に示す。

【0239】

図50および図51から分かるように、電流110 μ Aの書き込み条件では、実施例18および比較例4のいずれも、4kbitのテール部分で重なりがなく、抵抗分離が可能であった。しかしながら、比較例4では、80 μ Aに低電流化すると、書き込みの低抵抗側、消去の高抵抗側、共に抵抗分布が悪化して抵抗分離が得られなくなった。従って、比較例4の構成では、実施例18に比較して、書き換え電流を低電流化することが困難であることが分かる。

【0240】

また、実施例19で得られたメモリセルアレイについても、電流80 μ Aでの1000回繰り返し後の抵抗分離を調べた。その結果を図52(B)に示す。なお、図52(A)は実施例18、図52(C)は比較例4について、電流80 μ Aでの1000回繰り返し後の抵抗分離を調べた結果を合わせて示す。

【0241】

図52(A)ないし図52(C)から分かるように、中間層21Aにクロム(Cr)を添加した実施例19では、低電流での書き換え動作が安定し、抵抗分離マージンが確保されていた。

【0242】

この原因の考察のために、実施例18の中間層21AのCuZrTeOx、実施例19の中間層21AのCrTe、および比較例4の中間層のTeをそれぞれ作製してシート抵抗を測定し体積抵抗率を求めたところ、以下ようになった。

Te	0.27	c m
CuZrTeOx	0.44	c m
CrTe	0.56	c m

【0243】

この結果から分かるように、比較例4の中間層であるTeと比較して、実施例18、19の中間層は抵抗が高くなっていた。これにより、イオン供給層21Bの抵抗に比較して中間層21Aの抵抗がより高くなるので、書き込み・消去バイアス電圧が印加された際により効果的に中間層21Aに電界が印加され、Alを主とするイオン種により強い電界がかかることにより、イオンが移動しやすくなり、実施例18、19では書き込み・消去共に動作が安定したものと考えられる。

【0244】

すなわち、抵抗変化層22が、下部電極10の側から順に、遷移金属酸化物よりなる第1層22Aと、アルミニウム酸化物を主成分とする第2層22Bとを積層した構成を有すると共に、イオン源層21を中間層21Aとイオン供給層21Bとの2層構造とし、中間

10

20

30

40

50

層 2 1 A に C r を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができ、特に低電流での抵抗分離特性が向上することが分かった。

【 0 2 4 5 】

このように中間層 2 1 A に C r を添加した場合でも、さらに酸素を加えることでより高抵抗な好適な抵抗値を得られることも容易に推定できるため、実施例 1 9 と同様、またはそれ以上の効果が得られると考えられる。

【 0 2 4 6 】

(実施例 2 0 : 中間層 2 1 A に遷移金属を添加した例)

中間層 2 1 A を M n T e により構成したことを除いては、実施例 1 9 と同様にして記録素子 1 を有するメモリセルアレイを作製した。実施例 2 0 の工程を簡略的に示すと以下のようになる。

【 0 2 4 7 】

TiN/ プラズマ酸化 / MnTe (5nm) / CuZrTeAlGe (60nm) / W (50nm)

【 0 2 4 8 】

なお、この場合も実施例 1 8 と同様に、中間層 2 1 A である M n T e 層はイオン供給層 2 1 B からの A l の拡散によって M n A l T e となる。

【 0 2 4 9 】

得られた実施例 2 0 のメモリセルアレイについて、繰り返し書き換え特性および抵抗分離を調べたところ、図 5 3 (A) および図 5 3 (B) に示したように、繰り返し特性および抵抗分離のいずれも、上記実施の形態の遷移金属酸化物または遷移金属酸窒化物を用いていない比較例 1 に比べて良好な特性が得られた。

【 0 2 5 0 】

すなわち、抵抗変化層 2 2 が、下部電極 1 0 の側から順に、遷移金属酸化物よりなる第 1 層 2 2 A と、アルミニウム酸化物を主成分とする第 2 層 2 2 B とを積層した構成を有すると共に、イオン源層 2 1 を中間層 2 1 A とイオン供給層 2 1 B との 2 層構造とし、中間層 2 1 A に M n を添加するようにすれば、良好な抵抗分離および繰り返し特性を得ることができ、特に低電流での抵抗分離特性が向上することが分かった。

【 0 2 5 1 】

このように中間層 2 1 A に M n を添加した場合でも、さらに酸素を加えることでより高抵抗な好適な抵抗値を得られることも容易に推定できるため、実施例 2 0 と同様、またはそれ以上の効果が得られると考えられる。

【 0 2 5 2 】

以上、実施の形態および実施例を挙げて本発明を説明したが、本発明は、上記実施の形態および実施例に限定されるものではなく、種々変形することが可能である。

【 0 2 5 3 】

例えば、上記実施の形態および実施例において説明した各層の材料、または成膜方法および成膜条件などは限定されるものではなく、他の材料としてもよく、または他の成膜方法としてもよい。例えば、イオン源層 2 1 には、上記組成比率を崩さない範囲で、他の遷移金属元素、例えば T i , H f , V , N b , T a , C r , M o , W を添加してもよい。

【 0 2 5 4 】

また、例えば、上記実施の形態では、記憶素子 1 およびメモリセルアレイ 2 の構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【 0 2 5 5 】

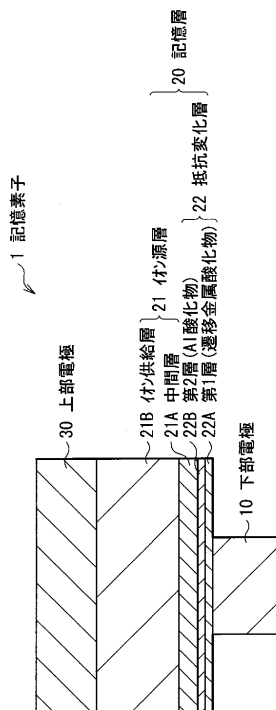
更に、例えば、上記実施の形態および実施例では、記憶素子 1 は、C M O S 回路が形成されたシリコン基板 4 1 に、下部電極 1 0 (第 1 電極) 、記憶層 2 0 および上部電極 3 0 (第 2 電極) をこの順に有している場合について説明したが、積層順序は逆でもよい。その場合、記憶素子 1 は、シリコン基板 4 1 に、上部電極 3 0 (第 2 電極) 、記憶層 2 0 および下部電極 1 0 (第 1 電極) をこの順に積層した構成を有する。

【 符号の説明 】

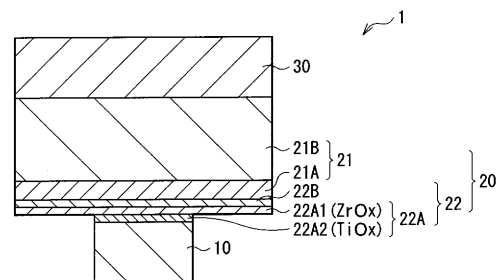
【 0 2 5 6 】

1 ... 記憶素子、2 ... メモリセルアレイ、10 ... 下部電極、20 ... 記憶層、21 ... イオン源層、21A ... 中間層、21B ... イオン供給層、22 ... 抵抗変化層、22A ... 第1層、22B ... 第2層、30 ... 上部電極、41 ... 半導体基板、43 ... ソース/ドレイン領域、44 ... ゲート電極、45, 47 ... プラグ層、46 ... 金属配線層、48 ... アクティブ領域、51, 52 ... コンタクト部

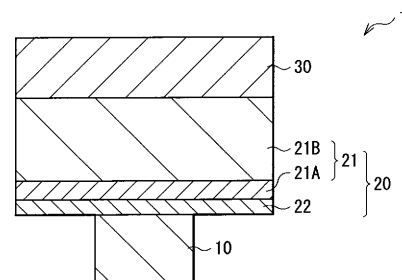
【 図 1 】



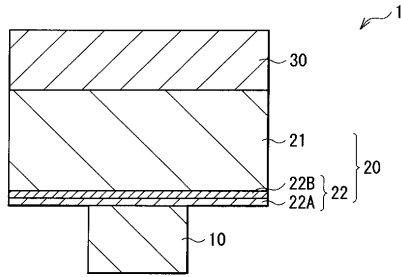
【 図 2 】



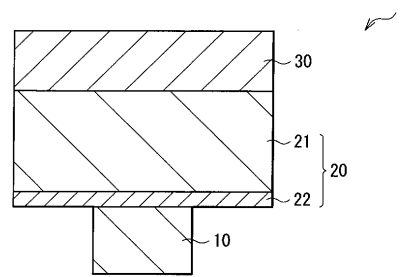
【 図 3 】



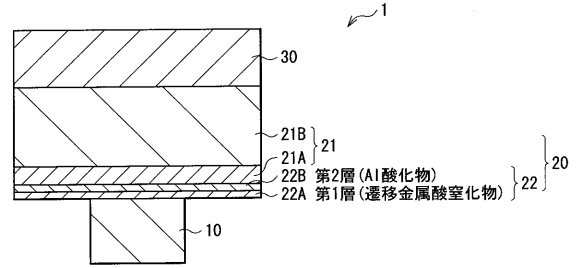
【図 4】



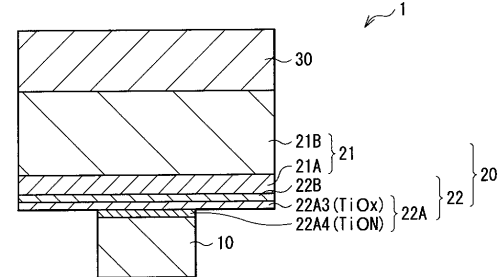
【図 5】



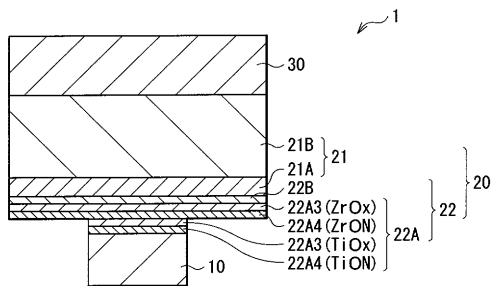
【図 6】



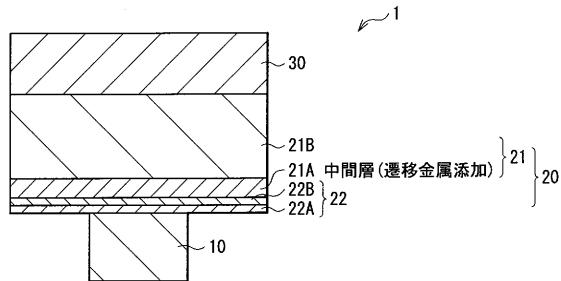
【図 7】



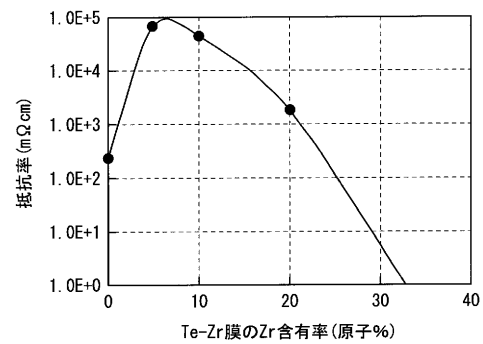
【図 8】



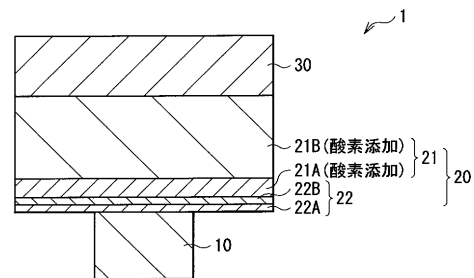
【図 9】



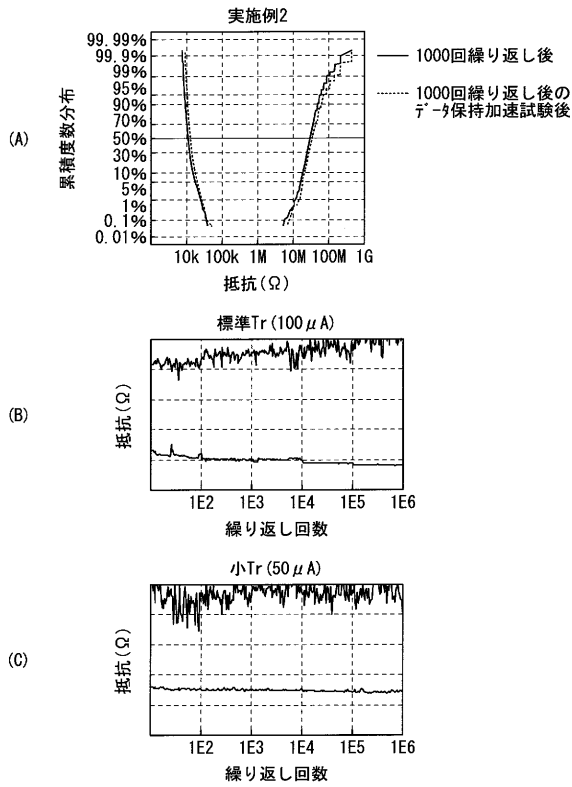
【図 10】



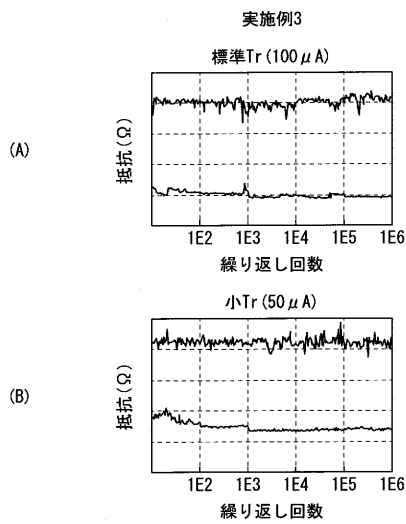
【図 11】



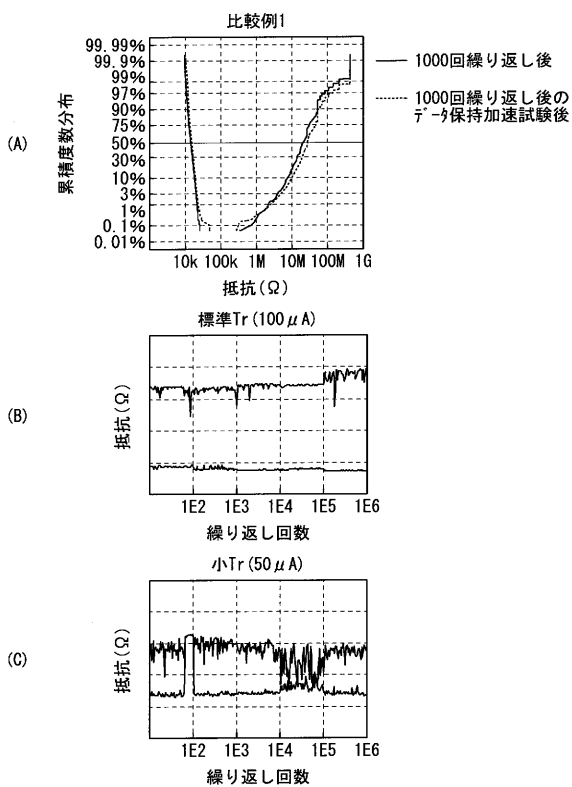
【図16】



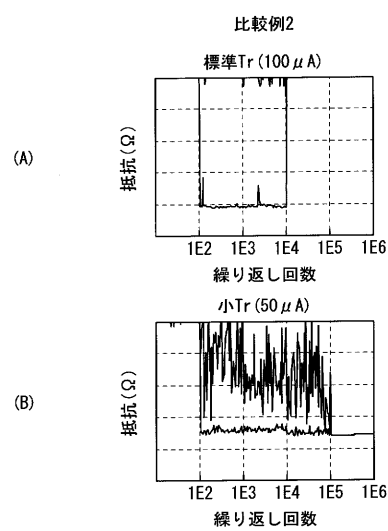
【図17】



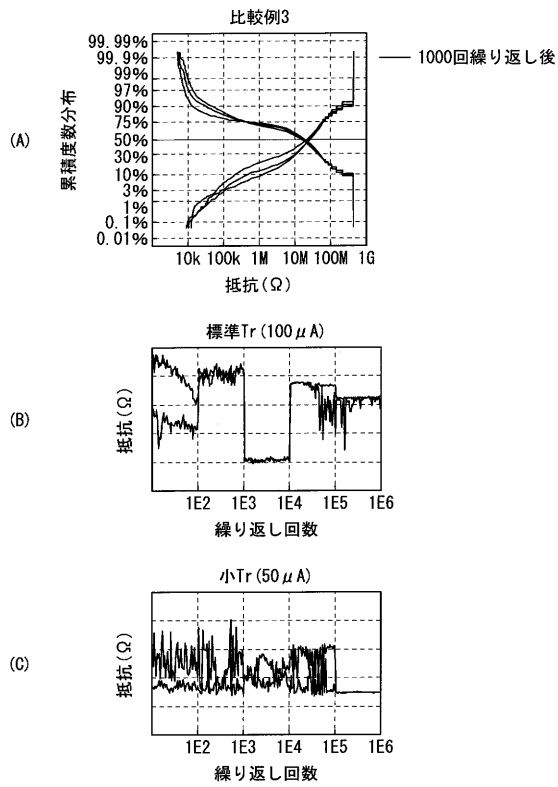
【図18】



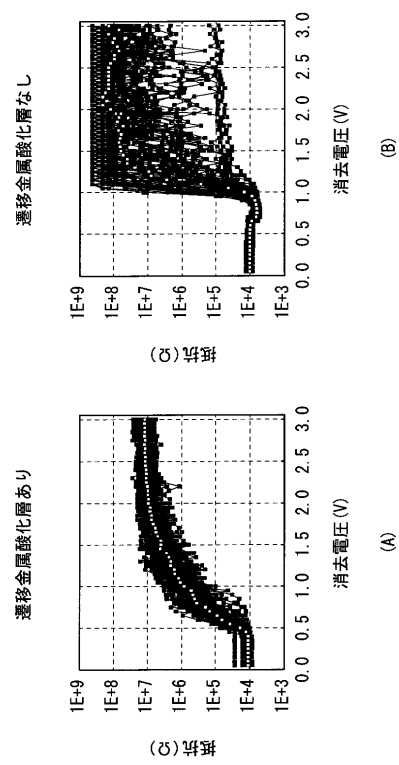
【図19】



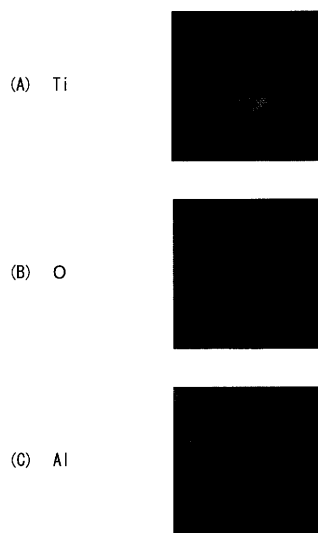
【図 20】



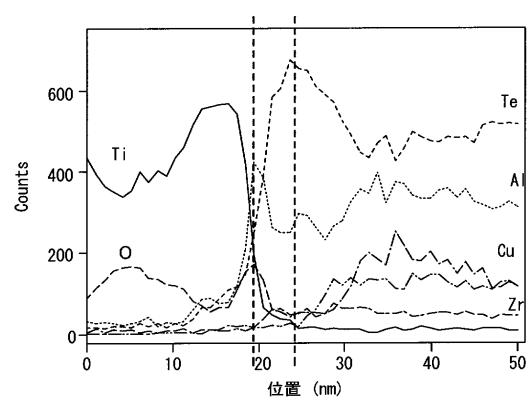
【図 21】



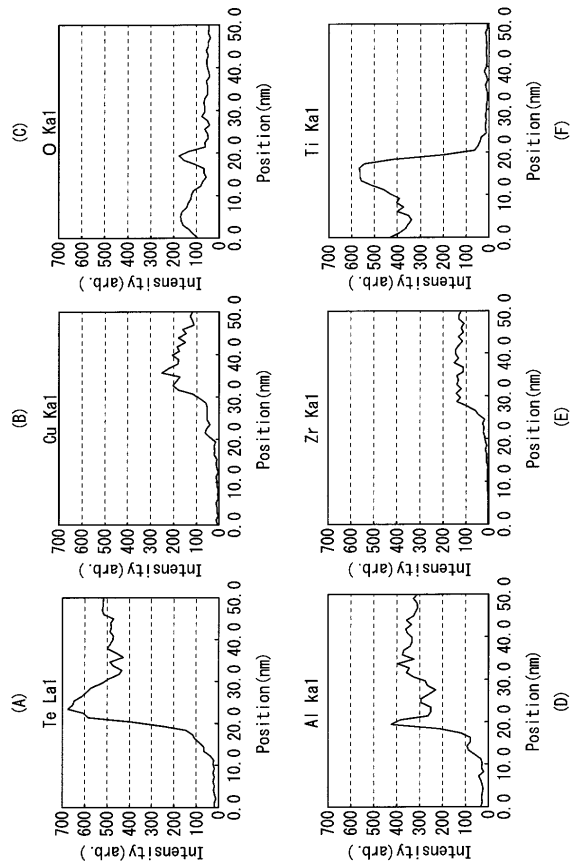
【図 22】



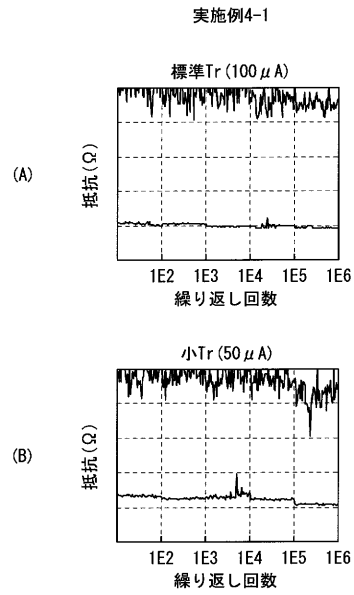
【図 23】



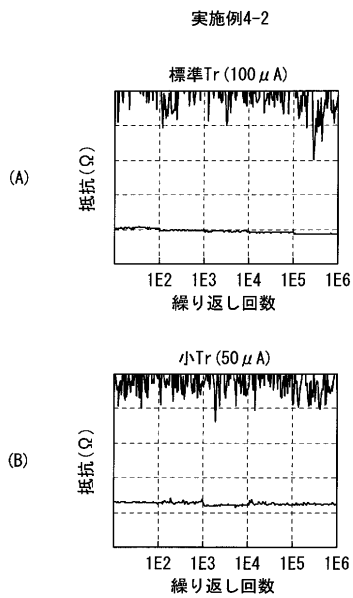
【図 24】



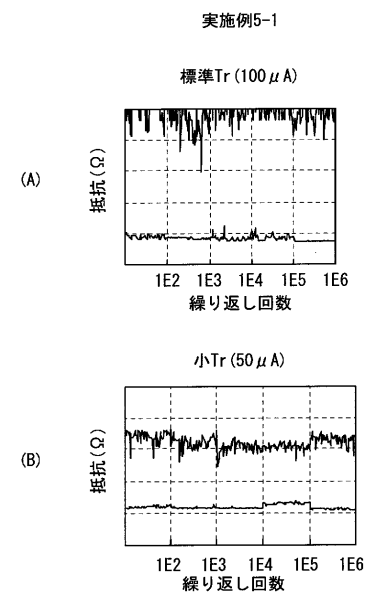
【図 25】



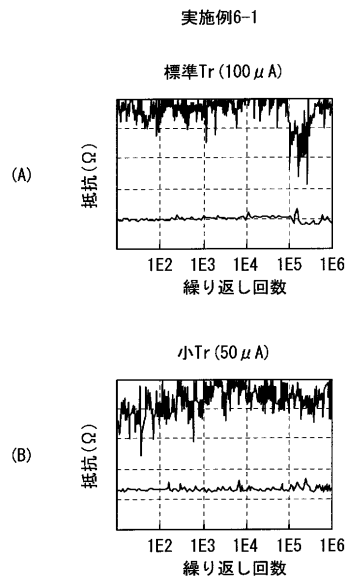
【図 26】



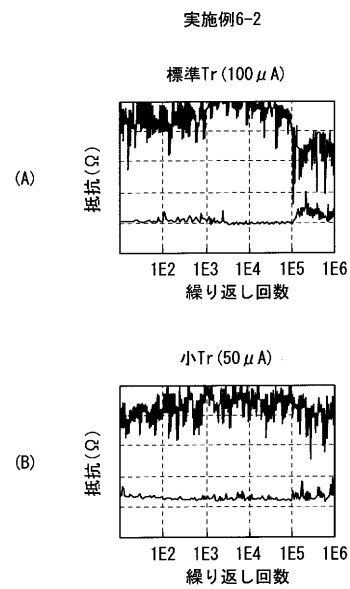
【図 27】



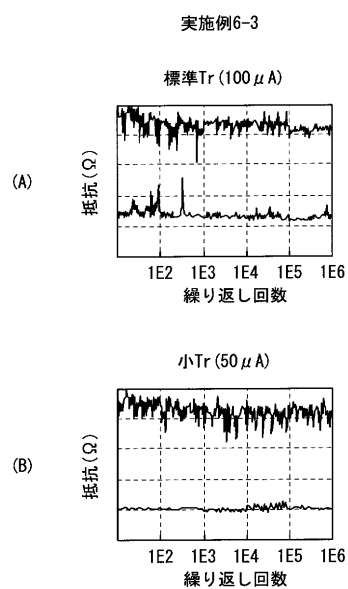
【図 28】



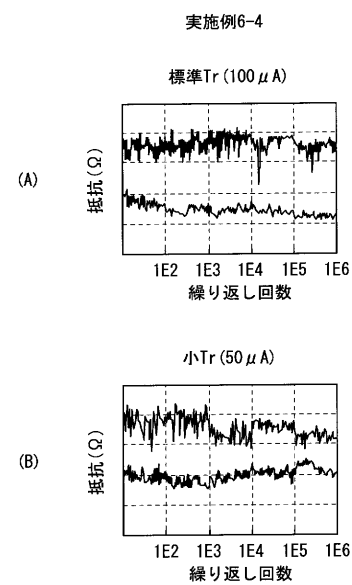
【図 29】



【図 30】

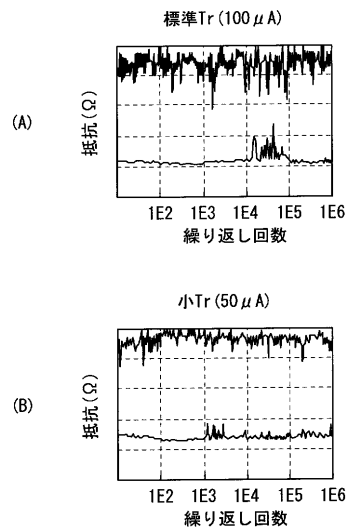


【図 31】



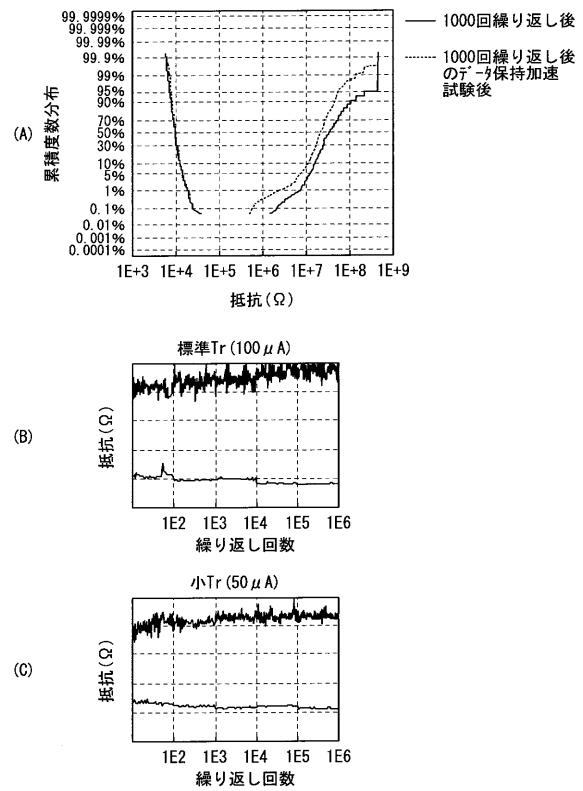
【図 3 2】

実施例6-5



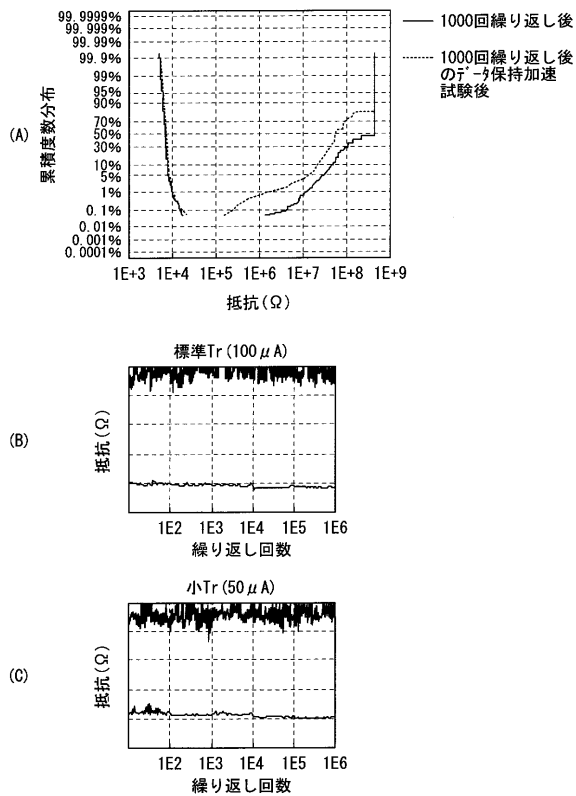
【図 3 3】

実施例7-1



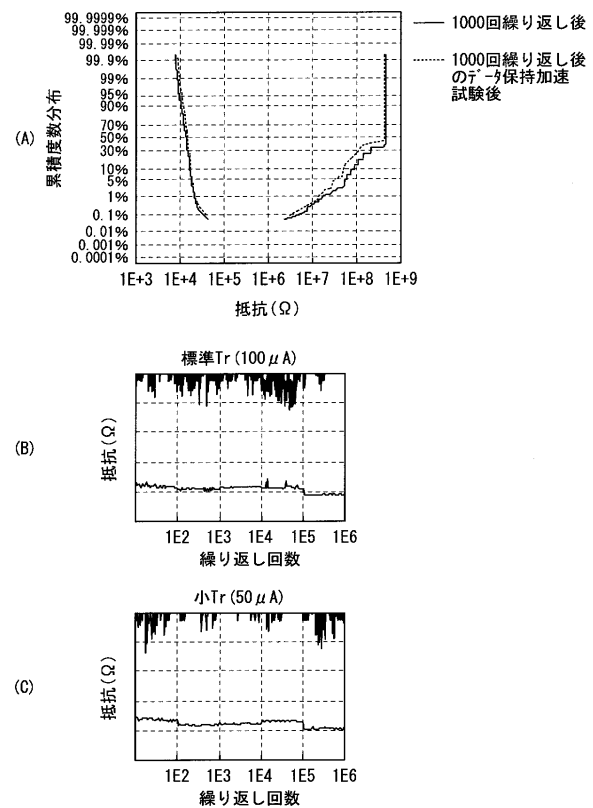
【図 3 4】

実施例7-2

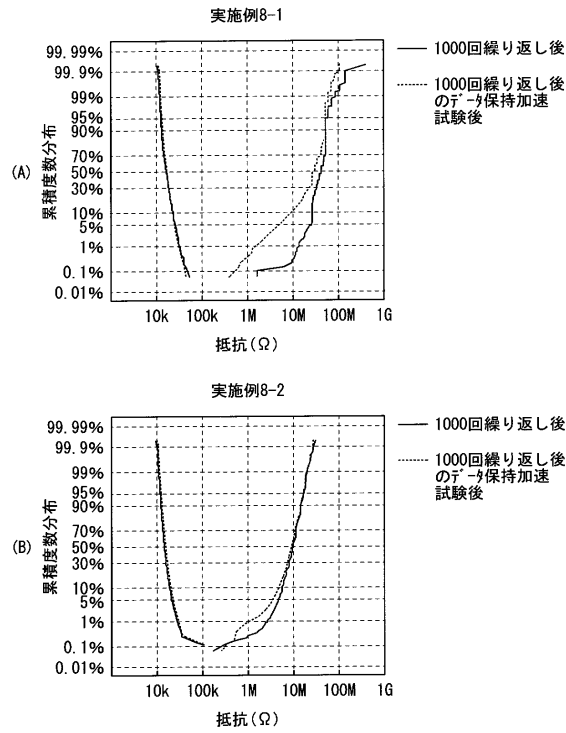


【図 3 5】

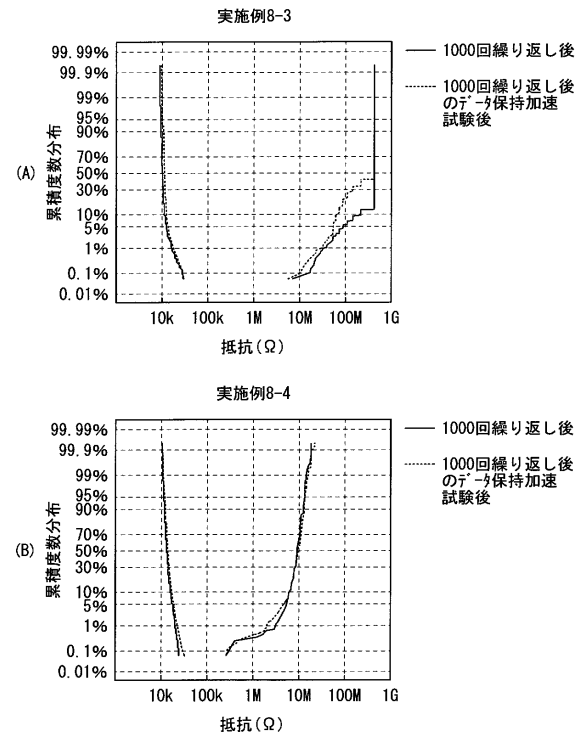
実施例7-3



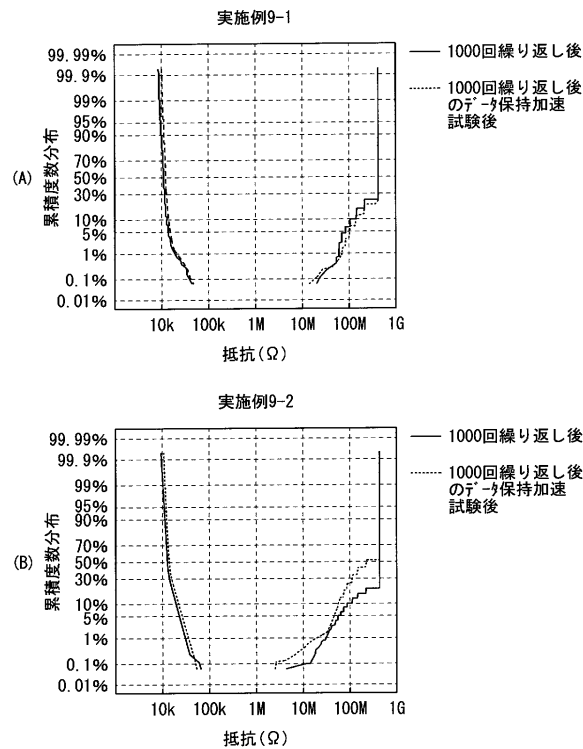
【図 36】



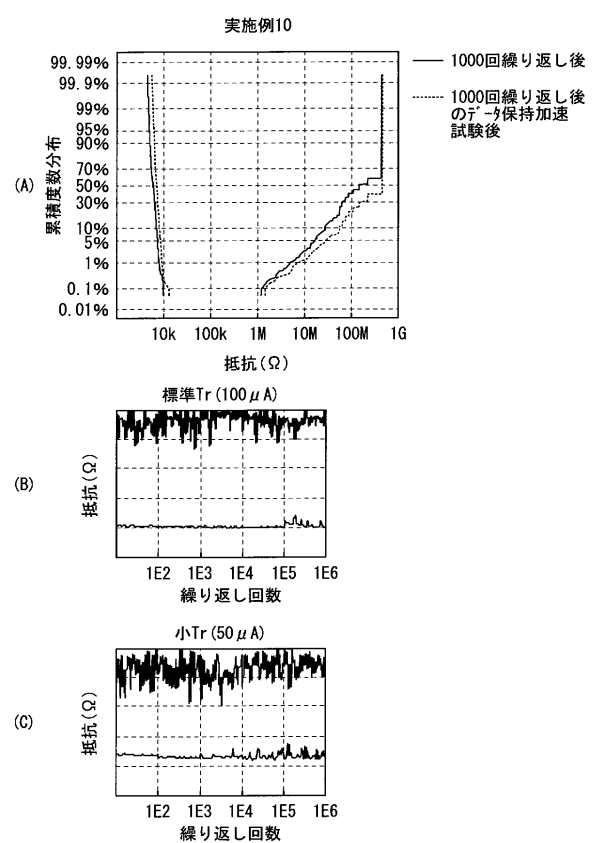
【図 37】



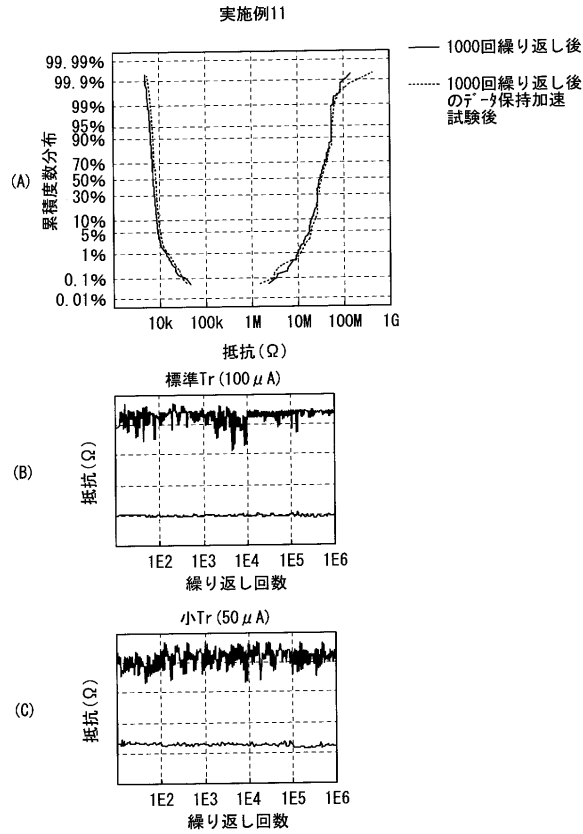
【図 38】



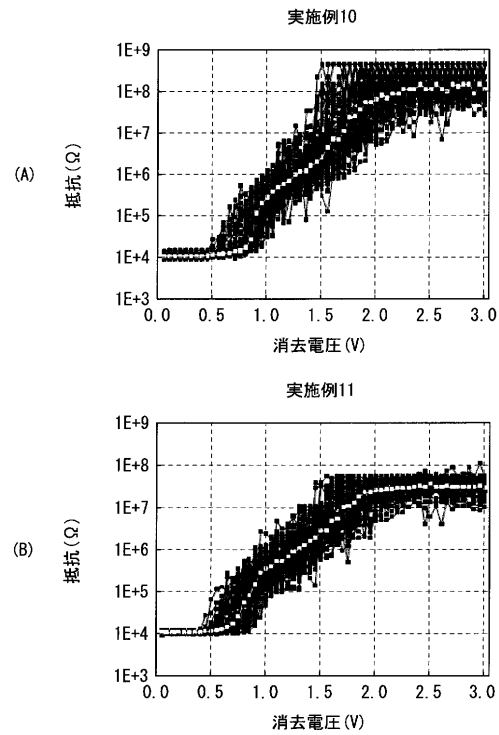
【図 39】



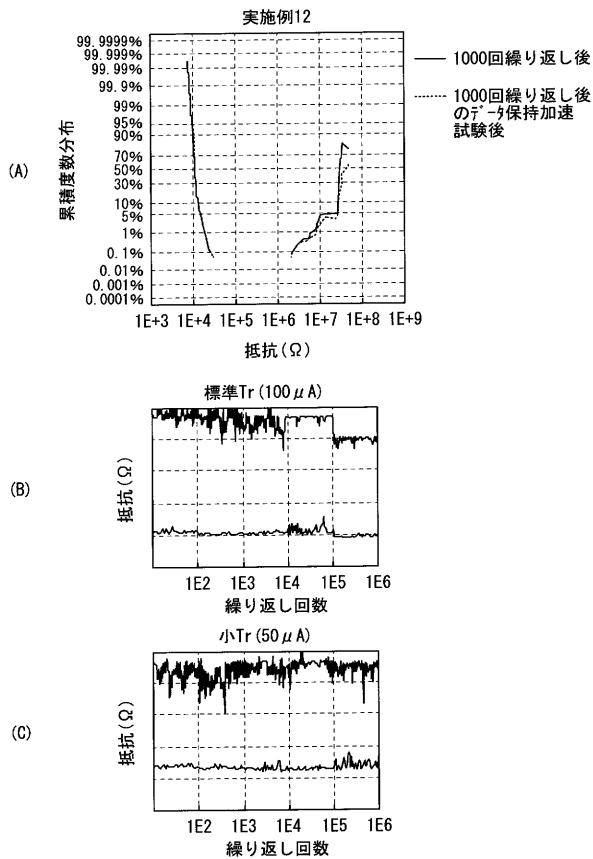
【図40】



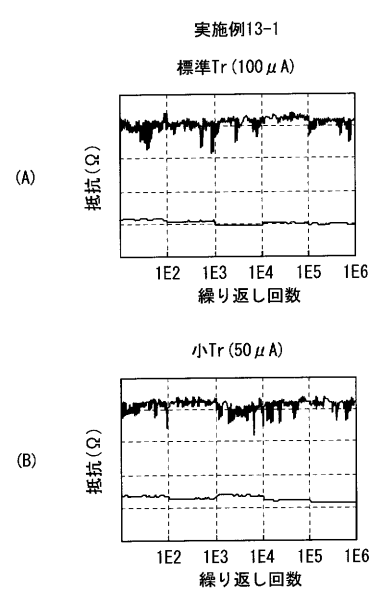
【図41】



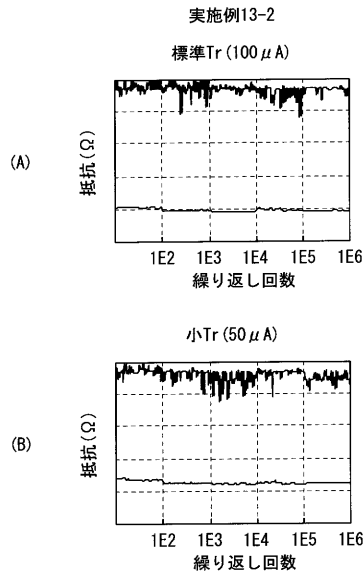
【図42】



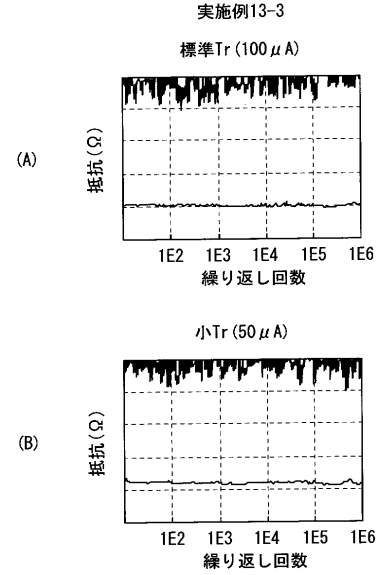
【図43】



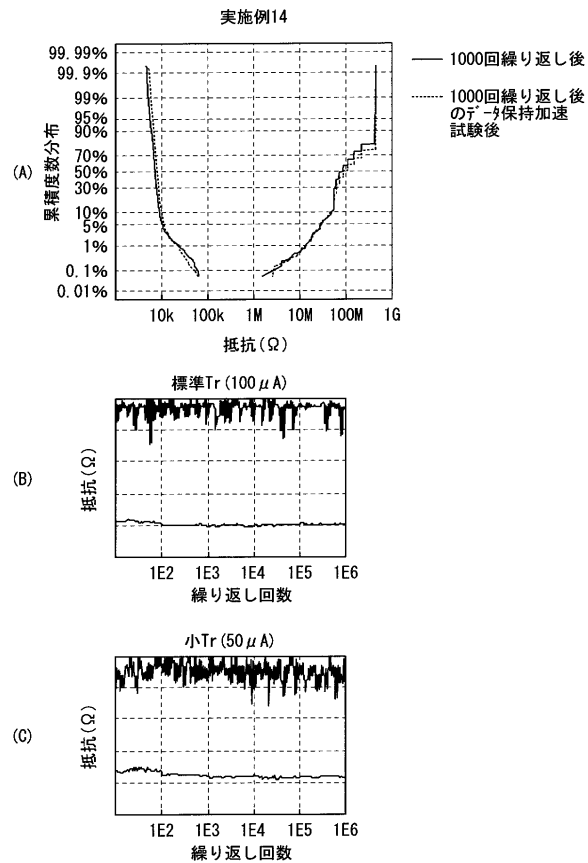
【図 4 4】



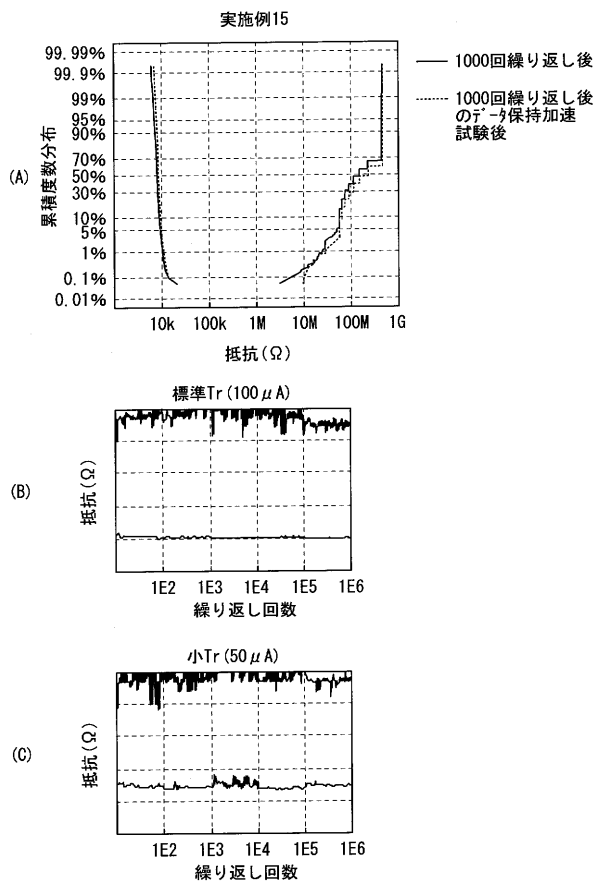
【図 4 5】



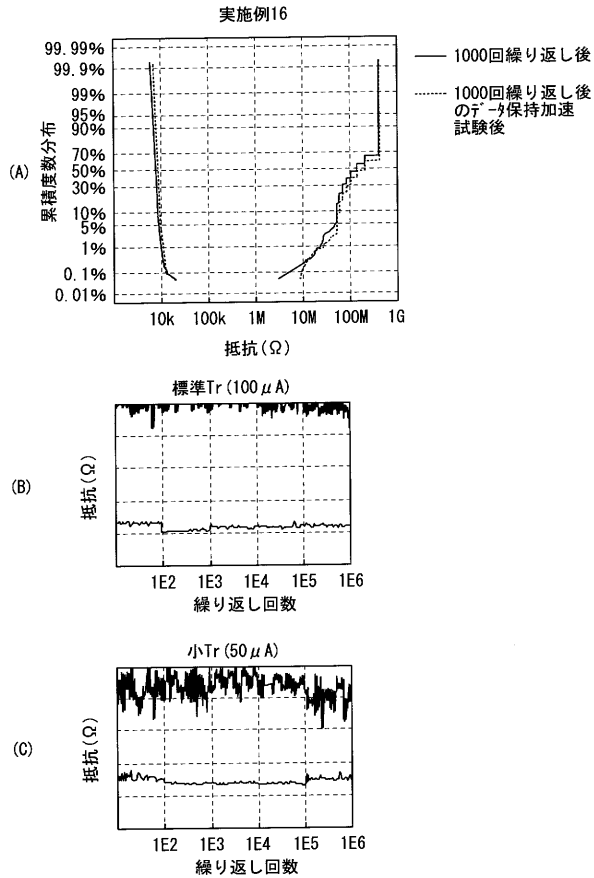
【図 4 6】



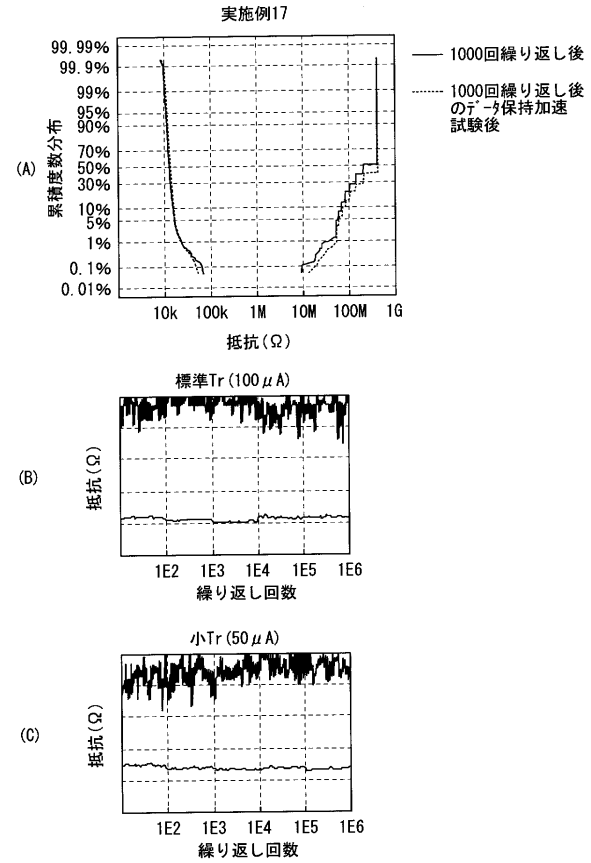
【図 4 7】



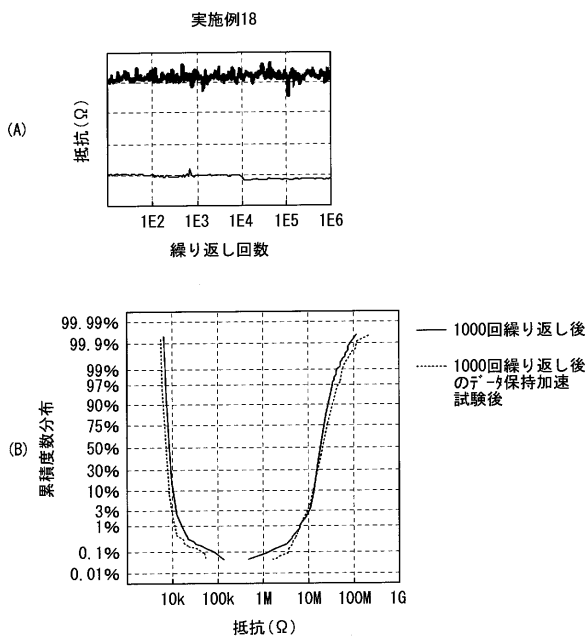
【図48】



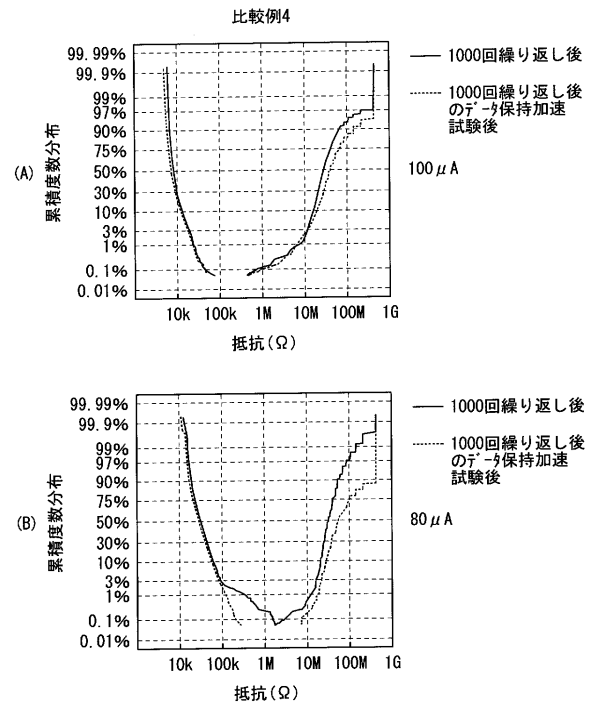
【図49】



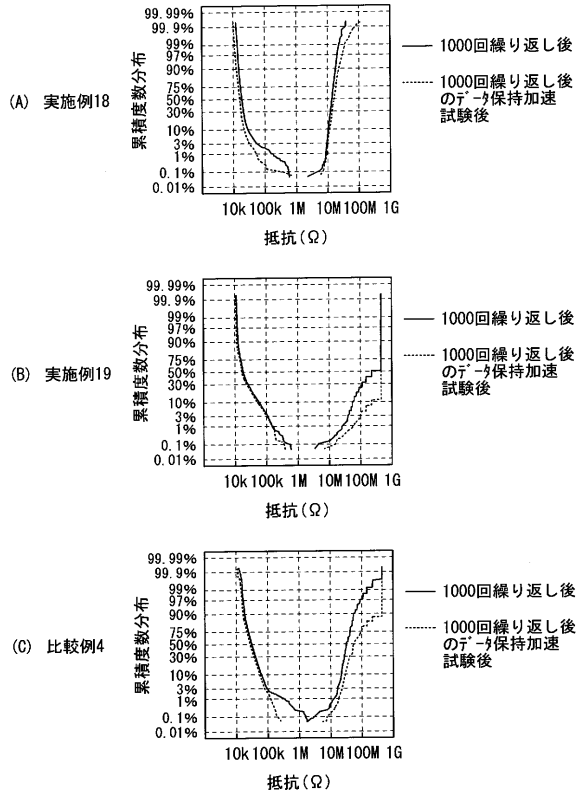
【図50】



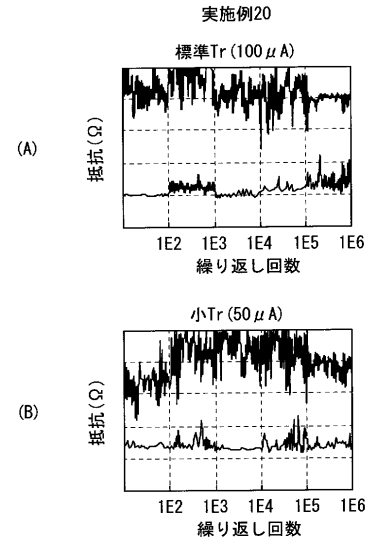
【図51】



【図 5 2】



【図 5 3】



フロントページの続き

- (72)発明者 水口 徹也
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 保田 周一郎
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 荒谷 勝久
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 紫牟田 雅之
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 河内山 彰
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 小笠原 繭美
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 外山 毅

- (56)参考文献 特開2009-164467(JP,A)
特開2009-043905(JP,A)
特開2009-043873(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/105 |
| H01L | 45/00 |
| H01L | 49/00 |