

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2003-168640 (P2003-168640A)
 【公開日】平成 15 年 6 月 13 日 (2003.6.13)
 【出願番号】特願 2001-368077 (P2001-368077)
 【国際特許分類第 7 版】

H 0 1 L 21/027

G 0 3 F 1/08

G 0 3 F 7/20

H 0 1 L 21/82

【F I】

H 0 1 L 21/30 5 1 4 A

G 0 3 F 1/08 A

G 0 3 F 1/08 S

G 0 3 F 7/20 5 2 1

H 0 1 L 21/30 5 0 2 P

H 0 1 L 21/82 C

【手続補正書】

【提出日】平成 16 年 10 月 12 日 (2004.10.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

微細線パターンを含む回路パターンを、ほぼ反転する二種類の位相のいずれかが割り当てられた位相シフト開口部と遮光部とからなる第一の位相シフトマスクと、透光部と遮光部を含む第二のマスクを半導体基板上の同一レジスト膜のほぼ同一位置に多重露光して形成する半導体装置の製造方法において、上記微細線パターンは上記レジスト膜の、マスク上で位相反転する一対の位相シフト開口部に挟まれる領域に対応する領域に形成され、上記微細線パターンから、上記線パターンと垂直な方向の所定距離内で互いに隣接する全ての位相シフト開口部の間の位相が互いにほぼ反転していることを特徴とする半導体装置の製造方法。

【請求項 2】

上記所定距離内に上記微細線パターンと同一材料層で形成される回路パターンが存在せず、かつ、上記所定距離内に上記位相シフト開口が 2 個または 3 個しか存在しない場合、新たに位相シフト開口を加えることにより、上記微細線パターンの両側に少なくとも片側 2 個以上、両側 4 個以上の相互位相反転して隣接する位相シフト開口を設けることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

上記所定の距離 L は、上記露光に用いる光の波長が w_1 、上記露光に用いる投影光学系の開口数を NA としたとき、 $L < 2 \cdot w_1 / NA$ 、もしくは、 $L < 3 \cdot w_1 / NA$ であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

上記回路パターンはトランジスタのゲート層パターンであることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

上記第一の位相シフトマスクと第二のマスクのデータは、上記回路パターンレイアウトデータから作成され、上記第一の位相シフトマスクデータを作成する際、

上記レイアウトデータから抽出した上記微細線パターンの両側を含む領域に位相シフトマスク用の開口部パターンデータを作成し、上記開口部パターン間の距離が上記所定の値以下で隣接する場合、隣接する2つの開口部パターンが上記微細線パターンを挟む、挟まないに関わらず、上記隣接する開口部パターン間の透過光の位相が反転する様に、上記開口部パターンに位相を割り当てることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 6】

上記所定の値以下で隣接する上記開口部パターン間にダミーパターンデータを生成し、上記微細線パターン及びダミーパターンを間に挟んで隣接する開口部パターン間の透過光の位相が反転する様に、上記開口部パターンに位相を割り当てることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 7】

上記第一の位相シフトマスクと第二のマスクのデータは、上記回路パターンレイアウトデータから作成され、上記第一の位相シフトマスクデータを作成する際、

上記レイアウトデータから抽出した上記微細線パターンの両側に位相シフトマスク用の第一の開口パターンデータを作成し、上記第一の開口パターンデータから上記微細線パターンの反対側に十分な配置余裕が存在する場合に限り第二の開口パターンデータを生成し、上記第一及び第二の開口パターンを含んで隣接する開口パターン間の位相が反転するように第一の開口パターンと第二の開口パターンに位相を割り当てることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 8】

微細線パターンを含む回路パターンを、ほぼ反転する二種類の位相のいずれかが割り当てられた位相シフト開口部と遮光部とからなる第一の位相シフトマスクと、透光部と遮光部を含む第二のマスクを半導体基板上の同一レジスト膜のほぼ同一位置に多重露光して形成する半導体装置の製造方法において、上記微細線パターンは上記レジスト膜の、マスク上での位相シフトマスク位相反転する一対の位相シフト開口部に挟まれる領域に対応する領域に形成され、上記第一と第二のマスクのデータは、上記回路パターンレイアウトデータから作成され、第二のマスクデータは、上記第一の位相シフトマスクで潜像形成する上記微細線パターンを第二のマスクの露光に対して保護する保護パターンと、上記微細線パターン以外の回路を含む様に作成され、

上記第一の位相シフトマスクパターンは上記レイアウトデータ及び第一の位相シフトマスクデータと第二のマスクデータに基づいて近接効果補正され、第二のマスクパターンは第二のマスクデータに基づいて近接効果補正されることを特徴とする半導体装置の製造方法。

【請求項 9】

上記第一の位相シフトマスクパターンの近接効果補正は、上記回路パターンを構成する材料の特性、上記レイアウトデータにおける隣接回路パターンまでの距離、上記第一の位相シフトマスクパターンにおけるパターン配置条件、上記第二のマスクパターンにおける保護パターンの寸法に応じて行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項 10】

上記第一の位相シフトマスクの開口部パターンデータを生成し、上記開口部パターンデータに対して位相配置して第一の位相シフトマスクの位相パターンデータを生成し、上記開口部パターンデータに対して上記開口部パターンデータ、第二のマスクパターンデータ及び上記レイアウトデータに基づいて近接効果補正して第一の位相シフトマスクの近接効果補正パターンデータ又は第一の位相シフトマスクの遮光部パターンデータを生成し、上記位相パターンデータ及び近接効果補正パターンデータ又は遮光部パターンデータから、

位相配置及び近接効果補正された第一の位相シフトマスクデータを作成することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 1】

微細線パターンを含む回路パターンを、ほぼ反転する二種類の位相のいずれかが割り当てられた位相シフト開口部と遮光部とからなる第一の位相シフトマスクと、透光部と遮光部を含む第二のマスクを半導体基板上の同一レジスト膜のほぼ同一位置に多重露光して形成する半導体装置の製造方法であって、上記第二のマスクデータにおいて、レイアウトデータから生成された上記第一の位相シフトマスクで形成されるパターンを保護する保護パターンと、上記第二のマスクで潜像形成するパターンの間の距離が、マスク検査可能な最小スペース寸法以下となった場合、上記 2 つのパターンの上記最小スペース寸法以下の部分の対向長が、マスク検査可能な最小スペース寸法以上の場合、上記 2 つのパターン間を遮光パターンで埋め、上記対向長が、マスク検査可能な最小スペース寸法以下の場合、上記部分に接する保護パターンをマスク検査可能な最小スペースが確保できるまで削除することを特徴とする半導体装置の製造方法。

【請求項 1 2】

反転する二種類の位相が交互に割り当てられ遮光部で区切られた位相シフト開口部を有する第一の位相シフトマスクのパターンと、透光部と遮光部を含む第二のマスクのパターンとを半導体基板上の同一レジスト膜に多重露光してゲートパターンを含む回路パターンを形成する半導体装置の製造方法において、

上記ゲートパターンは、上記第一の位相シフトマスク上で位相反転する一对の位相シフト開口部に挟まれる領域に対応する上記レジスト膜の領域に形成され、上記第一の位相シフトマスク上の上記一对の位相シフト開口部が並んでいる方向の所定距離内で互いに隣接する全ての位相シフト開口部の間の位相が互いに反転しており、

上記第一の位相シフトマスクを用いて上記レジスト膜に上記ゲートパターンとダミーゲートパターンの潜像を形成し、上記第二のマスクを用いて上記ゲートパターンの潜像は残し、上記ダミーゲートパターンの潜像は除くように露光することを特徴とする半導体装置の製造方法。

【請求項 1 3】

(a) 被加工膜が形成された半導体基板を準備する工程と、

(b) 前記被加工膜が形成された半導体基板上にレジスト膜を塗布する工程と、

(c) 第 1 のホトマスクを用いて前記レジスト膜を露光し、第 1 のライン部、第 2 のライン部及び第 3 のライン部の潜像を形成する工程と、

(d) 第 2 のホトマスクを用いて、前記レジスト膜の前記第 2 のライン部への露光光は遮蔽し、前記第 1 のライン部及び前記第 3 のライン部へは前記露光光を照射する工程と、

(e) 前記第 1 のホトマスク及び前記第 2 のホトマスクを用いて露光された前記半導体基板を現像し、前記第 1 のライン部及び前記第 3 のライン部は含まず、前記第 2 のライン部を含むレジストパターンを形成する工程とを有し、

前記第 1 のホトマスクは、遮光領域と、前記遮光領域の中に設けられ、前記第 1 のライン部、前記第 2 のライン部及び前記第 3 のライン部の潜像に対応するライン状の遮光部でそれぞれ隔てられた第 1、第 2、第 3 及び第 4 の開口部とを備え、前記第 1 と第 2 の開口部を通過する光の位相は互いに反転し、前記第 1 と第 3 の開口部を通過する光の位相は互いに同位相であり、前記第 2 と第 4 の開口部を通過する光は互いに同相であり、位相を変えるための位相シフトのエッジは前記ライン状の遮光部にそれぞれ配置され、

前記第 2 のホトマスクは、前記第 2 のライン部に対応する領域を遮光するための遮光部と、前記第 1 のライン部及び前記第 3 のライン部に対応する領域を照射するための透過部とを有することを特徴とする半導体装置の製造方法。

【請求項 1 4】

周期配置の第 1、第 2 及び第 3 のゲートと、それらの近傍に並行に非周期配置された第 4 のゲートとを有する半導体装置の製造方法であって、

(a) 被加工膜が形成された半導体基板を準備する工程と、

(b) 前記被加工膜が形成された半導体基板上にレジスト膜を塗布する工程と、

(c) 第1のホトマスクを用いて前記レジスト膜を露光し、第1のダミーゲート部、第1、第2及び第3のゲート部、第2のダミーゲート部、第4のゲート部、第3のダミーゲート部の潜像を形成する工程と、

(d) 第2のホトマスクを用いて、前記レジスト膜の前記第1、第2、第3のゲート部及び前記第4のゲート部への露光光は遮蔽し、前記第1のダミーゲート部、前記第2のダミーゲート部、前記第3のダミーゲート部へは前記露光光を照射する工程と、

(e) 前記第1のホトマスク及び前記第2のホトマスクを用いて露光された前記半導体基板を現像し、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部は含まず、前記第1、第2及び第3のゲート部、前記第4のゲート部を含むレジストパターンを形成する工程とを有し、

前記第1のホトマスクは、遮光領域と、前記遮光領域の中に設けられ、前記第1のダミーゲート部、前記第1、第2、第3のゲート部、前記第2のダミーゲート部、前記第4のゲート部、前記第3のダミーゲート部の潜像に対応するライン状の遮光部でそれぞれ隔てられた第1、第2、第3、第4、第5、第6、第7及び第8の開口部とを備え、前記第1と第2の開口部を通過する光の位相は互いに反転し、前記第1、第3、第5及び第7の開口部を通過する光の位相は互いに同位相であり、前記第2、第4、第6及び第8の開口部を通過する光は互いに同相であり、位相を変えるための位相シフトのエッジは前記ライン状の遮光部にそれぞれ配置され、

前記第2のホトマスクは、前記第1、第2、第3のゲート部に対応する領域を遮光するための第1の遮光領域と、前記第4のゲート部に対応する領域を遮光する第2の遮光部と、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部に対応する領域を照射するための透過部とを備え、前記第1の遮光領域と前記第2の遮光領域とは互いに離間していることを特徴とする半導体装置の製造方法。

【請求項15】

(a) 被加工膜が形成された半導体基板を準備する工程と、

(b) 前記被加工膜が形成された半導体基板上にレジスト膜を塗布する工程と、

(c) 第1のホトマスクを用いて前記レジスト膜を露光し、第1のライン部、第2のライン部、第3のライン部及び第4のライン部の潜像を形成する工程と、

(d) 第2のホトマスクを用いて、前記レジスト膜の前記第2のライン部及び前記第3のライン部への露光光は遮蔽し、前記第1のライン部及び第4のライン部へは前記露光光を照射する工程と、

(e) 前記第1のホトマスク及び第2のホトマスクを用いて露光された前記半導体基板を現像し、前記第1のライン部及び前記第4のライン部は含まず、前記第2のライン部及び前記第3のライン部を含むレジストパターンを形成する工程とを有し、

前記第1のホトマスクは、遮光領域と、前記遮光領域の中に設けられ、前記第1のライン部、第2のライン部、第3のライン部及び第4のライン部の潜像に対応するライン状の遮光部でそれぞれ隔てられた第1、第2、第3、第4及び第5の開口部とを備え、前記第1と第2の開口部を通過する光の位相は互いに反転し、前記第1、第3及び第5の開口部を通過する光の位相は互いに同位相であり、前記第2と第4の開口部を通過する光は互いに同相であり、位相を変えるための位相シフトのエッジは前記ライン状の遮光部にそれぞれ配置され、

前記第2のホトマスクは、前記第2のライン部及び第3のライン部に対応する領域を遮光するための遮光部と、前記第1のライン及び前記第4のラインに対応する領域を照射するための透過部とを備えることを特徴とする半導体装置の製造方法。

【請求項16】

第1及び第2のゲートからなる一対の第Iゲートと、前記第Iゲートに隣接して配置された第3及び第4のゲートからなる一対の第IIゲートとを有する半導体装置の製造方法であって、

(a) 被加工膜が形成された半導体基板を準備する工程と、

(b) 前記被加工膜が形成された半導体基板上にレジスト膜を塗布する工程と、

(c) 第1のホトマスクを用いて前記レジスト膜を露光し、第1のダミーゲート部、第1及び第2のゲート部、第2のダミーゲート部、第3及び第4のゲート部、第3のダミーゲート部の潜像を形成する工程と、

(d) 第2のホトマスクを用いて、前記レジスト膜の前記第1及び第2のゲート部、前記第3及び第4のゲート部への露光光は遮蔽し、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部へは前記露光光を照射する工程と、

(e) 前記第1のホトマスク及び第2のホトマスクを用いて露光された前記半導体基板を現像し、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部は含まず、前記第1及び第2のゲート部、前記第3及び第4のゲート部を含むレジストパターンを形成する工程とを有し、

前記第1のホトマスクは、遮光領域と、前記遮光領域の中に設けられ、前記第1のダミーゲート部、前記第1及び第2のゲート部、前記第2のダミーゲート部、前記第3及び第4のゲート部、前記第3のダミーゲート部の潜像に対応するライン状の遮光部でそれぞれ隔てられた第1、第2、第3、第4、第5、第6、第7及び第8の開口部とを備え、前記第1と第2の開口部を通過する光の位相は互いに反転し、前記第1、第3、第5及び第7の開口部を通過する光の位相は互いに同位相であり、前記第2、第4、第6及び第8の開口部を通過する光は互いに同相であり、位相を変えるための位相シフトのエッジは前記ライン状の遮光部にそれぞれ配置され、

前記第2のホトマスクは、前記第1及び第2のゲート部に対応する領域を遮光するための第1の遮光部と、前記第3及び第4のゲート部に対応する領域を遮光するための第2の遮光部と、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部に対応する領域を照射するための透過部とを備え、前記第1の遮光部と前記第2の遮光部とは互いに離間していることを特徴とする半導体装置の製造方法。

【請求項17】

第1及び第2のゲートからなる一対のゲートと、その近傍に並行に配置された第3のゲートとを有する半導体装置の製造方法であって、

(a) 被加工膜が形成された半導体基板を準備する工程と、

(b) 前記被加工膜が形成された半導体基板上にレジスト膜を塗布する工程と、

(c) 第1のホトマスクを用いて前記レジスト膜を露光し、第1のダミーゲート部、第1及び第2のゲート部、第2のダミーゲート部、第3のゲート部及び第3のダミーゲート部の潜像を形成する工程と、

(d) 第2のホトマスクを用いて、前記レジスト膜の前記第1及び第2のゲート部及び前記第3のゲート部への露光光は遮蔽し、前記第1のダミーゲート部、第2のダミーゲート部及び第3のダミーゲート部へは前記露光光を照射する工程と、

(e) 前記第1のホトマスク及び第2のホトマスクを用いて露光された前記半導体基板を現像し、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部は含まず、前記第1及び第2のゲート部、前記第3のゲート部を含むレジストパターンを形成する工程とを有し、

前記第1のホトマスクは、遮光領域と、前記遮光領域の中に設けられ、前記第1のダミーゲート部、第1及び第2のゲート部、第2のダミーゲート部、第3のゲート部及び第3のダミーゲート部の潜像に対応するライン状の遮光部でそれぞれ隔てられた第1、第2、第3、第4、第5、第6及び第7の開口部とを備え、前記第1と第2の開口部を通過する光の位相は互いに反転し、前記第1、第3、第5及び第7の開口部を通過する光の位相は互いに同位相であり、前記第2、第4及び第6の開口部を通過する光は互いに同相であり、位相を変えるための位相シフトのエッジは前記ライン状の遮光部にそれぞれ配置され、

前記第2のホトマスクは、前記第1及び第2のゲート部に対応する領域を遮光するための第1の遮光領域と、前記第3のゲート部に対応する領域を遮光する第2の遮光部と、前記第1のダミーゲート部、前記第2のダミーゲート部及び前記第3のダミーゲート部に対応する領域を照射するための透過部とを備え、前記第1の遮光領域と前記第2の遮光領域

とは互いに離間していることを特徴とする半導体装置の製造方法。