



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 605

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 19. 02. 75
(21) PV 1075 - 75

(51) Int. Cl.³ G 11 C 5/02

(40) Zveřejněno 15. 09. 81

(45) Vydáno 01. 03. 84

(75)

Autor vynálezu BOCEK KAREL ing. CSc., BYSTRICE NAD OLŠÍ

(54) Paměť pro postupný záznam a čtení

1

Předmětem vynálezu je paměť, která řeší postupný záznam a čtení logických signálů řetězcovitým uspořádáním paměťových obvodů a dalších pomocných zejména hradlovacích logických obvodů.

V oblasti logických sítí jsou známá paměťová zapojení, která umožňují zápis logických signálů jednotlivě, popřípadě posloupností logických signálů anebo zápis posloupnosti kombinací logických signálů.

Paměť podle vynálezu spojuje vlastnosti dříve uvedených zapojení pro zápis a řeší postupný zápis podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících zápis a dále postupné nebo proměnlivé čtení podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících čtení. Skládá se z obvodů, označovaných v dalším smluvně jako paměťový obvod, který představuje elementární paměťový obvod, například dvojkovou paměť se záznamovým vstupem a s mazacím vstupem, s výstupem popřípadě s inverzním výstupem, paměťovou buňkou nebo jiný výhodný paměťový prvek pro záznam jednoho popřípadě několika logických signálů, a dále se skládá z logických kombinačních obvodů s jedním nebo několika vstupy popřípadě pomocnými nebo vedlejšími vstupy, označovaných souhrnně jako pomocný logický obvod nebo logický obvod koncového stupně.

Podstata paměti pro postupný záznam a čtení podle vynálezu spočívá v tom, že se skládá ze základního řetězce složeného nejméně ze dvou paměťových obvodů základního řetězce

spojených v kaskádě za sebou, přičemž výstup prvního paměťového obvodu základního řetězce je spojen se vstupem druhého paměťového obvodu základního řetězce, výstup prvního paměťového obvodu základního řetězce je dále spojen s prvním vstupem prvního hradlovacího obvodu základního řetězce, jehož druhý vstup je spojen s výstupem druhého paměťového obvodu základního řetězce, kterýžto výstup je dále spojen s prvním vstupem druhého hradlovacího obvodu základního řetězce, a skládá se nejméně z jednoho řetězce složeného nejméně ze dvou paměťových obvodů jednoho řetězce spojených v kaskádě za sebou, kde výstup prvního paměťového obvodu jednoho řetězce je spojen se vstupem druhého paměťového obvodu jednoho řetězce, přičemž výstup prvního paměťového obvodu jednoho řetězce je dále spojen se vstupem prvního hradlovacího obvodu jednoho řetězce, výstup druhého paměťového obvodu jednoho řetězce je spojen se vstupem druhého hradlovacího obvodu jednoho řetězce, přičemž výstup prvního hradlovacího obvodu základního řetězce je spojen s řídicím vstupem prvního hradlovacího obvodu jednoho řetězce, jehož výstup je spojen s prvním vstupem jednoho součtového obvodu konceového stupně, výstup druhého hradlovacího obvodu základního řetězce je spojen s řídicím vstupem druhého hradlovacího obvodu jednoho řetězce, jehož výstup je spojen s druhým vstupem jednoho součtového obvodu konceového stupně.

Řídicí vstupy paměťových obvodů základního řetězce jsou spojeny v jednom uzlu.

Řídicí vstupy paměťových obvodů jednoho řetězce jsou spojeny v jednom uzlu.

Řídicí vstupy hradlovacích obvodů základního řetězce jsou spojeny v jednom uzlu.

Předností paměti pro postupný záznam a čtení podle vynálezu je skutečnost, že umožňuje postupný záznam podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících zápis a dále postupné nebo proměnlivé čtení podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících čtení, a to posloupností logických signálů nebo posloupností skupin logických signálů, kterýžto zápis popřípadě čtení proběhne během jednoho jednotkového taktu logické sítě nezávisle na počtu paměťových obvodů v řetězcích a nezávisle na počtu postupně zapsaných logických signálů nebo na počtu postupně zapsaných skupin logických signálů, a souhrnný výsledek čtení je vyjádřen jako logický signál na výstupu obvodu konceového stupně popřípadě výstupech obvodů konceového stupně.

Paměť pro postupný záznam a čtení podle vynálezu je v příkladném provedení znázorněna na přiloženém výkrese.

Na výkrese jsou paměťové obvody základního řetězce spojeny v kaskádě za sebou tak, že výstup prvního paměťového obvodu R_1 základního řetězce je spojen se vstupem r_2 druhého paměťového obvodu R_2 základního řetězce, a výstup druhého paměťového obvodu R_2 základního řetězce je spojen se vstupem r_3 třetího paměťového obvodu R_3 základního řetězce, a výstupy těchto paměťových obvodů jsou dále spojeny se vstupy hradlovacích obvodů základního řetězce tak, že výstup prvního paměťového obvodu R_1 základního řetězce je spojen s prvním vstupem e_1 prvního hradlovacího obvodu E základního řetězce, jehož druhý vstup e_2 je spojen s výstupem druhého paměťového obvodu R_2 základního řetězce, kterýžto výstup je dále spojen s prvním vstupem f_1 druhého hradlovacího obvodu F základního řetězce, jehož druhý vstup f_2 je spojen s výstupem třetího paměťového obvodu R_3 základního řetězce, kterýžto výstup je dále spojen s prvním vstupem g_1 třetího hradlovacího obvodu G základního

řetězce. Druhý vstup g_2 třetího hradlovacího obvodu G základního řetězce je nezapojen.

Paměťové obvody A_1 , A_2 , A_3 jednoho řetězce jsou spojeny v kaskádě za sebou tak, že výstup prvního paměťového obvodu A_1 jednoho řetězce je spojen se vstupem a_2 druhého paměťového obvodu A_2 jednoho řetězce, výstup druhého paměťového obvodu A_2 jednoho řetězce je spojen se vstupem a_3 třetího paměťového obvodu A_3 jednoho řetězce. Výstup prvního paměťového obvodu A_1 jednoho řetězce je dále spojen se vstupem h_1 prvního hradlovacího obvodu H_1 jednoho řetězce, výstup druhého paměťového obvodu A_2 jednoho řetězce je spojen se vstupem h_2 druhého hradlovacího obvodu H_2 jednoho řetězce, výstup třetího paměťového obvodu A_3 jednoho řetězce je spojen se vstupem h_3 třetího hradlovacího obvodu H_3 jednoho řetězce.

Paměťové obvody B_1 , B_2 , B_3 dalšího řetězce jsou spojeny v kaskádě za sebou tak, že výstup prvního paměťového obvodu B_1 dalšího řetězce je spojen se vstupem b_2 druhého paměťového obvodu B_2 dalšího řetězce, výstup druhého paměťového obvodu B_2 dalšího řetězce je spojen se vstupem b_3 třetího paměťového obvodu B_3 dalšího řetězce.

Výstup prvního paměťového obvodu B_2 dalšího řetězce je dále spojen se vstupem k_1 prvního hradlovacího obvodu K_1 dalšího řetězce, výstup druhého paměťového obvodu B_2 dalšího řetězce je spojen se vstupem k_2 druhého hradlovacího obvodu K_2 dalšího řetězce, výstup třetího paměťového obvodu B_3 dalšího řetězce je spojen se vstupem k_3 třetího hradlovacího obvodu K_3 dalšího řetězce.

Hradlovací obvody jsou dále zapojeny tak, že výstup prvního hradlovacího obvodu E základního řetězce je spojen s řídicím vstupem r_1 prvního hradlovacího obvodu H_1 jednoho řetězce, jehož výstup je spojen s prvním vstupem x_1 jednoho součtového obvodu koncového stupně X , a s řídicím vstupem w_1 prvního hradlovacího obvodu K_1 dalšího řetězce, jehož výstup je spojen s prvním vstupem y_1 dalšího součtového obvodu koncového stupně Y .

Výstup druhého hradlovacího obvodu F základního řetězce je spojen s řídicím vstupem r_2 druhého hradlovacího obvodu H_2 jednoho řetězce, jehož výstup je spojen s druhým vstupem x_2 jednoho součtového obvodu koncového stupně X , a s řídicím vstupem w_2 druhého hradlovacího obvodu K_2 dalšího řetězce, jehož výstup je spojen s druhým vstupem y_2 dalšího součtového obvodu koncového stupně Y .

Výstup třetího hradlovacího obvodu G základního řetězce je spojen s řídicím vstupem r_3 třetího hradlovacího obvodu H_3 jednoho řetězce, jehož výstup je spojen s třetím vstupem x_3 jednoho součtového obvodu koncového stupně X , a s řídicím vstupem w_3 třetího hradlovacího obvodu K_3 dalšího řetězce, jehož výstup je spojen s třetím vstupem y_3 dalšího součtového obvodu koncového stupně Y .

Paměťové obvody R_1 , R_2 , R_3 základního řetězce představují s výhodou dvojkové paměti, například klopné obvody se vstupními hradly, spojené v kaskádě za sebou v registrovém zapojení, přičemž jejich pomocné vstupy q_1 , q_2 , q_3 představují řídicí vstupy těchto paměťových obvodů v registrovém zapojení.

Základnímu řetězci přiřazené pomocné logické obvody jsou hradlovací obvody E , F , G základního řetězce, které představují s výhodou kombinační logické obvody, například s logickou funkcí JE - NENÍ se dvěma vstupy e_1 , e_2 ; f_1 , f_2 ; g_1 , g_2 , přičemž jejich případné další pomocné vstupy z ; q ; p představují řídicí vstupy těchto kombinačních logických

obvodů.

Paměťové obvody A_1, A_2, A_3 jednoho řetězce, paměťové obvody B_1, B_2, B_3 dalšího řetězce představují s výhodou dvojkové paměti, například klopné obvody se vstupními hradly, spojené v kaskádě za sebou v registrovém zapojení, přičemž jejich pomocné vstupy c_1, c_2, c_3 popřípadě jejich pomocné vstupy d_1, d_2, d_3 , představují řídicí vstupy těchto paměťových obvodů v registrovém zapojení.

Jednomu řetězci přiřazené logické obvody jsou hradlovací obvody H_1, H_2, H_3 jednoho řetězce, popřípadě dalšímu řetězci přiřazené pomocné logické obvody jsou hradlovací obvody K_1, K_2, K_3 dalšího řetězce, které představují s výhodou kombinační logické obvody, například obvody s logickou funkcí hradla, se vstupem h_1, h_2, h_3 popřípadě se vstupem k_1, k_2, k_3 a s řídicím vstupem r_1, r_2, r_3 popřípadě s řídicím vstupem x_1, x_2, x_3 .

Jeden součtový obvod koncového stupně X , popřípadě další součtový obvod koncového stupně Y představuje s výhodou kombinační logický obvod, například obvod s funkcí logického součtu, vztaženo na vstupy x_1, x_2, x_3 popřípadě na vstupy y_1, y_2, y_3 přičemž případné pomocné vstupy z, z' těchto obvodů koncového stupně X, Y představují s výhodou řídicí vstupy pro uvolňování průchodu signálů těmito obvody.

Funkce paměti pro postupný záznam a čtení podle vynálezu je taková, že v jednom předem nebo průběžně stanoveném časovém okamžiku určujícím zápis přichází na vstup a_1 prvního paměťového obvodu A_1 jednoho řetězce jeden logický signál nebo jeden logický signál z jedné skupiny vstupních signálů, popřípadě na vstup b_1 prvního paměťového obvodu B_1 druhého řetězce druhý logický signál z jedné skupiny vstupních signálů, přičemž v tomto jednom časovém okamžiku se uskutečňuje zápis přivedených logických signálů do těchto paměťových obvodů. Zároveň se uskutečňuje zápis logického signálu předem zvolené logické hodnoty, s výhodou jedničkové logické hodnoty přivedeného na vstup r_1 prvního paměťového obvodu R_1 základního řetězce z tohoto paměťového obvodu R_1 .

Uskutečnění zápisu je závislé na druhu použitých paměťových obvodů, například při použití dvojkové paměti se vstupními hradly se zápis uskutečňuje přivedením řídicího signálu na řídicí vstupy těchto hradel, tj. na pomocný vstup c_1 prvního paměťového obvodu R_1 základního řetězce, na pomocný vstup c_1 prvního paměťového obvodu A_1 jednoho řetězce, popřípadě na pomocný vstup d_1 prvního paměťového obvodu B_2 dalšího řetězce.

V druhém předem nebo průběžně stanoveném časovém okamžiku určujícím zápis přichází na vstup a_1 prvního paměťového obvodu A_1 jednoho řetězce další logický signál nebo jeden logický signál z další skupiny vstupních signálů, popřípadě na vstup b_1 prvního paměťového obvodu B_1 dalšího řetězce druhý logický signál z další skupiny vstupních signálů, přičemž v tomto dalším časovém okamžiku se uskutečňuje zápis přivedených logických signálů do těchto paměťových obvodů. Zároveň se uskutečňuje zápis logického signálu předem zvolené logické hodnoty do prvního paměťového obvodu R_1 základního řetězce.

Současně se uskutečňuje zápis do druhého paměťového obvodu R_2 základního řetězce, do druhého paměťového obvodu A_2 jednoho řetězce, popřípadě do druhého paměťového obvodu B_1 dalšího řetězce, a sice těch logických signálů, které v jednom časovém okamžiku určujícím zápis byly zapsány do příslušného prvního paměťového obvodu R_1 základního řetězce,

prvního popřípadě dalšího řetězce, a které v druhém časovém okamžiku určujícím zápis vzhledem k dříve definovanému zapojení představují logické signály na příslušných výstupech těchto paměťových obvodů.

V případném dalším předem nebo průběžně stanoveném časovém okamžiku určujícím zápis se celý postup opakuje a rozšiřuje na případné třetí paměťové obvody R_3 , A_3 , B_3 řetězců. Výsledkem po tomto dalším časovém okamžiku je provedený zápis do tohoto třetího paměťového obvodu R_3 základního řetězce třetího paměťového obvodu A_3 jednoho řetězce, popřípadě třetího paměťového obvodu B_3 dalšího řetězce.

V jednom předem nebo průběžně stanoveném časovém okamžiku určujícím čtení, který následoval časově například po druhém časovém okamžiku určujícím zápis, probíhá čtení jednoho logického signálu, nebo jednoho logického signálu z jedné skupiny vstupních signálů, který je zapsán ve druhém paměťovém obvodu A_2 jednoho řetězce, popřípadě dalšího logického signálu z jedné skupiny vstupních signálů, zapsaného v druhém paměťovém obvodu B_2 dalšího řetězce, a sice tak, že v tomto okamžiku čtení signál přivedený na řídicí vstupy $\underline{x}$, $\underline{y}$, $\underline{z}$ hradlovacích obvodů $\underline{E}$, $\underline{F}$, $\underline{G}$ základního řetězce uvolňuje průchod vstupního signálu na výstup toho hradlovacího obvodu základního řetězce, který splňuje logickou funkci JE - NENÍ. Příkladně se jedná o výstupní signál na výstupu druhého hradlovacího obvodu $\underline{F}$ základního řetězce podle rovnice:

$$F = [\underline{x}_1 \ \& \ \underline{x}_2] \ \& \ \varphi$$

Tento signál způsobuje na řídicích vstupech připojených obvodů, a sice na řídicím vstupu $\underline{x}_2$ druhého hradlovacího obvodu $\underline{H}_2$ jednoho řetězce, a na řídicím vstupu $\underline{x}_2$ hradlovacího obvodu $\underline{K}_2$ dalšího řetězce uvolnění průchodu signálu vždy ze vstupu $\underline{h}_2$, $\underline{k}_2$ na příslušný výstup těchto hradlovacích obvodů $\underline{H}_2$, $\underline{K}_2$.

Na výstupech součtových obvodů koncového stupně $\underline{X}$, $\underline{Y}$ vzhledem k jejich součtové logické funkci vznikají signály shodné s příslušnými signály na výstupech hradlovacích obvodů $\underline{H}_2$, $\underline{K}_2$ podle rovnic, platných pro okamžik čtení:

$$\begin{aligned} X &= h_2 \ \& \ \gamma_2 = A_2 \ \& \ [\underline{x}_1 \ \& \ \underline{x}_2] \ \& \ \varphi \\ Y &= k_2 \ \& \ \alpha_2 = B_2 \ \& \ \underline{x}_1 \ \& \ \underline{x}_2 \ \& \ \varphi \end{aligned}$$

Zcela obdobné funkce se dosáhne při vynechání pomocných vstupů $\underline{x}$, $\underline{y}$, $\underline{z}$ hradlovacích obvodů $\underline{E}$, $\underline{F}$, $\underline{G}$ základního řetězce, a uplatněním pomocných vstupů $\underline{x}$, $\underline{y}$ obvodů koncového stupně $\underline{X}$, $\underline{Y}$ tak, že vhodným logickým signálem na těchto pomocných vstupech se uvolňuje průchod signálů těmito obvody koncového stupně v časovém okamžiku určujícím čtení.

Uplatnění paměti pro postupný záznam a čtení podle vynálezu je zejména v oblasti syntézy složitých logických obvodů řídicích soustav. Bezprostřední uplatnění je například ve výrobních linkách, kde informace o výrobku postupujícím z jednoho místa nebo výrobního úseku na další, a zejména při nestejné kontinuitě výroby, se zaznamenává ve tvaru vždy jednoho logického signálu nebo jedné skupiny logických signálů do příslušných řetězců paměťových obvodů a ve vhodných časových okamžicích, například odpovídajících příchodu příslušného výrobku do dalšího pracovního místa nebo výrobního úseku jsou čteny.

Předností tohoto uplatnění je zejména jednoduchost, přehlednost a snadná realizova-

telnost, bez nároků na složité a drahé universální řídicí systémy z oblasti číslicové a výpočetní techniky.

PŘEDMĚT VYNÁLEZU

1. Paměť pro postupný záznam a čtení složená z paměťových obvodů a z kombinačních logických obvodů v y z n a č e n á t í m, že se skládá ze základního řetězce složeného nejméně ze dvou paměťových obvodů (R_1, R_2) základního řetězce spojených v kaskádě za sebou, přičemž výstup paměťového obvodu (R_1) základního řetězce je spojen se vstupem (r_2) druhého paměťového obvodu (R_2) základního řetězce, výstup prvního paměťového obvodu (R_1) základního řetězce je dále spojen s prvním vstupem (e_1) prvního hradlovacího obvodu (E) základního řetězce, jehož druhý vstup (e_2) je spojen s výstupem druhého paměťového obvodu (R_2) základního řetězce, kterýžto výstup je dále spojen s prvním vstupem (f_1) druhého hradlovacího obvodu (F) základního řetězce, a skládá se z jednoho řetězce složeného nejméně ze dvou paměťových obvodů (A_1, A_2) jednoho řetězce spojených v kaskádě za sebou, kde výstup prvního paměťového obvodu (A_1) jednoho řetězce je spojen se vstupem (a_2) druhého paměťového obvodu (A_2) jednoho řetězce, přičemž výstup prvního paměťového obvodu (A_1) jednoho řetězce je dále spojen se vstupem (h_1) prvního hradlovacího obvodu (H_1) jednoho řetězce, výstup druhého paměťového obvodu (A_2) jednoho řetězce je spojen se vstupem (h_2) druhého hradlovacího obvodu (H_2) jednoho řetězce, přičemž výstup prvního hradlovacího obvodu (E) základního řetězce je spojen s řídicím vstupem (γ_1) prvního hradlovacího obvodu (H_1) jednoho řetězce, jehož výstup je spojen s prvním vstupem (x_1) jednoho součtového obvodu koncového stupně (X), výstup druhého hradlovacího obvodu (F) základního řetězce je spojen s řídicím vstupem (γ_2) druhého hradlovacího obvodu (H_2) jednoho řetězce, jehož výstup je spojen s druhým vstupem (x_2) jednoho součtového obvodu koncového stupně (X).
2. Paměť podle bodu 1 v y z n a č e n á t í m, že řídicí vstupy (ρ_1, ρ_2) paměťových obvodů (R_1, R_2) základního řetězce jsou spojeny v jednom uzlu.
3. Paměť podle bodu 1 v y z n a č e n á t í m, že řídicí vstupy (α_1, α_2) paměťových obvodů (A_1, A_2) jednoho řetězce jsou spojeny v jednom uzlu.
4. Paměť podle bodu 1 v y z n a č e n á t í m, že řídicí vstupy (ε, φ) hradlovacích obvodů (E, F) základního řetězce jsou spojeny v jednom uzlu.

1 výkres

