

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5118940号
(P5118940)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

H

請求項の数 1 (全 21 頁)

(21) 出願番号 特願2007-286365 (P2007-286365)
(22) 出願日 平成19年11月2日(2007.11.2)
(65) 公開番号 特開2009-118578 (P2009-118578A)
(43) 公開日 平成21年5月28日(2009.5.28)
審査請求日 平成22年10月28日(2010.10.28)

(73) 特許権者 000116024
ローム株式会社
京都府京都市右京区西院溝崎町2 1 番地
(74) 代理人 100085501
弁理士 佐野 静夫
(74) 代理人 100134555
弁理士 林田 英樹
(72) 発明者 和智 貴嗣
京都市右京区西院溝崎町2 1 番地 ローム
株式会社内

審査官 今井 貞雄

(56) 参考文献 特開2006-262103 (JP, A
)

最終頁に続く

(54) 【発明の名称】 電源装置

(57) 【特許請求の範囲】

【請求項 1】

帰還入力される出力電圧と所定の基準電圧との差分を増幅するエラーアンプの出力信号が小さくなるように、出力トランジスタのスイッチング制御を行うことで、入力電圧から所望の出力電圧を生成する電源装置であって、

前記エラーアンプの出力段は、カレントミラー回路を用いて電流信号を出力する構成とされており、前記カレントミラー回路の出力側トランジスタには、抵抗とコンデンサを並列接続して成るブースト回路が接続されていることを特徴とする電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力電圧から所望の出力電圧を生成する電源装置に関するものである。

【背景技術】

【0002】

従来より、入力電圧から所望の出力電圧を生成する手段としては、高精度で高効率が得られるスイッチング電源装置が広く一般に用いられている。

【0003】

なお、上記に関連する従来技術の一例としては、本願出願人による特許文献1、2を挙げることができる。

【特許文献1】特開2004-23846号公報

【特許文献2】特開2004-48835号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、上記のスイッチング電源装置は、スイッチング動作によって得られたパルス電圧をLCフィルタで平滑化して、所望の出力電圧を生成する。そのため、出力電圧の発振を防止するには、出力電圧の帰還制御に際して適切な位相補償を行う必要があり、従来のスイッチング電源装置では、LCフィルタを構成するインダクタや出力コンデンサ、或いは、エラーアンプに接続される位相補償用の抵抗やコンデンサとして、高価で大型の素子を用いなければならず、コストアップや装置規模の増大が招かれていた。

10

【0005】

本発明は、上記の問題点に鑑み、安価な構成でありながら、出力電圧の帰還制御に際して適切な位相補償を行うことが可能な電源装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成すべく、本発明に係る電源装置は、帰還入力される出力電圧と所定の基準電圧との差分を増幅するエラーアンプの出力信号が小さくなるように、出力トランジスタのスイッチング制御を行うことで、入力電圧から所望の出力電圧を生成する電源装置であって、前記エラーアンプの出力段は、カレントミラー回路を用いて電流信号を出力する構成とされており、前記カレントミラー回路の出力側トランジスタには、抵抗とコンデンサを並列接続して成るブースト回路が接続されている構成（第1の構成）とされている。

20

【発明の効果】

【0007】

本発明に係る電源装置であれば、安価な構成でありながら、出力電圧の帰還制御に際して適切な位相補償を行うことが可能となる。

【発明を実施するための最良の形態】

【0008】

図1は、本発明に係る半導体装置の一実施形態を示すブロック図である。

【0009】

まず、本実施形態の半導体装置10の概要について述べる。

30

【0010】

図1に示す半導体装置10は、DVD [Digital Versatile Disc] ドライブやCD [Compact Disc] ドライブなど、光ディスクドライブ用途向けのシステム電源LSIである。第1の特徴は、3.3 [V] 出力の同期整流型降圧DC/DCコンバータを内蔵している点である。第2の特徴は、1.5 [V] 出力の同期整流型降圧DC/DCコンバータを内蔵している点である。第3の特徴は、各チャンネルのDC/DCコンバータを逆相スイッチング動作させることでリップル干渉を抑制している点である。第4の特徴は、ソフトスタート機能（1 [ms] (Typ.)）を内蔵している点である。第5の特徴は、出力電流リミッタや短絡保護機能を内蔵している点である。第6の特徴は、エラーアンプの位相補償機能を内蔵している点である。第7の特徴は、動作周波数を3.0 [MHz] (Typ.) としている点である。第8の特徴は、リセット回路を内蔵している点である。第9の特徴は、リセット検出に際して、アナログ電源電圧AVCCとDC/DCコンバータ出力を監視している点である。第10の特徴は、リセット遅延時間（50 [ms] (Typ.)）をカウントするためのタイマ回路を内蔵している点である。第11の特徴は、LED [Light Emitting Diode] ドライバ用のPチャネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタを内蔵している点である。第12の特徴は、Pチャネル型MOS電界効果トランジスタを用いたカレントスイッチを内蔵している点である。第13の特徴は、シャットダウン機能を内蔵している点である。第14の特徴は、図2に示すパッケージを採用している点である。なお、図2中に記載した寸法値の単位はミリメートルである。

40

【0011】

50

上記の特徴を有する本実施形態の半導体装置 10 は、図 1 に示すように、DC/DC コンバータ部 A と、リセット部 B と、LED ドライバ部 C と、カレントスイッチ部 D と、を集積化して成る。

【0012】

DC/DC コンバータ部 A は、エラーアンプ A 11、A 12 と、PWM [Pulse Width Modulation] コンパレータ A 21、A 22 と、コントールドライバ A 31、A 32 と、カレントリミット回路 A 41、A 42 と、Pチャネル型 MOS 電界効果トランジスタ A 51、A 52 と、Nチャネル型 MOS 電界効果トランジスタ A 61、A 62 と、基準電圧生成回路 A 7 と、発振器 A 8 と、ソフトスタート回路 A 9 と、を有して成る。なお、DC/DC コンバータ部 A は、1.5 [V] の出力電圧を生成する第 1 の DC/DC コンバータと、3.3 [V] の出力電圧を生成する第 2 の DC/DC コンバータを用いて、2 チャンネルの出力電圧を生成するものである。

10

【0013】

リセット部 B は、リセット制御回路 B 1 と、論理和演算器 B 2 と、npn 型バイポーラトランジスタ B 3 と、を有して成る。

【0014】

LED ドライバ部 C は、コントローラ C 1 と、Pチャネル型 MOS 電界効果トランジスタ C 2 と、カレントリミット回路 C 3 と、を有して成る。

【0015】

カレントスイッチ部 D は、コントローラ D 1 と、Pチャネル型 MOS 電界効果トランジスタ D 2 と、カレントリミット回路 D 3 と、を有して成る。

20

【0016】

また、本実施形態の半導体装置 10 は、外部との電氣的接続を確立する手段として、20 本の外部端子 (1 ピン ~ 20 ピン) を有して成る。

【0017】

図 3 は、外部端子のピン番号、端子名、及び、機能を示した対応表である。また、図 4 は、外部端子のピン番号、端子名、等価回路、及び、機能を示した対応表である。

【0018】

DCSW1 端子 (1 ピン) は、1.5 [V] の出力電圧を生成する DC/DC コンバータのスイッチング端子である。なお、DCSW1 端子と PGND1 端子 (5 ピン) との間には、静電保護用クランパが接続されている。

30

【0019】

CSWON 端子 (2 ピン) は、カレントスイッチ制御端子であり、CSWON 端子がハイレベルとされているときに、カレントスイッチ部 C がオン状態となる。なお、CSWON 端子は、TTL [Transistor-Transistor-Logic] レベル入力端子とされており、その信号経路には、静電保護用抵抗 (4 [k] (Typ.)) が接続されている。また、CSWON 端子と AVCC 端子 (18 ピン) との間、及び、CSWON 端子と AGND 端子 (14 ピン) との間には、それぞれ静電保護用ダイオードが接続されている。また、CSWON 端子と AGND 端子との間には、プルダウン抵抗 (100 [k] (Typ.)) が接続されている。

40

【0020】

PVCC1 端子 (3 ピン) は、1.5 [V] の出力電圧を生成する DC/DC コンバータ用の電源入力端子である。なお、PVCC1 端子と AVCC 端子との間には、静電保護用ダイオードが接続されている。また、PVCC1 端子と PGND1 端子との間や、AVCC 端子と PGND1 端子との間には、それぞれ静電保護用クランパが接続されている。

【0021】

XLEDON 端子 (4 ピン) は、LED ドライバ制御端子であり、XLEDON 端子がローレベルとされているとき、LED ドライバ部 C がオン状態となる。なお、XLEDON 端子は、TTL レベル入力端子とされており、その信号経路には、静電保護用抵抗 (4 [k] (Typ.)) が接続されている。また、XLEDON 端子と AVCC 端子との間、

50

及び、XLEDON端子とAGND端子との間には、それぞれ静電保護用ダイオードが接続されている。また、XLEDON端子とAGND端子との間には、プルダウン抵抗（100[k]）（Typ.）が接続されている。

【0022】

PGND1端子（5ピン）は、1.5[V]の出力電圧を生成するDC/DCコンバータ用のGND端子である。

【0023】

PGND2端子（6ピン）は、3.3[V]の出力電圧を生成するDC/DCコンバータ用のGND端子である。

【0024】

RESERVE1端子（7ピン）は、通常時には用いられないリザーブ端子であり、通常時には接地しておくことが望ましい。

【0025】

PVCC2端子（8ピン）は、3.3[V]の出力電圧を生成するDC/DCコンバータ用の電源入力端子である。なお、PVCC2端子とAVCC端子との間には、静電保護用ダイオードが接続されている。また、PVCC2端子とPGND2端子との間や、AVCC端子とPGND2端子との間には、それぞれ静電保護用クランパが接続されている。

【0026】

CS端子（9ピン）は、チップセレクト端子であり、CS端子がハイレベルであるときに、半導体装置10が動作状態となる。なお、CS端子は、TTLレベル入力端子とされており、その信号経路には、静電保護用抵抗（4[k]）（Typ.）が接続されている。また、CS端子とAVCC端子との間、及び、CS端子とAGND端子との間には、それぞれ静電保護用ダイオードが接続されている。

【0027】

DCSW2端子（10ピン）は、3.3[V]の出力電圧を生成するDC/DCコンバータのスイッチング端子である。なお、DCSW2端子とPGND2端子との間には、静電保護用クランパが接続されている。

【0028】

VDCO2端子（11ピン）は、3.3[V]の出力電圧を生成するDC/DCコンバータ用のフィードバック端子である。

【0029】

RESERVE2端子（12ピン）は、通常時には用いられないリザーブ端子であり、通常時には接地しておくことが望ましい。

【0030】

XRESET端子（13ピン）は、リセット出力端子である。なお、XRESET端子は、オープンコレクタ出力形式とされている。また、XRESET端子とAVCC端子との間、及び、XRESET端子とAGND端子との間には、それぞれ静電保護用ダイオードが接続されている。

【0031】

AGND端子（14ピン）は、アナログGND端子である。

【0032】

VDCO1端子（15ピン）は、1.5[V]の出力電圧を生成するDC/DCコンバータ用のフィードバック端子である。

【0033】

XHRST端子（16ピン）は、外部リセット端子であり、XHRST端子がローレベルとされているとき、リセット部Bがリセット状態となる。なお、XHRST端子は、TTLレベルヒステリシス入力端子とされており、その信号経路には、静電保護用抵抗（4[k]）（Typ.）が接続されている。また、XHRST端子とAVCC端子との間、及び、XHRST端子とAGND端子との間には、それぞれ静電保護用ダイオードが接続されている。

10

20

30

40

50

【 0 0 3 4 】

L E D O 端子 (1 7 ピン) は、L E D ドライバ出力端子である。

【 0 0 3 5 】

A V C C 端子 (1 8 ピン) は、アナログ電源端子である。

【 0 0 3 6 】

C S W I 端子 (1 9 ピン) は、カレントスイッチ入力端子である。

【 0 0 3 7 】

C S W O 端子 (2 0 ピン) は、カレントスイッチ出力端子である。

【 0 0 3 8 】

次に、外部端子の端子処理について、図 5 に示す応用回路図を参照しながら、詳細な説明を行う。

10

【 0 0 3 9 】

図 5 は、外部端子の端子処理を説明するための応用回路図である。

【 0 0 4 0 】

基板パターンについて、P V C C 1 端子、P V C C 2 端子、及び、A V C C 端子は、基板上の電源に接続することが望ましい。また、P G N D 1 端子、P G N D 2 端子及び、A G N D 端子は、基板上の G N D に 1 ポイントで接続することが望ましい。また、P V C C 1 端子、P V C C 2 端子、及び、A V C C 端子には、太く短い配線を行い、インピーダンスを十分低くすることが望ましい。また、P G N D 1 端子、P G N D 2 端子、及び、A G N D 端子についても、太く短い配線を行い、インピーダンスを十分低くすることが望ましい。D C / D C コンバータの出力電圧 (V D C O 1 、 V D C O 2) については、図示のように出力コンデンサ C O 1 、 C O 2 の両端から取り出すことが望ましい。また、D C / D C コンバータは、基板パターンや周辺部品により性能が影響を受けるため、周辺回路の設計は十分検討することが望ましい。

20

【 0 0 4 1 】

外付け素子について、P V C C 端子と P G N D 1 端子及び P G N D 2 端子との間に接続されるバイパスコンデンサ C B 1 、 C B 2 としては、等価直列抵抗 (E S R [Equivalent Series Resistance]) の低いセラミックコンデンサを使用し、かつ、できる限り半導体装置 1 0 の近傍に配置することが望ましい。また、これに限らず、インダクタやコンデンサ等の外付け素子は、できる限り半導体装置 1 0 の近傍に配置し、特に大電流が流れる部分については、太く短い配線を行うことが望ましい。

30

【 0 0 4 2 】

図 6 は、上記構成から成る半導体装置 1 0 の電気的特性を示す表である。なお、図 6 に示した電気的特性は、特に指定のない限り、P V C C 1 = P V C C 2 = A V C C = 5 . 0 [V]、周囲温度 T a = 2 5 [] での数値を示している。

【 0 0 4 3 】

次に、上記構成から成る半導体装置 1 0 の諸機能について説明する。

【 0 0 4 4 】

まず、D C / D C コンバータ部 A の機能について説明する。

【 0 0 4 5 】

D C / D C コンバータ部 A は、第 1 出力電圧 V D C O 1 を生成する第 1 の同期整流型 D C / D C コンバータと、第 2 出力電圧 V D C O 2 を生成する第 2 の同期整流型 D C / D C コンバータと、を有して成る。

40

【 0 0 4 6 】

外付け素子としては、降圧用のインダクタンス L 1 、 L 2 (推奨 1 . 5 [μ H])、出力コンデンサ C O 1 、 C O 2 (推奨 1 0 [μ F])、並びに、P V C C 1 端子と P G N D 1 端子との間、及び、P V C C 2 端子と P G N D 2 端子との間にそれぞれ接続されるバイパスコンデンサ C B 1 、 C B 2 (推奨 1 0 [μ F]) を必要とする (図 5 を参照) 。

【 0 0 4 7 】

D C / D C コンバータ部 A は、U V L O [Under Voltage Lock Out] 解除電圧 (3 . 7

50

5 [V] (Typ.)) で動作を開始する。

【 0 0 4 8 】

エラーアンプ A 1 1 は、非反転入力端 (+) に印加される基準電圧 V_{REF} と、反転入力端 (-) に印加される出力電圧 V_{DCO1} との差分を増幅して、誤差電圧 V_{err1} を生成する。PWMコンパレータ A 2 1 は、第 1 非反転入力端 (+) に印加される誤差電圧 V_{err1} と第 2 非反転入力端 (+) に印加されるソフトスタート電圧 V_{ss} のいずれか低い方と、反転入力端 (-) に印加される鋸波電圧 V_{saw} とを比較し、その結果に応じたデューティ比の比較信号 V_{cmp1} を生成する。コントロールドライバ A 3 1 は、比較信号 V_{cmp1} に基づいてトランジスタ 5 1、6 1 のオン/オフ制御を行い、DCSW1 端子にパルス電圧を生成する。これを外付けの LC フィルタ (図 5 の L 1、C O 1) で平滑化することにより、第 1 出力電圧 V_{DCO1} (1 . 5 [V] (Typ.)) を生成する。

10

【 0 0 4 9 】

エラーアンプ A 1 2 は、反転入力端 (-) に印加される基準電圧 V_{REF} と、非反転入力端 (-) に印加される出力電圧 V_{DCO2} との差分を増幅して、誤差電圧 V_{err2} を生成する。PWMコンパレータ A 2 2 は、第 1 反転入力端 (-) に印加される誤差電圧 V_{err2} と第 2 反転入力端 (-) に印加されるソフトスタート電圧 V_{ss} のいずれか低い方と、非反転入力端 (+) に印加される鋸波電圧 V_{saw} とを比較し、その結果に応じたデューティ比の比較信号 V_{cmp2} を生成する。コントロールドライバ A 3 2 は、比較信号 V_{cmp2} に基づいてトランジスタ 5 2、6 2 のオン/オフ制御を行い、DCSW2 端子にパルス電圧を生成する。これを外付けの LC フィルタ (図 5 の L 2、C O 2) で平滑化することにより、第 2 出力電圧 V_{DCO2} (3 . 3 [V] (Typ.)) を生成する。

20

【 0 0 5 0 】

なお、DC / DC コンバータ部 A は、第 1、第 2 の DC / DC コンバータを互いに逆相でオン/オフ制御する構成とされている。このような構成とすることにより、第 1、第 2 の DC / DC コンバータ相互間のリップル干渉を抑制することが可能となる。

【 0 0 5 1 】

また、DC / DC コンバータ部 A の最大出力電流については、許容損失を超えないように、500 [mA] 程度が想定されている。

【 0 0 5 2 】

また、DC / DC コンバータ部 A の起動時には、ソフトスタート回路 A 9 (1 . 0 [ms] (Typ.)) の働きによって、第 1 出力電圧 V_{DCO1} 、及び、第 2 V_{DCO2} を徐々に立ち上げるように、トランジスタ 5 1、6 1 及びトランジスタ 5 2、6 2 のスイッチング制御が行われる。

30

【 0 0 5 3 】

すなわち、DC / DC コンバータ部 A の起動直後には、出力電圧 V_{DCO1} 、 V_{DCO2} がゼロであるため、誤差電圧 V_{err1} 、 V_{err2} が極めて大きくなる。従って、誤差電圧 V_{err1} 、 V_{err2} と鋸波電圧 V_{saw} を比較すると、比較信号 V_{cmp1} 、 V_{cmp2} のデューティ比が過大となり、負荷に過大な電流が流れてしまうことになる。

【 0 0 5 4 】

そこで、本実施形態の半導体装置 1 0 は、誤差電圧 V_{err1} 、 V_{err2} とは別に、ソフトスタート電圧 V_{ss} を PWM コンパレータ A 2 1、A 2 2 に入力しておき、ソフトスタート電圧 V_{ss} が誤差電圧 V_{err1} 、 V_{err2} よりも低いときには、誤差電圧 V_{err1} 、 V_{err2} に依らず、より低いソフトスタート電圧 V_{ss} と鋸波電圧 V_{saw} との比較結果に応じて、比較信号 V_{cmp1} 、 V_{cmp2} のデューティ比を決定する構成とされている。

40

【 0 0 5 5 】

なお、本実施形態の半導体装置 1 0 において、ソフトスタート回路 A 9 は、コンデンサに所定の定電流を流し込むことで、装置の起動後から緩やかに上昇を開始するソフトスタート電圧 V_{ss} を生成する構成とされている。

【 0 0 5 6 】

50

このように、ソフトスタート回路 A 9 を備えた構成であれば、装置の起動時における負荷への過大電流を防止することが可能となる。

【 0 0 5 7 】

次に、リセット部 B の機能について説明する。

【 0 0 5 8 】

リセット部 B は、セットに搭載される D S P [Digital Signal Processor] などにリセット信号を送出する手段である。なお、リセット信号の出力端に相当する X R E S E T 端子は、トランジスタ B 3 のオープンコレクタ出力であり、外部素子として、プルアップ抵抗 R (1 0 [k]) を必要とする (図 5 を参照) 。

【 0 0 5 9 】

リセット制御回路 B 1 は、アナログ電源電圧 A V C C が 3 . 7 [V] (Typ.) 以下、或いは、第 2 出力電圧 V D C O 2 が 2 . 7 [V] (Typ.) 以下であることを検出したとき、論理和演算器 B 2 の第 1 入力端に印加する制御信号をハイレベルとし、トランジスタ B 3 をオンさせる。これにより、X R E S E T 端子は、ローレベル (リセット状態) となる。

【 0 0 6 0 】

また、リセット制御回路 B 1 は、半導体装置 1 0 の起動時には、アナログ電源電圧 A V C C と第 2 出力電圧 V D C O 2 の起動が検出されてから、半導体装置 1 0 に内蔵されているタイマ回路 (不図示) によって 5 0 [m s] (Typ.) がカウントされた後に、トランジスタ B 3 をオフさせて、X R E S E T 端子をハイレベル (リセット解除) とする。

【 0 0 6 1 】

図 7 は、リセット部 B の起動動作を説明するためのタイミングチャートであり、上から順に、A V C C 端子、V D C O 1 端子、V D C O 2 端子、及び、X R E S E T 端子の各電圧波形が示されている。

【 0 0 6 2 】

また、X H R S T 端子は、論理和演算器 B 2 の第 2 入力端 (反転入力端) に接続されている。従って、X H R S T 端子をローレベルとすることで、トランジスタ B 3 は、リセット制御回路 B 1 からの制御信号に依ることなく、オン状態に遷移され、X R E S E T 端子は、ローレベル (リセット状態) とされる。なお、X H R S T 端子を用いたリセット制御の場合、先述のタイマ回路 (5 0 [m s] (Typ.)) は動作しない。

【 0 0 6 3 】

次に、L E D ドライバ部 C の機能について説明する。

【 0 0 6 4 】

L E D ドライバ部 C は、セットに搭載される L E D の点消灯制御を行う手段であり、X L E D O N 端子がローレベルのときにオン状態となる。なお、L E D ドライバ部 C に内蔵されるトランジスタ C 2 のオン抵抗は、最大 1 0 [] であり、最大出力電流としては、5 0 [m A] 程度が想定されている。

【 0 0 6 5 】

次に、カレントスイッチ部 D の機能について説明する。

【 0 0 6 6 】

カレントスイッチ部 D は、セットに搭載されるピックアップ (特にレーザダイオード) への電源供給をオン / オフ制御する手段であり、C S W O N 端子がハイレベルのときにオン状態となる。なお、C S W I 端子側にアナログ電源電圧 A V C C などを印加し、C S W O 端子側に負荷を接続する形で使用される。また、カレントスイッチ部 D に内蔵されるトランジスタ D 2 のオン抵抗は、最大 1 . 0 [] であり、最大出力電流としては、1 0 0 [m A] 程度が想定されている。

【 0 0 6 7 】

上記したように、本実施形態の半導体装置 1 0 は、2 チャンネルの D C / D C コンバータ部 A に加えて、リセット部 B、L E D ドライバ部 C、及び、カレントスイッチ部 D を 1 チップに内蔵した構成とされている。このような構成とすることにより、システム電源 I C 周辺部の回路群を 1 チップ化することができ、D V D や C D の電源部を容易に構成する

10

20

30

40

50

ことが可能となる。

【0068】

また、本実施形態の半導体装置10であれば、リセット部B、LEDドライバ部C、及び、カレントスイッチ部Dを各単体のIC、ないしは、ディスクリート部品で形成する構成に比べて、セット規模の縮小や応答速度の向上、及び、消費電力の低減を実現することが可能となる。

【0069】

次に、出力電圧VDCO1、VDCO2の起動について説明する。

【0070】

図8は、出力電圧の起動波形を示すタイミングチャートであり、上から順に、電源端子(PVCC、AVCC)、VDCO2端子、VDCO1端子、XRESET端子、XHRSET端子、CSWO端子、及び、LEDO端子の各電圧波形を示している。なお、図8は、CS=5[V]、CSWON=5[V]、XLEDON=0[V]に設定されている場合の様子を示したものである。

10

【0071】

電源端子(PVCC、AVCC)の電圧レベルが3.75[V]に達すると、UVLOが解除され、DC/DCコンバータ部Aが動作を開始する。このとき、第1のDC/DCコンバータと第2のDC/DCコンバータは、同時に起動される。なお、ソフトスタート期間は1[ms]に設定されている。また、半導体装置10の起動に際して、DC/DCコンバータ部Aの各出力は、軽負荷の状態としておくことが望ましい。

20

【0072】

リセット部Bは、アナログ電源電圧AVCCと第2出力電圧VDCO2の双方を監視しており、それぞれが3.7[V]、2.7[V]に達してから所定期間(50[ms])の経過後に、XRESET端子をハイレベル(リセット解除)とする(図7を参照)。

【0073】

リセット状態が解除された後、例えば、第2出力電圧VDCO2が2.7[V]を下回ると、リセット部Bは、XRESET端子をローレベル(リセット状態)とし、その後、第2出力電圧VDCO2が2.8[V]を上回ると、その時点から50[ms]経過した後に、リセット部Bは、XRESET端子をハイレベル(リセット解除)とする。一方、第1出力電圧VDCO1は監視されていないため、これが低下した場合でも、XRESET端子がローレベル(リセット状態)とされることはない。

30

【0074】

また、XHRST端子によるホストリセットに関して、XHRST端子がローレベルとされている間、リセット部Bは、XRESET端子をローレベル(リセット状態)とし、XHRST端子がハイレベルに戻された時点で、リセット部Bは、XRESET端子を即時にハイレベル(リセット解除)とする。ただし、電圧モニタによるリセット解除から50[ms]以内の期間は、XHRST端子によるホストリセットが無効とされている。

【0075】

次に、過電流/短絡保護機能について説明する。

【0076】

DC/DCコンバータ部A、LEDドライバ部C、及び、カレントスイッチ部Dの各出力動作を制御するコントロールドライバA31、A32、コントローラC1、及び、コントローラD1には、過電流/短絡保護機能を実現する手段として、カレントリミット回路A41、A42、C3、D3が各々接続されている。すなわち、XRESET端子以外の各出力端子には、いずれも過電流/短絡保護機能が内蔵されているので、突発的なGNDショートによる破壊から半導体装置10を保護することが可能となる。

40

【0077】

まず、DC/DCコンバータ部Aの過電流検出動作について説明する。

【0078】

図9は、DC/DCコンバータ部Aの過電流検出動作を説明するためのタイミングチャ

50

ートであり、上から順に、CS端子、VDCO1端子、DCSW1端子、及び、VDCO2端子の各電圧波形を示している。なお、図9では、第1出力電圧VDCO1を生成する第1のDC/DCコンバータで過電流が生じた際の様子が例示されている。

【0079】

カレントリミット回路A41で過電流(1.5[A](Typ.))が検出されると、所定期間(1.0[μs](Typ.))だけ、PVCC端子から出力コンデンサCO1への充電が禁止され、第1出力電圧VDCO1の生成動作が停止される。一方、カレントリミット回路A42で過電流が検出されていない限り、第2出力電圧VDCO2の生成動作は継続される。第1出力電圧VDCO1の生成動作を停止してから上記所定期間が経過すると、第1出力電圧VDCO1の生成動作が再開され、カレントリミット回路A41で再度の過電流判定が行われる。このとき、過電流状態が解消されていなければ、先述と同様、所定期間だけ、第1出力電圧VDCO1の生成動作が停止される。

10

【0080】

このような状態が所定期間(1.5[ms](Typ.))だけ継続すると、短絡保護機能(タイマーオフラッチ機能)が働いて、第1出力電圧VDCO1と第2出力電圧VDCO2の生成動作がいずれも停止される。DC/DCコンバータ部Aの出力動作を再開するためには、半導体装置10に対して電源を再投入するか、或いは、CS端子を用いたシャットダウン動作を行えばよい。

【0081】

なお、第2出力電圧VDCO2を生成する第2のDC/DCコンバータで過電流が生じた場合には、第2出力電圧VDCO2の生成動作が断続的に停止された後、最終的には、第1出力電圧VDCO1と第2出力電圧VDCO2の生成動作がいずれも停止される。

20

【0082】

次に、LEDドライバ部Cの過電流検出動作について説明する。なお、カレントスイッチ部Dの過電流検出動作についても、LEDドライバ部Cと同様であるため、重複した説明は省略する。

【0083】

図10は、LEDドライバ部Cに内蔵されたカレントリミット回路C3の一構成例を示す回路図である。また、図11は、LEDに対する出力電流ILEDOと出力電圧LEDOとの関係を示す相関図である。

30

【0084】

図10に示すように、カレントリミット回路C3は、コンパレータC3a、C3bと、センス抵抗C3cと、直流電圧源C3dと、を有して成る。コンパレータC3aは、センス抵抗C3cの両端電圧(出力電流ILEDOの大小に応じて変動する電圧信号)が所定値に達しているか否かを判定する手段であり、コンパレータC3bは、出力電圧LEDOが所定値Vthに達しているか否かを判定する手段である。

【0085】

コントローラC1は、コンパレータC3aの出力信号に基づいて、出力電流ILEDOが第1閾値ILIM1に達しているか否かを判断し、出力電流ILEDOが第1閾値ILIM1に達していなければ、出力電圧LEDOを所定値(5.0[V])に維持するように、トランジスタC2の導通度(オン抵抗)を制御する(図11の定電圧制御期間Xを参照)。一方、出力電流ILEDOが第1閾値に達していると判断した場合、コントローラC1は、出力電流ILEDOを第1閾値ILIM1に維持するように、トランジスタC2の導通度(オン抵抗)を制御して、出力電圧LEDOを低下させていく。

40

【0086】

このとき、コントローラC1は、コンパレータC3bの出力信号に基づいて、出力電圧LEDOが閾値電圧Vthを下回っているか否かを判断し、出力電圧LEDOが閾値電圧Vthを下回っていなければ、引き続き、出力電流ILEDOを第1閾値ILIM1に維持するように、トランジスタC2の導通度(オン抵抗)を制御して、出力電圧LEDOを低下させる(図11の第1電流制限期間Yを参照)。一方、出力電圧LEDOが閾値電圧

50

V_{th}を下回っていると判断した場合、コントローラC1は、出力電流I_{LEDO}を第1閾値I_{LM1}よりも低い第2閾値I_{LM2}に維持するように、トランジスタC2の導通度(オン抵抗)を制御して、出力電圧V_{LEDO}をさらに低下させていく(図11の第2電流制限期間Zを参照)。

【0087】

このように、2段階のカレントリミット動作を行うことにより、半導体装置10の安全性を高めることが可能となる。なお、LEDO端子で過電流が検出された場合でも、その他の出力端子(V_{DCO1}端子、V_{DCO2}端子、及び、CSWO端子)については、通常動作が継続される。

【0088】

次に、過電圧ミュート機能について説明する。

【0089】

図12は、過電圧ミュート機能を説明するためのタイミングチャートであり、上から順番に、電源端子(A_{VCC}、P_{VCC})、V_{DCO1}端子、V_{DCO2}端子、CSWO端子、及び、LEDO端子の各電圧波形が示されている。

【0090】

図1では明示していないが、半導体装置10には、過電圧による半導体装置10の誤動作を防止する手段として、過電圧ミュート回路が内蔵されている。図12に示すように、電源電圧(A_{VCC}、P_{VCC})が6.5[V](Typ.)以上になると、過電圧ミュート機能が働き、DC/DCコンバータ部Aはスイッチングを停止する。これにより、過電圧による半導体装置10の誤動作を防止することが可能となる。

【0091】

次に、U_{VLO}機能について説明する。

【0092】

図13は、U_{VLO}機能を説明するためのタイミングチャートであり、上から順番に、電源端子(A_{VCC}、P_{VCC})、V_{DCO1}端子、V_{DCO2}端子、CSWO端子、及び、LEDO端子の各電圧波形が示されている。

【0093】

図1では明示していないが、半導体装置10には、減電圧による半導体装置10の誤動作を防止する手段として、U_{VLO}回路が内蔵されている。図13に示すように、電源電圧(A_{VCC}、P_{VCC})が3.65[V](Typ.)以下(LEDドライバ部Cは3.70[V](Typ.)以下)になると、U_{VLO}機能が働き、DC/DCコンバータ部Aはスイッチングを停止する。これにより、減電圧による半導体装置10の誤動作を防止することが可能となる。なお、電源電圧(A_{VCC}、P_{VCC})が3.75[V](Typ.)以上(LEDドライバ部Cは3.90[V](Typ.)以上)に戻ると、シャットダウンが解除されて、出力電圧の生成動作が再起動される。

【0094】

次に、CS端子を用いたシャットダウン機能について説明する。

【0095】

図14は、CS端子を用いたシャットダウン機能を説明するためのタイミングチャートであり、上から順番に、CS端子、V_{DCO2}端子、V_{DCO1}端子、CSWO端子、及び、LEDO端子の各電圧波形が示されている。なお、図14は、A_{VCC}=P_{VCC}=5[V]、CS_{WON}=5[V]、X_{LEDON}=0[V]に設定されている場合の様子を示したものである。

【0096】

図14に示すように、CS端子がローレベルとされたときには、先述の保護機能(U_{VLO}機能など)が動作したときと同様、DC/DCコンバータ部Aがスイッチングを停止する。また、LEDドライバ部Cやカレントスイッチ部Dの出力も0[V]となる。その後、CS端子がハイレベルとされたときには、シャットダウンが解除されて、各々の出力動作が再開される。

10

20

30

40

50

【0097】

なお、上記のシャットダウンに際して、VDCO1端子及びVDCO2端子の各端子電圧は、DC/DCコンバータ部Aの出力段を形成するローサイドスイッチ（トランジスタA61、A62）のオン抵抗を介してディスチャージされる。また、CSWO端子及びLEDO端子の各端子電圧は、半導体装置10に内蔵された抵抗（図1には不図示）を介してディスチャージされる。

【0098】

次に、サーマルシャットダウン機能について説明する。

【0099】

図1では明示していないが、半導体装置10には、その熱的破壊を防止する手段としてサーマルシャットダウン回路が内蔵されている。チップ温度が $T_{jmax} = 175$ [] (Typ.) に達すると、サーマルシャットダウン機能が働き、DC/DCコンバータ部Aはスイッチングを停止する。このような制御により、半導体装置10を熱的暴走から保護することが可能となる。

10

【0100】

なお、上記のサーマルシャットダウン時には、図15に示すように、DC/DCコンバータ部Aの出力段を形成するハイサイドのトランジスタ（A51、A52）とローサイドのトランジスタ（A61、A62）がいずれもオフ状態とされ、VDCO1端子及びVDCO2端子がいずれもハイインピーダンス状態とされる。すなわち、先述のCS端子を用いたシャットダウン時と異なり、サーマルシャットダウン時には、VDCO1端子及びC
DCO2端子の各端子電圧がディスチャージされことなく維持される。従って、異常高温下でローサイドのトランジスタ（A61、A62）に電流が流れることはないの、素子の破壊やさらなる温度上昇を回避することが可能となる。なお、LEDO端子及びCSWO端子の各端子電圧については、先述のCS端子を用いたシャットダウン時と同様、半導体装置10に内蔵された抵抗（図1には不図示）を介してディスチャージされる。

20

【0101】

次に、DC/DCコンバータ部Aの位相補償について説明する。

【0102】

半導体装置10は、エラーアンプA11、A12の位相補償を装置内部で行っており、インダクタL1、L2及び出力コンデンサCO1、CO2については、安定動作を行うために推奨値（ 1.5 [μH]、 10 [μF] 以上）を用いることが望ましい。入力コンデンサは、ESRの低い 10 [μF] 以上のセラミックコンデンサを使用することが望ましい。なお、重負荷時でも安定動作を行えるように、PVC端子とPGND端子との間のバイパスコンデンサCB1、CB2は、図16に示すように、半導体装置10から最小となる距離に配置することが望ましい。出力コンデンサCO1、CO2としては、セラミックコンデンサを使用することが可能であり、これにより低ノイズ及び低リプルの電源を構成することができる。また、DC/DCコンバータ部Aの出力は、図5に示したように、できる限り出力コンデンサCO1、CO2の両端から取り出すことが望ましい。

30

【0103】

次に、エラーアンプA11、A12内部での位相補償について説明する。

40

【0104】

図17は、エラーアンプA11の一構成例（特に出力段周辺）を示す回路図である。なお、エラーアンプA12は、エラーアンプA11と同様の構成であるため、ここでは重複した説明を省略する。

【0105】

本構成例のエラーアンプA11は、出力電圧帰還型の電流出力アンプであり、第1出力電圧VDCO1と基準電圧VREFが差動入力される入力段A11aと、入力段A11aからの電圧信号を電流信号に変換して出力する出力段A11bと、を有して成る。

【0106】

出力段A11bは、コレクタが入力段A11aの出力端に接続されるnpn型バイポー

50

ラトランジスタQ 1と、ベースがトランジスタQ 1のベース及びコレクタに接続されるn p n型バイポーラトランジスタQ 2と、トランジスタQ 1のエミッタと接地端との間に接続される抵抗R 1と、トランジスタQ 2のコレクタと電源端との間に接続される定電流源I 1と、トランジスタQ 2のエミッタと接地端との間に接続されるブースト回路B S Tとを有して成り、トランジスタQ 2のコレクタから電流信号を出力する構成とされている。なお、ブースト回路B S Tは、抵抗R B S TとコンデンサC B S Tを並列接続して成る。

【0107】

このように、エラーアンプA 1 1の出力段A 1 1 bは、一対のトランジスタQ 1、Q 2から成るカレントミラー回路を用いて電流信号を出力する構成であり、これにブースト回路B S Tが挿入された形となっている。

【0108】

ブースト回路B S Tは、電流信号の周波数が低周波数領域であるときには、所定のインピーダンスを有する抵抗回路として機能し、電流信号の周波数が高周波数領域であるときには、そのインピーダンスが低下して、トランジスタQ 2のエミッタと接地端との間を交流的に短絡するバイパス回路として機能する。

【0109】

従って、電流信号の周波数が高周波数領域であるときには、トランジスタQ 1、Q 2から成るカレントミラー回路のミラー比が大きくなるので、エラーアンプA 1 1のゲインを高めることが可能となり、延いては、位相余裕（ゲインが0 [d b]であるときの位相）を維持することが可能となる。

【0110】

図18は、エラーアンプA 1 1の周波数特性を示す図であり、横軸は周波数、縦軸は位相とゲインを示している。なお、本図では、インダクタL 1及び出力コンデンサC O 1の特性値を各々1.5 [μ H]、10 [μ F]に設定した場合の周波数特性を示している。また、図中の実線は本発明（ブースト回路あり）の挙動を示すものであり、破線は従来構成（ブースト回路なし）の挙動を示すものである。

【0111】

図18に示すように、本発明の構成であれば、インダクタL 1及び出力コンデンサC O 1として特性値の小さい素子を用いた場合であっても、エラーアンプA 1 1の位相余裕を十分に維持することができるので、上記の特性値が多少ばらついても、D C / D Cコンバータを安定に動作させることが可能となる。また、エラーアンプA 1 1の出力端に接続する位相補償コンデンサの容量値を数 [p F]まで小さくすることもできるため、これを半導体装置10に内蔵することが可能となる。

【0112】

次に、動作周波数の安定化技術について説明する。

【0113】

周囲温度や電源電圧の変動に伴って、D C / D Cコンバータ部Aの動作周波数が所望の設定値（3 [M H z]）から大きく変動してしまうと、先述の位相補償に影響を及ぼし、出力リップルが増大してしまう。そこで、半導体装置10では、発振器A 8の発振周波数を決定する定電流I cの温度特性並びに電源電圧特性をいずれもフラットとするように、定電流源の回路構成に工夫を凝らしている。

【0114】

図19は、定電流源の一構成例を示す回路図である。

【0115】

本図に示すように、本構成例の定電流源は、p n p型バイポーラトランジスタトランジスタQ a、Q b、Q cと、n p n型バイポーラトランジスタQ d、Q eとを有して成る。

【0116】

トランジスタQ a、Q b、Q cのエミッタは、それぞれ、抵抗R a、R b、R cを介して、バンドギャップ電圧V B Gの印加端に接続されている。トランジスタQ a、Q b、Q cのベースは、いずれもトランジスタQ bのコレクタに接続されている。トランジスタQ

10

20

30

40

50

aのコレクタは、トランジスタQ dのコレクタに接続されている。トランジスタQ bのコレクタは、トランジスタQ eのコレクタに接続されている。トランジスタQ eのコレクタは、発振器A 8の定電流入力端に接続されている。トランジスタQ d、Q eのベースは、いずれもトランジスタQ dのコレクタに接続されている。トランジスタQ dのエミッタは接地端に接続されている。トランジスタQ eのエミッタは、抵抗R eを介して接地端に接続されている。

【0117】

上記したように、本構成例の定電流源は、定電流I cの電源電圧特性をフラットとするために、バンドギャップ電源回路で生成されたバンドギャップ電圧V B Gを駆動電圧として用いている。

10

【0118】

また、本構成例の定電流源は、トランジスタQ dのベース・エミッタ間降下電圧V fの温度特性と、抵抗R eの温度特性を互いに相殺させることで、定電流I cの温度特性をフラットとしている。

【0119】

このような定電流源を用いることにより、図20で示すように、DC/DCコンバータ部Aの動作周波数を所望の設定値(3[MHz])に維持することが可能となる。

【0120】

次に、DC/DCコンバータ部Aの特性向上について説明する。

【0121】

20

DC/DCコンバータ部Aの動作周波数が高速であるほど、出力端に接続されるインダクタL 1、L 2や出力コンデンサC O 1、C O 2の特性値を小さくしても、図21に示すように、出力リップルを小さく抑えることができる。一方、DC/DCコンバータ部Aの動作周波数を高速にすると、スイッチング損失が大きくなり、変換効率が低下してしまう。

【0122】

そこで、DC/DCコンバータ部Aでは、動作周波数を従来の1.5[MHz]から3[MHz]まで高めた上で、その変換効率を低下させない工夫を凝らしている。

【0123】

まず、トランジスタA 5 1、A 6 1、及び、トランジスタA 5 2、A 6 2を同時オフさせる期間(デッドタイム)の最適化を行い、スイッチング損失の低減を行っている。

30

【0124】

動作周波数を3[MHz]に設定した場合、PWM信号の周期は、333.3[ns]となり、PWM信号の最小パルス幅は、60[ns]前後(最小デューティ20%)となる。従って、PWM信号のデッドタイムとしては、5~10[ns]という極めて短い時間を正確に設定しなければならない。

【0125】

なお、従来構成では、抵抗とコンデンサから成るRC時定数回路を用いて、デッドタイムを設定していたが、このような構成では、素子ばらつきの影響が大きいため、デッドタイムを正確に設定することができない。

【0126】

40

そこで、本発明では、素子ディレイ(トランジスタから成るインバータの論理反転遅延時間)を用いて、PWM信号のデッドタイムを設定する構成とされている。このような構成とすることにより、RC時定数回路を用いる従来構成に比べて、PWM信号のデッドタイムを正確に設定することができるので、DC/DCコンバータ部Aのスイッチング損失を低減することが可能となる。

【0127】

図22は、負荷電流と変換効率の相関関係を示す図である。本図に示すように、半導体装置10であれば、DC/DCコンバータ部Aの動作周波数を3[MHz]に設定し、インダクタL 1、L 2や出力コンデンサC O 1、C O 2の特性値を小さく設定しても、十分な効率(特に負荷電流として数百[mA]を流す高負荷領域における効率)を得ること

50

が可能となる。

【 0 1 2 8 】

また、P W M信号のデッドタイムを合わせ込む過程で、トランジスタA 5 1、A 6 1、及び、トランジスタA 5 2、A 6 2のゲートに付随する寄生コンデンサの容量値を見積もることができたため、これに応じてドライバの電流能力を調整し、スルーレートの最適化を行っている。このような調整により、出力スパイクノイズの低減（図23の例では、第1出力電圧V D C O 1について、p p値 = 2 0 [m V]程度まで低減）や、出力負荷応答の改善（図24の例では、第1出力電圧V D C O 1について、 $V = 2 5$ [m V]程度に改善）を実現することが可能となる。

【 0 1 2 9 】

なお、上記の実施形態では、D V DドライブやC Dドライブなど、光ディスクドライブ用途向けのシステム電源L S Iに本発明を適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、その他の電源装置にも広く適用することが可能である。

【 0 1 3 0 】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【産業上の利用可能性】

【 0 1 3 1 】

本発明は、例えば、D V DドライブやC Dドライブなど、光ディスクドライブ用途向けのシステム電源L S Iに好適な技術である。

【図面の簡単な説明】

【 0 1 3 2 】

【図1】は、本発明に係る半導体装置の一実施形態を示すブロック図である。

【図2】は、半導体装置10の外形寸法図である。

【図3】は、外部端子のピン番号、端子名、及び、機能を示した対応表である。

【図4】は、外部端子のピン番号、端子名、等価回路、及び、機能を示した対応表である。

【図5】は、外部端子の端子処理を説明するための応用回路図である。

【図6】は、半導体装置10の電気的特性を示す表である。

【図7】は、リセット部Bの起動動作を説明するためのタイミングチャートである。

【図8】は、出力電圧の起動波形を示すタイミングチャートである。

【図9】は、D C / D Cコンバータ部Aの過電流検出動作を説明するためのタイミングチャートである。

【図10】は、L E Dドライバ部Cに内蔵されたカレントリミット回路C 3の一構成例を示す回路図である。

【図11】は、出力電流I L E D Oと出力電圧L E D Oの関係を示す相関図である。

【図12】は、過電圧ミュート機能を説明するためのタイミングチャートである。

【図13】は、U V L O機能を説明するためのタイミングチャートである。

【図14】は、C S端子を用いたシャットダウン機能を説明するためのタイミングチャートである。

【図15】は、サーマルシャットダウン時のスイッチング状態を示す回路図である。

【図16】は、バイパスコンデンサC B 1、C B 2の一配置例を示す模式図である。

【図17】は、エラーアンプの一構成例（特に出力段周辺）を示す回路図である。

【図18】は、エラーアンプA 1 1の周波数特性を示す図である。

【図19】は、定電流源の一構成例を示す回路図である。

【図20】は、動作周波数の温度特性を示す図である。

【図21】は、D C / D Cコンバータ部Aの出力リップルを示す図である。

【図22】は、負荷電流と変換効率の相関関係を示す図である。

【図23】は、D C / D Cコンバータ部Aの出力スパイクノイズを示す図である。

10

20

30

40

50

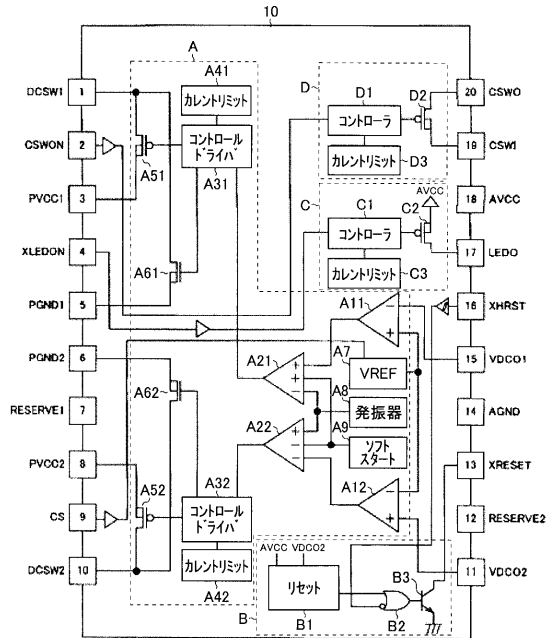
【図 2 4】は、D C / D C コンバータ部 A の出力負荷応答を示す図である。

【符号の説明】

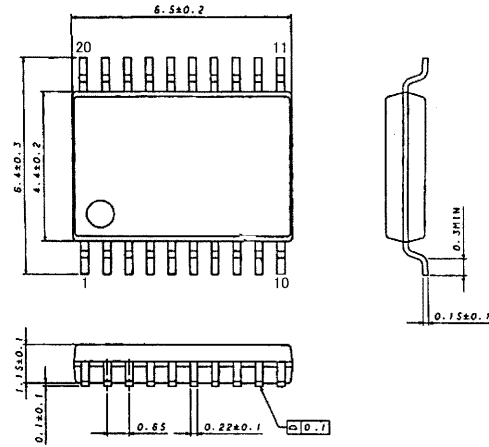
【 0 1 3 3 】

1 0	半導体装置 (システム電源 L S I)	
A	D C / D C コンバータ部	
A 1 1、A 1 2	エラーアンプ	
A 1 1 a	入力段	
A 1 1 b	出力段	
A 2 1、A 2 2	P W M コンパレータ	
A 3 1、A 3 2	コントロールドライバ	10
A 4 1、A 4 2	カレントリミット回路	
A 5 1、A 5 2	P チャネル型 M O S 電界効果トランジスタ	
A 6 1、A 6 2	N チャネル型 M O S 電界効果トランジスタ	
A 7	基準電圧生成回路	
A 8	発振器	
A 9	ソフトスタート回路	
B	リセット部	
B 1	リセット制御回路	
B 2	論理和演算器	
B 3	n p n 型バイポーラトランジスタ	20
C	L E D ドライバ部	
C 1	コントローラ	
C 2	P チャネル型 M O S 電界効果トランジスタ	
C 3	カレントリミット回路	
C 3 a、C 3 b	コンパレータ	
C 3 c	センス抵抗	
C 3 d	直流電圧源	
D	カレントスイッチ部	
D 1	コントローラ	
D 2	P チャネル型 M O S 電界効果トランジスタ	30
D 3	カレントリミット回路	
L 1、L 2	インダクタ	
C O 1、C O 2	出力コンデンサ	
C B 1、C B 2	バイパスコンデンサ	
Q 1、Q 2	n p n 型バイポーラトランジスタ	
R 1	抵抗	
I 1	定電流源	
B S T	ブースト回路	
R B S T	抵抗	
C B S T	コンデンサ	40
Q a、Q b、Q c	p n p 型バイポーラトランジスタ	
Q d、Q e	n p n 型バイポーラトランジスタ	
R a、R b、R c、R e	抵抗	

【図 1】



【図 2】



【図 3】

端子 NO.	端子名	機能
1	DCSW1	1.5V 出力 DC/DC コンバータスイッチング端子
2	CSWON	カレントスイッチ制御端子(CSWON=High にて ON 状態)
3	PVCC1	1.5V 出力 DC/DC コンバータ用電源入力端子
4	XLEDON	LED ドライバ制御端子(XLEDON=Low にて ON 状態)
5	PGND1	1.5V 出力 DC/DC コンバータ用 GND 端子
6	PGND2	3.3V 出力 DC/DC コンバータ用 GND 端子
7	RESERVE1	弊社リザーブ端子
8	PVCC2	3.3V 出力 DC/DC コンバータ用電源入力端子
9	CS	チップセレクト端子(CS=High にて IC 動作)
10	DCSW2	3.3V 出力 DC/DC コンバータスイッチング端子
11	VDCO2	3.3V 出力 DC/DC コンバータ用フィードバック端子
12	RESERVE2	弊社リザーブ端子
13	XRESET	リセット出力端子
14	AGND	アナログ GND 端子
15	VDCO1	1.5V 出力 DC/DC コンバータ用フィードバック端子
16	XHRST	外部リセット端子(XHRST=Low にてリセット状態)
17	LEDO	LED ドライバ出力端子
18	AVCC	アナログ電源端子
19	CSWI	カレントスイッチ入力端子
20	CSWO	カレントスイッチ出力端子

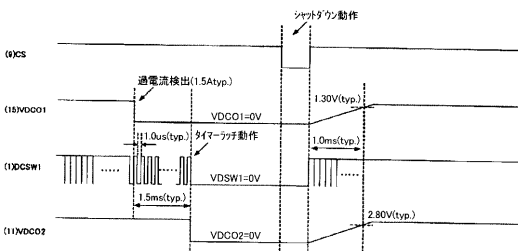
【図 4】

端子NO	端子名	等価回路	機能
2 4 9	CSWON XLEDON CS		TTLレベル入力端子 ※1 (2)CSWON, (4)XLEDON: プルアップ抵抗
16	XHRST		TTLレベルヒステリシス入力端子
1 10	DCSW1 DCSW2		同期整流用パワーMOSドライバ ※1 静電保護用クランプ
13	XRESET		オープンコレクタ出力
3 8	PVCC1 PVCC2		各電源入力端子保護ダイオード ※1 静電保護用クランプ

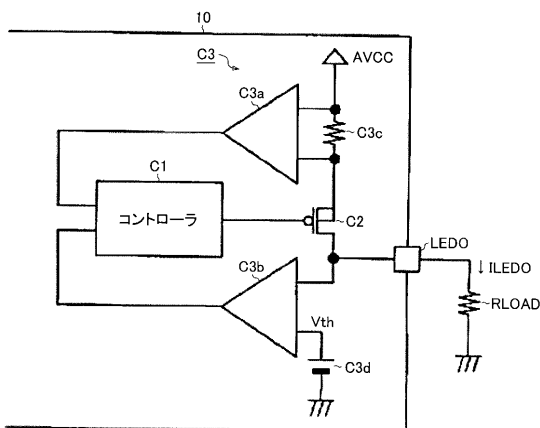
【 図 6 】



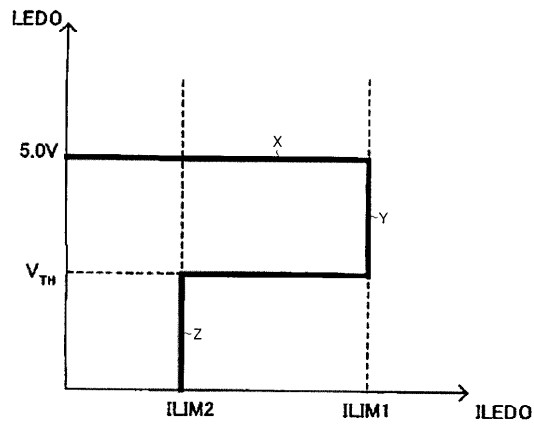
【图 9】



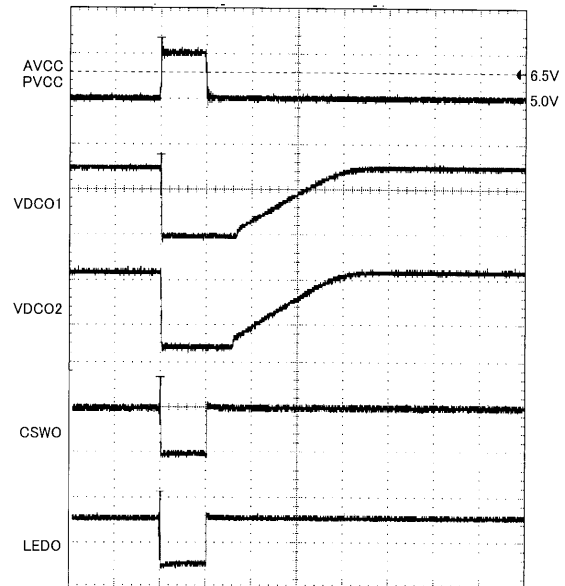
【图 8】



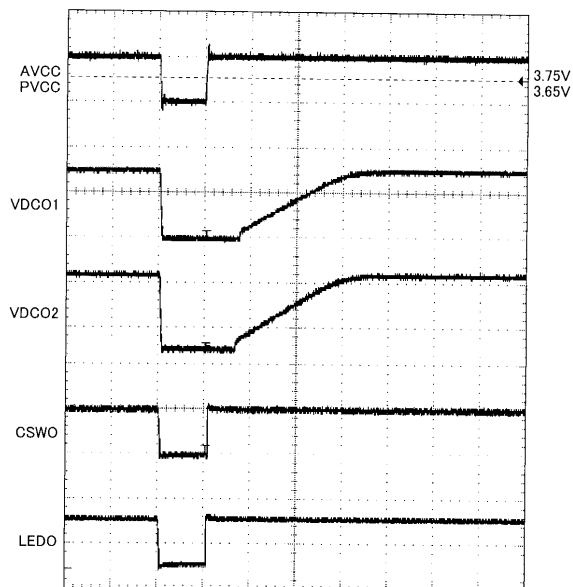
【図 1 1】



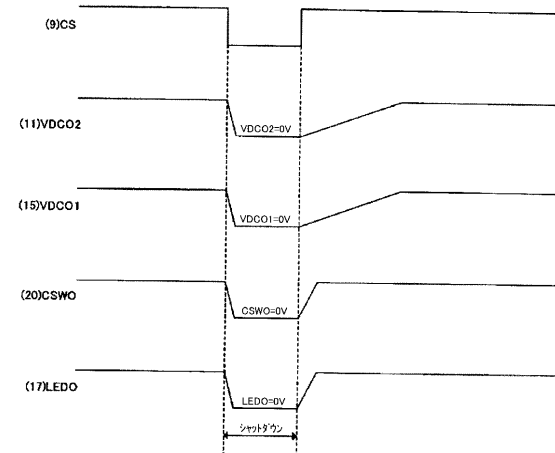
【図 1 2】



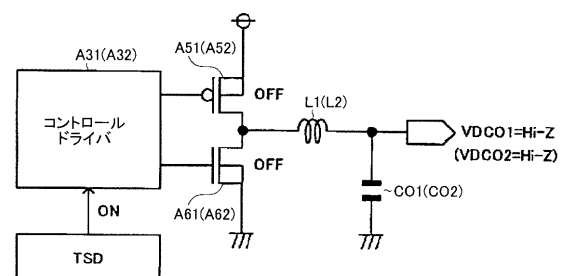
【図 1 3】



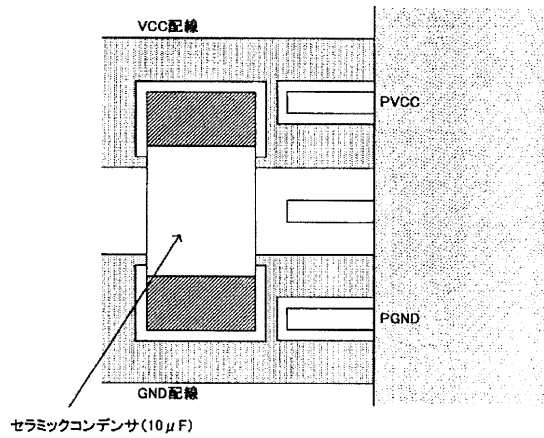
【図 1 4】



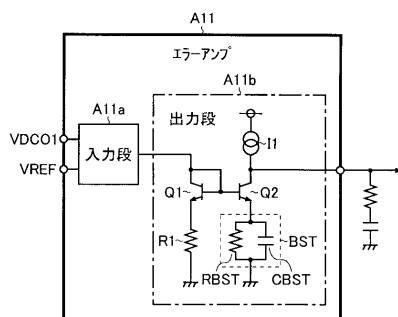
【図 1 5】



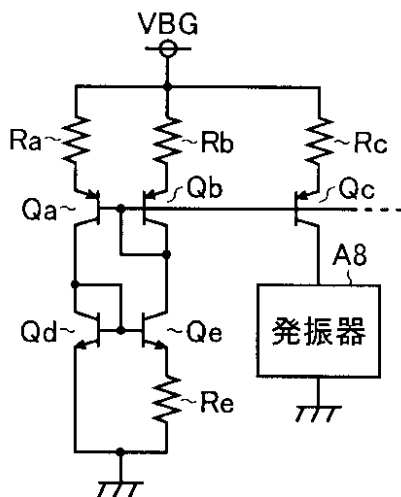
【図 16】



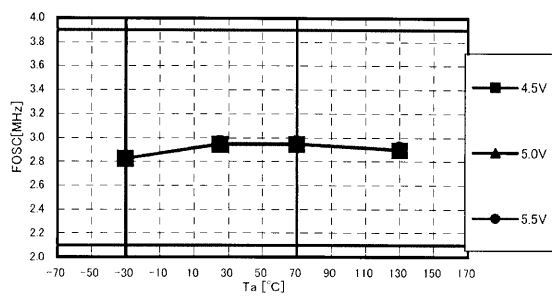
【図 17】



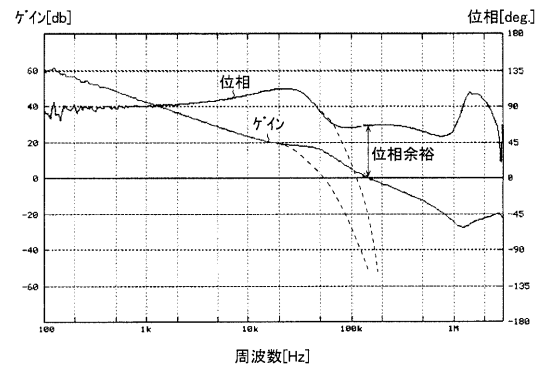
【図 19】



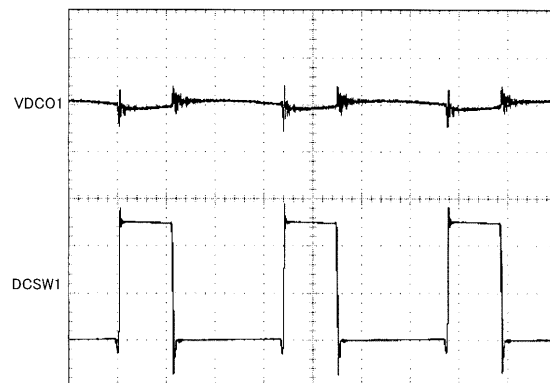
【図 20】



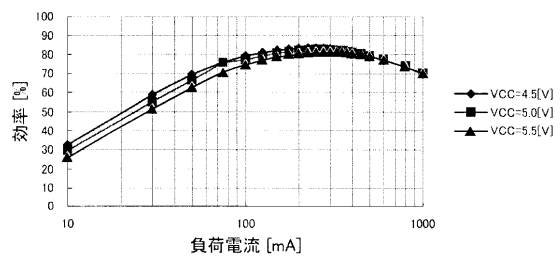
【図 18】



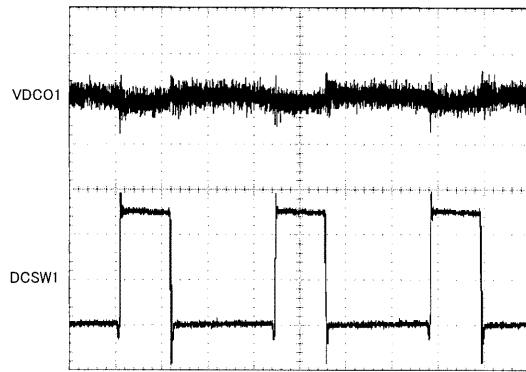
【図 21】



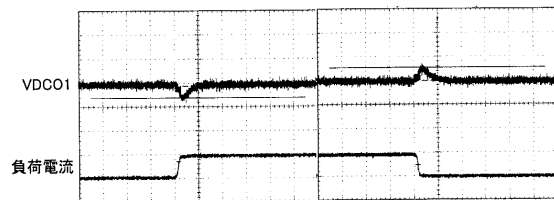
【図 22】



【図 2 3】



【図 2 4】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 3 / 1 5 5