

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5448257号
(P5448257)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	6 1 1 A
G09F	9/30	(2006.01)	G09G	3/20	6 1 1 H
H01L	51/50	(2006.01)	G09G	3/20	6 2 4 B
H05B	33/14	(2006.01)	G09F	9/30	3 3 8

請求項の数 10 (全 68 頁) 最終頁に続く

(21) 出願番号

特願2006-325739 (P2006-325739)

(22) 出願日

平成18年12月1日 (2006.12.1)

(65) 公開番号

特開2007-179042 (P2007-179042A)

(43) 公開日

平成19年7月12日 (2007.7.12)

審査請求日

平成21年11月30日 (2009.11.30)

(31) 優先権主張番号

特願2005-349780 (P2005-349780)

(32) 優先日

平成17年12月2日 (2005.12.2)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 井口 猶二

最終頁に続く

(54) 【発明の名称】 半導体装置、表示装置、表示モジュール及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、第1乃至第4のスイッチと、容量素子と、を有する半導体装置であつて、

前記トランジスタのソース電極またはドレイン電極の一方は、画素電極と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の他方は、前記第4のスイッチを介して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記容量素子を介して前記トランジスタのゲートと電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのゲート電極と重なる第1の領域を有し、

前記トランジスタのソース電極またはドレイン電極の他方は、前記トランジスタのゲート電極と重なる第2の領域を有し、

10

20

前記第1の領域の面積は、前記第2領域の面積よりも大きいことを特徴とする半導体装置。

【請求項2】

トランジスタと、第1乃至第4のスイッチと、容量素子と、を有する半導体装置であつて、

前記トランジスタのソース電極またはドレイン電極の一方は、画素電極と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の他方は、前記第4のスイッチを介して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記容量素子を介して前記トランジスタのゲートと電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのゲート電極と重なる第1の領域を有し、

前記トランジスタのソース電極またはドレイン電極の他方は、前記トランジスタのゲート電極と重なる第2の領域を有し、

前記第1の領域の面積は、前記第2領域の面積と、異なる大きさの面積を有し、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのソース電極またはドレイン電極の他方の周りを囲うように配置されていることを特徴とする半導体装置。

【請求項3】

トランジスタと、第1乃至第4のスイッチと、容量素子と、を有する半導体装置であつて、

前記トランジスタのソース電極またはドレイン電極の一方は、画素電極と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の他方は、前記第4のスイッチを介して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記容量素子を介して前記トランジスタのゲートと電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのゲート電極と重なる第1の領域を有し、

前記トランジスタのソース電極またはドレイン電極の他方は、前記トランジスタのゲート電極と重なる第2の領域を有し、

前記第1の領域の面積は、前記第2領域の面積よりも大きく、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのソース電極またはドレイン電極の他方の周りを囲うように配置されていることを特徴とする半導体装置。

【請求項4】

トランジスタと、第1乃至第4のスイッチと、容量素子と、表示素子と、を有する表示

10

20

30

40

50

装置であって、

前記トランジスタのソース電極またはドレイン電極の一方は、前記表示素子と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の他方は、前記第4のスイッチを介して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第1のスイッチを介して第4の配線と電気的に接続され、10

前記トランジスタのソース電極またはドレイン電極の一方は、前記容量素子を介して前記トランジスタのゲートと電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのゲート電極と重なる第1の領域を有し、

前記トランジスタのソース電極またはドレイン電極の他方は、前記トランジスタのゲート電極と重なる第2の領域を有し、

前記第1の領域の面積は、前記第2領域の面積よりも大きいことを特徴とする表示装置。。20

【請求項5】

トランジスタと、第1乃至第4のスイッチと、容量素子と、表示素子と、を有する表示装置であって、

前記トランジスタのソース電極またはドレイン電極の一方は、前記表示素子と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の他方は、前記第4のスイッチを介して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、30

前記トランジスタのゲート電極は、前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記容量素子を介して前記トランジスタのゲートと電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのゲート電極と重なる第1の領域を有し、

前記トランジスタのソース電極またはドレイン電極の他方は、前記トランジスタのゲート電極と重なる第2の領域を有し、

前記第1の領域の面積は、前記第2領域の面積と、異なる大きさの面積を有し、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのソース電極またはドレイン電極の他方の周りを囲うように配置されていることを特徴とする表示装置。40

【請求項6】

トランジスタと、第1乃至第4のスイッチと、容量素子と、表示素子と、を有する表示装置であって、

前記トランジスタのソース電極またはドレイン電極の一方は、前記表示素子と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の他方は、前記第4のスイッチを介50

して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記容量素子を介して前記トランジスタのゲートと電気的に接続され、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのゲート電極と重なる第1の領域を有し、

前記トランジスタのソース電極またはドレイン電極の他方は、前記トランジスタのゲート電極と重なる第2の領域を有し、

前記第1の領域の面積は、前記第2領域の面積よりも大きく、

前記トランジスタのソース電極またはドレイン電極の一方は、前記トランジスタのソース電極またはドレイン電極の他方の周りを囲うように配置されていることを特徴とする表示装置。

【請求項7】

請求項4乃至請求項6のいずれか一において、

前記表示素子は、発光素子を有することを特徴とする表示装置。

【請求項8】

請求項7において、

前記発光素子は、EL素子を有することを特徴とする表示装置。

【請求項9】

請求項1乃至請求項3のいずれか一に記載の半導体装置、または、請求項4乃至請求項8のいずれか一に記載の表示装置と、

FPC、または、ハウジングと、

を有することを特徴とする表示モジュール。

【請求項10】

請求項1乃至請求項3のいずれか一に記載の半導体装置、請求項4乃至請求項8のいずれか一に記載の表示装置、または、請求項9に記載の表示モジュールと、

アンテナ、バッテリ、スピーカー、操作キー、音声入力部、または、受像部と、

を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、信号によって輝度が変化する電流駆動型表示素子で形成された画素や、その画素を駆動させる信号線駆動回路や走査線駆動回路を含む表示装置に関する。また、その駆動方法に関する。また、その表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

近年、画素をエレクトロルミネッセンス(EL: Electro Luminescence)などの発光素子を用いた自発光型の表示装置、いわゆる発光装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(OLED(Organic Light Emitting Diode))、EL素子が注目を集めしており、ELディスプレイなどに用いられるようになってきている。これらの発光素子は自ら発光するため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要である。また、応答速度が速い等の利点がある。なお、発光素子の輝度は、そこを流れる電流値によって制御されるものが多い。

【0003】

また、発光素子の発光を制御するトランジスタが画素ごとに設けられたアクティブマト

10

20

30

40

50

リクス型表示装置の開発が進められている。アクティブマトリクス型表示装置は、パッシブマトリクス型表示装置では困難な高精細、大画面の表示を可能とするだけでなく、パッシブマトリクス型表示装置を上回る低い消費電力で動作するため実用化が期待されている。

【0004】

従来のアクティブマトリクス型表示装置の画素の構成を図45に示す(特許文献1)。図45に示した画素は、薄膜トランジスタ(Thin Film Transistor:TFT)11、TFT12、容量素子13、発光素子14を有し、信号線15及び走査線16に接続されている。なお、TFT12のソースもしくはドレイン電極のいずれか一方及び容量素子13の一方の電極には電源電位Vddが供給され、発光素子14の対向電極にはグランド電位が供給されている。10

【0005】

このとき、発光素子に供給する電流値を制御するTFT12、即ち駆動用TFTの半導体層にアモルファスシリコンを用いた場合、劣化等によりしきい値電圧(Vth)に変動が生じる。この場合、異なる画素に信号線15から同じ電位を印加したにもかかわらず、発光素子14に流れる電流は画素ごとに異なり、表示される輝度が画素によって不均一となる。なお、駆動用TFTの半導体層にポリシリコンを用いた場合においても、トランジスタの特性が劣化したり、ばらついたりする。

【0006】

この問題を改善すべく、特許文献2において図46の画素を用いた動作方法が提案されている。図46に示した画素は、トランジスタ21、発光素子24に供給する電流値を制御する駆動用トランジスタ22、容量素子23、発光素子24を有し、画素は信号線25、走査線26に接続されている。なお、駆動用トランジスタ22はNMOSトランジスタであり、駆動用トランジスタ22のソース電極もしくはドレイン電極のいずれか一方にはグランド電位が供給され、発光素子24の対向電極にはVcaが供給される。20

【0007】

この画素の動作におけるタイミングチャートを図47に示す。図47において、1フレーム期間は、初期化期間31、しきい値(Vth)書き込み期間32、データ書き込み期間33及び発光期間34に分割される。なお、1フレーム期間とは1画面分の画像を表示する期間に相当し、初期化期間、しきい値(Vth)書き込み期間及びデータ書き込み期間をまとめてアドレス期間と呼ぶ。30

【0008】

まず、しきい値書き込み期間32において、駆動用トランジスタ22のしきい値電圧が容量素子に書き込まれる。その後、データ書き込み期間33において、画素の輝度を示すデータ電圧(Vdata)が容量素子に書き込まれ、Vdata + Vthが容量素子に蓄積される。そして、発光期間において駆動用トランジスタ22はオンとなり、Vcaを変化させることでデータ電圧によって指定された輝度で発光素子24が点灯する。このような動作により、駆動用トランジスタのしきい値の変動による輝度のばらつきを低減している。

【0009】

特許文献3においても、駆動用TFTのしきい値電圧にデータ電位を加えた電圧がゲート・ソース間電圧となり、TFTのしきい値電圧が変動した場合であっても発光素子に流れる電流は変化しないことが開示されている。

【特許文献1】特開平8-234683号公報

【特許文献2】特開2004-295131号公報

【特許文献3】特開2004-280059号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

特許文献2及び3に記載されている動作方法はいずれの場合においても、Vcaの電位40

10

20

30

40

50

を1フレーム期間当たりに数度と変化させることで上述した初期化、しきい値電圧の書き込み、発光を行っていた。これらの画素において、V_{c a}が供給されている発光素子の一方の電極、即ち対向電極は画素領域全体に形成されているため、初期化及びしきい値電圧の書き込み以外にデータの書き込み動作を行っている画素がたとえ一つでもあると発光素子を発光させることができない。よって、図48に示すように、1フレーム期間における発光期間の割合（即ち、デューティー比）が小さくなってしまう。

【0011】

デューティー比が低いと発光素子や駆動用トランジスタに流す電流値を大きくする必要があるため、発光素子にかかる電圧が大きくなり消費電力が大きくなる。また、発光素子や駆動用トランジスタが劣化しやすくなるため、劣化前と同等の輝度を得るにはさらに大きな電力を要することになる。10

【0012】

また、対向電極は全画素接続されているため、発光素子は容量の大きい素子として機能する。よって、対向電極の電位を変えるためには、高い消費電力が必要となる。

【0013】

上記問題を鑑み、本発明は、消費電力が低く、デューティー比の高い表示装置を提供することを課題とする。また、データ電位によって指定された輝度からのずれが少ない画素構成、半導体装置、及び表示装置を得ることを課題とする。

【0014】

なお、発光素子を有する表示装置のみが対象となるわけではなく、本発明はトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することを課題とする。よって、駆動用トランジスタにより制御された電流を供給する先は、発光素子に限定されない。20

【課題を解決するための手段】

【0015】

本発明の一は、トランジスタと、第1のスイッチと、第2のスイッチと、第1の配線と、第2の配線とを含む画素を有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極及び前記第2のスイッチに電気的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第1の配線に電気的に接続され、前記トランジスタのゲート電極は前記第1のスイッチを介して前記第2の配線に電気的に接続され、前記トランジスタのゲート電極には、前記画素の階調に従った信号が入力されることを特徴とする半導体装置である。30

【0016】

本発明の一は、トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は第1の配線と電気的に接続され、前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第1のスイッチを介して第4の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量を介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置である。40

【0017】

前記第3の配線は前行もしくは次行の第1乃至第3のスイッチを制御する配線のいずれかであってもよい。

【0018】

本発明の一は、トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチ、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、前記トランジスタのソー50

ス電極及びドレイン電極の他方は第1の配線と電気的に接続され、前記トランジスタのゲート電極は、前記第4のスイッチ及び前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第4のスイッチ及び第1のスイッチを介して第4の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量及び前記第4のスイッチを介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置である。

【0019】

本発明の一は、トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は第1の配線と電気的に接続され、前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第4のスイッチ及び第1のスイッチを介して第4の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量及び前記第4のスイッチを介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置である。 10

【0020】

本発明の一は、トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第4のスイッチを介して第1の配線と電気的に接続され、前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第1のスイッチを介して第4の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量を介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置である。 20

【0021】

本発明の一は、トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は前記第4のスイッチを介して画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第4のスイッチ及び前記第3のスイッチを介して第3の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第1の配線と電気的に接続され、前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第1のスイッチを介して第4の配線と電気的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記第4のスイッチ及び前記保持容量を介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置である。 30

【0022】

前記第3の配線は、前記第3のスイッチを制御する配線と同一であってもよい。 40

【0023】

前記第3の配線は前行もしくは次行の第1乃至第4のスイッチを制御する配線のいずれかであってもよい。

【0024】

前記トランジスタは、Nチャネル型トランジスタであってもよい。また、前記トランジスタの半導体層は、非結晶性半導体膜からなることを特徴としてもよい。さらに、前記トランジスタの半導体層は、アモルファスシリコンからなることを特徴としてもよい。

【0025】

また、前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴としてもよ 50

い。

【 0 0 2 6 】

上記発明において、前記第2の配線に供給される電位は前記第3の配線に供給される電位よりも高い電位であり、その差分は前記トランジスタのしきい値電圧分より大きいことを特徴としてもよい。

【 0 0 2 7 】

また、前記トランジスタは、Pチャネル型トランジスタであってもよい。その場合、上記発明において、前記第2の配線に供給される電位は前記第3の配線に供給される電位よりも低い電位であり、その差分は前記トランジスタのしきい値電圧の絶対値分より大きいことを特徴としてもよい。

10

【 0 0 2 8 】

本発明の一は、ソース電極及びドレイン電極の一方が第1の配線に電気的に接続され、ソース電極及びドレイン電極の他方が第3の配線に電気的に接続され、ゲート電極が第2の配線及び第4の配線に電気的に接続されるトランジスタと、前記トランジスタのゲートソース間電圧を保持する保持容量と、前記第2の配線に供給される第1の電位及び前記第3の配線に供給される第2の電位を前記保持容量に印加することにより、前記保持容量に第1の電圧を保持させる手段と、前記保持容量の電圧を第2の電圧まで放電させる手段と、前記第1の電位に第3の電圧を加算した電位を前記第4の配線より前記保持容量に印加し、前記第2の電圧と第4の電圧とを加算した第5の電圧を前記保持容量に保持させる手段と、前記第5の電圧に応じた前記トランジスタに設定された電流を負荷に供給する手段とを有することを特徴とする半導体装置である。

20

【 0 0 2 9 】

本発明の一は、ソース電極及びドレイン電極の一方が第1の配線に電気的に接続され、ソース電極及びドレイン電極の他方が第3の配線に電気的に接続され、ゲート電極が第2の配線及び第4の配線に電気的に接続されるトランジスタと、前記トランジスタのゲートソース間電圧を保持する保持容量と、前記第2の配線に供給される第1の電位及び前記第3の配線に供給される第2の電位を前記保持容量に印加することにより、前記保持容量に第1の電圧を保持させる手段と、前記保持容量の電圧を前記トランジスタのしきい値電圧まで放電させる手段と、前記第1の電位に第2の電圧を加算した電位を前記第4の配線より前記保持容量に印加し、前記トランジスタのしきい値電圧と第3の電圧とを加算した第4の電圧を前記保持容量に保持させる手段と、前記第4の電圧に応じた前記トランジスタに設定された電流を負荷に供給する手段とを有することを特徴とする半導体装置である。

30

【 0 0 3 0 】

前記トランジスタは、Nチャネル型トランジスタであってもよい。また、前記トランジスタの半導体層は、非結晶性半導体膜からなることを特徴としてもよい。さらに、前記トランジスタの半導体層は、アモルファスシリコンからなることを特徴としてもよい。

【 0 0 3 1 】

また、前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴としてもよい。

【 0 0 3 2 】

上記発明において、前記第1の電位は前記第2の電位よりも高い電位であり、その差分は前記トランジスタのしきい値電圧分より大きいことを特徴としてもよい。

40

【 0 0 3 3 】

また、前記トランジスタは、Pチャネル型トランジスタであってもよい。この場合、前記第1の電位は前記第2の電位よりも低い電位であり、その差分は前記トランジスタのしきい値電圧の絶対値分より大きいことを特徴としてもよい。

【 0 0 3 4 】

また、本発明の一は、上記に記載した半導体装置を有する表示装置である。また、前記表示装置を表示部に有する電子機器である。

【 0 0 3 5 】

50

なお、明細書に示すスイッチは、電流の流れを制御できるものなら、電気的スイッチでも機械的なスイッチでも特に限定されない。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース電極の電位が、低電位側電源（VSS、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース電極の電位が、高電位側電源（Vddなど）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。
なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。
10

【0036】

なお、本発明において接続されているとは、電気的に接続されていることと同義である。
したがって、間に別の素子やスイッチなどが配置されていてもよい。

【0037】

なお、負荷は、何でもよい。例えば、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子などの発光素子の他、液晶素子、電子インクなど、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。
なお、電子放出素子を用いた表示装置としてはフィールドエミッショナディスプレイ（FED）、SED方式平面型ディスプレイ（SED：Surface-conducti
on Electron-emitter Display）などが挙げられる。また電子インクを用いた表示装置としては電子ペーパーがある。
20

【0038】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することが出来る。
30

【0039】

なお、上述したように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路の全てがガラス基板上に形成されていてもよいし、プラスチック基板や単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていてもよい。例えば、回路の一部は、ガラス基板上にTFTを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG（Chip On Glass）で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB（Tape
Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。
40

【0040】

本明細書においては、一画素とは色要素を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素やGの色要素やBの色要素のいずれか一をいうものとする。

【0041】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み
50

合わせたいわゆる格子状に配置されている場合はもちろんのこと、三色の色要素（例えば R G B）でフルカラー表示を行う場合に、1つの画像の最小要素を表す三つの色要素の画素がいわゆるデルタ配置されている場合も含むものとする。また、色要素毎にその画素の大きさが異なっていてもよい。

【0042】

なお、本明細書において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、表示装置とは、基板上に負荷を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけではなく、それにフレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたものも含む。10

【発明の効果】

【0043】

本発明により、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができる。そのため、発光素子をはじめとする負荷に所望の電流を供給することができる。特に、負荷として発光素子を用いる場合、輝度のばらつきが少なくデューティー比が高い表示装置を提供することができる。

【発明を実施するための最良の形態】

【0044】

以下、本発明の一態様について説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。20

【0045】

（実施の形態1）

本発明の画素の基本構成について、図1を用いて説明する。図1に示す画素は、トランジスタ110、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114、容量素子115、発光素子116を有する。なお、画素は、信号線117、第1の走査線118、第2の走査線119、第3の走査線120、第4の走査線121、第1の電位供給線122、第2の電位供給線123及び電源線124に接続されている。本実施の形態において、トランジスタ110はNチャネル型トランジスタとし、そのゲート・ソース間電圧（Vgs）がしきい値電圧（Vth）を上回ったとき、導通状態になるものとする。また、発光素子116の画素電極は陽極、対向電極125は陰極とする。なお、トランジスタのゲート・ソース間電圧はVgs、ドレイン・ソース間電圧はVds、しきい値電圧はVth、容量素子に蓄積された電圧はVcsと記し、電源線124、第1の電位供給線122、第2の電位供給線123及び信号線117を、それぞれ第1の配線、第2の配線、第3の配線、第4の配線とも呼ぶ。30

【0046】

トランジスタ110の第1の電極（ソース電極及びドレイン電極の一方）は、発光素子116の画素電極に接続され、第2の電極（ソース電極及びドレイン電極の他方）は電源線124に接続され、ゲート電極は第4のスイッチ114及び第2のスイッチ112を介して第1の電位供給線122と接続されている。なお、第4のスイッチ114は、トランジスタ110のゲート電極と第2のスイッチ112との間に接続されている。また、第4のスイッチ114と第2のスイッチ112との接続箇所をノード130とすると、ノード130は第1のスイッチ111を介して信号線117と接続されている。また、トランジスタ110の第1の電極は第3のスイッチ113を介して第2の電位供給線123とも接続されている。40

【0047】

さらに、ノード130とトランジスタ110の第1の電極との間に容量素子115が接続されている。つまり、容量素子115の第1の電極が第4のスイッチ114を介してトランジスタ110の第1の電極に接続されている。50

ンジスタ 110 のゲート電極に、第 2 の電極がトランジスタ 110 の第 1 の電極に接続されている。容量素子 115 は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、場合によってはトランジスタ 110 のゲート容量を用いて省略することもできる。これらの電圧を保持する手段を保持容量と言う。なお、ノード 130 と、第 1 のスイッチ 111 と容量素子 115 の第 1 の電極とが接続されている配線との接続箇所をノード 131 とし、トランジスタ 110 の第 1 の電極と、容量素子 115 の第 2 の電極と発光素子 116 の画素電極とが接続されている配線との接続箇所をノード 132 とする。

【0048】

なお、第 1 の走査線 118、第 2 の走査線 119、第 3 の走査線 120、第 4 の走査線 121 に信号を入力することにより、それぞれ第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、第 4 のスイッチ 114 のオンオフが制御される。10

【0049】

信号線 117 には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0050】

次に、図 1 で示した画素の動作について図 2 のタイミングチャート及び図 3 を用いて説明する。なお、図 2 において 1 画面分の画像を表示する期間に相当する 1 フレーム期間は、初期化期間、しきい値書き込み期間、データ書き込み期間及び発光期間に分割される。また、初期化期間、しきい値書き込み期間、データ書き込み期間をまとめてアドレス期間と呼ぶ。1 フレーム期間は特に限定はないが、画像を見る人がちらつき（フリッカ）を感じないように少なくとも 1 / 60 秒以下とすることが好ましい。20

【0051】

なお、発光素子 116 の対向電極 125 及び第 1 の電位供給線 122 には V_1 の電位が、第 2 の電位供給線 123 には $V_1 - V_{th} -$ ($-$: 任意の正の数) の電位が入力される。また、電源線 124 には、 V_2 の電位が入力される。

【0052】

ここでは動作を説明するために、発光素子 116 の対向電極 125 の電位は、第 1 の電位供給線 122 の電位と同じであるとしたが、発光素子 116 が発光するために少なくとも必要とする電位差を V_{EL} とすると、対向電極 125 の電位は $V_1 - V_{th} - V_{EL}$ の電位より高い値であれば良い。また、電源線 124 の電位 V_2 は、対向電極 125 の電位に発光素子 116 が発光するために少なくとも必要とする電位差 (V_{EL}) を加算した値より大きい値であれば良いが、説明上ここでは対向電極 125 の電位を V_1 としたため、 V_2 は $V_1 + V_{EL}$ より大きい値であれば良い。30

【0053】

まず、図 2 (A) 及び図 3 (A) に示すように初期化期間では、第 1 のスイッチ 111 をオフとし、第 2 のスイッチ 112、第 3 のスイッチ 113 及び第 4 のスイッチ 114 をオンとする。このとき、トランジスタ 110 の第 1 の電極はソース電極となり、その電位は第 2 の電位供給線 123 と等しくなるため $V_1 - V_{th} -$ となる。一方、ゲート電極の電位は V_1 となる。よって、トランジスタ 110 のゲート・ソース間電圧 V_{gs} は $V_{th} +$ となり、トランジスタ 110 は導通状態となる。そして、トランジスタ 110 のゲート電極と第 1 の電極との間に設けられた容量素子 115 に $V_{th} +$ が保持される。なお、第 4 のスイッチ 114 はオンとした場合について説明したが、オフとしても良い。40

【0054】

次に、図 2 (B) 及び図 3 (B) に示すしきい値書き込み期間では、第 3 のスイッチ 113 をオフとする。そのため、トランジスタ 110 の第 1 の電極即ちソース電極の電位は次第に上昇し $V_1 - V_{th}$ となったところ、つまりトランジスタ 110 のゲート・ソース間電圧 V_{gs} がしきい値電圧 (V_{th}) となったところで、トランジスタ 110 は非導通状態となる。よって、容量素子 115 に保持される電圧は V_{th} となる。

【0055】

その後の図 2 (C) 及び図 3 (C) に示すデータ書き込み期間においては、第 2 のスイ50

ツチ 1 1 2 及び第 4 のスイッチ 1 1 4 をオフとした後、第 1 のスイッチ 1 1 1 をオンとし、信号線 1 1 7 より輝度データに応じた電位 ($V_{th} + V_{data}$) を入力する。なお、第 4 のスイッチ 1 1 4 をオフにすることにより、トランジスタ 1 1 0 を非導通状態に保つことができる。そのため、データ書き込み時の電源線 1 2 4 から供給される電流による、容量素子 1 1 5 の第 2 の電極の電位の変動を抑制することができる。よって、このとき容量素子 1 1 5 に保持される電圧 V_{cs} は、容量素子 1 1 5 及び発光素子 1 1 6 の静電容量をそれぞれ C_1 、 C_2 とすると式 (1) のように表すことができる。

【数 1】

$$V_{cs} = V_{th} + V_{data} \times \frac{C_2}{C_1+C_2} \quad \cdots(1)$$

10

【0056】

ただし、発光素子 1 1 6 は容量素子 1 1 5 に比べ膜厚が薄いうえ電極面積が大きいため、 $C_2 >> C_1$ となる。よって、 $C_2 / (C_1 + C_2) \approx 1$ より容量素子 1 1 5 に保持される電圧 V_{cs} は式 (2) となる。なお、次の発光期間において発光素子 1 1 6 を非発光としたい場合には、 $V_{data} = 0$ の電位を入力する。

【数 2】

$$V_{cs} = V_{th} + V_{data} \quad \cdots(2)$$

【0057】

次に、図 2 (D) 及び図 3 (D) に示す発光期間では、第 1 のスイッチ 1 1 1 をオフとし、第 4 のスイッチ 1 1 4 をオンとする。このとき、トランジスタ 1 1 0 のゲート・ソース間電圧は $V_{gs} = V_{th} + V_{data}$ となり、トランジスタ 1 1 0 が導通状態になる。よって、輝度データに応じた電流がトランジスタ 1 1 0 及び発光素子 1 1 6 に流れ、発光素子 1 1 6 が発光する。

20

【0058】

なお、発光素子に流れる電流 I は、トランジスタ 1 1 0 を飽和領域で動作させた場合、式 (3) で表される。

【数 3】

$$\begin{aligned} I &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{gs} - V_{th})^2 \\ &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{th} + V_{data} - V_{th})^2 \\ &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{data})^2 \quad \cdots(3) \end{aligned}$$

30

【0059】

また、トランジスタ 1 1 0 を線形領域で動作させた場合、発光素子に流れる電流 I は式 (4) で表される。

【数 4】

$$\begin{aligned} I &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{gs} - V_{th})V_{ds} - \frac{1}{2} V_{ds}^2] \\ &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{th} + V_{data} - V_{th})V_{ds} - \frac{1}{2} V_{ds}^2] \\ &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{data})V_{ds} - \frac{1}{2} V_{ds}^2] \quad \cdots(4) \end{aligned}$$

40

【0060】

ここで、 W はトランジスタ 1 1 0 のチャネル幅、 L はチャネル長、 μ は移動度、 C_{ox} は蓄積容量を指す。

【0061】

50

式(3)及び式(4)より、トランジスタ110の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子116に流れる電流は、トランジスタ110のしきい値電圧(V_{th})に依存しない。よって、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子116に供給することができる。

【0062】

以上のことから、トランジスタ110のしきい値電圧のばらつきに起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。

【0063】

さらに、トランジスタ110を飽和領域で動作させた場合においては、発光素子116の劣化による輝度のばらつきも抑制できる。発光素子116が劣化すると、発光素子116の V_{EL} は増大し、トランジスタ110の第1の電極、即ちソース電極の電位は上昇する。このとき、トランジスタ110のソース電極は容量素子115の第2の電極に、トランジスタ110のゲート電極は容量素子115の第1の電極に接続されており、なおかつゲート電極側は浮遊状態となっている。そのため、ソース電位の上昇に伴い、同じ電位だけトランジスタ110のゲート電位も上昇する。よって、トランジスタ110の V_{gs} は変化しないため、たとえ発光素子が劣化してもトランジスタ110及び発光素子116に流れる電流に影響しない。なお、式(3)においても発光素子に流れる電流 I はソース電位やドレイン電位に依存しないことがわかる。

10

20

【0064】

よって、トランジスタ110を飽和領域で動作させた場合においては、トランジスタ110のしきい値電圧のばらつき及び発光素子116の劣化に起因したトランジスタ110に流れる電流のばらつきを抑制することができる。

【0065】

なお、トランジスタ110を飽和領域で動作させた場合、チャネル長 L が短いほど、降伏現象によりドレイン電圧を著しく増大させると電流が大量に流れやすい。

【0066】

また、ドレイン電圧をピンチオフ電圧より増大させるとピンチオフ点がソース側に移動し、実質チャネルとして機能する実効的なチャネル長は減少する。これにより、電流値が増大する。この現象をチャネル長変調と呼ぶ。なお、ピンチオフ点とはチャネルが消滅していくゲート下においてチャネルの厚さが0となる境界箇所であり、ピンチオフ電圧とはピンチオフ点がドレイン端となる時の電圧を指す。この現象も、チャネル長 L が短いほど起こり易い。例えば、チャネル長変調による電圧-電流特性のモデル図を図4に示す。なお、図4において、トランジスタのチャネル長 L は(a)>(b)>(c)である。

30

【0067】

以上のことから、トランジスタ110を飽和領域で動作させる場合、ドレイン・ソース間電圧 V_{ds} に対する電流 I はより一定に近い方が好ましい。よって、トランジスタ110のチャネル長 L は長い方がより好ましい。たとえば、トランジスタのチャネル長 L はチャネル幅 W より大きい方が好ましい。また、チャネル長 L は $10\mu m$ 以上 $50\mu m$ 以下、より望ましくは $15\mu m$ 以上 $40\mu m$ 以下が好ましい。しかし、チャネル長 L 及びチャネル幅 W はこれに限定されない。

40

【0068】

また、初期化期間において発光素子116に逆方向のバイアス電圧を印加しているため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

【0069】

なお、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができるため、そのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図1に示した発光素子116は、EL素子(有機EL素子、無機EL素子

50

又は有機物及び無機物を含む E L 素子)、電子放出素子、液晶素子、電子インクなどを適用することができる。

【 0 0 7 0 】

また、トランジスタ 110 は発光素子 116 に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ(TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板や SOI 基板を用いて形成されるトランジスタ、MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができます。

10

【 0 0 7 1 】

第 1 のスイッチ 111 は画素の階調に従った信号を容量素子に入力するタイミングを選択し、トランジスタ 110 のゲート電極に供給する信号を制御するものであり、第 2 のスイッチ 112 はトランジスタ 110 のゲート電極に所定の電位を与えるタイミングを選択し、トランジスタ 110 のゲート電極に所定の電位を供給するか否かを制御するものであり、第 3 のスイッチ 113 は容量素子 115 に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択したり、トランジスタ 110 の第 1 の電極の電位を低くするものである。なお、第 4 のスイッチ 114 はトランジスタ 110 のゲート電極と容量素子 115 とを接続するか否かを制御するものである。そのため、第 1 のスイッチ 111 、第 2 のスイッチ 112 、第 3 のスイッチ 113 、第 4 のスイッチ 114 は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第 1 乃至第 3 のスイッチは、上記のタイミングで信号もしくは電位を画素に与えることができれば特に必要はない。また、第 4 のスイッチを設けなくてもよい場合については実施の形態 2 に示す。

20

【 0 0 7 2 】

次に、図 5 に第 1 のスイッチ 111 、第 2 のスイッチ 112 、第 3 のスイッチ 113 、第 4 のスイッチ 114 に N チャネル型のトランジスタを適用した場合について示す。なお、図 1 の構成と共に通するところは共通の符号を用いてその説明を省略する。

【 0 0 7 3 】

第 1 のスイッチングトランジスタ 511 が第 1 のスイッチ 111 に相当し、第 2 のスイッチングトランジスタ 512 が第 2 のスイッチ 112 に相当し、第 3 のスイッチングトランジスタ 513 が第 3 のスイッチ 113 に相当し、第 4 のスイッチングトランジスタ 514 が第 4 のスイッチ 114 に相当する。なお、トランジスタ 110 のチャネル長は、第 1 のスイッチングトランジスタ 511 、第 2 のスイッチングトランジスタ 512 、第 3 のスイッチングトランジスタ 513 及び第 4 のスイッチングトランジスタ 514 のいずれのトランジスタのチャネル長より長い方が好ましい。

30

【 0 0 7 4 】

第 1 のスイッチングトランジスタ 511 はゲート電極が第 1 の走査線 118 に接続され、第 1 の電極が信号線 117 に接続され、第 2 の電極がノード 131 に接続されている。

【 0 0 7 5 】

また、第 2 のスイッチングトランジスタ 512 はゲート電極が第 2 の走査線 119 に接続され、第 1 の電極が第 1 の電位供給線 122 に接続され、第 2 の電極がノード 130 に接続されている。

40

【 0 0 7 6 】

第 3 のスイッチングトランジスタ 513 はゲート電極が第 3 の走査線 120 に接続され、第 1 の電極がノード 132 に接続され、第 2 の電極が第 2 の電位供給線 123 に接続されている。

【 0 0 7 7 】

また、第 4 のスイッチングトランジスタ 514 はゲート電極が第 4 の走査線 121 に接続され、第 1 の電極がトランジスタ 110 のゲート電極に接続され、第 2 の電極がノード

50

130に接続されている。

【0078】

各々のスイッチングトランジスタは、それぞれの走査線に入力される信号がHレベルのときにオンとなり、入力される信号がLレベルのときにオフとなる。

【0079】

図5の画素構成においても、図1と同様の動作方法によりトランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ110を飽和領域で動作させた場合においては、発光素子116の劣化に起因した輝度のばらつきも抑制することができる。

10

【0080】

また、Nチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。また、画素を構成するトランジスタの半導体層にアモルファス半導体やセミアモルファス半導体（若しくは微結晶半導体ともいう）などの非晶質半導体を用いることができる。例えば、アモルファス半導体としてアモルファスシリコン（a-Si:H）が挙げられる。これら非晶質半導体を用いることにより、さらに製造工程の簡略化が可能である。したがって、製造コストの削減や歩留まりの向上を図ることができる。

【0081】

なお、第1のスイッチングトランジスタ511、第2のスイッチングトランジスタ512、第3のスイッチングトランジスタ513及び第4のスイッチングトランジスタ514は、単なるスイッチとして動作させるため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているものなどがある。また、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

20

【0082】

また、図1に示した第4のスイッチ114は、ノード130とノード131の間に接続しても良い。このような構成を図6に示す。なお、図1における第4のスイッチ114は、第4のスイッチ614に相当し、図1の構成と共に通するところは共通の符号を用いてその説明を省略する。

30

【0083】

図6の画素構成においても、図1と同様の動作方法によりトランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ110を飽和領域で動作させた場合においては、発光素子116の劣化に起因した輝度のばらつきも抑制することができる。

【0084】

また、図1に示した第4のスイッチ114は、ノード132からトランジスタ110の第2の電極と電源線124との接続箇所までの経路に設けても良い。

40

【0085】

このような構成の一つを図7に示す。図7の構成において、図1における第4のスイッチ114は第4のスイッチ714に相当し、トランジスタ110の第2の電極と電源線124との間に接続されている。なお、図1の構成と共に通するところは共通の符号を用いてその説明を省略する。

【0086】

第4のスイッチ714により、データ書き込み時においてトランジスタ110が導通状態となった場合においても、第4のスイッチ714をオフにすることによりトランジスタ110への電流を遮断することができる。よって、データ書き込み期間における容量素子115の第2の電極の電位の変動を抑制することができる。

50

【0087】

したがって、図7の画素構成においても、図1と同様の動作方法によりトランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ110を飽和領域で動作させた場合においては、発光素子116の劣化に起因した輝度のばらつきも抑制することができる。また、初期化期間において、第4のスイッチ714をオフさせた場合には消費電力の低減が可能である。

【0088】

また、他の構成の一つを図8に示す。図8の構成において、図1における第4のスイッチ114は第4のスイッチ814に相当し、トランジスタ110の第1の電極とノード132との間に接続されている。なお、図1の構成と共に通するところは共通の符号を用いてその説明を省略する。

【0089】

第4のスイッチ814により、データ書き込み時においてトランジスタ110が導通状態となった場合においても、第4のスイッチ814をオフにすることによりノード132に流れる電流を遮断することができる。よって、データ書き込み期間における容量素子115の第2の電極の電位の変動を抑制することができる。

【0090】

したがって、図8の画素構成においても、図1と同様の動作方法によりトランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ110を飽和領域で動作させた場合においては、発光素子116の劣化に起因した輝度のばらつきも抑制することができる。また、初期化期間において、第4のスイッチ814をオフさせた場合には消費電力の低減が可能である。

【0091】

なお、第4のスイッチ614、第4のスイッチ714及び第4のスイッチ814においても、第1乃至第3のスイッチと同様、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。

【0092】

また、図7及び8で示したように第4のスイッチをノード132からトランジスタ110の第2の電極と電源線124との接続箇所までの経路に設けた場合、発光期間において第4のスイッチ114をオフすることにより強制的に非発光状態を作ることも可能である。このような動作によって、発光期間を自由に設定できる。また、黒表示を挿入することで、残像を見えにくくし、動画特性の向上を図ることも可能である。

【0093】

続いて、上述した本発明の画素を有する表示装置について図9を用いて説明する。

【0094】

表示装置は、信号線駆動回路911、走査線駆動回路912及び画素部913を有し、画素部913には、信号線駆動回路911から列方向に伸張して配置された複数の信号線S1～Sm、第1の電位供給線P1_1～Pm_1、電源線P1_3～Pm_3と、走査線駆動回路912から行方向に伸張して配置された複数の第1の走査線G1_1～Gn_1、第2の走査線G1_2～Gn_2、第3の走査線G1_3～Gn_3及び第4の走査線G1_4～Gn_4と、信号線S1～Smに対応してマトリクスに配置された複数の画素914とを有する。また、第1の走査線G1_1～Gn_1と平行に複数の第2の電位供給線P1_2～Pn_2を有している。そして、各画素914は、信号線Sj(信号線S1～Smのうちいずれか一)、第1の電位供給線Pj_1、電源線Pj_3、第1の走査線Gi_1(走査線G1_1～Gn_1のうちいずれか一)、第2の走査線Gi_2、第3の走査線Gi_3、第4の走査線Gi_4、第2の電位供給線Pi_2と接続されて

10

20

30

40

50

いる。

【0095】

なお、信号線 S_j、第1の電位供給線 P_j_1、電源線 P_j_3、第1の走査線 G_i_1、第2の走査線 G_i_2、第3の走査線 G_i_3、第4の走査線 G_i_4、第2の電位供給線 P_i_2 は、それぞれ図1の信号線 117、第1の電位供給線 122、電源線 124、第1の走査線 118、第2の走査線 119、第3の走査線 120、第4の走査線 121、第2の電位供給線 123 に相当する。

【0096】

走査線駆動回路 912 から出力される信号により、動作させる画素の行を選択すると共に同行に属するそれぞれの画素に対し同時に図2に示した動作を行う。なお、図2のデータ書き込み期間においては、選択された行の画素に信号線駆動回路 911 から出力されたビデオ信号を書き込む。このとき、それぞれの画素に輝度データに応じた電位が各信号線 S_1 ~ S_m に入力される。

10

【0097】

図10に示すように、例えば i 行目のデータ書き込み期間を終えると i + 1 行目に属する画素へ信号の書き込みを行う。なお、図10には、各行におけるデータ書き込み期間を表すためにこれを忠実に表すことができる図2の第1のスイッチ 111 の動作のみを抜き出して記載している。そして、i 行目においてデータ書き込み期間を終えた画素は、発光期間に移り、その画素へ書き込まれた信号にしたがって発光する。

【0098】

20

よって、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することができるため、1フレーム期間における発光期間の割合（即ち、デューティー比）を非常に大きくでき、おおむね 100% にすることも可能となる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

【0099】

また、しきい値書き込み期間を長く設定することも可能であるため、トランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上させることができる。

【0100】

30

なお、図9に示した表示装置の構成は一例であって本発明はこれに限定されない。例えば、第1の電位供給線 P_1_1 ~ P_m_1 は信号線 S_1 ~ S_m と平行に配置されている必要はなく、第1の走査線 G_1_1 ~ G_n_1 に平行に配置されていても良い。

【0101】

ところで、表示装置の階調を表現する駆動方式には、アナログ階調方式とデジタル階調方式がある。アナログ階調方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。アナログ階調方式においては発光素子の発光強度をアナログ制御する方式がよく用いられている。一方、デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。デジタル階調方式の場合、デジタル信号で処理できるためノイズに強いというメリットがあるが、発光・非発光の 2 状態しかないので、このままで 2 階調しか表現できない。そこで、別の手法を組み合わせて、多階調化を行っている。多階調化のための手法としては、画素の発光面積に重みをつけてその選択により階調表示を行う面積階調方式と、発光時間に重みをつけてその選択により階調表示を行う時間階調方式がある。

40

【0102】

このデジタル階調方式と時間階調方式とを組み合わせた場合、図49に示すように、1フレーム期間を複数のサブフレーム期間 (SFn) に分割する。各サブフレーム期間は、初期化期間、しきい値書き込み期間及びデータ書き込み期間を有するアドレス期間 (Ta) と、発光期間 (Ts) とを有する。なお、サブフレーム期間は表示ビット数 n に応じた数を 1 フレーム期間に設ける。また、各サブフレーム期間における発光期間の長さの比を

50

$2^{(n-1)} : 2^{(n-2)} : \dots : 2 : 1$ とし、各発光期間で発光素子の発光、もしくは非発光を選択し、発光素子が発光している 1 フレーム期間中の合計時間の差を利用して階調表現を行う。1 フレーム期間において、発光している合計時間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図 4 9においては 4 ビット階調の例を示しており、1 フレーム期間は 4 つのサブフレーム期間に分割され、発光期間の組み合わせによって、 $2^4 = 16$ 階調を表現できる。なお、発光期間の長さの比は、特に 2 のべき乗の比としなくとも、階調表現は可能である。また、あるサブフレーム期間をさらに分割していくても良い。

【0103】

なお、上記のように時間階調方式を用いて多階調化を図る場合、下位ビットの発光期間の長さは短いため、発光期間の終了後直ちに次のサブフレーム期間のデータ書き込み動作を開始しようとすると、前のサブフレーム期間のデータ書き込み動作と重複してしまい、正常な動作ができなくなる。そのため、図 7 及び図 8 で示したように第 4 のスイッチをノード 132 からトランジスタ 110 の第 2 の電極と電源線 124 との接続箇所までの間に設け、発光期間において第 4 のスイッチをオフし強制的に非発光状態を作ることで、全行に要するデータ書き込み期間より短い発光も表現することができる。よって、アナログ階調において特に有効であることはもちろん、上記のようなデジタル階調方式と時間階調方式とを組み合わせた方式においても有効である。

【0104】

なお、しきい値電圧のばらつきには、画素間における各トランジスタのしきい値電圧の違いのほか、1 つのトランジスタに注目した場合において経時的なしきい値電圧の変化も含むものとする。さらに、各トランジスタのしきい値電圧の違いは、トランジスタの作製時におけるトランジスタ特性の違いによるものも含まれるものとする。なお、ここでいうトランジスタは発光素子等の負荷に電流を供給する機能を有するトランジスタを指す。

【0105】

(実施の形態 2)

本実施形態では、実施の形態 1 とは異なる構成の画素を図 1 1 に示す。なお、実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0106】

図 1 1 に示す画素は、トランジスタ 110、第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、容量素子 115、発光素子 116 を有する。なお、画素は、信号線 117、第 1 の走査線 118、第 2 の走査線 119、第 3 の走査線 120、第 1 の電位供給線 122、第 2 の電位供給線 123 及び電源線 124 に接続されている。

【0107】

トランジスタ 110 の第 1 の電極（ソース電極及びドレイン電極の一方）は、発光素子 116 の画素電極に接続され、第 2 の電極（ソース電極及びドレイン電極の他方）は電源線 124 に接続され、ゲート電極は第 2 のスイッチ 112 を介して第 1 の電位供給線 122 と接続されている。また、トランジスタ 110 のゲート電極は、第 1 のスイッチ 111 を介して信号線 117 とも接続されており、第 1 の電極は第 3 のスイッチ 113 を介して第 2 の電位供給線 123 とも接続されている。

【0108】

さらに、トランジスタ 110 のゲート電極と第 1 の電極との間に容量素子 115 が接続されている。つまり、容量素子 115 の第 1 の電極がトランジスタ 110 のゲート電極に、容量素子 115 の第 2 の電極がトランジスタ 110 の第 1 の電極に接続されている。容量素子 115 は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、トランジスタ 110 のゲート容量を用いて省略することもできる。

【0109】

つまり、図 1 1 に示す画素は、図 1 に示す画素が有する第 4 のスイッチ 114 が設けられていない構成である。図 1 1 に示す画素においても、図 2 のタイミングチャートに従い

10

20

30

40

50

、動作させる。

【0110】

図1の画素とは異なり、図2(C)のデータ書き込み期間において、信号線117より輝度データに応じた電位($V_1 + V_{data}$)を入力する際、トランジスタ110が導通状態となり、容量素子115の第2の電極の電位が上昇してしまう。よって、容量素子115に保持される電圧 V_{cs} は $V_{th} + V_{data}$ より小さくなってしまう。このような場合には、容量素子115の第2の電極の電位の変動を加味した電位($V_1 + V'_{data}$)を信号線117より入力すれば良い。

【0111】

ただし、容量素子115と発光素子116との静電容量の違いによっては、必ずしも信号線より入力する電位を $V_1 + V'_{data}$ する必要はなく、容量素子115の第2の電極の電位の変動が容量素子115に保持されるべき電圧にさほど影響を及ぼさない程度であれば、実施の形態1と同様、信号線より入力する電位を $V_1 + V_{data}$ としても良い。

10

【0112】

実施の形態1に示したように、第1のスイッチ111は画素の階調に従った信号を容量素子に入力するタイミングを選択し、トランジスタ110のゲート電極に供給する信号を制御するものであり、第2のスイッチ112はトランジスタ110のゲート電極に所定の電位を与えるタイミングを選択し、トランジスタ110のゲート電極に所定の電位を供給するか否かを制御するものであり、第3のスイッチ113は容量素子115に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択したり、トランジスタ110の第1の電極の電位を低くするものである。そのため、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第1乃至第3のスイッチは、上記のタイミングで信号もしくは電位を画素に与えることができれば特に必要はない。例えば、画素の階調に従った信号をトランジスタ110のゲート電極に入力することができる場合には、図42に示すように第1のスイッチ111を設けなくても良い。図42に示す画素は、トランジスタ110、第2のスイッチ112、第3のスイッチ113、画素電極4240を有する。そして、トランジスタ110の第1の電極(ソース電極及びドレイン電極の一方)は画素電極4240と第3のスイッチ113とに接続され、ゲート電極は第2のスイッチ112を介して第1の電位供給線122に接続されている。なお、トランジスタ110のゲート容量4215を保持容量として利用しているため、図11における容量素子115を特に設ける必要はない。このような画素においても、図11と同様に各スイッチを動作させ、それぞれの電極に所望の電位を供給することで、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、画素電極4240に所望の電流を供給することができる。

20

【0113】

また、第1の電位供給線122は、第1の走査線118等と平行に設けられていて良い。このような場合の図11の上面図の一形態を図43に示す。なお、図43において、各スイッチは、スイッチングトランジスタとして記載した。図11における第1のスイッチ111、第2のスイッチ112、第3のスイッチ113は、それぞれ第1のスイッチングトランジスタ4301、第2のスイッチングトランジスタ4302、第3のスイッチングトランジスタ4303に相当とする。

30

【0114】

導電層4310は、第1の走査線118と第1のスイッチングトランジスタ4301のゲート電極として機能する部分を含み、導電層4311は信号線117と第1のスイッチングトランジスタ4301の第1の電極として機能する部分とを含む。また、導電層4312は第1のスイッチングトランジスタ4301の第2の電極として機能する部分と、容量素子115の第1の電極として機能する部分と、第2のスイッチングトランジスタ43

40

50

02の第1の電極として機能する部分とを含む。導電層4313は第2のスイッチングトランジスタ4302のゲート電極として機能する部分を含み、配線4314を介して第2の走査線119と接続されている。導電層4315は、第1の電位供給線122と第2のスイッチングトランジスタ4302の第2の電極として機能する部分とを含む。導電層4316はトランジスタ110のゲート電極として機能する部分を含み、配線4317を介して導電層4312と接続されている。導電層4318は電源線124とトランジスタ110の第2の電極として機能する部分とを含む。導電層4319は、トランジスタ110の第1の電極として機能する部分を含み、発光素子の画素電極4344と接続されている。また、導電層4320は第3のスイッチングトランジスタ4303の第1の電極として機能する部分を含み、画素電極4344と接続されている。導電層4321は、第3のスイッチングトランジスタ4303の第2の電極として機能する部分を含み、第2の電位供給線123と接続されている。また、導電層4322は、第3の走査線120と第3のスイッチングトランジスタ4303のゲート電極として機能する部分を含む。10

【0115】

なお、各々の導電層のうち第1のスイッチングトランジスタ4301のゲート電極、第1の電極及び第2の電極として機能する部分は半導体層4333と重なって形成されている部分であり、第2のスイッチングトランジスタ4302のゲート電極、第1の電極及び第2の電極として機能する部分は半導体層4334と重なって形成されている部分であり、第3のスイッチングトランジスタ4303のゲート電極、第1の電極及び第2の電極として機能する部分は半導体層4335と重なって形成されている部分である。また、トランジスタ110のゲート電極、第1の電極及び第2の電極として機能する部分は半導体層4336と重なって形成されている導電層部分である。容量素子115は、導電層4312と画素電極4344が重なっている部分に形成されている。20

【0116】

導電層4310、導電層4313、導電層4316、導電層4322、第2の走査線119及び第2の電位供給線123は、同一材料で同じ層で作製することができる。また、半導体層4333、半導体層4334、半導体層4335及び半導体層4336や、導電層4311、導電層4312、導電層4315、導電層4318、導電層4319、導電層4320及び導電層4321はそれぞれ同一材料で同じ層で作製することができる。また、画素電極4344と同一材料で同じ層に、配線4314、配線4317、配線4323及び配線4324を作製することができる。なお、第1の電位供給線122は、配線4324を用いて隣の画素の第一の電位供給線と接続されている。30

【0117】

次に、第1の電位供給線122が図43とは異なる層で作製された画素の上面図を図44に示す。なお、図44において、図43と同様のものに関しては共通の符号を用いて示す。

【0118】

第1の電位供給線4422を第2の走査線119等と同一材料で同じ層で作製している。また、第2のスイッチングトランジスタ4302の第2の電極として機能する部分4401は、導電層4312等と同一材料で同じ層に作製し、画素電極4344と同じ層かつ同一材料で作製した配線4402を介して第1の電位供給線4422と接続している。このように、画素を示す上面図は図43及び44のものに限られない。40

【0119】

また、図9の表示装置に本実施形態で示した画素を適用することができる。実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することができるため、1フレーム期間における発光期間の割合（即ち、デューティー比）を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

【0120】

50

また、しきい値書き込み期間を長く設定することも可能であるため、トランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上させることができる。

【0121】

本実施形態は、上述した図1以外に他の実施の形態に示した画素構成とも自由に組み合わせることができる。つまり、他の実施形態に示した画素においても第4のスイッチを省略することができる。

【0122】

(実施の形態3)

本実施形態では、実施の形態1とは異なる構成の画素を図16に示す。なお、図1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。10

【0123】

図16(A)に示す画素は、トランジスタ110、第1のスイッチ111、第2のスイッチ112、第4のスイッチ114、容量素子115、発光素子116及び整流素子1613を有する。なお、画素は、信号線117、第1の走査線118、第2の走査線119、第4の走査線121、第1の電位供給線122、第3の走査線1620及び電源線124に接続されている。

【0124】

図16(A)に示した画素は、図1における第3のスイッチ113に整流素子1613を用いた構成となっており、容量素子115の第2の電極、トランジスタ110の第1の電極及び発光素子116の画素電極が、整流素子1613を介して第3の走査線1620に接続されている。つまり、整流素子1613はトランジスタ110の第1の電極から第3の走査線1620に電流が流れるように接続されている。もちろん、実施の形態1に示したように第1のスイッチ111、第2のスイッチ112及び第4のスイッチ114については、トランジスタ等を用いてもよい。また、整流素子1613には、図16(B)に示すショットキー・バリア型1651、PIN型1652、PN型1653のダイオードの他、ダイオード接続されているトランジスタ1654、1655等を用いることができる。ただし、トランジスタ1654及びトランジスタ1655は、電流を流す方向によってトランジスタの極性を適宜選択する必要がある。20

【0125】

整流素子1613は、第3の走査線1620にHレベルの信号が入力されたときには電流が流れず、Lレベルの信号が入力されたときには整流素子1613に電流が流れる。よって、図16(A)の画素を図1と同様に動作させる際には、初期化期間において第3の走査線1620にLレベルの信号を入力し、それ以外の期間においてはHレベルの信号を入力する。ただし、Lレベルの信号は整流素子1613にただ電流が流れるだけではなく容量素子115の第2の電極の電位をV1-Vth-（：任意の正の数）にまで下げる必要があるため、V1-Vth--（：任意の正の数）の電位であることとする。なお、-は整流素子1613の順方向におけるしきい値電圧を指す。30

【0126】

上記事項を考慮し、図16の画素構成においても図1と同様に動作させることによりトランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ110を飽和領域で動作させた場合においては、発光素子116の劣化に起因した輝度のばらつきも抑制することができる。さらに、整流素子1613を用いることで、配線数を減らすことが可能となり、開口率を向上させることができる。40

【0127】

さらに、本実施形態で示した画素を図9の表示装置に適用することができる。実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開50

始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することができるため、1フレーム期間における発光期間の割合（即ち、デューティー比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

【0128】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0129】

また、本実施形態は、上述した図1以外にその他の実施の形態に示した画素構成とも自由に組み合わせることができる。例えば、第4のスイッチ114がノード130とノード131との間やトランジスタ110の第1の電極とノード132との間に接続されている場合や、トランジスタ110の第2の電極が第4のスイッチ114を介して電源線124と接続されている場合である。また、実施の形態2に示したように第4のスイッチを設けない画素であっても良い。つまり、整流素子1613は、他の実施形態に示した画素にも適用することが可能である。10

【0130】

(実施の形態4)

本実施形態では、実施の形態1とは異なる構成の画素を図12乃至15に示す。なお、実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。20

【0131】

図12に示す画素1200はトランジスタ110、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114、容量素子115、発光素子116を有する。なお、画素は、信号線117、第1の走査線1218、第2の走査線119、第3の走査線120、第4の走査線121、第1の電位供給線122、電源線124及び次行の第1の走査線1218に接続されている。

【0132】

実施の形態1に示した図1の画素ではトランジスタ110の第1の電極は第3のスイッチ113を介して第2の電位供給線123に接続していたのに対し、図12では次行の第1の走査線1218に接続することができる。これは、第2の電位供給線123に限らず、初期化期間においてトランジスタ110の第1の電極に所定の電位を供給できれば良いからである。そのため、初期化期間において所定の電位をトランジスタ110の第1の電極に供給できれば供給する配線は絶えず一定の電位である必要はない。よって、第2の電位供給線のかわりに次行の第1の走査線1218を用いることができる。このように、次行と配線を共有することで配線数を減らすことが可能となり、開口率を向上させることができる。30

【0133】

なお、図12に示した画素構成においても、実施の形態1と同様の動作をさせることにより、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ110の動作領域は特に限定されないが、飽和領域の場合の方が効果は顕著にあらわれる。さらに、トランジスタ110を飽和領域で動作させた場合には、発光素子116の劣化に起因したトランジスタ110に流れる電流のばらつきを抑制することができる。40

【0134】

ただし、第1の走査線1218において第1のスイッチ111をオフさせる信号はV1-Vth-（：任意の正の数）の電位となる。そのため、V1-Vth-（：任意の正の数）の電位でオフとなる第1のスイッチ111を使用する必要がある。また、画50

素 1200 が属する行の初期化期間は配線を共有した行のデータ書き込み期間と重ならないように動作させる必要がある。

【0135】

なお、第3のスイッチ 113 にNチャネル型トランジスタを用いた場合、第3の走査線 120において第3のスイッチ 113 をオフさせる電位は、第1の走査線 1218 において第1のスイッチ 111 をオフさせる信号である $V_1 - V_{th} -$ の電位より下げてもよく、この場合トランジスタがオフとなる際のゲート・ソース間電圧を負の値とすることが可能となる。よって、第3のスイッチ 113 がオフした際の電流漏れを少なくすることができる。

【0136】

また、図13の画素 1300 に示すように図1の第2の電位供給線 123 を次行の第2の走査線 1319 と共有しても良い。画素 1300 においても、実施の形態1と同様の動作をさせることができる。なお、第2の走査線 1319 に $V_1 - V_{th} -$ (\cdot :任意の正の数) の電位が入力された際にオフとなる、第2のスイッチ 112 を使用することが好みしい。この場合、画素 1300 が属する行の初期化期間は配線を共有した行のしきい値書き込み期間と重ならないように動作させる必要がある。

10

【0137】

なお、第3のスイッチ 113 にNチャネル型トランジスタを用いた場合、第3の走査線 120 において第3のスイッチ 113 をオフさせる信号は、第2の走査線 1319 において第2のスイッチ 112 をオフさせる信号である $V_1 - V_{th} -$ の電位より下げてもよく、この場合第3のスイッチ 113 がオフした際の電流漏れを少なくすることができる。

20

【0138】

また、図14の画素 1400 に示すように図1の第2の電位供給線 123 を前行の第3の走査線 1420 と共有しても良い。画素 1400 においても、実施の形態1と同様の動作をさせることができる。ただし、第3の走査線 1420 において第3のスイッチ 113 をオフさせる信号は $V_1 - V_{th} -$ (\cdot :任意の正の数) の電位となる。そのため、 $V_1 - V_{th} -$ (\cdot :任意の正の数) の電位でオフとなる第3のスイッチ 113 を使用する必要がある。また、画素 1400 が属する行の初期化期間は配線を共有した行の初期化期間と重ならないように動作させる必要があるが、初期化期間がデータ書き込み期間より短く設定されている場合には特に問題はない。

30

【0139】

また、図12乃至14の画素において実施の形態2に示したように動作させた場合には第4のスイッチ 114 は特に設けなくても良い。

【0140】

また、図15の画素 1500 に示すように図1の第2の電位供給線 123 を次行の第4の走査線 1521 と共有しても良い。画素 1500 においても、実施の形態1と同様の動作をさせることができる。なお、第4の走査線 1521 においてHレベルの信号が入力された場合にオフとなり、 $V_1 - V_{th} -$ (\cdot :任意の正の数) であるLレベルの信号が入力された場合にオンとなる、第4のスイッチ 114 を用いることが好みしい。この場合、画素 1500 が属する行の初期化期間は配線を共有した行のデータ書き込み期間と重ならないように動作させる必要がある。また、初期化期間において第4のスイッチ 114 をオフとさせる場合には、配線を共有した行の初期化期間と重ならないように動作させる必要がある。

40

【0141】

なお、本実施形態では図1の第2の電位供給線 123 が次行もしくは前行の走査線と共に共有する場合について示したが、初期化期間に $V_1 - V_{th} -$ (\cdot :任意の正の数) の電位を供給することが可能な配線であればそれ以外でも良い。

【0142】

さらに、本実施形態で示した画素を図9の表示装置に適用することができる。なお、表示装置において、図12乃至図15に記載した画素ごとの動作の制約及び各行におけるデ

50

一タ書き込み期間が重複しない範囲内で、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティー比）を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

【0143】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0144】

なお、第4のスイッチ114は、ノード130とトランジスタ110のゲート電極との間に接続されたものに限らず、ノード130とノード131との間やトランジスタ110の第1の電極とノード132との間に接続されていてもよい。また、トランジスタ110の第2の電極が第4のスイッチ114を介して電源線124と接続されていてもよい。

【0145】

上記に限らず、本実施の形態は、他の実施形態に示した画素構成とも自由に組み合わせることができる。

【0146】

（実施の形態5）

本実施形態では、実施の形態1とは異なる構成の画素について図29に示す。なお、実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0147】

図29に示す画素は、トランジスタ2910、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114、容量素子115、発光素子116を有する。なお、画素は、信号線117、第1の走査線118、第2の走査線119、第3の走査線120、第4の走査線121、第1の電位供給線122、第2の電位供給線123及び電源線124に接続されている。

【0148】

本実施形態におけるトランジスタ2910は、トランジスタを2つ直列に接続したマルチゲート型トランジスタであり、実施の形態1のトランジスタ110と同じ位置に設けられている。ただし、直列に接続されるトランジスタの数は特に限定されない。

【0149】

図1の画素と同様に図29に示した画素を動作させることにより、トランジスタ2910のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ2910の動作領域は特に限定されないが、飽和領域の場合の方が効果は顕著にあらわれる。

【0150】

さらに、トランジスタ2910を飽和領域で動作させた場合には、発光素子116の劣化に起因したトランジスタ2910に流れる電流のばらつきを抑制することができる。

【0151】

本実施形態におけるトランジスタ2910のチャネル長Lは、直列に接続された2つのトランジスタのチャネル幅が等しい場合、各トランジスタのチャネル長の合計として作用する。よって、飽和領域においてドレイン・ソース間電圧Vdsにかかわらず、より一定に近い電流値を得られやすい。特に、トランジスタ2910は長いチャネル長Lを有するトランジスタの作製が困難な場合に有効である。なお、2つのトランジスタの接続部は抵抗として機能する。

【0152】

10

20

30

40

50

なお、トランジスタ2910は発光素子116に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ(TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【0153】

また、図29に示した画素は、図1に示した画素と同様、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114はトランジスタ等を用いることができる。10

【0154】

なお、第4のスイッチ114は、ノード130とトランジスタ110のゲート電極との間に接続されたものに限らず、ノード130とノード131との間やトランジスタ110の第1の電極とノード132との間に接続されていてもよい。また、トランジスタ110の第2の電極が第4のスイッチ114を介して電源線124と接続されていてもよい。

【0155】

また、実施の形態2に示したように動作させた場合には第4のスイッチ114は特に設けなくても良い。

【0156】

さらに、図9の表示装置に本実施形態で示した画素を適用することができる。実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合(即ち、デューティー比)を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。20

【0157】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。30

【0158】

なお、トランジスタ2910は直列に接続されたトランジスタに限らず、図30のトランジスタ3010に示すような並列にトランジスタが接続された構成であっても良い。トランジスタ3010により、より大きな電流を発光素子116に供給することができる。また、並列に接続した2つのトランジスタによってトランジスタの特性が平均化されるため、トランジスタ3010を構成するトランジスタ本来の特性ばらつきをより小さくすることができる。よって、ばらつきが小さいとトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきをより抑制しやすくすることができる。

【0159】

上記に限らず、本実施の形態は、他の実施形態に示した画素構成とも自由に組み合わせることができる。つまり、トランジスタ2910もしくはトランジスタ3010は、他の実施の形態に示した画素構成にも適用することが可能である。40

【0160】

(実施の形態6)

本実施形態では、本発明の画素において、発光素子に供給する電流値を制御するトランジスタを期間毎に切り替えることにより、トランジスタの経時的な劣化を平均化する画素構成について図31を用いて説明する。

【0161】

図31に示す画素は、第1のトランジスタ3101、第2のトランジスタ3102、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイ50

ツチ 3 1 1 4、第 5 のスイッチ 3 1 0 3、第 6 のスイッチ 3 1 0 4、容量素子 3 1 1 5、発光素子 3 1 1 6 を有する。なお、画素は、信号線 3 1 1 7、第 1 の走査線 3 1 1 8、第 2 の走査線 3 1 1 9、第 3 の走査線 3 1 2 0、第 4 の走査線 3 1 2 1、第 1 の電位供給線 3 1 2 2、第 2 の電位供給線 3 1 2 3 及び電源線 3 1 2 4 に接続されている。さらに図 3 1 には図示していないが、画素は、第 5 のスイッチ 3 1 0 3 及び第 6 のスイッチ 3 1 0 4 のオン、オフを制御する、第 5 及び第 6 の走査線にも接続されている。本実施形態において、第 1 のトランジスタ 3 1 0 1 及び第 2 のトランジスタ 3 1 0 2 は N チャネル型トランジスタとし、それぞれのトランジスタはゲート・ソース間電圧 ($V_{g s}$) がしきい値電圧を上回ったとき、導通状態になるものとする。また、発光素子 3 1 1 6 の画素電極は陽極、対向電極 3 1 2 5 は陰極とする。なお、トランジスタのゲート・ソース間電圧は $V_{g s}$ 10、容量素子に蓄積された電圧は $V_{c s}$ と記す。また、第 1 のトランジスタ 3 1 0 1 のしきい値電圧を $V_{t h 1}$ 、第 2 のトランジスタ 3 1 0 2 のしきい値電圧を $V_{t h 2}$ と記す。電源線 3 1 2 4、第 1 の電位供給線 3 1 2 2、第 2 の電位供給線 3 1 2 3 及び信号線 3 1 1 7 を、それぞれ第 1 の配線、第 2 の配線、第 3 の配線、第 4 の配線とも呼ぶ。

【 0 1 6 2 】

第 1 のトランジスタ 3 1 0 1 の第 1 の電極（ソース電極及びドレイン電極の一方）は、第 5 のスイッチ 3 1 0 3 を介して発光素子 3 1 1 6 の画素電極に接続され、第 2 の電極（ソース電極及びドレイン電極の他方）は電源線 3 1 2 4 に接続され、ゲート電極は第 4 のスイッチ 3 1 1 4 及び第 2 のスイッチ 3 1 1 2 を介して第 1 の電位供給線 3 1 2 2 と接続されている。なお、第 4 のスイッチ 3 1 1 4 は、第 1 のトランジスタ 3 1 0 1 のゲート電極と第 2 のスイッチ 3 1 1 2 の間に接続されている。また、第 4 のスイッチ 3 1 1 4 と第 2 のスイッチ 3 1 1 2 との接続箇所をノード 3 1 3 0 とすると、ノード 3 1 3 0 は第 1 のスイッチ 3 1 1 1 を介して信号線 3 1 1 7 と接続されている。また、第 1 のトランジスタ 3 1 0 1 の第 1 の電極は第 5 のスイッチ 3 1 0 3 及び第 3 のスイッチ 3 1 1 3 を介して第 2 の電位供給線 3 1 2 3 とも接続されている。

【 0 1 6 3 】

第 2 のトランジスタ 3 1 0 2 の第 1 の電極（ソース電極及びドレイン電極の一方）は、第 6 のスイッチ 3 1 0 4 を介して発光素子 3 1 1 6 の画素電極に接続され、第 2 の電極（ソース電極及びドレイン電極の他方）は電源線 3 1 2 4 に接続され、ゲート電極は第 4 のスイッチ 3 1 1 4 を介してノード 3 1 3 0 と接続されている。また、第 2 のトランジスタ 3 1 0 2 の第 1 の電極は第 6 のスイッチ 3 1 0 4 及び第 3 のスイッチ 3 1 1 3 を介して第 2 の電位供給線 3 1 2 3 とも接続されている。なお、第 1 のトランジスタ 3 1 0 1 のゲート電極と第 2 のトランジスタ 3 1 0 2 のゲート電極とは接続されている。また、第 1 のトランジスタ 3 1 0 1 の第 1 の電極と第 2 のトランジスタ 3 1 0 2 の第 1 の電極とは、第 5 のスイッチ 3 1 0 3 及び第 6 のスイッチ 3 1 0 4 を介して接続されており、第 5 のスイッチ 3 1 0 3 と第 6 のスイッチ 3 1 0 4 との接続箇所をノード 3 1 3 3 とする。

【 0 1 6 4 】

さらに、ノード 3 1 3 3 とノード 3 1 3 0 との間に容量素子 3 1 1 5 が接続されている。つまり、容量素子 3 1 1 5 の第 1 の電極は第 4 のスイッチ 3 1 1 4 を介し接続された第 1 のトランジスタ 3 1 0 1 と第 2 のトランジスタ 3 1 0 2 のゲート電極に、容量素子 3 1 1 5 の第 2 の電極は第 5 のスイッチ 3 1 0 3 を介して第 1 のトランジスタ 3 1 0 1 の第 1 の電極及び第 6 のスイッチ 3 1 0 4 を介して第 2 のトランジスタ 3 1 0 2 の第 1 の電極に接続されている。容量素子 3 1 1 5 は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、場合によっては接続された第 1 のトランジスタ 3 1 0 1 と第 2 のトランジスタ 3 1 0 2 のゲート容量を用いて省略することもできる。なお、容量素子 3 1 1 5 の第 1 の電極と、第 1 のスイッチ 3 1 1 1 とノード 3 1 3 0 とが接続された配線との接続箇所をノード 3 1 3 1 とし、ノード 3 1 3 3 と容量素子 3 1 1 5 の第 2 の電極とが接続された配線と発光素子 3 1 1 6 の画素電極との接続箇所をノード 3 1 3 2 とする。

【 0 1 6 5 】

第 1 の走査線 3 1 1 8、第 2 の走査線 3 1 1 9、第 3 の走査線 3 1 2 0、第 4 の走査線 50

3121に信号を入力することにより、それぞれ第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114のオンオフが制御される。図31においては、第5のスイッチ3103及び第6のスイッチ3104のオンオフを制御する走査線は省略している。

【0166】

信号線3117には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0167】

次に、図31で示した画素の動作について図32のタイミングチャートを用いて説明する。なお、図32において1画面分の画像を表示する期間に相当する1フレーム期間は、
初期化期間、しきい値書き込み期間、データ書き込み期間及び発光期間に分割される。
10

【0168】

なお、発光素子3116の対向電極3125及び第1の電位供給線3122にはV1の電位が、第2の電位供給線3123にはV1 - Vth - (: 任意の正の数) の電位が入力される。Vthは、Vth1もしくはVth2の大きい方の値とする。また、電源線3124には、V2の電位が入力される。ここでは動作を説明するために、発光素子3116の対向電極3125の電位は、第1の電位供給線3122の電位と同じであるとしたが、発光素子3116が発光するために少なくとも必要とする電位差をV_{EL}とすると、
対向電極3125の電位はV1 - Vth - V_{EL}の電位より高い値であれば良い。また、電源線3124の電位V2は、対向電極3125の電位に発光素子116が発光するために少なくとも必要とする電位差 (V_{EL}) を加算した値より大きい値であれば良いが、説明上ここでは対向電極3125の電位をV1としたため、V2はV1 + V_{EL}より大きい値であれば良い。
20

【0169】

まず、図32(A)に示すように初期化期間では、第1のスイッチ3111及び第6のスイッチ3104をオフとし、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114及び第5のスイッチ3103をオンとする。このとき、第1のトランジスタ3101の第1の電極はソース電極となり、その電位は第2の電位供給線3123と等しくなるためV1 - Vth - となる。一方、ゲート電極の電位はV1となる。よって、第1のトランジスタ3101のゲート・ソース間電圧VgsはVth+となり第1のトランジスタ3101は導通状態となる。そして、第1のトランジスタ3101のゲート電極と第1の電極との間に設けられた容量素子3115にVth+が保持される。なお、第4のスイッチ3114をオンとした場合について説明したが、オフとしても良い。
30

【0170】

次に、図32(B)に示すしきい値書き込み期間では、第3のスイッチ3113をオフとする。そのため、第1のトランジスタ3101の第1の電極即ちソース電極の電位は次第に上昇しV1 - Vth1となったところ、つまり第1のトランジスタ3101のゲート・ソース間電圧Vgsがしきい値電圧 (Vth1) となったところで、第1のトランジスタ3101は非導通状態となる。よって、容量素子3115に保持される電圧はVth1となる。
40

【0171】

その後の図32(C)に示すデータ書き込み期間においては、第2のスイッチ3112及び第4のスイッチ3114をオフとした後、第1のスイッチ3111をオンとし、信号線3117より輝度データに応じた電位 (V1 + Vdata) を入力する。なお、第4のスイッチ3114をオフにすることにより、第1のトランジスタ3101を非導通状態に保つことができる。そのため、データ書き込み時の電源線3124から供給される電流による容量素子3115の第2の電極の電位の変動を抑制することができる。よって、このとき容量素子3115に保持される電圧Vcsは、Vth1 + Vdataとなる。なお、次の発光期間において発光素子3116を非発光としたい場合には、Vdata = 0の電位を入力する。
50

【0172】

次に、図32(D)に示す発光期間では、第1のスイッチ3111をオフとし、第4のスイッチ3114をオンとする。このとき、第1のトランジスタ3101のゲート・ソース間電圧は $V_{gs} = V_{th1} + V_{data}$ となり、第1のトランジスタ3101が導通状態になる。よって、輝度データに応じた電流が第1のトランジスタ3101及び発光素子3116に流れ、発光素子3116が発光する。

【0173】

このような動作により、発光素子3116に流れる電流は、第1のトランジスタ3101の動作領域が飽和領域、線形領域のいずれの場合においても、第1のトランジスタ3101のしきい値電圧(V_{th1})に依存しない。

10

【0174】

さらに、図32(E)に示す次の1フレーム期間における初期化期間では、第5のスイッチ3103をオフとし、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114及び第6のスイッチ3104をオンとする。このとき、第2のトランジスタ3102の第1の電極はソース電極となり、その電位は第2の電位供給線3123と等しくなるため $V_1 - V_{th-}$ となる。一方、ゲート電極の電位は V_1 となる。よって、第2のトランジスタ3102のゲート・ソース間電圧 V_{gs} は V_{th+} となり、第2のトランジスタ3102は導通状態となる。そして、第2のトランジスタ3102のゲート電極と第1の電極との間に設けられた容量素子3115に V_{th+} が保持される。なお、第4のスイッチ3114をオンとした場合について説明したが、オフとしても良い。

20

【0175】

次に、図32(F)に示すしきい値書き込み期間では、第3のスイッチ3113をオフとする。そのため、第2のトランジスタ3102の第1の電極即ちソース電極の電位は次第に上昇し $V_1 - V_{th2}$ となったところ、つまり第2のトランジスタ3102のゲート・ソース間電圧 V_{gs} がしきい値電圧(V_{th2})となったところで、第2のトランジスタ3102は非導通状態となる。よって、容量素子3115に保持される電圧は V_{th2} となる。

【0176】

その後の図32(G)に示すデータ書き込み期間においては、第2のスイッチ3112及び第4のスイッチ3114をオフとした後、第1のスイッチ3111をオンとし、信号線3117より輝度データに応じた電位($V_1 + V_{data}$)を入力する。なお、第4のスイッチ3114をオフにすることにより、第2のトランジスタ3102を非導通状態に保つことができる。そのため、データ書き込み時の電源線3124から供給される電流による、容量素子3115の第2の電極の電位の変動を抑制することができる。よって、このときに、容量素子3115に保持される電圧 V_{cs} は、 $V_{th2} + V_{data}$ となる。

30

【0177】

次に、図32(H)に示す発光期間では、第1のスイッチ3111をオフとし、第4のスイッチ3114をオンとする。このとき、第2のトランジスタ3102のゲート・ソース間電圧は $V_{gs} = V_{th2} + V_{data}$ となり、第2のトランジスタ3102が導通状態になる。よって、輝度データに応じた電流が第2のトランジスタ3102及び発光素子3116に流れ、発光素子3116が発光する。

40

【0178】

また、第2のトランジスタ3102の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子3116に流れる電流はしきい値電圧(V_{th2})に依存しない。

【0179】

よって、第1のトランジスタ3101、第2のトランジスタ3102のいずれのトランジスタを用いて発光素子に供給する電流を制御してもトランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子3116に供給することができる。なお、第1のトランジスタ3101、第2のトランジスタ3102を切り替えて用いることにより一つのトランジスタに加わる負荷を軽くすること

50

によりトランジスタの経時的なしきい値の変化を小さいものとすることができます。

【0180】

以上のことから、第1のトランジスタ3101、第2のトランジスタ3102のしきい値電圧に起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定とするため消費電力を低くすることが可能である。

【0181】

さらに、第1のトランジスタ3101、第2のトランジスタ3102を飽和領域で動作させた場合においては、発光素子3116の劣化による各々のトランジスタに流れる電流のばらつきも抑制できる。

【0182】

なお、第1のトランジスタ3101、第2のトランジスタ3102を飽和領域で動作させた場合、これらトランジスタのチャネル長Lは長い方がより好ましい。

【0183】

また、初期化期間において発光素子3116に逆方向のバイアス電圧を印加しているため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

【0184】

なお、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができるため、そのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図31に示した発光素子3116は、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インクなどを適用することができる。

10

【0185】

また、第1のトランジスタ3101、第2のトランジスタ3102は発光素子3116に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ（TFT）、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

20

【0186】

第1のスイッチ3111は画素の階調に従った信号を容量素子に入力するタイミングを選択するものであり、第2のスイッチ3112は第1のトランジスタ3101もしくは第2のトランジスタ3102のゲート電極に所定の電位を与えるタイミングを選択するものであり、第3のスイッチ3113は容量素子3115に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択するものであり、第4のスイッチは第1のトランジスタ3101もしくは第2のトランジスタ3102のゲート電極と容量素子3115との接続を遮断するためのものである。そのため、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。また、第5のスイッチ3103及び第6のスイッチ3104についても特に限定されず、たとえばトランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。

30

【0187】

第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114、第5のスイッチ3103、第6のスイッチ3104にNチャネル型のトランジスタを用いた場合、Nチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。また、画素を構成するトランジスタの半導体層にアモルファス半導体やセミアモルファス半導体（若しくは微結晶半導体ともいう）などの非晶質半導体を用いることができる。例えば、アモルファス半導体としてアモ

40

50

ルファスシリコン(a - Si : H)が挙げられる。これら非晶質半導体を用いることにより、さらに製造工程の簡略化が可能である。したがって、製造コストの削減や歩留まりの向上を図ることができる。

【 0 1 8 8 】

なお、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114、第5のスイッチ3103、第6のスイッチ3104にトランジスタを用いた場合、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。

【 0 1 8 9 】

また、第1のトランジスタ3101と第5のスイッチ3103及び第2のトランジスタ3102と第6のスイッチ3104は、図37に示すようにそれぞれ入れ替わっていても良い。つまり、第1のトランジスタ3101及び第2のトランジスタ3102の第1の電極は容量素子3115を介して第1のトランジスタ3101及び第2のトランジスタ3102のゲート電極に接続されている。また、第1のトランジスタ3101の第2の電極は第5のスイッチ3103を介して電源線3124と接続され、第2のトランジスタ3102の第2の電極は第6のスイッチ3104を介して電源線3124と接続されている。

【 0 1 9 0 】

また、図31及び図37ではトランジスタとスイッチをセットにして、つまり第1のトランジスタ3101と第5のスイッチ3103、第2のトランジスタ3102と第6のスイッチ3104をセットにして並列数が2の場合について記載したが、並列に配置する数は特に限定されない。

【 0 1 9 1 】

なお、第4のスイッチ3114は、ノード3130と第1のトランジスタ3101及び第2のトランジスタ3102のゲート電極との間に接続されたものに限らず、ノード3130とノード3131との間やノード3133とノード3132との間に接続されていてもよい。

【 0 1 9 2 】

また、図38に示すように第4のスイッチ3114は特に設けなくてもよい。本実施形態に示した画素では、第5のスイッチ3103及び第6のスイッチ3104の両方をデータ書き込み期間にオフさせることにより、第4のスイッチ3114を有さなくとも電源線3124からノード3133に供給される電流を遮断することができる。よって、容量素子3115の第2の電極の電位の変動を抑制することができるため、特に第4のスイッチ3114を必要とすることなく容量素子3115に $V_{th1} + V_{data}$ もしくは $V_{th2} + V_{data}$ の電圧を保持させることができある。したがって、輝度データに応じたより正確な電流を発光素子3116に供給することができる。もちろん、図31に示すような第5のスイッチ3103及び第6のスイッチ3104がそれぞれ第1のトランジスタ3101、第2のトランジスタ3102の第1の電極とノード3133との間に接続されている際にも同様のことが言える。

【 0 1 9 3 】

また、発光期間において第5のスイッチ3103及び第6のスイッチ3104の両方をオフさせることにより、強制的に非発光状態を作ることも可能である。このような動作によって、発光期間を自由に設定することができる。また、黒表示を挿入することで、残像を見えにくくし、動画特性の向上を図ることも可能である。

【 0 1 9 4 】

また、図9の表示装置に本実施形態で示した画素を適用することで、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することができるため、1フレーム期間における発光期間の割合(即ち、デューティー比)を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

10

20

30

40

50

【0195】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0196】

なお、実施の形態4と同様、第2の電位供給線3123は他の行の配線と共有することができる。また、第1のトランジスタ3101及び第2のトランジスタ3101のそれぞれに、トランジスタが直列に接続されたマルチゲート型トランジスタや並列に配置されたトランジスタを用いても良い。これらに限らず、本実施の形態は、実施の形態1乃至5に示した画素構成に適用することが可能である。

10

【0197】**(実施の形態7)**

本実施形態では、発光素子に供給する電流値を制御するトランジスタにPチャネル型トランジスタを適用した場合について図39を用いて説明する。

【0198】

図39に示す画素は、トランジスタ3910、第1のスイッチ3911、第2のスイッチ3912、第3のスイッチ3913、第4のスイッチ3914、容量素子3915、発光素子3916を有する。なお、画素は、信号線3917、第1の走査線3918、第2の走査線3919、第3の走査線3920、第4の走査線3921、第1の電位供給線3922、第2の電位供給線3923及び電源線3924に接続されている。本実施の形態において、トランジスタ3910はPチャネル型トランジスタとし、そのゲート・ソース間電圧の絶対値($|V_{gs}|$)がしきい値電圧($|V_{th}|$)を上回ったとき(V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。また、発光素子3916の画素電極は陰極、対向電極3925は陽極とする。なお、トランジスタのゲート・ソース間電圧の絶対値を $|V_{gs}|$ 、しきい値電圧の絶対値を $|V_{th}|$ と記し、電源線3924、第1の電位供給線3922、第2の電位供給線3923及び信号線3917を、それぞれ第1の配線、第2の配線、第3の配線、第4の配線とも呼ぶ。

20

【0199】

トランジスタ3910の第1の電極(ソース電極及びドレイン電極の一方)は、発光素子3916の画素電極に接続され、第2の電極(ソース電極及びドレイン電極の他方)は電源線3924に接続され、ゲート電極は第4のスイッチ3914及び第2のスイッチ3912を介して第1の電位供給線3922と接続されている。なお、第4のスイッチ3914は、トランジスタ3910のゲート電極と第2のスイッチ3912の間に接続されている。また、第4のスイッチ3914と第2のスイッチ3912との接続箇所をノード3930とすると、ノード3930は第1のスイッチ3911を介して信号線3917と接続されている。また、トランジスタ3910の第1の電極は第3のスイッチ3913を介して第2の電位供給線3923とも接続されている。

30

【0200】

さらに、ノード3930とトランジスタ3910第1の電極との間に容量素子3915が接続されている。つまり、容量素子3915の第1の電極が第4のスイッチ3914を介してトランジスタ3910のゲート電極に、第2の電極がトランジスタ3910の第1の電極に接続されている。容量素子3915は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、場合によってはトランジスタ3910のゲート容量を用いて省略することもできる。また、ノード3930と、第1のスイッチ3911と容量素子3915の第1の電極とが接続されている配線との接続箇所をノード3931とし、トランジスタ3910の第1の電極と、容量素子3915の第2の電極と発光素子3916の画素電極とが接続されている配線との接続箇所をノード3932とする。

40

【0201】

なお、第1の走査線3918、第2の走査線3919、第3の走査線3920、第4の走査線3921に信号を入力することにより、それぞれ第1のスイッチ3911、第2の

50

スイッチ3912、第3のスイッチ3913、第4のスイッチ3914のオンオフが制御される。

【0202】

信号線3917には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0203】

次に、図39で示した画素の動作について図40のタイミングチャート及び図41を用いて説明する。なお、図40において1画面分の画像を表示する期間に相当する1フレーム期間は、初期化期間、しきい値書き込み期間、データ書き込み期間及び発光期間に分割される。また、初期化期間、しきい値書き込み期間、データ書き込み期間をまとめてアドレス期間と呼ぶ。1フレーム期間は特に限定はないが、画像を見る人がちらつき（フリッカ）を感じないように少なくとも1/60秒以下とすることが好ましい。
10

【0204】

なお、発光素子3916の対向電極3925及び第1の電位供給線3922にはV1の電位が、第2の電位供給線3923にはV1+|Vth|+（：任意の正の数）の電位が入力される。また、電源線3924には、V2の電位が入力される。

【0205】

ここでは動作を説明するために、発光素子3916の対向電極3925の電位は、第1の電位供給線3922の電位と同じであるとしたが、発光素子3916が発光するために少なくとも必要とする電位差をV_{E_L}とすると、対向電極3925の電位はV1+|Vth|+V_{E_L}より低い値であれば良い。また、電源線3924の電位V2は、対向電極3925の電位から発光素子3916が発光するために少なくとも必要とする電位差（V_{E_L}）を引いた値より小さい値であれば良いが、説明上ここでは対向電極3925の電位をV1としたため、V2はV1-V_{E_L}より小さい値であれば良いということになる。
20

【0206】

まず、図40(A)及び図41(A)に示すように初期化期間では、第1のスイッチ3911をオフとし、第2のスイッチ3912、第3のスイッチ3913及び第4のスイッチ3914をオンとする。このとき、トランジスタ3910の第1の電極はソース電極となり、その電位は第2の電位供給線3923と等しくなるためV1+|Vth|+となる。一方、ゲート電極の電位はV1となる。よって、トランジスタ3910のゲート・ソース間電圧の絶対値|Vgs|は|Vth|+となり、トランジスタ3910は導通状態となる。そして、トランジスタ3910のゲート電極と第1の電極との間に設けられた容量素子3915に|Vth|+が保持される。なお、第4のスイッチ3914をオンとした場合について説明したが、オフとしても良い。
30

【0207】

次に、図40(B)及び図41(B)に示すしきい値書き込み期間では、第3のスイッチ3913をオフとする。そのため、トランジスタ3910の第1の電極即ちソース電極の電位は次第に下降しV1+|Vth|+となったところで、トランジスタ3910は非導通状態となる。よって、容量素子3915に保持される電圧は|Vth|となる。
40

【0208】

その後の図40(C)及び図41(C)に示すデータ書き込み期間においては、第2のスイッチ3912及び第4のスイッチ3914をオフとした後、第1のスイッチ3911をオンとし、信号線3917より輝度データに応じた電位（V1-Vdata）を入力する。なお、第4のスイッチ3914をオフにすることにより、トランジスタ3910を非導通状態に保つことができる。そのため、データ書き込み時の電源線3924から供給される電流による、容量素子3915の第2の電極の電位の変動を抑制することができる。よって、このとき容量素子3915に保持される電圧Vcsは、容量素子3915及び発光素子3916の静電容量をそれぞれC1、C2とすると式(5)のように表すことができる。
50

【数5】

$$V_{CS} = \left| -|V_{th}| - V_{data} \times \frac{C_2}{C_1+C_2} \right| \dots(5)$$

【0209】

ただし、発光素子3916は容量素子3915に比べ膜厚が薄いうえ電極面積が大きいため、 $C_2 > > C_1$ となる。よって、 $C_2 / (C_1 + C_2) \approx 1$ より容量素子3915に保持される電圧 V_{CS} は式(6)となる。なお、次の発光期間において発光素子3916を非発光としたい場合には、 $V_{data} = 0$ の電位を入力する。

【数6】

$$V_{CS} = \left| -|V_{th}| - V_{data} \right| \dots(6)$$

10

【0210】

次に、図40(D)及び図41(D)に示す発光期間では、第1のスイッチ3911をオフとし、第4のスイッチ3914をオンとする。このとき、トランジスタ3910のゲート・ソース間電圧は $V_{GS} = -V_{data} - |V_{th}|$ となり、トランジスタ3910が導通状態になる。よって、輝度データに応じた電流がトランジスタ3910及び発光素子3916に流れ、発光素子3916が発光する。

【0211】

なお、発光素子に流れる電流 I は、トランジスタ3910を飽和領域で動作させた場合、式(7)で表される。

20

【数7】

$$\begin{aligned} I &= \frac{1}{2} \left[\frac{W}{L} \right] \mu C_{ox} (V_{GS} - V_{th})^2 \\ &= \frac{1}{2} \left[\frac{W}{L} \right] \mu C_{ox} (-V_{data} - |V_{th}| - V_{th})^2 \quad \dots(7) \end{aligned}$$

【0212】

トランジスタ3910はPチャネル型のトランジスタであるため、 $V_{th} < 0$ である。よって、式(7)は式(8)に変形できる。

【数8】

30

$$I = \frac{1}{2} \left[\frac{W}{L} \right] \mu C_{ox} (-V_{data})^2 \quad \dots(8)$$

【0213】

また、トランジスタ3910を線形領域で動作させた場合、発光素子に流れる電流 I は式(9)で表される。

【数9】

$$\begin{aligned} I &= \left[\frac{W}{L} \right] \mu C_{ox} [(V_{GS} - V_{th})V_{ds} - \frac{1}{2} V_{ds}^2] \\ &= \left[\frac{W}{L} \right] \mu C_{ox} [(-V_{data} - |V_{th}| - V_{th})V_{ds} - \frac{1}{2} V_{ds}^2] \quad \dots(9) \end{aligned}$$

40

【0214】

$V_{th} < 0$ より、式(9)は式(10)に変形できる。

【数10】

$$I = \left[\frac{W}{L} \right] \mu C_{ox} [(-V_{data})V_{ds} - \frac{1}{2} V_{ds}^2] \quad \dots(10)$$

【0215】

ここで、Wはトランジスタ3910のチャネル幅、Lはチャネル長、 μ は移動度、 C_{ox}

50

\times は蓄積容量を指す。

【0216】

式(8)及び式(10)より、トランジスタ3910の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子3916に流れる電流は、トランジスタ3910のしきい値電圧(V_{th})に依存しない。よって、トランジスタ3910のしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子3916に供給することができる。

【0217】

以上のことから、トランジスタ3910のしきい値電圧のばらつきに起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。10

【0218】

さらに、トランジスタ3910を飽和領域で動作させた場合においては、発光素子3916の劣化による輝度のばらつきも抑制できる。発光素子3916が劣化すると、発光素子3916の V_{EL} は増大し、トランジスタ3910の第1の電極、即ちソース電極の電位は減少する。このとき、トランジスタ3910のソース電極は容量素子3915の第2の電極に、トランジスタ3910のゲート電極は容量素子3915の第1の電極に接続されており、なおかつゲート電極側は浮遊状態となっている。そのため、ソース電位の減少に伴い、同じ電位だけトランジスタ3910のゲート電位も減少する。よって、トランジスタ3910の V_{gs} は変化しないため、たとえ発光素子が劣化してもトランジスタ3910及び発光素子3916に流れる電流に影響しない。なお、式(8)においても発光素子に流れる電流Iはソース電位やドレイン電位に依存しないことがわかる。20

【0219】

よって、トランジスタ3910を飽和領域で動作させた場合においては、トランジスタ3910のしきい値電圧のばらつき及び発光素子3916の劣化に起因したトランジスタ3910に流れる電流のばらつきを抑制することができる。

【0220】

なお、トランジスタ3910を飽和領域で動作させた場合、降伏現象やチャネル長変調による電流量の増加を抑制するために、トランジスタ3910のチャネル長Lは長い方がより好ましい。30

【0221】

また、初期化期間において発光素子3916に逆方向のバイアス電圧を印加しているため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

【0222】

なお、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができるため、そのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図39に示した発光素子3916は、EL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)、電子放出素子、液晶素子、電子インクなどを適用することができる。40

【0223】

また、トランジスタ3910は発光素子3916に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ(TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【0224】

第1のスイッチ3911は画素の階調に従った信号を容量素子に入力するタイミングを50

選択し、トランジスタ3910のゲート電極に供給する信号を制御するものであり、第2のスイッチ3912はトランジスタ3910のゲート電極に所定の電位を与えるタイミングを選択し、トランジスタ3910のゲート電極に所定の電位を供給するか否かを制御するものであり、第3のスイッチ3913は容量素子3915に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択したり、トランジスタ3910の第1の電極の電位を高くするものである。なお、第4のスイッチはトランジスタ3910のゲート電極と容量素子3915とを接続するか否かを制御するものである。そのため、第1のスイッチ3911、第2のスイッチ3912、第3のスイッチ3913、第4のスイッチ3914は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。

10

【0225】

なお、トランジスタを用いた場合、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているものなどがある。また、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

【0226】

たとえば、第1のスイッチ3911、第2のスイッチ3912、第3のスイッチ3913、第4のスイッチ3914にPチャネル型のトランジスタを適用した場合、それぞれのスイッチのオンオフを制御する走査線にはオンさせたいときにはLレベルの信号が、オフさせたいときにはHレベルの信号が入力される。

20

【0227】

この場合、Pチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。

【0228】

さらに、図9の表示装置に本実施形態で示した画素を適用することでき、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することができるため、1フレーム期間における発光期間の割合（即ち、デューティー比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

30

【0229】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0230】

なお、本実施形態は、その他の実施の形態に示した画素構成とも自由に組み合わせることができる。例えば、第4のスイッチ3914がノード3930とノード3931との間やトランジスタ3910の第1の電極とノード3932との間に接続されている場合や、トランジスタ3910の第2の電極が第4のスイッチ3914を介して電源線3924と接続されている場合などがある。また、実施の形態2に示したように第4のスイッチを設けない画素であっても良い。これらに限らず、トランジスタ3910は、他の実施形態に示した画素にも適用することが可能である。

40

【0231】

（実施の形態8）

本実施形態では、本発明の画素の部分断面図の一形態について図17を用いて説明する。なお、本実施形態における部分断面図に示されているトランジスタは、発光素子に供給する電流値を制御する機能を有するトランジスタである。

【0232】

まず、絶縁表面を有する基板1711上に下地膜1712を形成する。絶縁表面を有す

50

る基板 1711 としては、ガラス基板、石英基板、プラスチック基板（ポリイミド、アクリル、ポリエチレンテレフタレート、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等）、セラミックス基板等の絶縁性基板の他、金属基板（タンタル、タングステン、モリブデン等）や半導体基板等の表面に絶縁膜を形成したものも用いることができる。ただし、少なくともプロセス中に発生する熱に耐えうる基板を使用する必要がある。

【0233】

下地膜 1712 としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜（ SiO_xN_y ）等の絶縁膜を用い、これら絶縁膜を単層又は2以上の複数層で形成する。なお、下地膜 1712 は、スパッタ法、CVD 法等を用いて形成すればよい。本実施形態では下地膜 1712 を単層としているが、もちろん2以上の複数層でも構わない。

10

【0234】

次に、下地膜 1712 上にトランジスタ 1713 を形成する。トランジスタ 1713 は、少なくとも半導体層 1714 と、半導体層 1714 上に形成されたゲート絶縁膜 1715 と、半導体層 1714 上にゲート絶縁膜 1715 を介して形成されたゲート電極 1716 から構成されており、半導体層 1714 は、ソース領域及びドレイン領域を有する。

【0235】

半導体層 1714 は、アモルファスシリコン（a-Si:H）の他、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体、及び非晶質半導体中に0.5 nm ~ 20 nm の結晶粒を観察することができる微結晶半導体から選ばれたいずれかの非結晶性状態を有する膜（即ち、非結晶性半導体膜）やポリシリコン（p-Si:H）等の結晶性半導体膜を用いることができる。なお、0.5 nm ~ 20 nm の結晶粒を観察することができる微結晶状態はいわゆるマイクロクリスタルと呼ばれている。なお、半導体層 1714 に非結晶性半導体膜を用いる場合には、スパッタ法、CVD 法等を用いて形成すれば良く、結晶性半導体膜を用いる場合には、例えば非結晶性半導体膜を形成した後さらに結晶化すれば良い。また、必要があればトランジスタのしきい値を制御するために上記主成分の他に、微量な不純物元素（リン、ヒ素、ボロン等）が含まれていても良い。

20

【0236】

次に、半導体層 1714 を覆ってゲート絶縁膜 1715 を形成する。ゲート絶縁膜 1715 には、例えば酸化珪素、窒化珪素または窒化酸化珪素等を用いて単層または複数の膜を積層させて形成する。なお、成膜方法には、CVD 法、スパッタ法等を用いることができる。

30

【0237】

続いて、半導体層 1714 の上方にゲート絶縁膜 1715 を介してそれぞれゲート電極 1716 を形成する。ゲート電極 1716 は単層で形成してもよいし、複数の金属膜を積層して形成してもよい。なお、ゲート電極は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）等から選ばれた金属元素の他にも、前記元素を主成分とする合金材料若しくは化合物材料で形成することができる。例えば、第1の導電層として窒化タンタル（Ta_N）を用い、第2の導電層としてタングステン（W）を用いた、第1の導電膜と第2の導電膜からなるゲート電極としてもよい。

40

【0238】

次に、ゲート電極 1716 またはレジストを形成しパターニングしたものをマスクとして用い、半導体層 1714 にn型またはp型の導電性を付与する不純物を選択的に添加する。このようにして、半導体層 1714 に、チャネル形成領域および不純物領域（ソース領域、ドレイン領域、GOLD 領域、LDD 領域を含む）が形成される。また、添加される不純物元素の導電型によりNチャネル型トランジスタ、またはPチャネル型トランジスタとを区別して作製することができる。

【0239】

なお、図 17 は、LDD 領域 1720 を自己整合的に作製するために、ゲート電極 17

50

16を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール1717を形成する。その後、半導体層1714に導電性を付与する不純物を添加することにより、ソース領域1718、ドレイン領域1719及びLDD領域1720を形成することができる。そのため、LDD領域1720はサイドウォール1717の下部に位置する。なお、サイドウォール1717は、LDD領域1720を自己整合的に形成するために設けるのであって、必ずしも設けなくともよい。なお、導電性を付与する不純物としてはリン、ヒ素、ボロン等が用いられる。

【0240】

次に、ゲート電極1716を覆って、第1の層間絶縁膜1730として第1の絶縁膜1721、第2の絶縁膜1722を積層し形成する。第1の絶縁膜1721、第2の絶縁膜1722としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜(SiO_xN_y)等の無機絶縁膜、もしくは低誘電率の有機樹脂膜(感光性や非感光性の有機樹脂膜)を用いることができる。また、シロキサンを含む膜を用いてもよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料であり、置換基としては、有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また、置換基にフルオロ基を含んでいても良い。

【0241】

なお、第1の絶縁膜1721、第2の絶縁膜1722に同一材料の絶縁膜を用いても良い。本実施形態では第1の層間絶縁膜1730を2層の積層構造としたが、1層としても良いし、3層以上の積層構造としても良い。

【0242】

なお、第1の絶縁膜1721、第2の絶縁膜1722は、スパッタ法、CVD法、スピンコーティング法等を用いて形成すればよく、有機樹脂膜やシロキサンを含む膜を用いる場合には塗布法を用いて形成すればよい。

【0243】

その後、第1の層間絶縁膜1730上にソース電極及びドレイン電極1723を形成する。なお、ソース電極及びドレイン電極1723は、それぞれコンタクトホールを介してソース領域1718、ドレイン領域1719に接続されている。

【0244】

なお、ソース電極及びドレイン電極1723は、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、タンクステン(W)、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、カドミウム(Cd)、亜鉛(Zn)、鉄(Fe)、チタン(Ti)、珪素(Si)、ゲルマニウム(Ge)、ジルコニア(Zr)、バリウム(Ba)等の金属又はその合金、若しくはその金属窒化物、又はこれらの積層膜を用いることができる。

【0245】

次に、ソース電極及びドレイン電極1723を覆って第2の層間絶縁膜1731を形成する。第2の層間絶縁膜1731としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0246】

第2の層間絶縁膜1731上には画素電極1724を形成する。次に、画素電極1724の端部を覆うように絶縁物1725を形成する。絶縁物1725は、後に形成される発光物質を含む層1726の成膜を良好なものとするため、絶縁物1725の上端部または下端部が曲率を有する曲面となるように形成することが好ましい。例えば、絶縁物1725の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1725の上端部のみに曲率半径(0.2μm~3μm)を有する曲面を持たせることが好ましい。また、絶縁物1725として、感光性の光によってエッチャントに不溶解性となるネガ型、あるいは光に

10

20

30

40

50

よってエッチャントに溶解性となるポジ型のいずれも使用することができる。さらには、絶縁物 1725 の材料として有機物に限らず酸化珪素、酸窒化珪素等の無機物も用いることができる。

【0247】

次に、画素電極 1724 及び絶縁物 1725 上に発光物質を含む層 1726 及び対向電極 1727 を形成する。

【0248】

なお、画素電極 1724 と対向電極 1727 とにより発光物質を含む層 1726 が挟まれた領域では発光素子 1728 が形成されている。

【0249】

次に、発光素子 1728 の詳細について図 18 を用いて説明する。なお、図 17 における画素電極 1724 及び対向電極 1727 は、それぞれ図 18 の画素電極 1801、対向電極 1802 に相当する。また、図 18 (a) においては、画素電極を陽極、対向電極を陰極とする。

【0250】

図 18 (a) に示すように、画素電極 1801 と対向電極 1802 との間には、発光層 1813 の他、正孔注入層 1811、正孔輸送層 1812、電子輸送層 1814、電子注入層 1815 等も設けられている。これらの層は、画素電極 1801 の電位が対向電極 1802 の電位よりも高くなるように電圧を印加したときに、画素電極 1801 側から正孔が注入され対向電極 1802 側から電子が注入されるように積層されている。

【0251】

このような発光素子において、画素電極 1801 から注入された正孔と、対向電極 1802 から注入された電子とは、発光層 1813 において再結合し、発光物質を励起状態にする。そして、励起状態の発光物質が基底状態に戻るときに発光する。なお、発光物質とは、ルミネセンス（エレクトロルミネセンス）が得られる物質であれば良い。

【0252】

発光層 1813 を形成する物質について特に限定はなく、発光物質のみから形成された層であっても良いが、濃度消光を生じる場合には発光物質が有するエネルギーギャップよりも大きいエネルギーギャップを有する物質（ホスト）からなる層中に発光物質が分散するように混合された層であることが好ましい。これによって、発光物質の濃度消光を防ぐことができる。なお、エネルギーギャップとは最低空分子軌道（LUMO：Lowest Unoccupied Molecular Orbital）準位と最高被占分子軌道（HOMO：Highest Occupied Molecular Orbital）準位とのエネルギー差をいう。

【0253】

また、発光物質についても特に限定はなく、所望の発光波長の発光をし得る物質を用いればよい。例えば、赤色系の発光を得たいときには、4-ジシアノメチレン-2-イソブロピル-6-[2-(1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン（略称：DCJTI）、4-ジシアノメチレン-2-メチル-6-[2-(1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン（略称：DCJT）、4-ジシアノメチレン-2-tert-ブチル-6-[2-(1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン（略称：DCJTB）やペリフランテン、2,5-ジシアノ-1,4-ビス[2-(10-メトキシ-1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]ベンゼン等、600 nm から 680 nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、緑色系の発光を得たいときは、N,N'-ジメチルキナクリドン（略称：DMQd）、クマリン 6 やクマリン 545T、トリス(8-キノリノラト)アルミニウム（略称：Alq）、N,N'-ジフェニルキナクリドン（略称：DPQd）等、500 nm から 550 nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、青色系の発光を得たいときは、9,10-ビス(2-ナフチル)-te

10

20

30

40

50

r t - ブチルアントラセン（略称：t - BuDNA）、9 , 9' - ビアントリル、9 , 10 - ジフェニルアントラセン（略称：DPA）や9 , 10 - ビス（2 - ナフチル）アントラセン（略称：DNA）、ビス（2 - メチル - 8 - キノリノラト） - 4 - フェニルフェノラト - ガリウム（B Gaq）、ビス（2 - メチル - 8 - キノリノラト） - 4 - フェニルフェノラト - アルミニウム（BA1q）等、420 nm から 500 nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。

【0254】

発光物質を分散状態にするために用いる物質についても特に限定はなく、例えば、9 , 10 - ジ（2 - ナフチル） - 2 - tert - ブチルアントラセン（略称：t - BuDNA）等のアントラセン誘導体、または4 , 4' - ビス（N - カルバゾリル）ビフェニル（略称：CBP）等のカルバゾール誘導体の他、ビス[2 - (2 - ヒドロキシフェニル)ピリジナト]亜鉛（略称：Znpp₂）、ビス[2 - (2 - ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛（略称：ZnBOX）等の金属錯体等を用いることができる。
10

【0255】

画素電極1801を形成する陽極材料は特に限定はされないが、仕事関数の大きい（仕事関数4 . 0 eV以上）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。このような陽極材料の具体例としては、金属材料の酸化物として、インジウム錫酸化物（略称：ITO）、酸化珪素を含有するITO、酸化インジウムに2~20 [wt%] の酸化亜鉛（ZnO）を混合したターゲットを用いて形成されるインジウム亜鉛酸化物（略称：IZO）の他、金（Au）、白金（Pt）、ニッケル（Ni）、タンゲステン（W）、クロム（Cr）、モリブデン（Mo）、鉄（Fe）、コバルト（Co）、銅（Cu）、パラジウム（Pd）、または金属材料の窒化物（例えば、TiN）等を挙げることができる。
20

【0256】

一方、対向電極1802を形成する物質としては、仕事関数の小さい（仕事関数3 . 8 eV以下）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることができる。このような陰極材料の具体例としては、周期表の1族または2族に属する元素、すなわちリチウム（Li）やセシウム（Cs）等のアルカリ金属またはマグネシウム（Mg）、カルシウム（Ca）、ストロンチウム（Sr）等のアルカリ土類金属、及びこれらを含む合金（Mg : Ag、Al : Li）が挙げられる。また、対向電極1802と発光層1813との間に、電子注入性に優れた層を当該対向電極と積層して設けることにより、仕事関数の大小に関わらず、Al、Ag、ITOや酸化珪素を含有するITO等の画素電極1801の材料として挙げた材料も含めた様々な導電性材料を対向電極1802として用いることができる。また、後述する電子注入層1815に、特に電子を注入する機能に優れた材料を用いることにより同様の効果を得ることができる。
30

【0257】

なお、発光した光を外部に取り出すために、画素電極1801と対向電極1802のいずれか一方または両方がITO等の透明電極、または可視光が透過出来るような数~数十nmの厚さで形成された電極であることが好ましい。

【0258】

画素電極1801と発光層1813との間には、図18(a)に示すように正孔輸送層1812を有する。正孔輸送層とは、画素電極1801から注入された正孔を発光層1813へ輸送する機能を有する層である。このように、正孔輸送層1812を設け、画素電極1801と発光層1813とを離すことによって、発光が金属に起因して消光することを防ぐことができる。
40

【0259】

なお、正孔輸送層1812には、正孔輸送性の高い物質を用いて形成することが好ましく、特に $1 \times 10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質を用いて形成することが好ましい。なお、正孔輸送性の高い物質とは、電子よりも正孔の移動度が高い物質をいう。正孔輸送層1812を形成するのに用いることができる物質の具体例としては、4 , 50

4' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニル (略称 : N P B) 、 4 , 4' - ビス [N - (3 - メチルフェニル) - N - フェニルアミノ] ビフェニル (略称 : T P D) 、 4 , 4' , 4'' - トリス (N , N - ジフェニルアミノ) トリフェニルアミン (略称 : T D A T A) 、 4 , 4' , 4'' - トリス [N - (3 - メチルフェニル) - N - フェニルアミノ] トリフェニルアミン (略称 : M T D A T A) 、 4 , 4' - ビス { N - [4 - (N , N - ジ - m - トリルアミノ) フェニル] - N - フェニルアミノ } ビフェニル (略称 : D N T P D) 、 1 , 3 , 5 - トリス [N , N - ジ (m - トリル) アミノ] ベンゼン (略称 : m - M T D A B) 、 4 , 4' , 4'' - トリス (N - カルバゾリル) トリフェニルアミン (略称 : T C T A) 、 フタロシアニン (略称 : H₂Pc) 、 銅フタロシアニン (略称 : CuPc) 、 バナジルフタロシアニン (略称 : VOPc) 等が挙げられる。また、正孔輸送層 1812 は、以上に述べた物質から成る層を二以上組み合わせて形成した多層構造の層であってもよい。
10

【 0260 】

また、対向電極 1802 と発光層 1813との間には、図 18 (a) に示すように電子輸送層 1814 を有していてもよい。ここで、電子輸送層とは、対向電極 1802 から注入された電子を発光層 1813 へ輸送する機能を有する層である。このように、電子輸送層 1814 を設け、対向電極 1802 と発光層 1813 とを離すことによって、発光が金属に起因して消光することを防ぐことができる。

【 0261 】

電子輸送層 1814 について特に限定はなく、トリス (8 - キノリノラト) アルミニウム (略称 : Alq) 、 トリス (4 - メチル - 8 - キノリノラト) アルミニウム (略称 : Almq₃) 、 ビス (10 - ヒドロキシベンゾ [h] - キノリナト) ベリリウム (略称 : BeBq₂) 、 ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - アルミニウム (略称 : BA1q) など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等によって形成されたものを用いることができる。この他、ビス [2 - (2 - ヒドロキシフェニル) - ベンゾオキサゾラト] 亜鉛 (略称 : Zn (BOX)₂) 、 ビス [2 - (2 - ヒドロキシフェニル) - ベンゾチアゾラト] 亜鉛 (略称 : Zn (BTZ)₂) などのオキサゾール系、チアゾール系配位子を有する金属錯体等によって形成されたものであってもよい。また、 2 - (4 - ビフェニリル) - 5 - (4 - tert - ブチルフェニル) - 1 , 3 , 4 - オキサジアゾール (略称 : PBD) や、 1 , 3 - ビス [5 - (p - tert - ブチルフェニル) - 1 , 3 , 4 - オキサジアゾール - 2 - イル] ベンゼン (略称 : OXD - 7) 、 3 - (4 - tert - ブチルフェニル) - 4 - フェニル - 5 - (4 - ビフェニリル) - 1 , 2 , 4 - トリアゾール (略称 : TAZ) 、 3 - (4 - tert - ブチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニリル) - 1 , 2 , 4 - トリアゾール (略称 : p - E t T A Z) 、 バソフェナントロリン (略称 : BPhen) 、 バソキュプロイン (略称 : BCP) 等を用いて形成されたものであってもよい。電子輸送層 1814 は、以上に記載したような正孔の移動度よりも電子の移動度が高い物質を用いて形成することが好ましい。また、電子輸送層 1814 は、 10⁻⁶ cm² / Vs 以上の電子移動度を有する物質を用いて形成することがより好ましい。なお、電子輸送層 1814 は、以上に述べた物質から成る層を二以上組み合わせて形成した多層構造であってもよい。
30
40

【 0262 】

さらに、画素電極 1801 と正孔輸送層 1812 との間には、図 18 (a) に示すように、正孔注入層 1811 を有していてもよい。ここで、正孔注入層とは、陽極として機能する電極から正孔輸送層 1812 へ正孔の注入を促す機能を有する層である。

【 0263 】

正孔注入層 1811 について特に限定はなく、モリブデン酸化物 (MoOx) やバナジウム酸化物 (VOx) 、 ルテニウム酸化物 (RuOx) 、 タングステン酸化物 (WOx) 、 マンガン酸化物 (MnOx) 等の金属酸化物によって形成されたものを用いることができる。この他、フタロシアニン (略称 : H₂Pc) や銅フタロシアニン (CuPc) 等のフタロシアニン系の化合物、 4 , 4 - ビス (N - (4 - (N , N - ジ - m - トリルアミノ)
50

) フェニル) - N - フェニルアミノ) ピフェニル(略称: DNTPD)等の芳香族アミン系の化合物、或いはポリ(エチレンジオキシチオフェン)/ポリ(スチレンスルホン酸)水溶液(PEDOT/PSS)等の高分子等によっても正孔注入層1811を形成することができる。

【0264】

また、前記金属酸化物と、正孔輸送性の高い物質とを混合したものを、画素電極1801と正孔輸送層1812との間に設けても良い。このような層は、厚膜化しても駆動電圧の上昇を伴わないため、層の膜厚を調整することでマイクロキャビティ効果や光の干渉効果を利用した光学設計を行うことができる。そのため、色純度に優れ、視野角に依存する色変化などが小さい高品質な発光素子を作製することができる。また、画素電極1801の表面に成膜時に発生する凹凸や電極表面に残った微少な残渣の影響で画素電極1801と対向電極1802がショートすることを防ぐ膜厚を選ぶことができる。10

【0265】

また、対向電極1802と電子輸送層1814との間には、図18(a)に示すように、電子注入層1815を有していてもよい。ここで、電子注入層とは、陰極として機能する電極から電子輸送層1814へ電子の注入を促す機能を有する層である。なお、電子輸送層を特に設けない場合は、陰極として機能する電極と発光層との間に電子注入層を設け、発光層への電子の注入を補助してもよい。

【0266】

電子注入層1815について特に限定はなく、フッ化リチウム(LiF)、フッ化セシウム(CsF)、フッ化カルシウム(CaF₂)等のようなアルカリ金属又はアルカリ土類金属の化合物を用いて形成されたものを用いることができる。この他、Alqまたは4,4'-ビス(5-メチルベンズオキサゾル-2-イル)スチルベン(BzOs)等のように電子輸送性の高い物質と、マグネシウムまたはリチウム等のようにアルカリ金属又はアルカリ土類金属とを混合したものも、電子注入層1815として用いることができる。20

【0267】

なお、正孔注入層1811、正孔輸送層1812、発光層1813、電子輸送層1814、電子注入層1815は、それぞれ、蒸着法、インクジェット法、または塗布法等、いずれの方法で形成しても構わない。また、画素電極1801または対向電極1802についても、スパッタ法または蒸着法等、いずれの方法を用いて形成しても構わない。30

【0268】

また、発光素子の層構造は、図18(a)に記載したものに限定されず、図18(b)に示すように陰極として機能する電極から順に作製してもよい。つまり、画素電極1801を陰極とし、画素電極1801上に電子注入層1815、電子輸送層1814、発光層1813、正孔輸送層1812、正孔注入層1811、対向電極1802の順で積層しても良い。なお、対向電極1802は陽極として機能する。

【0269】

なお、発光素子は、発光層が一層のものについて記載したが、複数の発光層を有するものであってもよい。複数の発光層を設け、それぞれの発光層からの発光を混合することで、白色光を得ることができる。たとえば2層の発光層を有する発光素子の場合、第1の発光層と第2の発光層との間には、間隔層や、正孔を発生する層及び電子を発生する層を設けることが好ましい。このような構成により、外部に射出したそれぞれの発光は、視覚的に混合され、白色光として視認される。よって、白色光を得ることができる。40

【0270】

また、発光は、図17において画素電極1724または対向電極1727のいずれか一方または両方を通じて外部に取り出される。従って、画素電極1724または対向電極1727のいずれか一方または両方は、透光性を有する物質で成る。

【0271】

対向電極1727のみが透光性を有する物質からなる場合、図19(a)に示すように、発光は対向電極1727を通じて基板と逆側から取り出される。また、画素電極17250

4のみが透光性を有する物質からなる場合、図19(b)に示すように発光は画素電極1724を通って基板側から取り出される。画素電極1724および対向電極1727がいずれも透光性を有する物質からなるものである場合、図19(c)に示すように、発光は画素電極1724および対向電極1727を通って、基板側および基板と逆側の両方から取り出される。

【0272】

次に、トランジスタ1713に非結晶性の半導体膜を半導体層に用いた順スタガ構造のトランジスタについて説明する。画素の部分断面図を図20に示す。なお、図20では、順スタガ構造のトランジスタを記すと共に、画素が有する容量素子についても合わせて説明する。

10

【0273】

図20に示すように、基板2011上に下地膜2012が形成されている。さらに下地膜2012上に画素電極2013が形成されている。また、画素電極2013と同層に同じ材料からなる第1の電極2014が形成されている。

【0274】

さらに、下地膜2012上に配線2015及び配線2016が形成され、画素電極2013の端部は配線2015で覆われている。配線2015及び配線2016の上部にN型の導電型を有するN型半導体層2017及びN型半導体層2018が形成されている。また、配線2015と配線2016の間であって、下地膜2012上に半導体層2019が形成されている。そして、半導体層2019の一部はN型半導体層2017及びN型半導体層2018上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性の半導体膜で形成されている。また、半導体層2019上にゲート絶縁膜2020が形成されている。また、ゲート絶縁膜2020と同層の同じ材料からなる絶縁膜2021が第1の電極2014上にも形成されている。

20

【0275】

さらに、ゲート絶縁膜2020上に、ゲート電極2022が形成され、トランジスタ2025が形成されている。また、ゲート電極2022と同層に同じ材料でなる第2の電極2023が第1の電極2014上に絶縁膜2021を介して形成され、絶縁膜2021が第1の電極2014と第2の電極2023とで挟まれた構成の容量素子2024が形成されている。また、画素電極2013の端部、トランジスタ2025及び容量素子2024を覆って、層間絶縁膜2026が形成されている。

30

【0276】

層間絶縁膜2026及びその開口部に位置する画素電極2013上に発光物質を含む層2027及び対向電極2028が形成され、発光物質を含む層2027が画素電極2013と対向電極2028とで挟まれた領域で発光素子2029が形成されている。

【0277】

また、図20(a)に示す第1の電極2014を図20(b)に示すように配線2015及び2016と同層の同一材料で形成し、絶縁膜2021が第1の電極2030と第2の電極2023とで挟まれた構成の容量素子2031としても良い。また、図20において、トランジスタ2025にNチャネル型トランジスタを用いたが、Pチャネル型トランジスタでも良い。

40

【0278】

基板2011、下地膜2012、画素電極2013、ゲート絶縁膜2020、ゲート電極2022、層間絶縁膜2026、発光物質を含む層2027及び対向電極2028に用いられる材料は、図17説明した基板1711、下地膜1712、画素電極1724、ゲート絶縁膜1715、ゲート電極1716、層間絶縁膜1730及び1731、発光物質を含む層1726及び対向電極1727と同様の材料をそれぞれ用いることができる。また、配線2015、配線2016は、図17におけるソース電極及びドレイン電極1723と同様の材料を用いれば良い。

50

【 0 2 7 9 】

次に、半導体層に非結晶性の半導体膜を用いたトランジスタの他の構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり半導体層の下にゲート電極が位置するボトムゲート型のトランジスタを有する画素の部分断面図を図21に示す。

【 0 2 8 0 】

基板2111上に下地膜2112が形成されている。さらに下地膜2112上にゲート電極2113が形成されている。また、ゲート電極2113と同層に同じ材料からなる第1の電極2114が形成されている。ゲート電極2113の材料には図17におけるゲート電極1716に使用される材料の他、リンが添加された多結晶シリコンや金属とシリコンの化合物であるシリサイドでもよい。

10

【 0 2 8 1 】

また、ゲート電極2113及び第1の電極2114を覆うようにゲート絶縁膜2115が形成されている。

【 0 2 8 2 】

ゲート絶縁膜2115上に、半導体層2116が形成されている。また、半導体層2116と同層に同じ材料からなる半導体層2117が第1の電極2114上に形成されている。なお、この半導体層はアモルファスシリコン(a-Si:H)等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性の半導体膜で形成されている。

【 0 2 8 3 】

半導体層2116上にはN型の導電型を有するN型半導体層2118及びN型半導体層2119が形成され、半導体層2117上にはN型半導体層2120が形成されている。

20

【 0 2 8 4 】

N型半導体層2118及びN型半導体層2119上にはそれぞれ配線2121、配線2122が形成され、トランジスタ2129が形成された。また、N型半導体層2120上には配線2121及び配線2122と同層の同一材料からなる導電層2123が形成され、この導電層2123と、N型半導体層2120と、半導体層2117とで第2の電極を構成している。なお、この第2の電極と第1の電極2114とでゲート絶縁膜2115が挟まれた構成の容量素子2130が形成されている。

【 0 2 8 5 】

また、配線2121の一方の端部は延在し、その延在した配線2121上部に接して画素電極2124が形成されている。

30

【 0 2 8 6 】

また、画素電極2124の端部、トランジスタ2129及び容量素子2130を覆うように絶縁物2125が形成されている。

【 0 2 8 7 】

画素電極2124及び絶縁物2125上には発光物質を含む層2126及び対向電極2127が形成され、画素電極2124と対向電極2127とで発光物質を含む層2126が挟まれた領域では発光素子2128が形成されている。

【 0 2 8 8 】

容量素子2130の第2の電極の一部となる半導体層2117及びN型半導体層2120は特に設けなくても良い。つまり、第2の電極を導電層2123とし、第1の電極2114と導電層2123とでゲート絶縁膜2115が挟まれた構造の容量素子としてもよい。

40

【 0 2 8 9 】

また、トランジスタ2129にNチャネル型トランジスタを用いたが、Pチャネル型トランジスタでも良い。

【 0 2 9 0 】

なお、図21(a)において、配線2121を形成する前に画素電極2124を形成することで、図21(b)に示すような画素電極2124と同層の同一材料からなる第2の電極2131と第1の電極2114とでゲート絶縁膜2115が挟まれた構成の容量素子

50

2132を形成することができる。

【0291】

逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。次に、チャネル保護構造のトランジスタの場合について図22を用いて説明する。なお、図22において、図21と同様のものに関しては共通の符号を用いて示す。

【0292】

図22(a)に示すチャネル保護型構造のトランジスタ2201は図21(a)に示したチャネルエッチ構造のトランジスタ2129とは半導体層2116においてチャネルが形成される領域上にエッチングのマスクとなる絶縁物2202が設けられている点で異なる。

10

【0293】

同様に、図22(b)に示すチャネル保護型構造のトランジスタ2201は図21(b)に示したチャネルエッチ構造のトランジスタ2129とは半導体層2116においてチャネルが形成される領域上にエッチングのマスクとなる絶縁物2202が設けられている点で異なる。

20

【0294】

本発明の画素を構成するトランジスタの半導体層に非結晶性の半導体膜を用いることで、製造コストを削減することができる。なお、各材料には図17において説明したものを使うことができる。

20

【0295】

また、トランジスタの構造や容量素子の構成は上述したものに限られず、さまざまな構造もしくは構成のトランジスタや容量素子を用いることができる。

【0296】

また、トランジスタの半導体層にはアモルファスシリコン(a-Si:H)等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性の半導体膜の他、ポリシリコン(p-Si:H)等の結晶性半導体膜を用いても良い。

【0297】

図23に、半導体層に結晶性半導体膜を用いたトランジスタを有する画素の部分断面図を示し、以下に説明する。なお、図23に示すトランジスタ2318は、図29で示したマルチゲート型のトランジスタである。

30

【0298】

図23に示すように、基板2301上に下地膜2302が形成され、その上に半導体層2303が形成されている。なお、半導体層2303は、結晶性半導体膜を所望の形状にパターニングし形成する。

【0299】

結晶性半導体膜の作製方法の一例を以下に記す。まず、基板2301上にスパッタ法、CVD法等によりアモルファスシリコン膜を成膜する。成膜材料は、アモルファスシリコン膜に限定する必要はなく、非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性半導体膜であれば良い。また、非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を用いても良い。

40

【0300】

そして、成膜したアモルファスシリコン膜を熱結晶化法、レーザー結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等を用いて結晶化し、結晶性半導体膜を得る。なお、これらの結晶化方法を組み合わせて結晶化しても良い。

【0301】

熱結晶化法により結晶性半導体膜を形成する場合には、加熱炉、レーザ照射、若しくはRTA(Rapid Thermal Annealing)、又はこれらを組み合わせて用いることができる。

【0302】

50

また、レーザー結晶化法により結晶性半導体膜を形成する場合には、連続発振型のレーザビーム（C W レーザビーム）やパルス発振型のレーザビーム（パルスレーザビーム）を用いることができる。ここで用いることができるレーザビームは、Ar レーザ、Kr レーザ、エキシマレーザなどの気体レーザ、単結晶の YAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti : サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第 2 高調波から第 4 高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd : YVO₄ レーザ（基本波 1064 nm）の第 2 高調波（532 nm）や第 3 高調波（355 nm）を用いることができる。このときレーザのエネルギー密度は 0.01 ~ 100 MW / cm² 程度（好ましくは 0.1 ~ 10 MW / cm²）必要である。そして、走査速度を 10 ~ 2000 cm / sec 程度として照射する。
10

【0303】

なお、単結晶の YAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザ、Ar イオンレーザ、または Ti : サファイアレーザは、連続発振をさせることができあり、Qスイッチ動作やモード同期などを行うことによって 10 MHz 以上の発振周波数でパルス発振をさせることも可能である。10 MHz 以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるために、走査方向に向かって連続的に成長した結晶粒を得ることができる。
20

【0304】

また、ニッケルなどの触媒元素を用いた熱結晶化法により結晶性半導体膜を形成する場合には、結晶化後にニッケルなどの触媒元素を除去するゲッタリング処理を行うことが好ましい。
30

【0305】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。この部分的に結晶化された結晶性半導体膜を所望の形状にパターニングして島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層 2303 に用いる。

【0306】

また、結晶性半導体層は、トランジスタ 2318 のチャネル形成領域 2304 及びソース領域又はドレイン領域となる不純物領域 2305 に用いられる他、容量素子 2319 の下部電極となる半導体層 2306 及び不純物領域 2308 にも用いられる。なお、不純物領域 2308 は特に設ける必要はない。また、チャネル形成領域 2304 及び半導体層 2306 にはチャネルドープが行われていても良い。
40

【0307】

次に、半導体層 2303 及び容量素子 2319 の下部電極上にはゲート絶縁膜 2309 が形成されている。さらに、半導体層 2303 上にはゲート絶縁膜 2309 を介してゲート電極 2310 が、容量素子 2319 の半導体層 2306 上にはゲート絶縁膜 2309 を介してゲート電極 2310 と同層に同じ材料からなる上部電極 2311 が形成されている。このようにして、トランジスタ 2318 及び容量素子 2319 が作製される。

【0308】

次に、トランジスタ 2318 及び容量素子 2319 を覆って層間絶縁膜 2312 が形成され、層間絶縁膜 2312 上にはコンタクトホールを介して不純物領域 2305 と接する
50

配線 2313 が形成されている。そして、配線 2313 に接して層間絶縁膜 2312 上には画素電極 2314 が形成され、画素電極 2314 の端部及び配線 2313 を覆って絶縁物 2315 が形成されている。さらに、画素電極 2314 上に発光物質を含む層 2316 及び対向電極 2317 が形成され、画素電極 2314 と対向電極 2317 とで発光物質を含む層 2316 が挟まれた領域では発光素子 2320 が形成されている。

【0309】

また、半導体層にポリシリコン (p-Si:H) 等の結晶性半導体膜を用いたボトムゲート型のトランジスタを有する画素の部分断面を図 24 に示す。

【0310】

基板 2401 上に下地膜 2402 が形成され、その上にゲート電極 2403 が形成されている。また、ゲート電極 2403 と同層に同じ材料からなる容量素子 2423 の第 1 の電極 2404 が形成されている。

【0311】

また、ゲート電極 2403 及び第 1 の電極 2404 を覆うようにゲート絶縁膜 2405 が形成されている。

【0312】

また、ゲート絶縁膜 2405 上に、半導体層が形成されている。なお、半導体膜は、非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性半導体膜を熱結晶化法、レーザー結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等を用いて結晶化し、所望の形状にパターニングして半導体層を形成する。

【0313】

なお、半導体層を用いてトランジスタ 2422 のチャネル形成領域 2406、LDD 領域 2407 及びソース領域又はドレイン領域となる不純物領域 2408、並びに容量素子 2423 の第 2 の電極となる領域 2409、不純物領域 2410 及び不純物領域 2411 が形成される。なお、不純物領域 2410 及び不純物領域 2411 は特に設けなくても良い。また、チャネル形成領域 2406 及び領域 2409 は不純物が添加されていても良い。

【0314】

なお、容量素子 2423 はゲート絶縁膜 2405 が第 1 の電極 2404 及び半導体層から形成された領域 2409 等からなる第 2 の電極で挟まれた構成である。

【0315】

次に、半導体層を覆って第 1 の層間絶縁膜 2412 が形成され、第 1 の層間絶縁膜 2412 上にコンタクトホールを介して不純物領域 2408 と接する配線 2413 が形成されている。

【0316】

また、第 1 の層間絶縁膜 2412 には開口部 2415 が形成されている。トランジスタ 2422、容量素子 2423 及び開口部 2415 を覆うように第 2 の層間絶縁膜 2416 が形成され、第 2 の層間絶縁膜 2416 上にコンタクトホールを介して、配線 2413 と接続された画素電極 2417 が形成されている。また、画素電極 2417 の端部を覆って絶縁物 2418 が形成されている。そして、画素電極 2417 上に発光物質を含む層 2419 及び対向電極 2420 が形成され、画素電極 2417 と対向電極 2420 とで発光物質を含む層 2419 が挟まれた領域では発光素子 2421 が形成されている。なお、発光素子 2421 の下部に開口部 2415 が位置している。つまり、発光素子 2421 からの発光を基板側から取り出すときには第 1 の層間絶縁膜 2412 に開口部 2415 を有するため透過率を高めることができる。

【0317】

本発明の画素を構成するトランジスタの半導体層に結晶性半導体膜を用いることで、例えば、図 9 における走査線駆動回路 912 及び信号線駆動回路 911 を画素部 913 と一体形成することが容易になる。

【0318】

10

20

30

40

50

なお、半導体層に結晶性半導体膜を用いたトランジスタにおいても構造は上述したものに限られず、さまざまな構造をとることができる。なお、容量素子においても同様である。また、本実施形態において、特に断りがない限り図17における材料を適宜使用することができる。

【0319】

また、本実施形態で示したトランジスタは、実施の形態1乃至7に記載した画素において発光素子に供給する電流値を制御するトランジスタとして利用することができる。よって、実施の形態1乃至7に記載したように画素を動作させることで、トランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。10

【0320】

また、このような画素を図6の表示装置に適用することにより、各画素は自身のアドレス期間を除き発光することができるため、1フレーム期間における発光期間の割合(即ち、デューティー比)を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティー比が高い表示装置を得ることができる。

【0321】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。20

【0322】

(実施の形態9)

本実施の形態では、本発明の表示装置の一形態について図25を用いて説明する。

【0323】

図25(a)は、表示装置を示す上面図、図25(b)は図25(a)中A-A'線断面図(A-A'で切断した断面図)である。表示装置は、基板2510上に図中において点線で示された信号線駆動回路2501、画素部2502、第1の走査線駆動回路2503、第2の走査線駆動回路2506を有する。さらに、封止基板2504、シール材2505を有し、これらで囲まれた表示装置の内側は、空間2507となっている。30

【0324】

なお、配線2508は第1の走査線駆動回路2503、第2の走査線駆動回路2506及び信号線駆動回路2501に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)2509からビデオ信号、クロック信号、スタート信号等を受け取る。FPC2509と表示装置との接続部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)2518及び2519がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示していないが、このFPCにはプリント配線基盤(PWB)が取り付けられていてもよい。本発明の表示装置とは、表示装置本体だけでなく、FPCもしくはPWBが取り付けられた状態も含むものとする。また、ICチップなどが実装されたものを含むものとする。40

【0325】

断面構造について図25(b)を用いて説明する。基板2510上には画素部2502とその周辺駆動回路(第1の走査線駆動回路2503、第2の走査線駆動回路2506及び信号線駆動回路2501)が形成されているが、ここでは、信号線駆動回路2501と、画素部2502が示されている。

【0326】

なお、信号線駆動回路2501はNチャネル型トランジスタ2520、2521のように同一導電型のトランジスタで構成されている。もちろん、Pチャネル型トランジスタや同一導電型のトランジスタだけでなくPチャネル型トランジスタも用いてCMOS回路を50

形成しても良い。また、本実施形態では、基板上に周辺駆動回路を一体形成した表示パネルを示しているが、必ずしもその必要はなく、周辺駆動回路の全てもしくは一部を I C チップなどに形成し、COG などで実装しても良い。

【0327】

画素部 2502 は、実施の形態 1 乃至 7 に記載した画素が用いられている。なお、図 25 (b) にはスイッチとして機能するトランジスタ 2511 と、発光素子に供給する電流値を制御するトランジスタ 2512 と、発光素子 2528 が示されている。なお、トランジスタ 2512 の第 1 の電極は発光素子 2528 の画素電極 2513 と接続されている。また、画素電極 2513 の端部を覆って絶縁物 2514 が形成されている。ここでは、絶縁物 2514 はポジ型の感光性アクリル樹脂膜を用いることにより形成する。

10

【0328】

また、カバレッジを良好なものとするため、絶縁物 2514 の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物 2514 の材料としてポジ型の感光性アクリルを用いた場合、絶縁物 2514 の上端部のみに曲率半径 (0.2 μm ~ 3 μm) を有する曲面を持たせることが好ましい。また、絶縁物 2514 として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0329】

また、画素電極 2513 上には、発光物質を含む層 2516 および対向電極 2517 が形成される。発光物質を含む層 2516 には、少なくとも発光層が設けられていれば、その他の層については特に限定されず、適宜選択することができる。

20

【0330】

さらにシール材 2505 を用いて封止基板 2504 と基板 2510 とを貼り合わせることにより、基板 2510 、封止基板 2504 、およびシール材 2505 で囲まれた空間 2507 に発光素子 2528 が備えられた構造になっている。なお、空間 2507 には、不活性気体 (窒素やアルゴン等) が充填される場合の他、シール材 2505 で充填される構成も含むものとする。

【0331】

なお、シール材 2505 にはエポキシ系樹脂を用いることが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。封止基板 2504 に用いる材料としては、ガラス基板や石英基板の他、FRP (Fiberglass-Reinforced Plastics) 、PVF (ポリビニルフロライド) 、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

30

【0332】

画素部 2502 に実施の形態 1 乃至 7 に記載した画素を用い動作させることで、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。

【0333】

図 25 示すように、信号線駆動回路 2501 、画素部 2502 、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号線駆動回路 2501 、画素部 2502 、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 に用いられるトランジスタを同一導電型とすることで作製工程の簡略化が図れるためさらなる低コスト化を図ることができる。

40

【0334】

以上のようにして、本発明の表示装置を得ることができる。なお、上述した構成は一例であって本発明の表示装置の構成はこれに限定されない。

【0335】

なお、表示装置の構成としては、図 26 に示すように信号線駆動回路 2601 を I C チップなどに形成し、COG などで実装しても良い。

50

ツップ上に形成して、COG等で表示装置に実装した構成としても良い。なお、図26(a)における基板2600、画素部2602、第1の走査線駆動回路2603、第2の走査線駆動回路2604、FPC2605、ICチップ2606、ICチップ2607、封止基板2608、シール材2609はそれぞれ図25(a)における基板2510、画素部2502、第1の走査線駆動回路2503、第2の走査線駆動回路2506、FPC2509、ICチップ2518、ICチップ2519、封止基板2504、シール材2505に相当する。

【0336】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図ることが可能である。10

【0337】

なお、第1の走査線駆動回路2603や第2の走査線駆動回路2604を画素部2602と一緒に形成することで、低コスト化が図れる。そして、この第1の走査線駆動回路2603、第2の走査線駆動回路2604及び画素部2602は同一導電型のトランジスタで構成することでさらなる低コスト化が図れる。そのとき、第1の走査線駆動回路2603及び第2の走査線駆動回路2604にブートトラップ回路を用いることにより出力電位が低くなってしまうことを防止することができる。また、第1の走査線駆動回路2603及び第2の走査線駆動回路2604を構成するトランジスタの半導体層にアモルファスシリコンを用いた場合、劣化によりしきい値が変動するため、これを補正する機能を有することが好ましい。20

【0338】

なお、画素部2602に実施の形態1乃至7に記載した画素を用い動作させることで、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、FPC2605と基板2600との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

【0339】

また、図25(a)の信号線駆動回路2501、第1の走査線駆動回路2503及び第2の走査線駆動回路2506に相当する信号線駆動回路2611、第1の走査線駆動回路2613及び第2の走査線駆動回路2614を、図26(b)に示すようにICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図26(b)における基板2610、画素部2612、FPC2615、ICチップ2616、ICチップ2617、封止基板2618、シール材2619はそれぞれ図25(a)における基板2510、画素部2502、FPC2509、ICチップ2518、ICチップ2519、封止基板2504、シール材2505に相当する。30

【0340】

また、画素部2612のトランジスタの半導体層に非結晶性の半導体膜、例えばアモルファスシリコン(a-Si:H)を用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。40

【0341】

また、画素の行方向及び列方向に第1の走査線駆動回路、第2の走査線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図27(a)に示すようにICチップ上に形成された周辺駆動回路2701が図26(b)に示す第1の走査線駆動回路2613、第2の走査線駆動回路2614及び信号線駆動回路2611の機能を有するようにしても良い。なお、図27(a)における基板2700、画素部2702、FPC2704、ICチップ2705、ICチップ2706、封止基板2707、シール材2708はそれぞれ図25(a)の基板2510、画素部2502、FPC2509、ICチップ2518、ICチップ2519、封止基板2504、シール材2505に相当する。50

【0342】

なお、図27(a)の表示装置の配線の接続を説明する模式図を図27(b)に示す。なお、図27(b)には、基板2710、周辺駆動回路2711、画素部2712、FPC2713、FPC2714が図示されている。

【0343】

FPC2713及びFPC2714は周辺駆動回路2711に外部からの信号及び電源電位を入力する。そして、周辺駆動回路2711からの出力は、画素部2712の有する画素に接続された行方向及び列方向の配線に入力される。

【0344】

また、発光素子に白色の発光素子を用いる場合、封止基板にカラーフィルターを設けることでフルカラー表示を実現することができる。このような表示装置にも本発明を適用することが可能である。図28に、画素部の部分断面図の一例を示す。10

【0345】

図28に示すように、基板2800上に下地膜2802が形成され、その上に発光素子に供給する電流値を制御するトランジスタ2801が形成され、トランジスタ2801の第1の電極に接して画素電極2803が形成され、その上に発光物質を含む層2804と対向電極2805が形成されている。

【0346】

なお、画素電極2803と対向電極2805とで発光物質を含む層2804が挟まれているところが発光素子となる。なお、図28においては白色光を発光するものとする。そして、発光素子の上部には赤色のカラーフィルター2806R、緑色のカラーフィルター2806G、青色のカラーフィルター2806Bが設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するためにブラックマトリクス(BMともいう)2807が設けられている。20

【0347】

本実施形態の表示装置は実施の形態1乃至7だけではなく、実施の形態8に記載した構成とも適宜組み合わせることが可能である。また、表示装置の構成は上記に限らず、本発明を他の構成の表示装置においても適用することができる。

【0348】**(実施の形態10)**

本発明の表示装置は様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。なお、電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。30

【0349】

図33(A)はディスプレイであり、筐体3301、支持台3302、表示部3303、スピーカー部3304、ビデオ入力端子3305等を含む。40

【0350】

なお、表示部3303には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するディスプレイを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることができます。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0351】

なお、近年、ディスプレイの大型化のニーズが強くなっているなか、ディスプレイの大型化に伴い価格の上昇が問題となっている。そのため、いかに製造コストの削減を図り、50

高品質な製品を少しでも低価格に抑えるかが課題となる。

【0352】

本発明の画素は、同一導電型のトランジスタで作製することができるため、工程数を減らし製造コストを削減することができる。また、画素を構成するトランジスタの半導体層に非結晶性の半導体膜、例えばアモルファスシリコン(a-Si:H)を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には、画素部周辺の駆動回路をICチップ上に形成し、COG(Chip On Glass)等で表示パネルに実装すると良い。なお、動作速度の高い信号線駆動回路はICチップ上に形成し、比較的動作速度の低い走査線駆動回路は画素部と共に同一導電型のトランジスタで構成される回路で一体形成しても良い。

10

【0353】

図33(B)はカメラであり、本体3311、表示部3312、受像部3313、操作キー3314、外部接続ポート3315、シャッター3316等を含む。

【0354】

なお、表示部3312には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するカメラを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。

20

【0355】

また、近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、高性能なものをいかに低価格に抑えるかが重要となる。

【0356】

本発明の画素は、同一導電型のトランジスタで作製することができるため、工程数を減らし製造コストを削減することができる。また、画素を構成するトランジスタの半導体層に非結晶性の半導体膜、例えばアモルファスシリコン(a-Si:H)を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には、画素部周辺の駆動回路をICチップ上に形成し、COG等で表示パネルに実装すると良い。なお、動作速度の高い信号線駆動回路はICチップ上に形成し、比較的動作速度の低い走査線駆動回路は画素部と共に同一導電型のトランジスタで構成される回路で一体形成しても良い。

30

【0357】

図33(C)はコンピュータであり、本体3321、筐体3322、表示部3323、キーボード3324、外部接続ポート3325、ポインティングデバイス3326等を含む。なお、表示部3323には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するコンピュータを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

40

【0358】

図33(D)はモバイルコンピュータであり、本体3331、表示部3332、スイッチ3333、操作キー3334、赤外線ポート3335等を含む。なお、表示部3332には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するモバイルコンピュータを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

【0359】

50

図33(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3341、筐体3342、表示部A3343、表示部B3344、記録媒体(DVD等)読み込み部3345、操作キー3346、スピーカー部3347等を含む。表示部A3343は主として画像情報を表示し、表示部B3344は主として文字情報を表示することができる。なお、表示部A3343や表示部B3344には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有する画像再生装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。10

【0360】

図33(F)はゴーグル型ディスプレイであり、本体3351、表示部3352、アーム部3353を含む。なお、表示部3352には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するゴーグル型ディスプレイを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。20

【0361】

図33(G)はビデオカメラであり、本体3361、表示部3362、筐体3363、外部接続ポート3364、リモコン受信部3365、受像部3366、バッテリー3367、音声入力部3368、操作キー3369、接眼部3360等を含む。なお、表示部3362には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するビデオカメラを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。30

【0362】

図33(H)は携帯電話機であり、本体3371、筐体3372、表示部3373、音声入力部3374、音声出力部3375、操作キー3376、外部接続ポート3377、アンテナ3378等を含む。なお、表示部3373には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有する携帯電話機を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。40

【0363】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0364】

(実施の形態11)

本実施の形態において、本発明の表示装置を表示部に有する携帯電話の構成例について図34を用いて説明する。

【0365】

表示パネル3410はハウジング3400に脱着自在に組み込まれる。ハウジング3400は表示パネル3410のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル3410を固定したハウジング3400はプリント基板3401に嵌入され50

モジュールとして組み立てられる。

【0366】

表示パネル3410はFPC3411を介してプリント基板3401に接続される。プリント基板3401には、スピーカー3402、マイクロフォン3403、送受信回路3404、CPU及びコントローラなどを含む信号処理回路3405が形成されている。このようなモジュールと、入力手段3406、バッテリ3407を組み合わせ、筐体3409及び筐体3412に収納する。なお、表示パネル3410の画素部は筐体3412に形成された開口窓から視認できよう配置する。

【0367】

表示パネル3410は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）をトランジスタを用いて基板上に一体形成し、他の一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル3410に実装しても良い。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。また、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOGなどで表示パネルに実装しても良い。

【0368】

なお、画素部には、実施の形態1乃至7に記載した画素を用いる。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有する表示パネル3410を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

【0369】

また、本実施形態に示した構成は携帯電話の一例であって、このような構成の携帯電話に限らず様々な構成の携帯電話に適用することができる。

【0370】

（実施の形態12）

本実施形態では、表示パネルと、回路基板を組み合わせたELモジュールについて図35及び図36を用いて説明する。

【0371】

図35に示すように、表示パネル3501は画素部3503、走査線駆動回路3504及び信号線駆動回路3505を有している。回路基板3502には、例えば、コントローラ回路3506や信号分割回路3507などが形成されている。なお、表示パネル3501と回路基板3502は接続配線3508によって接続されている。接続配線3508にはFPC等を用いることができる。

【0372】

表示パネル3501は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）をトランジスタを用いて基板上に一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル3501に実装しても良い。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。また、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOGなどで表示パネルに実装しても良い。

【0373】

なお、画素部には、実施の形態1乃至7に記載した画素を用いる。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示パネル3501を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非結

10

20

30

40

50

晶性の半導体膜を用いることで低コスト化を図ることができる。

【0374】

このようなELモジュールによりELテレビ受像機を完成させることができる。図36は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ3601は映像信号と音声信号を受信する。映像信号は、映像信号增幅回路3602と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路3603と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路3506により処理される。コントロール回路3506は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路3507を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

10

【0375】

チューナ3601で受信した信号のうち、音声信号は音声信号增幅回路3604に送られ、その出力は音声信号処理回路3605を経てスピーカー3606に供給される。制御回路3607は受信局（受信周波数）や音量の制御情報を入力部3608から受け、チューナ3601や音声信号処理回路3605に信号を送出する。

【0376】

実施の形態9に記載した図33(A)の筐体3301に、図35のELモジュールを組みこんで、テレビ受像機を完成させることができる。

【0377】

もちろん、本発明はテレビ受像機に限定されず、パソコン用コンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

20

【図面の簡単な説明】

【0378】

【図1】実施の形態1に示す画素構成を説明する図。

【図2】図1で示した画素の動作を説明するタイミングチャート。

【図3】図1で示した画素の動作を説明する図。

【図4】チャネル長変調による電圧-電流特性のモデル図。

【図5】実施の形態1に示す画素構成を説明する図。

【図6】実施の形態1に示す画素構成を説明する図。

30

【図7】実施の形態1に示す画素構成を説明する図。

【図8】実施の形態1に示す画素構成を説明する図。

【図9】実施の形態1に示す表示装置を説明する図。

【図10】実施の形態1に示す表示装置の書き込み動作を説明する図。

【図11】実施の形態2に示す画素構成を説明する図。

【図12】実施の形態4に示す画素構成を説明する図。

【図13】実施の形態4に示す画素構成を説明する図。

【図14】実施の形態4に示す画素構成を説明する図。

【図15】実施の形態4に示す画素構成を説明する図。

【図16】実施の形態3に示す画素構成を説明する図。

40

【図17】実施の形態8に示す画素の部分断面図。

【図18】実施の形態8に示す発光素子を説明する図。

【図19】実施の形態8に示す光の取り出し方向を説明する図。

【図20】実施の形態8に示す画素の部分断面図。

【図21】実施の形態8に示す画素の部分断面図。

【図22】実施の形態8に示す画素の部分断面図。

【図23】実施の形態8に示す画素の部分断面図。

【図24】実施の形態8に示す画素の部分断面図。

【図25】実施の形態9に示す表示装置を説明する図。

【図26】実施の形態9に示す表示装置を説明する図。

50

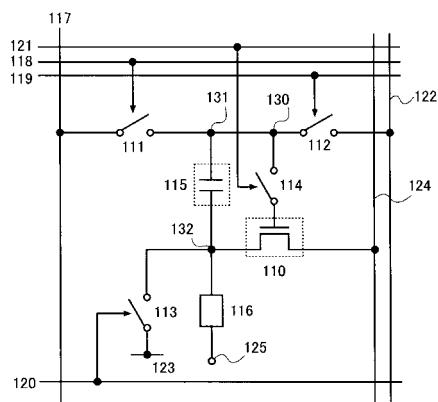
- 【図27】実施の形態9に示す表示装置を説明する図。
- 【図28】実施の形態9に示す画素の部分断面図。
- 【図29】実施の形態5に示す画素構成を説明する図。
- 【図30】実施の形態5に示す画素構成を説明する図。
- 【図31】実施の形態6に示す画素構成を説明する図。
- 【図32】図31で示した画素の動作を説明するタイミングチャート。
- 【図33】本発明を適用可能な電子機器を説明する図。
- 【図34】携帯電話機の構成例を示す図。
- 【図35】ELモジュールの例を示す図。
- 【図36】ELテレビ受像器の主要な構成を示すブロック図。 10
- 【図37】実施の形態6に示す画素構成を説明する図。
- 【図38】実施の形態6に示す画素構成を説明する図。
- 【図39】実施の形態7に示す画素構成を説明する図。
- 【図40】図39で示した画素の動作を説明するタイミングチャート。
- 【図41】図39で示した画素の動作を説明する図。
- 【図42】実施の形態2に示す画素構成を説明する図。
- 【図43】図11に示す画素の上面図。
- 【図44】図11に示す画素の上面図。
- 【図45】従来技術の画素構成を説明する図。
- 【図46】従来技術の画素構成を説明する図。 20
- 【図47】従来技術に示した画素を動作させるタイミングチャート。
- 【図48】従来技術を用いた際の1フレーム期間における発光期間の割合を説明する図。
- 【図49】デジタル階調方式と時間階調方式とを組み合わせた駆動方式を説明する図。
- 【符号の説明】
- 【0379】
- | | | |
|-----|-----------------|----|
| 110 | トランジスタ | |
| 111 | 第1のスイッチ | |
| 112 | 第2のスイッチ | |
| 113 | 第3のスイッチ | |
| 114 | 第4のスイッチ | 30 |
| 115 | 容量素子 | |
| 116 | 発光素子 | |
| 117 | 信号線 | |
| 118 | 第1の走査線 | |
| 119 | 第2の走査線 | |
| 120 | 第3の走査線 | |
| 121 | 第4の走査線 | |
| 122 | 第1の電位供給線 | |
| 123 | 第2の電位供給線 | |
| 124 | 電源線 | 40 |
| 125 | 対向電極 | |
| 511 | 第1のスイッチングトランジスタ | |
| 512 | 第2のスイッチングトランジスタ | |
| 513 | 第3のスイッチングトランジスタ | |
| 514 | 第4のスイッチングトランジスタ | |
| 614 | 第4のスイッチ | |
| 714 | 第4のスイッチ | |
| 814 | 第4のスイッチ | |
| 911 | 信号線駆動回路 | |
| 912 | 走査線駆動回路 | 50 |

9 1 3	画素部	
9 1 4	画素	
1 2 0 0	画素	
1 2 1 8	第 1 の走査線	
1 3 0 0	画素	
1 3 1 9	第 2 の走査線	
1 4 0 0	画素	
1 4 2 0	第 3 の走査線	
1 5 0 0	画素	
1 5 2 1	第 4 の走査線	10
1 6 1 3	整流素子	
1 6 2 0	第 3 の走査線	
1 6 5 1	ショットキー・バリア型ダイオード	
1 6 5 2	PIN型ダイオード	
1 6 5 3	PN型ダイオード	
1 6 5 4	トランジスタ	
1 6 5 5	トランジスタ	
2 9 1 0	トランジスタ	
3 0 1 0	トランジスタ	
3 1 0 1	トランジスタ	20
3 1 0 2	トランジスタ	
3 1 0 3	第 5 のスイッチ	
3 1 0 4	第 6 のスイッチ	
3 1 1 1	第 1 のスイッチ	
3 1 1 2	第 2 のスイッチ	
3 1 1 3	第 3 のスイッチ	
3 1 1 4	第 4 のスイッチ	
3 1 1 5	容量素子	
3 1 1 6	発光素子	
3 1 1 7	信号線	30
3 1 1 8	第 1 の走査線	
3 1 1 9	第 2 の走査線	
3 1 2 0	第 3 の走査線	
3 1 2 1	第 4 の走査線	
3 1 2 2	第 1 の電位供給線	
3 1 2 3	第 2 の電位供給線	
3 1 2 3	対向電極	
3 1 2 4	電源線	
3 1 2 5	対向電極	
3 9 1 0	トランジスタ	40
3 9 1 1	第 1 のスイッチ	
3 9 1 2	第 2 のスイッチ	
3 9 1 3	第 3 のスイッチ	
3 9 1 4	第 4 のスイッチ	
3 9 1 5	容量素子	
3 9 1 6	発光素子	
3 9 1 7	信号線	
3 9 1 8	第 1 の走査線	
3 9 1 9	第 2 の走査線	
3 9 2 0	第 3 の走査線	50

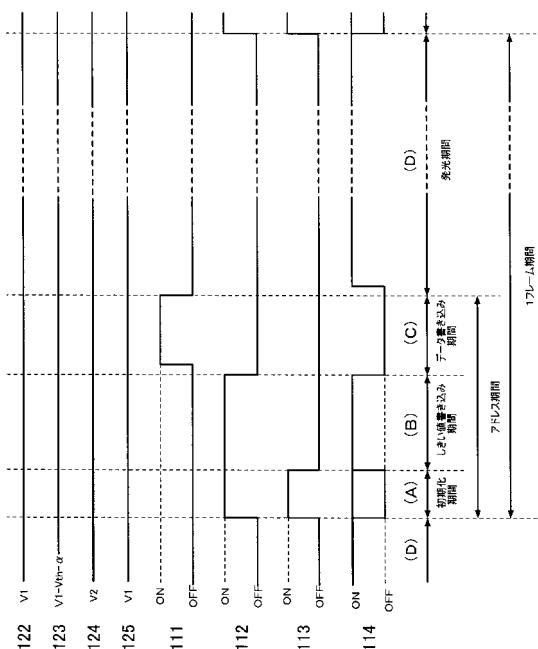
3 9 2 1	第 4 の走査線
3 9 2 2	第 1 の電位供給線
3 9 2 3	第 2 の電位供給線
3 9 2 4	電源線
3 9 2 5	対向電極
4 2 1 5	ゲート容量
4 2 4 0	画素電極
4 2 5 0	画素電極
4 3 0 1	第 1 のスイッチングトランジスタ
4 3 0 2	第 2 のスイッチングトランジスタ
4 3 0 3	第 3 のスイッチングトランジスタ

10

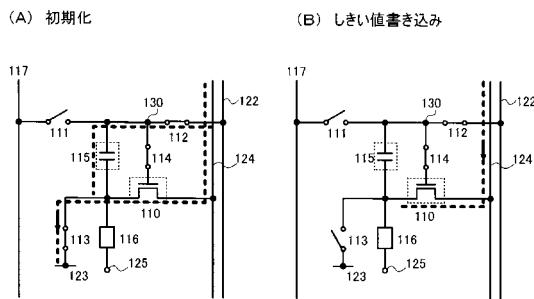
【図 1】



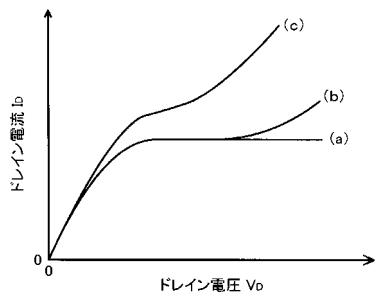
【図 2】



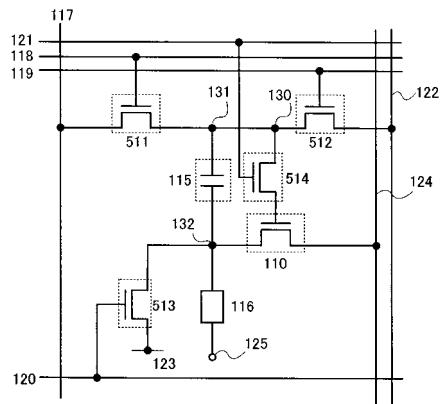
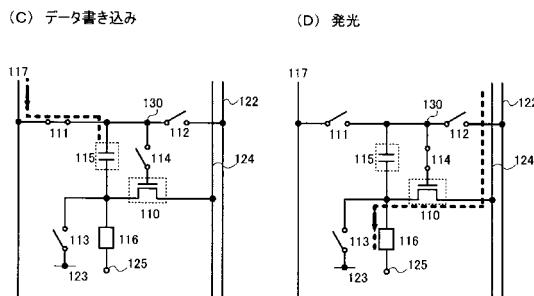
【図3】



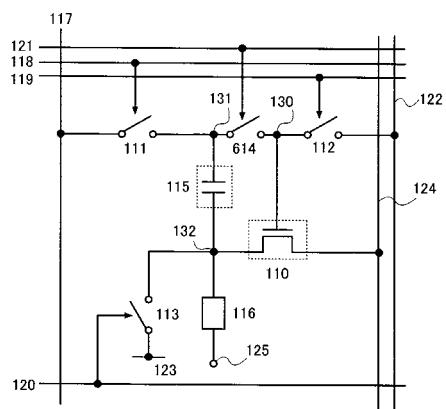
【図4】



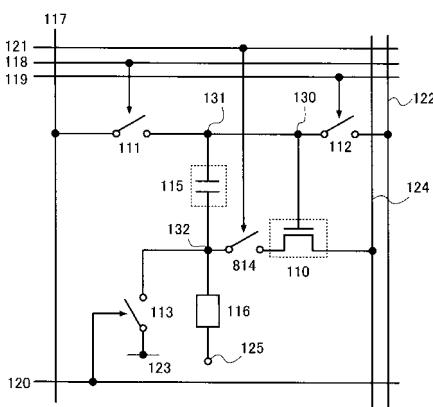
【図5】



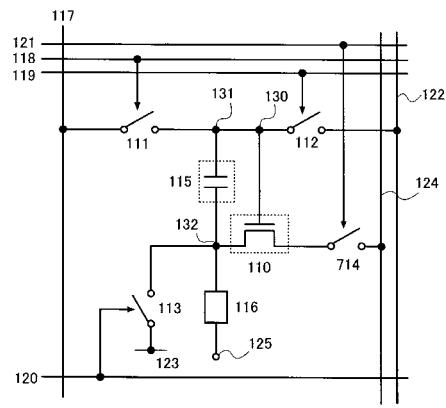
【図6】



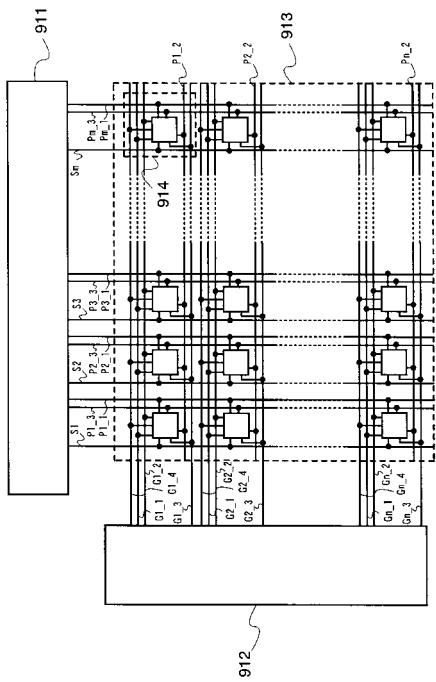
【図8】



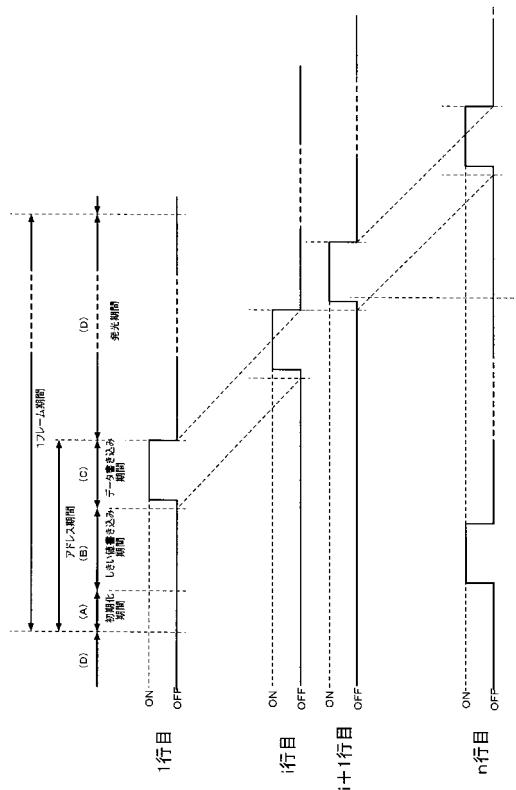
【図7】



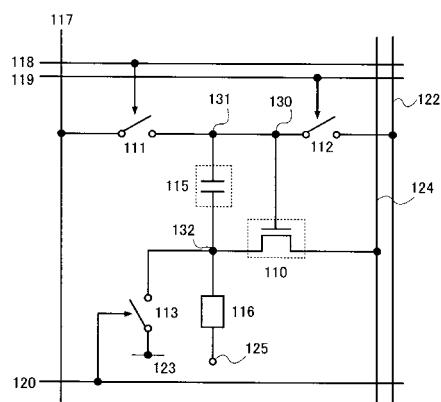
【図 9】



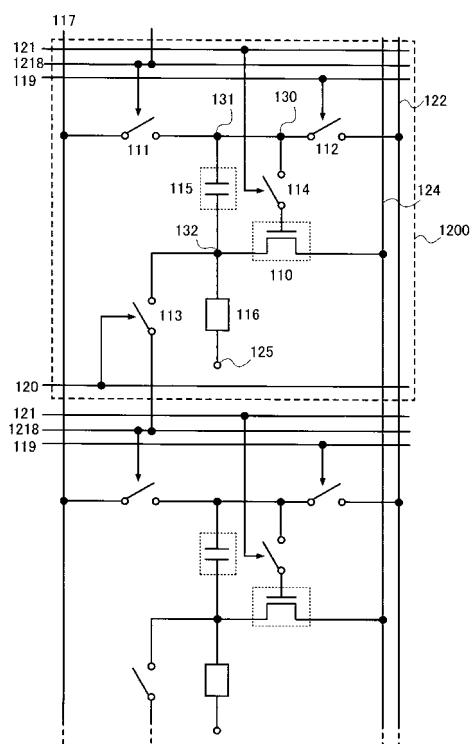
【図 10】



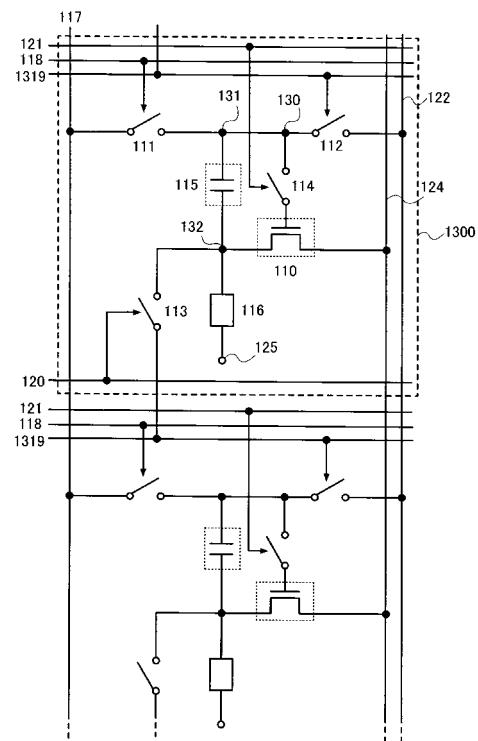
【図 11】



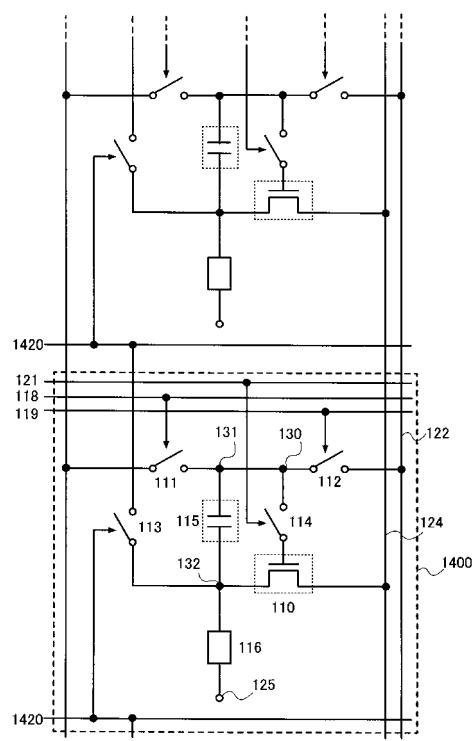
【図 12】



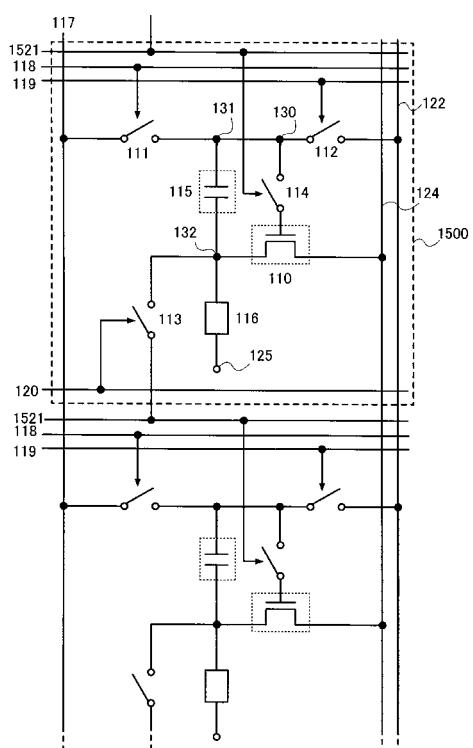
【図13】



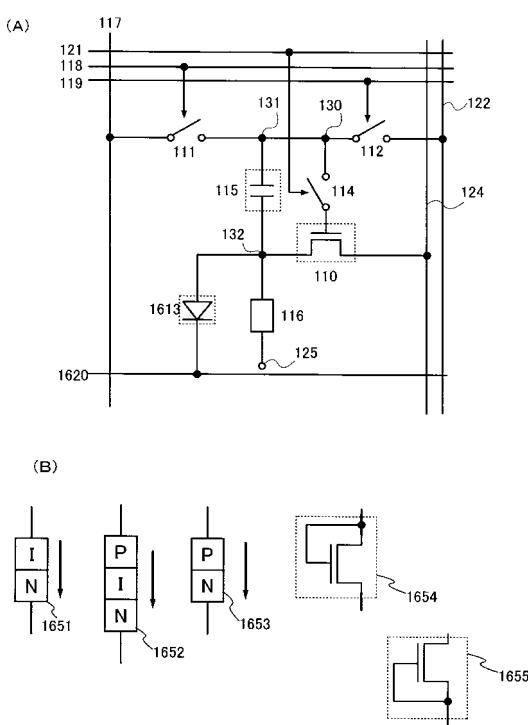
【図14】



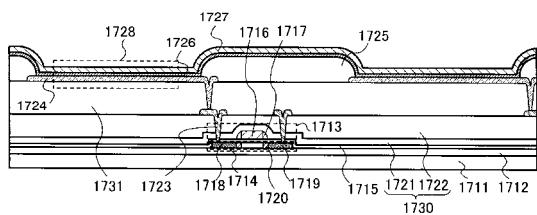
【図15】



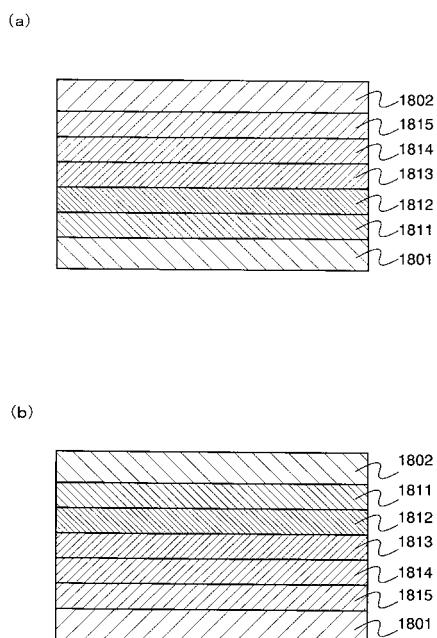
【図16】



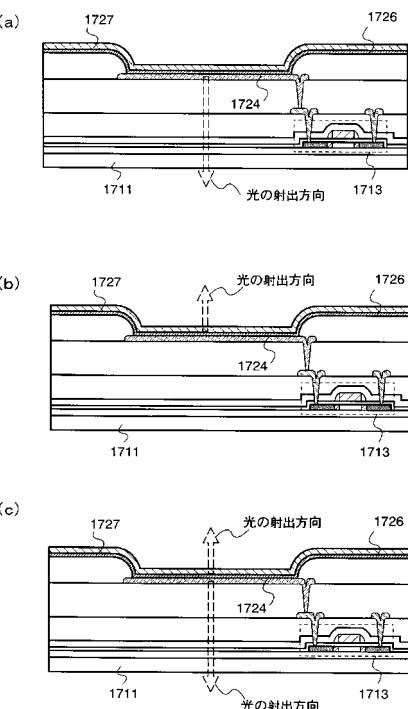
【図17】



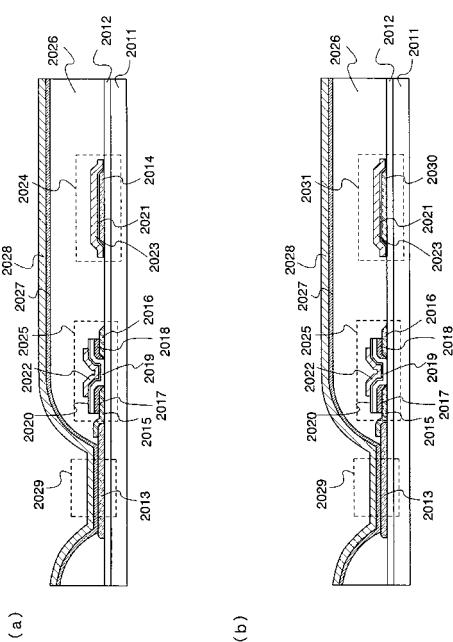
【図18】



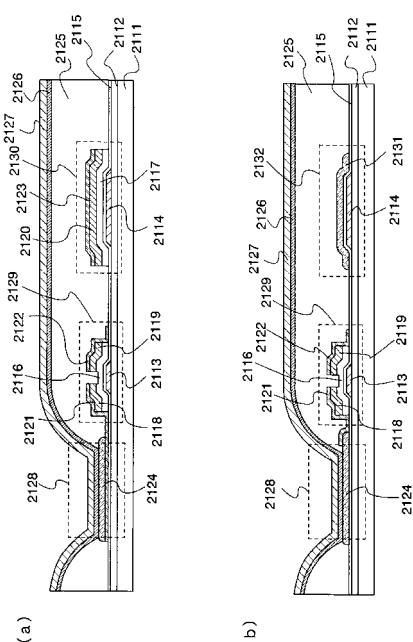
【図19】



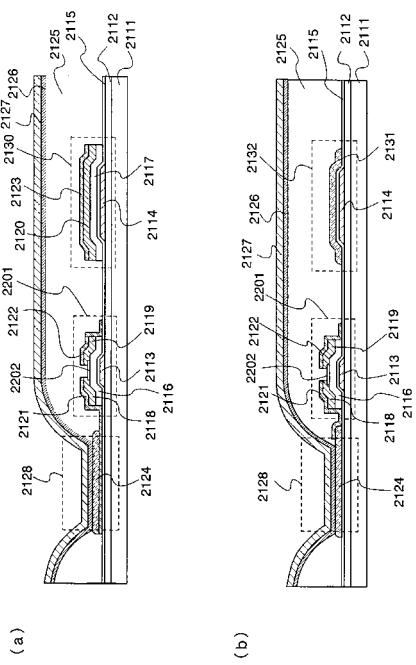
【図20】



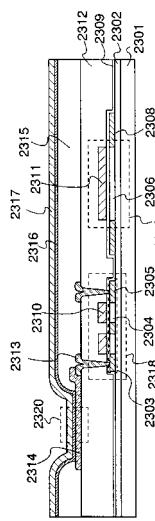
【図21】



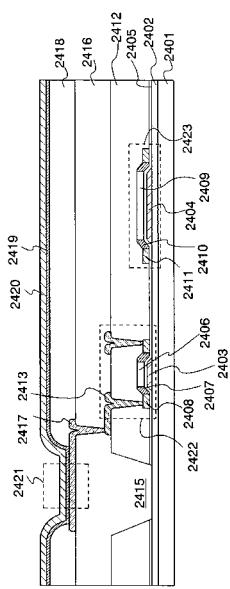
【図22】



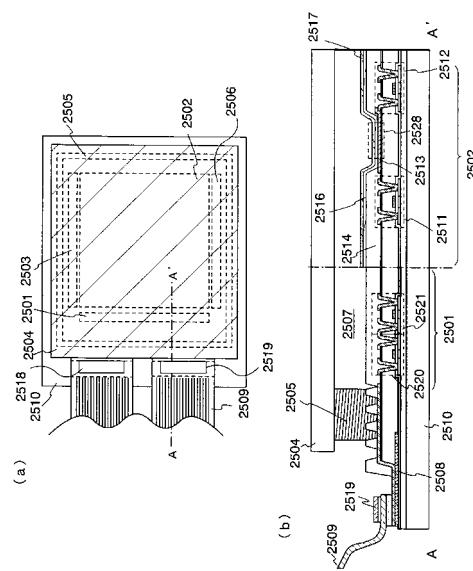
【図23】



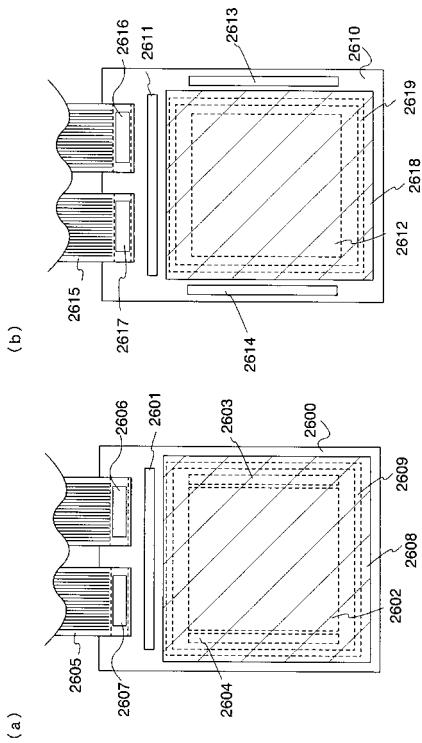
【図24】



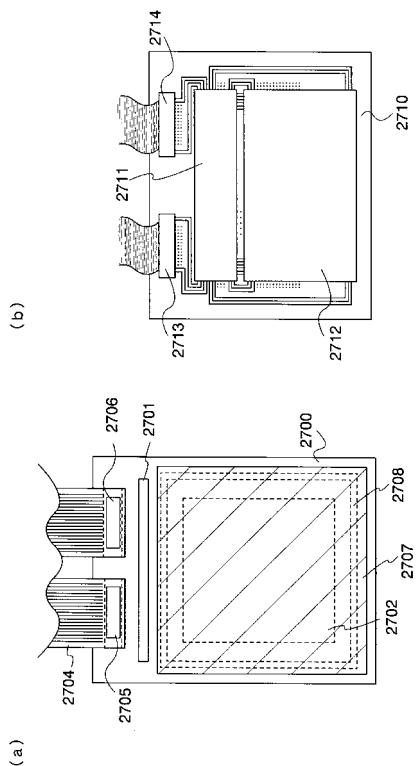
【図25】



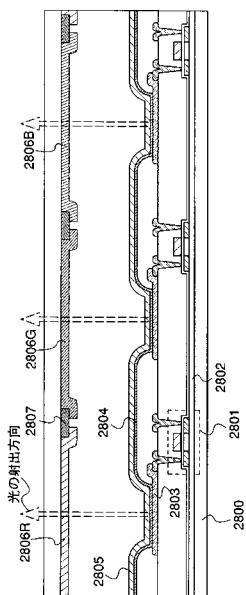
【図26】



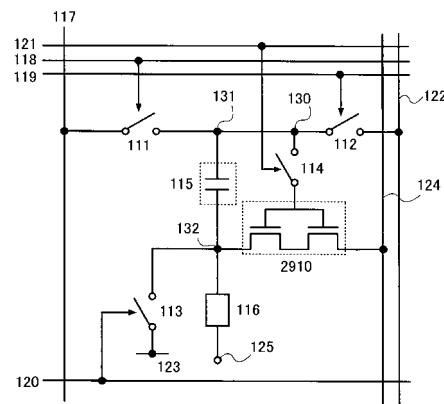
【図27】



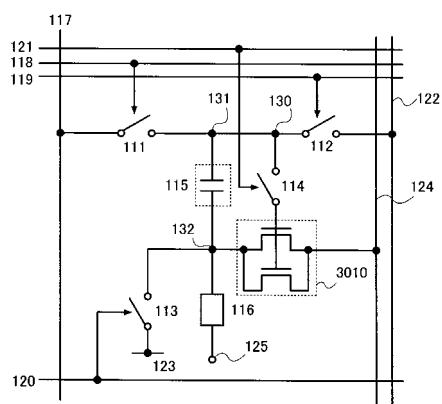
【図28】



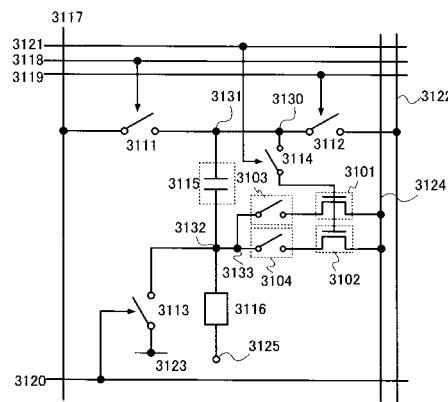
【図29】



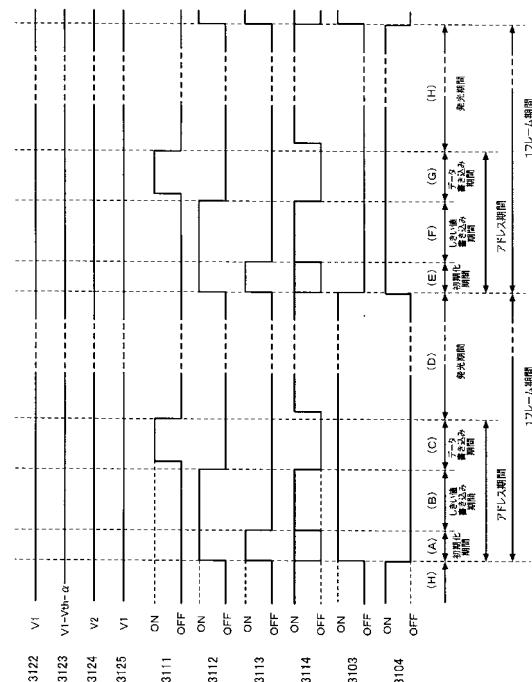
【図30】



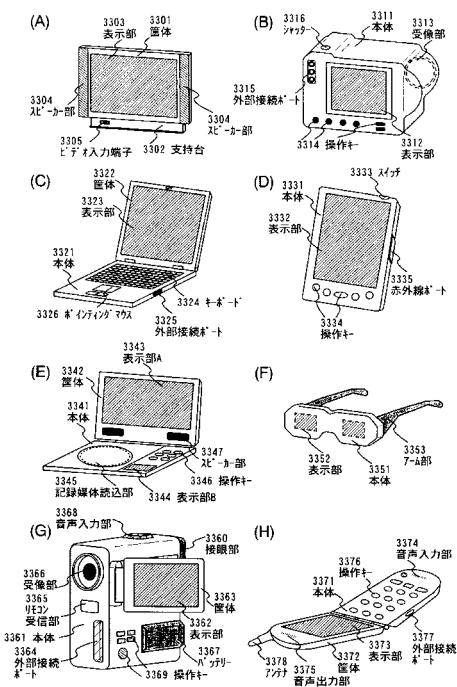
【図31】



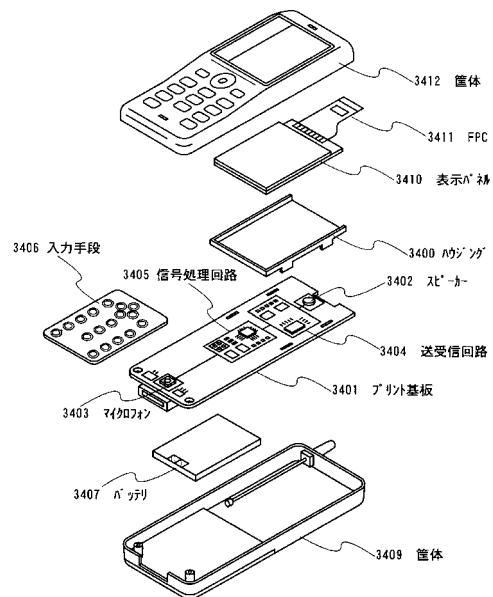
【図32】



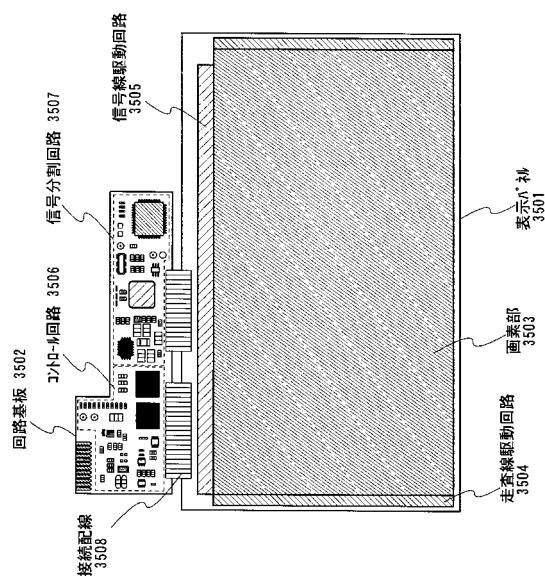
【図3-3】



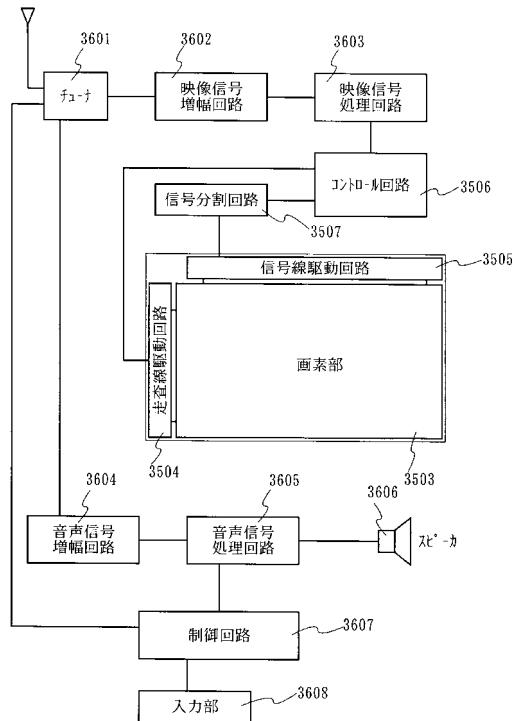
【 図 3 4 】



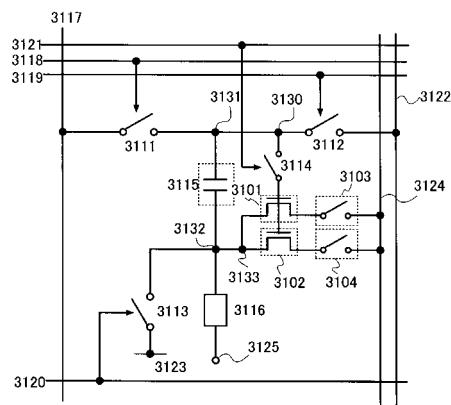
【図 3 5】



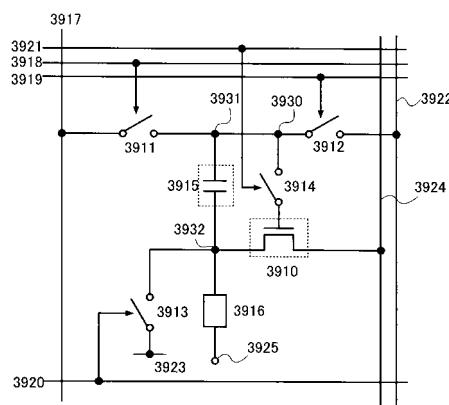
【図 3 6】



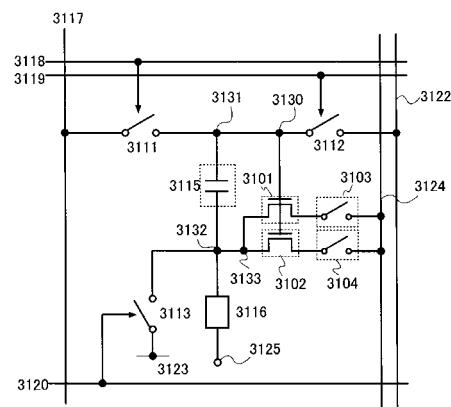
【図 3 7】



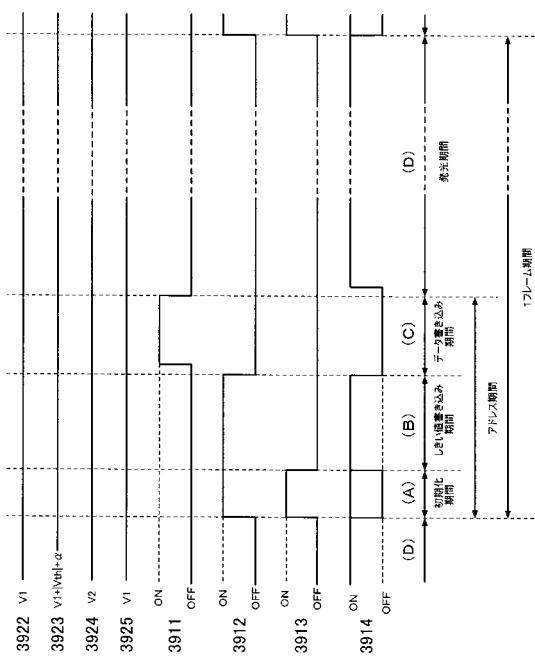
【図 3 9】



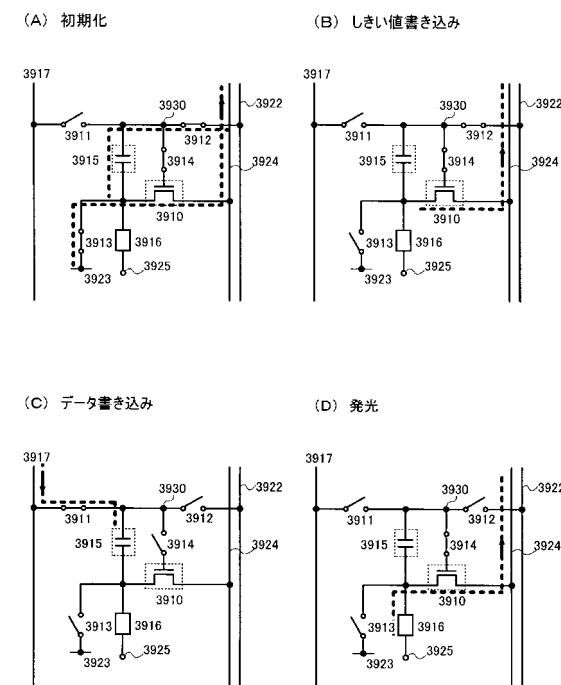
【図 3 8】



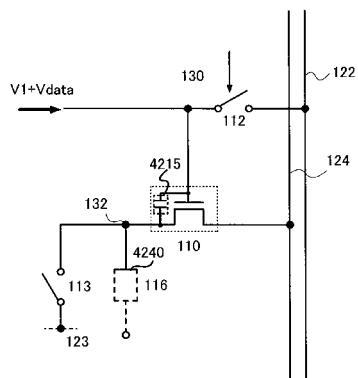
【図40】



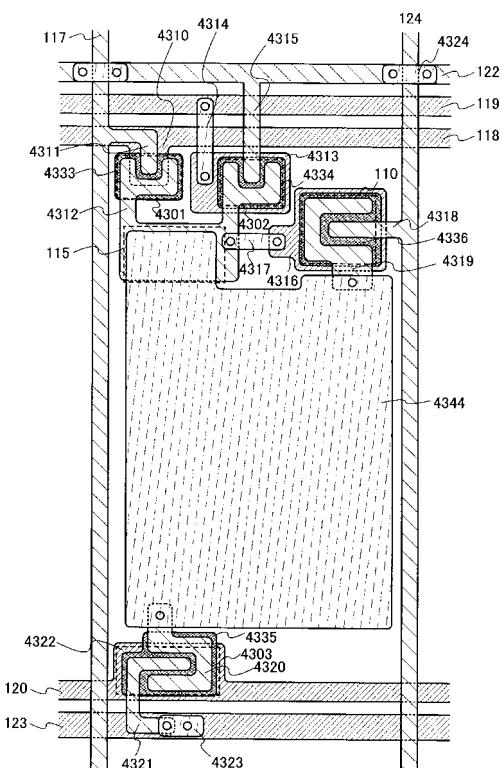
【図41】



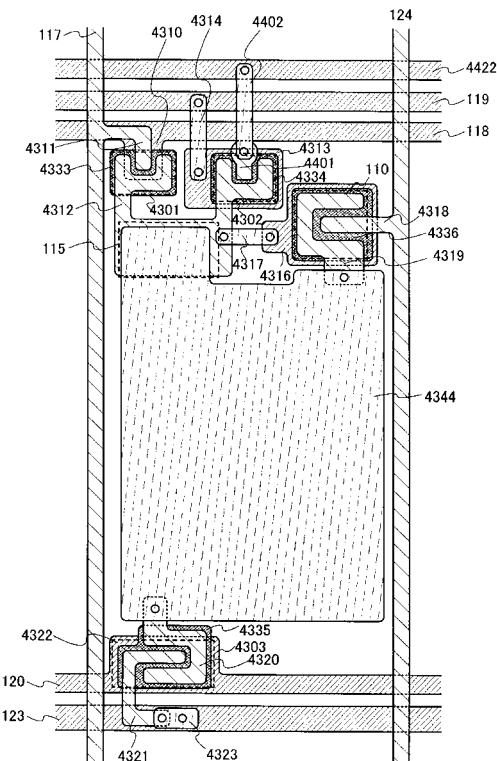
【図4-2】



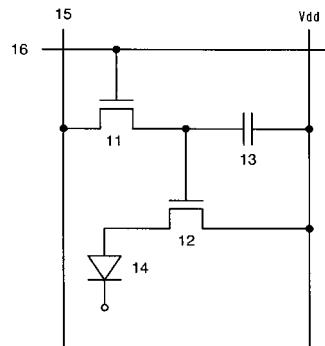
【図43】



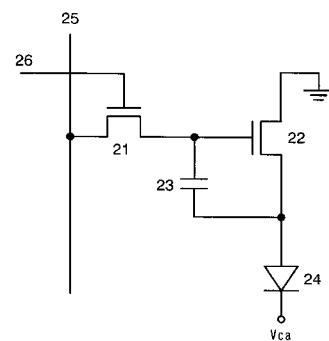
【図44】



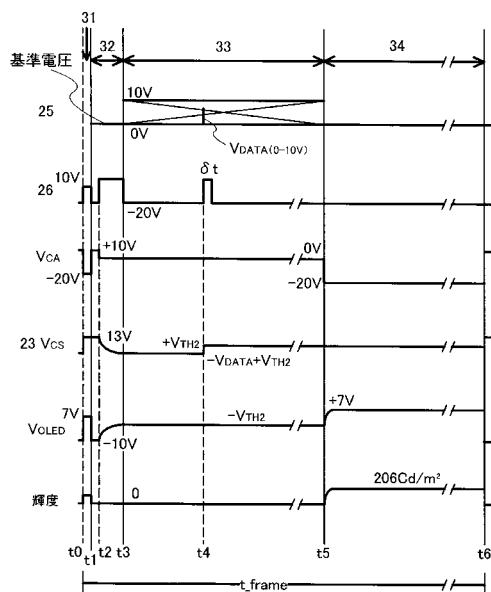
【図45】



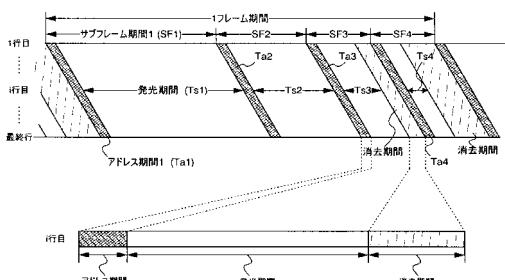
【図46】



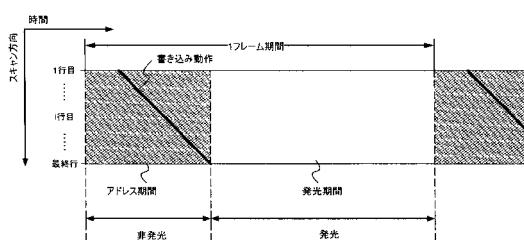
【図47】



【図49】



【図48】



フロントページの続き

(51)Int.Cl. F I

H 01 L	27/32	(2006.01)	H 05 B	33/14	A
			H 05 B	33/14	Z
			G 09 G	3/20	6 4 2 A
			G 09 G	3/20	6 4 1 D
			G 09 F	9/30	3 6 5 Z

(56)参考文献 特開2005-189643(JP,A)
特開2006-215275(JP,A)
特開2002-190605(JP,A)
特開平03-233431(JP,A)
特開2005-084416(JP,A)
特開2005-345722(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 G	3 / 3 0
G 09 F	9 / 3 0
G 09 G	3 / 2 0
H 01 L	2 7 / 3 2
H 01 L	5 1 / 5 0
H 05 B	3 3 / 1 4