

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-147164

(P2012-147164A)

(43) 公開日 平成24年8月2日(2012. 8. 2)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/378 (2011.01)	H04N 5/335 780	4M118
H01L 27/146 (2006.01)	H01L 27/14 A	5C024
H03M 1/12 (2006.01)	H03M 1/12 A	5J022
H03M 1/50 (2006.01)	H03M 1/50	
H04N 101/00 (2006.01)	H04N 101:00	

審査請求 未請求 請求項の数 4 O L (全 22 頁)

(21) 出願番号 特願2011-2949 (P2011-2949)
 (22) 出願日 平成23年1月11日 (2011. 1. 11)

(71) 出願人 000000376
 オリンパス株式会社
 東京都渋谷区幡ヶ谷2丁目43番2号
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100094400
 弁理士 鈴木 三義
 (74) 代理人 100086379
 弁理士 高柴 忠夫
 (74) 代理人 100129403
 弁理士 増井 裕士

最終頁に続く

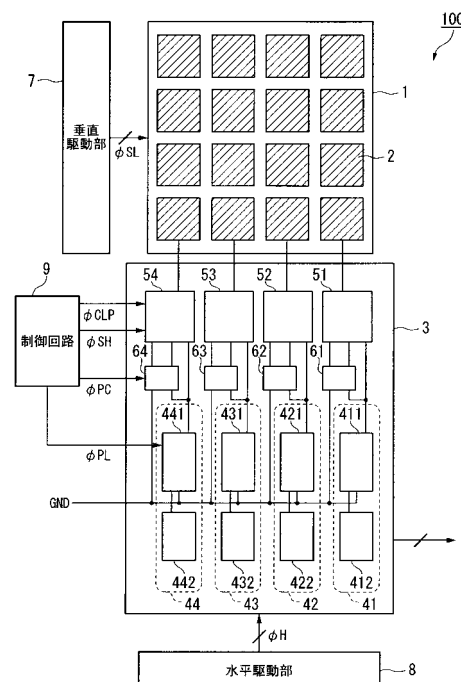
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 固体撮像装置を大型化させることなく、A/D変換回路の動作に起因する入力およびGNDの電圧レベルの変動を低減し、出力するデジタル値の変動（誤差）を低減することができる固体撮像装置を提供する。

【解決手段】 光電変換素子のリセット信号と画素信号とを出力する画素が二次元の行列状に複数配置された画素部と、所定の1つの画素からのリセット信号および画素信号が順次入力される第1の容量と、画素信号とリセット信号との差を保持する第2の容量とを具備し、差分信号を出力するアナログ信号処理部と、差分信号の大きさに応じた遅延時間でパルス信号を遅延させる遅延素子がリング状に複数段接続された遅延回路と、パルス信号の遅延回路内の伝播を検出した結果に基づいたデジタル信号を生成するアナログ・デジタル変換器と、アナログ信号処理期間とサンプリング期間とで第1の容量の接続を切り替える切り替え回路と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

光電変換素子を有し、該光電変換素子をリセットしたときのリセット信号と、該光電変換素子に入射した光量に応じた画素信号とを出力する画素が、二次元の行列状に複数配置された画素部と、

アナログ信号処理期間の間に、前記複数の画素の内、所定の 1 つの画素からの前記リセット信号および前記画素信号が順次入力される第 1 の容量と、前記画素信号と前記リセット信号との差を保持する第 2 の容量と、を具備し、前記画素信号と前記リセット信号の差に応じた差分信号を出力する、アナログ信号処理部と、

前記アナログ信号処理部から出力された差分信号の大きさに応じた遅延時間でパルス信号を遅延させる遅延素子がリング状に複数段接続された遅延回路と、

サンプリング期間の間に前記パルス信号が前記遅延回路内の前記遅延素子を伝播した段数を検出し、該検出した段数に基づいたデジタル信号を生成するアナログ・デジタル変換器と、

前記アナログ信号処理期間の間は、前記第 1 の容量に前記所定の 1 つの画素からの前記リセット信号および前記画素信号が順次入力され、該第 1 の容量に入力された前記画素信号と前記リセット信号との差が前記第 2 の容量に入力されるように、該第 1 の容量が前記所定の 1 つの画素と前記第 2 の容量との間に接続され、前記サンプリング期間の間は、前記第 1 の容量が前記遅延回路内の前記複数の遅延素子のそれぞれの電源端子に接続されるように、前記第 1 の容量の接続を切り替える切り替え回路と、

を備え、

前記アナログ信号処理部、前記遅延回路、前記アナログ・デジタル変換器、および前記切り替え回路は、

前記画素部の所定の 1 列毎または所定の複数列毎に配置され、

前記画素部内の所定の 1 列または所定の複数列の画素は、それぞれ対応する 1 つの前記アナログ信号処理部に前記リセット信号および前記画素信号を出力する、

ことを特徴とする固体撮像装置。

【請求項 2】

前記切り替え回路は、

前記複数の遅延素子の電源端子の内、電位の高い側の端子と、前記第 1 の容量の端子の内、電位の高い側の端子とを接続し、前記複数の遅延素子の電源端子の内、電位の低い側の端子と、前記第 1 の容量の端子の内、電位の低い側の端子とを接続するように、前記第 1 の容量の端子の接続を切り替える、

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記切り替え回路は、

前記サンプリング期間が開始される前に、前記第 1 の容量の電位の高い側の端子を、所定の基準電源に接続し、

前記サンプリング期間に先立って前記第 1 の容量に前記所定の基準電源の電位を保持させる、

ことを特徴とする請求項 1 または請求項 2 に記載の固体撮像装置。

【請求項 4】

前記所定の基準電源は、

前記アナログ信号処理部に供給される基準電源である、

ことを特徴とする請求項 3 に記載の固体撮像装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、特にデジタルスチルカメラ、カムコーダ、内視鏡などの撮像信号処理に適用される A/D 変換回路を搭載した固体撮像装置に関する。

10

20

30

40

50

【背景技術】

【0002】

近年、デジタルスチルカメラ、カムコーダ、内視鏡などに代表される撮像装置には、C D (Charge Copled Device: 電荷結合素子) イメージセンサや、C M O S (Complementary Metal-Oxide Semiconductor: 相補型金属酸化膜半導体) イメージセンサに代表される固体撮像装置が搭載されている。これらの撮像装置は国内外で普及しており、撮像装置のさらなる小型化、低消費電力化への要求が高まっている。

【0003】

固体撮像装置の小型化、低消費電力化への対応として、例えば、特許文献1のように、C D S (Correlated Double Sampling: 相関二重サンプリング) 回路とA/D (Analog to Digital: アナログ・デジタル) 変換器とを、複数搭載した固体撮像装置が提案されている。特許文献1に開示された固体撮像装置では、2次元の行列状に配置した画素の列毎にC D S回路とA/D変換器とを配置する。そして、それぞれのA/D変換器には、画素から出力された電圧(以下、「画素信号」という)が、C D S回路を介して入力され、入力された画素信号をアナログ・デジタル変換することによって、高S/N (Signal-to-Noise ratio) のデジタル画像信号を得ようとするものである。

【0004】

また、固体撮像装置に搭載するA/D変換器として、デジタル回路で構成された時間軸計測 (Time to Digital Converter) 型A/D変換器を適用することも考えられる。この時間軸計測型A/D変換器(以下、「A/D変換回路」という)は、入力された画素信号に応じた周波数のパルスを出力し、このパルスをカウンタがカウントすることによって、画素信号をアナログ・デジタル変換したデジタル画像信号を出力するものである。

【0005】

図7は、A/D変換回路(時間軸計測型A/D変換器)の概略構成を示したブロック図である。図7に示したA/D変換回路は、遅延回路11と、カウンタ12と、ラッチ回路13と、ラッチ&エンコーダ回路14とを備えている。

【0006】

遅延回路11は、リング状に接続された複数の遅延素子(図7においては、1つの遅延素子A N D 1と複数の遅延素子D U 1)によって構成される。遅延回路11内の各遅延素子には、アナログ・デジタル変換の対象となる画素信号が、入力信号V i nとして供給される。遅延回路11内の各遅延素子は、供給された入力信号V i nを電源電圧として、その信号レベルとG N D間の電圧差に応じた遅延時間で入力パルスφ P Lを遅延させる。そして、遅延回路11は、各遅延素子の遅延時間に応じた周波数を有するパルス信号φ C Kを発生する。

【0007】

カウンタ12は、遅延回路11が発生したパルス信号φ C K、すなわち、入力パルスφ P Lが遅延回路11内を周回した周回数を計数し、その計数結果をデジタル信号φ D 1として出力する。ラッチ回路13は、カウンタ12から出力されたデジタル信号φ D 1を保持(ラッチ)し、保持したデジタル信号をデジタル信号φ D 2として出力する。ラッチ&エンコーダ回路14は、遅延回路11内の各遅延素子の出力を取り込み、入力パルスφ P Lが通過した遅延回路11内の遅延素子の通過段数、すなわち、パルス信号φ C Kの遅延回路11内の位置情報を検出し、その検出結果をデジタル信号φ D 3として出力する。

【0008】

A/D変換回路は、ラッチ回路13の出力であるデジタル信号φ D 2を上位ビットのデータとし、ラッチ&エンコーダ回路14の出力であるデジタル信号φ D 3を下位ビットのデータとして、入力信号V i nの信号レベル、すなわち、画素信号に応じたデジタル信号φ D 4を出力する。このデジタル信号φ D 4が、A/D変換回路によってアナログ・デジ

10

20

30

40

50

タル変換されたデジタル画像信号（デジタル値）である。

【0009】

ここで、図7に示したA/D変換回路を、2次元の行列状に配置した画素の列毎に配置した固体撮像装置について説明する。図8は、A/D変換回路（時間軸計測型A/D変換器）を画素の列毎に配置した固体撮像装置の概略構成を示したブロック図である。図8に示した固体撮像装置は、複数の画素2が行列状に配置された画素部1と、信号処理部3と、垂直駆動部7と、水平駆動部8と、制御回路9とを備えている。また、信号処理部3は、複数のCDS回路51～54と、複数のA/D変換回路41～44とを備えている。

【0010】

また、それぞれのA/D変換回路41～44は、遅延回路411～441と、パルス通過段数検出回路部412～442とを備えている。なお、A/D変換回路41～44に備えた、遅延回路411～441のそれぞれは、図7に示したA/D変換回路に備えた遅延回路11と同様の構成である。また、パルス通過段数検出回路部412～442のそれぞれは、図7に示したA/D変換回路におけるカウンタ12と、ラッチ回路13と、ラッチ&エンコーダ回路14とを併せた構成の回路である。

【0011】

図8に示した固体撮像装置のようにA/D変換回路を画素部の列毎に配置する場合、例えば、数 μm 幅の狭小の範囲に、例えば、数百から数千のA/D変換回路を配置することになる。この場合、GND配線をA/D変換回路毎に分けて配線すると、配線の領域が増大してしまうため、図8に示した固体撮像装置のように、全てのA/D変換回路41～44で共通のGND配線を配線することとなる。また、それぞれのA/D変換回路41～44に入力する画素信号の配線も、数 μm 幅の狭小の範囲を通るように配線することになる。
。

【0012】

上記に述べたように、A/D変換回路は、画素信号（入力信号Vin）の信号レベルとGND間の電圧差に応じた遅延時間で周回する入力パルス ϕPL の周回数と遅延素子の通過段数に応じたデジタル信号 ϕD4 を出力する。このため、A/D変換回路の動作電流は、入力信号Vinの信号レベルや配線のインピーダンスなどによって変化する。また、入力パルス ϕPL が複数の遅延素子（遅延素子AND1および遅延素子DU1）を通過している状況に応じて、A/D変換回路の動作電流は、時間的にも変動する。

【0013】

より具体的には、遅延回路411～441に入力される入力信号の信号レベル、および入力パルス ϕPL の通過に伴う複数の遅延素子の動作状況によって、A/D変換回路41が備える遅延回路411のGND配線に流れる電流It1と、A/D変換回路42が備える遅延回路421のGND配線に流れる電流It2と、A/D変換回路43が備える遅延回路431のGND配線に流れる電流It3と、A/D変換回路44が備える遅延回路441のGND配線に流れる電流It4とが変化する。このように、全ての列に共通して配線されたGND配線に流れる電流は、1行毎の入力信号の信号レベル、すなわち、画素信号の信号レベルによって変化する。

【0014】

また、遅延回路411～441に入力される入力信号の信号レベル、および入力パルス ϕPL の通過に伴う複数の遅延素子の動作状況によって、CDS回路51から遅延回路411への入力配線に流れる電流I1と、CDS回路52から遅延回路421への入力配線に流れる電流I2と、CDS回路53から遅延回路431への入力配線に流れる電流I3と、CDS回路54から遅延回路441への入力配線に流れる電流I4とが変化する。

【0015】

この電流の変化によって、それぞれのA/D変換回路41～44の入力配線およびGND配線の抵抗成分での電圧降下の電圧が変わり、各遅延回路411～441の入力およびGNDの電圧レベルが変化する。この各遅延回路411～441の入力およびGND電圧の変動により、遅延回路での遅延時間が同じ入力信号（例えば、同じ入力信号Vin）を

A/D変換する場合でも、同時に読み出している画素部1の同じ行の他の列の画素2から出力される画素信号の信号レベルによって、それぞれのA/D変換回路41～44から出力されるアナログ・デジタル変換後のデジタル信号φD4が変わってしまう。このため、図9に示すように、画素部1内で画素2毎にデジタル画像信号（デジタル値）が変動してしまう。

【0016】

図9は、時間軸計測型A/D変換器（A/D変換回路41～44）から出力されるデジタル値が画素2毎に変動する場合の一例を模式的に示した図である。図9（a）は、画素部1内に4行4列に配置されたそれぞれの画素2に入射した光の量を模式的に示した図である。また、図9（b）は、画素2から出力された入射光量に応じた画素信号を各画素列に対応したA/D変換回路によってアナログ・デジタル変換した後のデジタル値の大きさを模式的に示した図である。なお、以下の説明においては、画素2の符号の後に付加した“（）：括弧”内に、画素部1の行番号と列番号とを表す数字を表して、画素2のそれぞれの位置を示して説明する。“（）：括弧”内の最初の数字が行番号、最後の数字が列番号を示す。例えば、2行3列目の画素2は、画素2（2，3）と表す。

10

【0017】

図9（a）では、各画素2の色が黒色から白色に変化するにつれて、画素2の入射光量が多くなっている様子を示している。また、図9（b）では、各画素2に対応する色が黒色から白色に変化するにつれて、それぞれの画素2から出力された画素信号をアナログ・デジタル変換した後のデジタル値が大きくなっている様子を示している。すなわち、黒色は画素2への入射光量が少なくデジタル値が小さい状態、白色は画素2への入射光量が多くデジタル値が大きい状態を示している。

20

【0018】

図9（a）では、入射光量が2つの状態である場合を示している。より具体的には、画素2（1，1）、画素2（1，2）、画素2（1，3）、画素2（2，2）、画素2（2，3）、および画素2（3，3）の入射光量が多く、画素2（1，4）、画素2（2，1）、画素2（2，4）、画素2（3，1）、画素2（3，2）、画素2（3，4）、画素2（4，1）、画素2（4，2）、画素2（4，3）、および画素2（4，4）の入射光量が少ない状態を示している。

【0019】

各画素列に対応したA/D変換回路の動作電流が同一である場合には、図9（a）と同様の傾向を持つデジタル値が出力されるはずである。しかし、実際は、A/D変換回路の動作電流の変動によって、図9（b）に示したように、アナログ・デジタル変換後のデジタル値は、それぞれ異なる大きさの値になってしまう。例えば、図9（a）に示したように、画素2（3，1）と画素2（3，2）との入射光量は同じ量であるが、画素2（3，1）に対応したデジタル値と画素2（3，2）に対応したデジタル値とは異なる値になってしまう。

30

【0020】

このように、画素2の入射光量が同じ量であり、それぞれの画素2が同じ信号レベルの画素信号を出力した場合であっても、画素部1の同じ行に配置されている他の列の画素2が出力する画素信号の信号レベルによって、アナログ・デジタル変換後のデジタル値の大きさが異なってしまう。

40

【0021】

このような、遅延回路の入力およびGNDの電圧レベルの変動に対応するため、特許文献2のような技術が開示されている。特許文献2に開示されているA/D変換回路では、図10に示したように、入力信号Vinを一旦バッファに入力し、このバッファの出力信号線とGND信号線との間に容量（コンデンサ）を接続している。そして、遅延回路内の各遅延素子には、バッファの出力が電源電圧として供給される構成としている。この構成は、入力信号Vinの信号線とGND信号線との間にバイパスコンデンサを配置したのと同様の構成である。特許文献2の技術では、このような構成によって、A/D変換回路の

50

入力信号 V_{in} および GND の電圧レベルの変動を抑えようとするものである。

【先行技術文献】

【特許文献】

【0022】

【特許文献1】特開2005-347932号公報

【特許文献2】特開2010-141685号公報

【発明の概要】

【発明が解決しようとする課題】

【0023】

しかしながら、一般的にコンデンサを、CMOSのデジタル回路で実現するために必要な回路面積は、他のデジタル回路（例えば、遅延素子DUI）に比べて非常に大きい。従って、図10に示した特許文献2で開示された構成のA/D変換回路の回路面積も大きくなってしまふ。このため、特許文献1に開示されたような、画素部の列毎にA/D変換回路を配置する固体撮像装置に、特許文献2で開示された構成のA/D変換回路をそのまま適用して画素部の列毎に搭載すると、固体撮像装置の回路面積が大きくなり、固体撮像装置が大型化してしまうという問題がある。特に、近年の固体撮像装置では高画素数化の傾向があり、この高画素数化に伴って画素部の列毎に搭載するA/D変換回路の数が増加すると、A/D変換回路を搭載した固体撮像装置自体を実現することができないということにもなる。

【0024】

本発明は、上記の課題認識に基づいてなされたものであり、列毎にA/D変換回路を搭載する場合でも、固体撮像装置を大型化させることなく、各列のA/D変換回路の動作に起因する入力およびGNDの電圧レベルの変動を低減し、各列に備えたA/D変換回路から出力されるデジタル値の変動（誤差）を低減することができる固体撮像装置を提供することを目的としている。

【課題を解決するための手段】

【0025】

上記の課題を解決するため、本発明の固体撮像装置は、光電変換素子を有し、該光電変換素子をリセットしたときのリセット信号と、該光電変換素子に入射した光量に応じた画素信号とを出力する画素が、二次元の行列状に複数配置された画素部と、アナログ信号処理期間の間に、前記複数の画素の内、所定の1つの画素からの前記リセット信号および前記画素信号が順次入力される第1の容量と、前記画素信号と前記リセット信号との差を保持する第2の容量と、を具備し、前記画素信号と前記リセット信号の差に応じた差分信号を出力する、アナログ信号処理部と、前記アナログ信号処理部から出力された差分信号の大きさに応じた遅延時間でパルス信号を遅延させる遅延素子がリング状に複数段接続された遅延回路と、サンプリング期間の間に前記パルス信号が前記遅延回路内の前記遅延素子を伝播した段数を検出し、該検出した段数に基づいたデジタル信号を生成するアナログ・デジタル変換器と、前記アナログ信号処理期間の間は、前記第1の容量に前記所定の1つの画素からの前記リセット信号および前記画素信号が順次入力され、該第1の容量に入力された前記画素信号と前記リセット信号との差が前記第2の容量に入力されるように、該第1の容量が前記所定の1つの画素と前記第2の容量との間に接続され、前記サンプリング期間の間は、前記第1の容量が前記遅延回路内の前記複数の遅延素子のそれぞれの電源端子に接続されるように、前記第1の容量の接続を切り替える切り替え回路と、を備え、前記アナログ信号処理部、前記遅延回路、前記アナログ・デジタル変換器、および前記切り替え回路は、前記画素部の所定の1列毎または所定の複数列毎に配置され、前記画素部内の所定の1列または所定の複数列の画素は、それぞれ対応する1つの前記アナログ信号処理部に前記リセット信号および前記画素信号を出力する、ことを特徴とする。

【0026】

また、本発明の前記切り替え回路は、前記複数の遅延素子の電源端子の内、電位の高い側の端子と、前記第1の容量の端子の内、電位の高い側の端子とを接続し、前記複数の遅

10

20

30

40

50

延素子の電源端子の内、電位の低い側の端子と、前記第 1 の容量の端子の内、電位の低い側の端子とを接続するように、前記第 1 の容量の端子の接続を切り替える、ことを特徴とする。

【0027】

また、本発明の前記切り替え回路は、前記サンプリング期間が開始される前に、前記第 1 の容量の電位の高い側の端子を、所定の基準電源に接続し、前記サンプリング期間に先立って前記第 1 の容量に前記所定の基準電源の電位を保持させる、ことを特徴とする。

【0028】

また、本発明の前記所定の基準電源は、前記アナログ信号処理部に供給される基準電源である、ことを特徴とする。

【発明の効果】

【0029】

本発明によれば、列毎に A/D 変換回路を搭載する場合でも、固体撮像装置を大型化させることなく、各列の A/D 変換回路の動作に起因する入力および GND の電圧レベルの変動を低減し、各列に備えた A/D 変換回路から出力されるデジタル値の変動（誤差）を低減することができるという効果が得られる。

【図面の簡単な説明】

【0030】

【図 1】本発明の第 1 の実施形態における固体撮像装置の概略構成を示したブロック図である。

【図 2】本第 1 の実施形態の固体撮像装置に具備された信号処理部の第 1 の概略構成を示したブロック図である。

【図 3】本第 1 の実施形態の固体撮像装置に具備された第 1 の構成の信号処理部における動作タイミングを示したタイミングチャートである。

【図 4】本第 1 の実施形態の固体撮像装置に具備された信号処理部の第 2 の概略構成を示したブロック図である。

【図 5】本第 2 の実施形態の固体撮像装置に具備された信号処理部の概略構成を示したブロック図である。

【図 6】本第 2 の実施形態の固体撮像装置に具備された信号処理部における動作タイミングを示したタイミングチャートである。

【図 7】時間軸計測型 A/D 変換器の概略構成を示したブロック図である。

【図 8】時間軸計測型 A/D 変換器を画素の列毎に配置した固体撮像装置の概略構成を示したブロック図である。

【図 9】時間軸計測型 A/D 変換器から出力されるデジタル値が画素毎に変動する場合の一例を模式的に示した図である。

【図 10】電圧レベルの変動に対応した従来の A/D 変換器の概略構成を示したブロック図である。

【発明を実施するための形態】

【0031】

< 第 1 の実施形態 >

以下、本発明の実施形態について、図面を参照して説明する。図 1 は、本第 1 の実施形態における固体撮像装置の概略構成を示したブロック図である。図 1 に示した固体撮像装置 100 は、複数の画素 2 が行列状に配置された画素部 1 と、信号処理部 3 と、垂直駆動部 7 と、水平駆動部 8 と、制御回路 9 とを備えている。また、信号処理部 3 は、複数のアナログ信号処理回路 51～54 と、複数の A/D 変換回路 41～44 と、複数の切り替え回路 61～64 とを備えている。また、それぞれの A/D 変換回路 41～44 は、遅延回路 411～441 と、パルス通過段数検出回路部 412～442 とを備えている。なお、図 1 に示した固体撮像装置 100 において、図 8 に示した固体撮像装置の構成要素と同様の構成要素には、同一の符号を付与している。

【0032】

なお、以下の説明においては、固体撮像装置 100 のアナログ信号処理回路として、CDS 回路を備えた場合について説明する。そして、アナログ信号処理回路 51～54 をそれぞれ、CDS 回路 51～54 と表す。また、以下の説明において、CDS 回路 51～54 のいずれか 1 つを示すときには、「CDS 回路 5」という。また、A/D 変換回路 41～44 のいずれか 1 つを示すときには、「A/D 変換回路 4」という。また、切り替え回路 61～64 のいずれか 1 つを示すときには、「切り替え回路 6」という。

【0033】

画素 2 は、光電変換素子である。画素 2 は、垂直駆動部 7 によって自画素 2 が選択されると入射光量に応じたレベルの画素信号を出力する。

垂直駆動部 7 は、画素部 1 から読み出す画素 2 の行を選択する回路である。垂直駆動部 7 は、画素部 1 から読み出す画素 2 の行に応じた画素選択信号 ϕSL を、画素部 1 に出力する。

【0034】

信号処理部 3 は、画素部 1 の各列の画素 2 から出力された画素信号を処理し、さらにアナログ・デジタル変換した後のデジタル信号を、画素部 1 の各列のデジタル画像信号として出力する。なお、信号処理部 3 に関する詳細な説明は、後述する。

【0035】

水平駆動部 8 は、信号処理部 3 から出力されたデジタル画像信号を、画素部 1 の列毎に出力させる回路である。水平駆動部 8 は、デジタル画像信号を出力する画素部 1 の列に応じた読み出し制御信号 ϕH を信号処理部 3 に出力する。

【0036】

制御回路 9 は、信号処理部 3 における画像信号の処理タイミングを制御する回路である。制御回路 9 は、信号処理部 3 によって行う画像信号の処理タイミングに応じて、信号処理部 3 内の CDS 回路 5 を制御するためのクランプ信号 ϕCLP およびサンプル信号 ϕSH と、信号処理部 3 内の切り替え回路 6 を制御するための切り替え信号 ϕPC とを、信号処理部 3 に出力する。また、制御回路 9 は、画素部 1 の各列の画素 2 から信号処理部 3 に出力された画素信号をアナログ・デジタル変換するための入力パルス ϕPL を信号処理部 3 に出力する。なお、制御回路 9 における信号処理部 3 の制御タイミングに関する詳細な説明は、後述する。

【0037】

信号処理部 3 内の CDS 回路 51～54 は、画素部 1 の列毎にそれぞれ配置され、制御回路 9 から入力されたクランプ信号 ϕCLP およびサンプル信号 ϕSH に応じて、画素 2 から読み出された画素信号を処理し、処理後の画素信号を、対応する A/D 変換回路 41～44 に出力する。なお、CDS 回路 51～54 で示した CDS 回路 5 に続く数字は、画素部 1 の列の番号を示す。

【0038】

信号処理部 3 内の A/D 変換回路 41～44 は、画素部 1 の列毎にそれぞれ配置され、制御回路 9 から入力された入力パルス ϕPL に応じて、CDS 回路 51～54 からそれぞれ入力された処理後の画素信号をアナログ・デジタル変換する時間軸計測型 A/D 変換器である。A/D 変換回路 41～44 は、アナログ・デジタル変換した後のデジタル値をデジタル画像信号として、水平駆動部 8 から入力された読み出し制御信号 ϕH に応じて順次出力する。なお、A/D 変換回路 41～44 で示した A/D 変換回路 4 に続く数字は、画素部 1 の列の番号を示す。

【0039】

なお、A/D 変換回路 41～44 に備えた、遅延回路 411～441 のそれぞれは、図 7 に示した A/D 変換回路に備えた遅延回路 11 と同様の構成である。また、パルス通過段数検出回路部 412～442 のそれぞれは、図 7 に示した A/D 変換回路におけるカウンタ 12 と、ラッチ回路 13 と、ラッチ&エンコーダ回路 14 とを併せた構成の回路である。

【0040】

信号処理部 3 内の切り替え回路 6 1 ～ 6 4 は、画素部 1 の列毎にそれぞれ配置され、制御回路 9 から入力された切り替え信号 ϕPC に応じて、CDS 回路 5 1 ～ 5 4 内の容量の接続を切り替える回路である。CDS 回路 5 1 ～ 5 4 は、切り替え回路 6 1 ～ 6 4 による容量の接続の切り替えによって、A/D 変換回路 4 1 ～ 4 4 のそれぞれに備えた遅延回路 4 1 1 ～ 4 4 1 の入力および GND の電圧レベルの変動を抑える構成に切り替わる。切り替え回路 6 は、制御回路 9 に応じて、A/D 変換回路 4 がアナログ・デジタル変換を行う期間（以下、「A/D 変換期間」という）の間、CDS 回路 5 内の容量が切り替わる。なお、切り替え回路 6 1 ～ 6 4 で示した切り替え回路 6 に続く数字は、画素部 1 の列の番号を示す。

【0041】

ここで、本第 1 の実施形態の固体撮像装置 100 の動作について説明する。なお、以下の説明において固体撮像装置 100 内に備えた画素部 1 の特定の列を表すときには、図 1 に示した画素部 1 の 4 列目を例として説明する。また、その他の画素部 1 の列の動作は、画素 2 から出力される画素信号の電圧レベルが異なる以外は、以下に説明する画素部 1 の 4 列目の動作と同様であるため、詳細な説明は省略する。

【0042】

初めに、垂直駆動部 7 が画素選択信号 ϕSL を “High” レベルにして、画素部 1 の 1 行目の画素 2 を選択すると、選択された 1 行目の各画素 2 から読み出された画素信号が、信号処理部 3 にそれぞれ出力される。なお、選択された各画素 2 からは、自画素 2 内の光電変換素子をリセットしたときに出力されるリセットレベルの画素信号と、入射光量に応じた信号レベルの画素信号との 2 つの画素信号が出力される。

【0043】

そして、信号処理部 3 内の CDS 回路 5 1 では、対応した画素 2 から入力されたりリセットレベルと信号レベルとの差分処理を行うことによって、画素 2 をリセットしたときのノイズを抑圧した差分信号を生成し、生成した差分信号を入力信号 V_{in} として、対応した A/D 変換回路 4 1 に出力する。これにより、ノイズ抑圧された画素信号（差分信号）が A/D 変換回路 4 1 に備えた遅延回路 4 1 1 内の遅延素子の電源電圧として供給される。

【0044】

続いて、制御回路 9 は、それぞれの A/D 変換回路 4 に出力する入力パルス ϕPL を “High” レベルにする。これにより、A/D 変換回路 4 1 に備えた遅延回路 4 1 1 内の遅延素子は、電源電圧として供給された差分信号（入力信号 V_{in} ）と GND 間の電圧差に応じた遅延時間で入力パルス ϕPL を遅延させる。そして、遅延回路 4 1 1 は、各遅延素子の遅延時間に応じた周波数を有するパルス信号 ϕCK を発生する。

【0045】

そして、パルス通過段数検出回路部 4 1 2 内のカウンタ 1 2 は、遅延回路 4 1 1 が発生したパルス信号 ϕCK に基づいて、入力パルス ϕPL が遅延回路 4 1 1 内を周回した周回数を計数する。その後、予め定められた一定期間が経過した後に、パルス通過段数検出回路部 4 1 2 内のラッチ&エンコーダ回路 1 4 は、遅延回路 4 1 1 内の各遅延素子の出力に基づいて、遅延回路 4 1 1 内でのパルス信号 ϕCK の位置情報を検出する。また、パルス通過段数検出回路部 4 1 2 内のラッチ回路 1 3 は、カウンタ 1 2 から出力された計数結果を保持（ラッチ）する。

【0046】

その後、制御回路 9 が入力パルス ϕPL を “Low” レベルにする。これにより、遅延回路 4 1 1 内での入力パルス ϕPL の遅延が停止し、パルス信号 ϕCK の生成が終了する。そして、ラッチ回路 1 3 が保持している入力パルス ϕPL の周回数と、ラッチ&エンコーダ回路 1 4 が検出したパルス信号 ϕCK の位置情報とに基づいて、CDS 回路 5 1 から入力された差分信号（入力信号 V_{in} ）、すなわち、画素部 1 の 4 列目の画素 2 から出力されたノイズ抑圧後の画素信号に応じたデジタル信号を、A/D 変換回路 4 1 が出力するデジタル画像信号（デジタル値）として出力とする。

【0047】

10

20

30

40

50

続いて、水平駆動部 8 は、読み出し制御信号 ϕH を順次 “ H i g h ” レベルとする。これにより、信号処理部 3 内の各 A / D 変換回路 4 が出力するデジタル画像信号が順次選択され、固体撮像装置 1 0 0 の撮像信号として外部に出力される。また、垂直駆動部 7 が画素選択信号 $\phi S L$ を “ L o w ” レベルにして、画素部 1 の 1 行目の画素 2 からの読み出しを完了する。

【 0 0 4 8 】

以降、同様に、画素部 1 の他の行の画素 2 からの読み出し動作を繰り返すことにより、2 行目以降の画素 2 からの読み出しを順次行うことによって、固体撮像装置 1 0 0 に備えた画素部 1 の全ての画素 2 の読み出しを行う。

【 0 0 4 9 】

< 第 1 の構成 >

次に、本第 1 の実施形態の固体撮像装置 1 0 0 に具備された第 1 の構成の信号処理部 3 について説明する。図 2 は、本第 1 の実施形態の固体撮像装置 1 0 0 に具備された信号処理部 3 の第 1 の概略構成を示したブロック図である。図 2 では、画素部 1 の 1 列分の信号処理部 3 内の構成要素のみを示している。図 2 に示した信号処理部 3 0 1 は、C D S 回路 5 と、A / D 変換回路 4 と、切り替え回路 6 とを備えている。

【 0 0 5 0 】

C D S 回路 5 は、画素 2 から読み出された画素信号に含まれる信号成分の電圧レベル（以下、「信号レベル」という）とリセット成分の電圧レベル（以下、「リセットレベル」という）との差分処理を行う。これにより、それぞれの画素 2 の信号レベルからリセットレベルをノイズとして差し引いた画素信号が生成される。そして、C D S 回路 5 は、差分処理を行った画素信号の電圧レベル（以下、「差分信号」という）を保持し、保持している差分信号を入力信号 $V i n$ として A / D 変換回路 4 に出力する。C D S 回路 5 は、クランプ容量 $C c l p$ と、クランプスイッチ $C L P$ と、サンプルスイッチ $S H$ と、サンプル容量 $C s h$ と、バッファ 5 0 1 とを備えている。

【 0 0 5 1 】

クランプスイッチ $C L P$ は、制御回路 9 から入力されたクランプ信号 $\phi C L P$ に応じて、クランプ容量 $C c l p$ の一端（端子 b）と基準電圧 $V r e f$ とを接続するスイッチである。サンプルスイッチ $S H$ は、制御回路 9 から入力されたサンプル信号 $\phi S H$ に応じて、クランプ容量 $C c l p$ の一端（端子 b）と、サンプル容量 $C s h$ の一端（端子 c）およびバッファ 5 0 1 の入力端子とを接続するスイッチである。

【 0 0 5 2 】

クランプ容量 $C c l p$ は、画素 2 から読み出された画素信号に含まれるリセットレベルを保持する。また、クランプ容量 $C c l p$ は、A / D 変換回路 4 がアナログ・デジタル変換を行っているときのバイパスコンデンサともなる。

【 0 0 5 3 】

サンプル容量 $C s h$ は、画素 2 からリセットレベルの画素信号が出力されているときに、基準電圧 $V r e f$ の電圧レベル（以下、「基準レベル $V r e f$ 」という）を保持する。また、サンプル容量 $C s h$ は、画素 2 から信号レベルの画素信号が出力されているときに、信号レベルからリセットレベルを減算した差分信号を保持する。サンプル容量 $C s h$ は、保持している差分信号を、バッファ 5 0 1 を介して、アナログ・デジタル変換の対象の入力信号 $V i n$ として A / D 変換回路 4 に出力する。

【 0 0 5 4 】

A / D 変換回路 4 は、C D S 回路 5 から入力された差分信号をアナログ・デジタル変換し、アナログ・デジタル変換後のデジタル値をデジタル画像信号として出力する。A / D 変換回路 4 は、遅延回路 4 0 1 と、カウンタ 1 2 と、ラッチ回路 1 3 と、ラッチ & エンコーダ回路 1 4 とを備えている。なお、以下の説明においては、カウンタ 1 2 と、ラッチ回路 1 3 と、ラッチ & エンコーダ回路 1 4 とを併せて、パルス通過段数検出回路部ともいう。

【 0 0 5 5 】

10

20

30

40

50

遅延回路401は、リング状に接続された複数の遅延素子（図2においては、1つの遅延素子AND1と複数の遅延素子DU1）によって構成される。遅延回路401内の各遅延素子には、CDS回路5から入力された差分信号が、アナログ・デジタル変換の対象となる入力信号Vinとして供給される。遅延回路401内の各遅延素子は、供給された入力信号Vinを電源電圧として、その信号レベルとGND間の電圧差に応じた遅延時間で入力パルスφPLを遅延させる。そして、遅延回路401は、各遅延素子の遅延時間に応じた周波数を有するパルス信号φCKを発生する。

【0056】

カウンタ12は、遅延回路401が発生したパルス信号φCK、すなわち、入力パルスφPLが遅延回路401内を周回した周回数を計数し、その計数結果をデジタル信号φD1として出力する。ラッチ回路13は、カウンタ12から出力されたデジタル信号φD1を保持（ラッチ）し、保持したデジタル信号をデジタル信号φD2として出力する。ラッチ&エンコーダ回路14は、遅延回路401内の各遅延素子の出力を取り込み、入力パルスφPLが通過した遅延回路401内の遅延素子の通過段数、すなわち、パルス信号φCKの遅延回路401内の位置情報を検出し、その検出結果をデジタル信号φD3として出力する。

10

【0057】

A/D変換回路4は、ラッチ回路13の出力であるデジタル信号φD2を上位ビットのデータとし、ラッチ&エンコーダ回路14の出力であるデジタル信号φD3を下位ビットのデータとして、入力信号Vinの信号レベル、すなわち、CDS回路5から入力された差分信号に応じたデジタル信号φD4を出力する。このデジタル信号φD4が、A/D変換回路4によってアナログ・デジタル変換されたデジタル画像信号（デジタル値）である。

20

【0058】

切り替え回路6は、制御回路9から入力された切り替え信号φPCに応じて、CDS回路5内のクランプ容量Cclpの接続を切り替える。切り替え回路6は、切り替えスイッチPC__Aと、切り替えスイッチPC__Bとを備えている。

【0059】

切り替えスイッチPC__Aは、制御回路9から入力された切り替え信号φPCに応じて、CDS回路5内のクランプ容量Cclpの一端（端子b）と、遅延回路401のGND端子とを接続するスイッチである。切り替えスイッチPC__Bは、制御回路9から入力された切り替え信号φPCに応じて、CDS回路5内のクランプ容量Cclpの他端（端子a）と、遅延回路401の入力信号Vinの入力端子とを接続するスイッチである。

30

【0060】

切り替え回路6は、切り替えスイッチPC__Aおよび切り替えスイッチPC__BによってCDS回路5内のクランプ容量Cclpの接続を切り替えることによって、クランプ容量Cclpを、A/D変換回路4の入力信号Vinの入力端子とGND端子との間のバイパスコンデンサとする。これにより、A/D変換回路4がアナログ・デジタル変換を行っているA/D変換期間における入力信号VinおよびGNDの電圧レベルの変動が抑えられ、A/D変換回路4から出力されるデジタル画像信号（デジタル値）の変動（誤差）を低減することができる。

40

【0061】

次に、本第1の実施形態の固体撮像装置100に具備された信号処理部3において、A/D変換回路4の入力信号Vinの入力端子とGND端子との間の電圧レベルの変動を抑える動作について説明する。図3は、本第1の実施形態の固体撮像装置100に具備された第1の構成の信号処理部301における動作タイミングを示したタイミングチャートである。

【0062】

信号処理部301の動作は、制御回路9によって制御される。なお、図3においては、画素部1内の画素2から入力される画素信号、信号処理部301内でA/D変換回路4に

50

出力される入力信号 V_{in} 、CDS回路5および切り替え回路6の動作を制御するために制御回路9から入力される制御信号（クランプ信号 ϕ_{CLP} とサンプル信号 ϕ_{SH} 、および切り替え信号 ϕ_{PC} ）、およびA/D変換回路4によってアナログ・デジタル変換を行うために制御回路9から入力される入力パルス ϕ_{PL} を示している。

【0063】

制御回路9から入力されるクランプ信号 ϕ_{CLP} 、サンプル信号 ϕ_{SH} 、および切り替え信号 ϕ_{PC} は、それぞれクランプスイッチ CLP 、サンプルスイッチ SH 、および切り替えスイッチ PC_A と切り替えスイッチ PC_B とを駆動する駆動信号である。なお、以下の説明においては、駆動信号が "High" レベルのときに各スイッチがON（短絡）し、"Low" レベルのときに各スイッチがOFF（開放）するものとして説明を行う。

10

【0064】

まず、制御回路9は、画素部1内の画素2からリセットレベルの画素信号が入力されているタイミング t_1 において、クランプ信号 ϕ_{CLP} を "High" レベルにしてクランプスイッチ CLP をONし、サンプル信号 ϕ_{SH} を "High" レベルにしてサンプルスイッチ SH をONする。これにより、クランプ容量 C_{clp} の端子aはリセットレベルになり、クランプ容量 C_{clp} の端子bとサンプル容量 C_{sh} の端子cは基準レベル V_{ref} になる。そして、クランプ容量 C_{clp} は、リセットレベルと基準レベル V_{ref} との差に応じた電圧レベル（以下、「ノイズレベル」という）を保持し、サンプル容量 C_{sh} は、基準レベル V_{ref} を保持する。また、バッファ501には、サンプル容量 C_{sh} が保持した基準レベル V_{ref} が入力され、バッファ501から基準レベル V_{ref} に応じた電圧レベルの入力信号 V_{in} が出力される。

20

【0065】

続いて、制御回路9は、タイミング t_2 において、クランプ信号 ϕ_{CLP} を "Low" レベルにしてクランプスイッチ CLP をOFFする。その後、画素部1内の画素2から出力されている画素信号が、リセットレベルから信号レベルに変化することによって、サンプル容量 C_{sh} の端子aも信号レベルに変化し、クランプ容量 C_{clp} の端子bは、ノイズレベルと信号レベルとの差に応じた電圧レベル（以下、「信号レベル V_{sig} 」という）となる。この信号レベル V_{sig} は、画素2をリセットしたときのノイズを抑圧した差分信号、すなわち、アナログ・デジタル変換の対象となるノイズ抑圧後の画素信号である。

30

【0066】

続いて、制御回路9は、タイミング t_3 において、サンプル信号 ϕ_{SH} を "Low" レベルにしてサンプルスイッチ SH をOFFする。これにより、サンプル容量 C_{sh} には、信号レベル V_{sig} が保持される。そして、バッファ501には、サンプル容量 C_{sh} が保持した信号レベル V_{sig} が入力され、バッファ501から信号レベル V_{sig} に応じた電圧レベルの入力信号 V_{in} が出力される。

【0067】

続いて、制御回路9は、タイミング t_4 において、切り替え信号 ϕ_{PC} を "High" レベルにして、切り替え回路6内の切り替えスイッチ PC_A および切り替えスイッチ PC_B をONする。これにより、クランプ容量 C_{clp} の端子bは、A/D変換回路4に備えた遅延回路401のGND端子に接続され、クランプ容量 C_{clp} の端子aは、遅延回路401の入力信号 V_{in} の入力端子、すなわち、遅延回路401内の遅延素子の電源端子に接続される。これにより、クランプ容量 C_{clp} は、A/D変換回路4の入力信号 V_{in} の入力端子とGND端子との間のバイパスコンデンサとして使用される。

40

【0068】

その後、制御回路9が入力パルス ϕ_{PL} を "High" レベルにする。これにより、A/D変換回路4が、ノイズ抑圧後の画素信号の電圧レベルである信号レベル V_{sig} のアナログ・デジタル変換を開始する。そして、予め定めたA/D変換期間が経過したタイミング t_5 において、制御回路9が入力パルス ϕ_{PL} を "Low" レベルにすると、A/D

50

変換回路 4 は、アナログ・デジタル変換したデジタル画像信号（デジタル値）を出力する。

【0069】

また、制御回路 9 は、タイミング t_5 において、切り替え信号 ϕPC を “Low” レベルにして、切り替え回路 6 内の切り替えスイッチ PC_A および切り替えスイッチ PC_B を OFF する。これにより、クランプ容量 C_{clp} の端子 b は、A/D 変換回路 4 に備えた遅延回路 401 の GND 端子から切り離され、クランプ容量 C_{clp} の端子 a は、遅延回路 401 の入力信号 V_{in} の入力端子、すなわち、遅延回路 401 内の遅延素子の電源端子から切り離される。これにより、クランプ容量 C_{clp} は、CDS 回路 5 内に備えたクランプ容量として使用される。

10

【0070】

タイミング t_6 以降、タイミング $t_1 \sim$ タイミング t_5 と同様に、制御回路 9 がクランプ信号 ϕCLP とサンプル信号 ϕSH 、および切り替え信号 ϕPC を制御し、制御回路 9 が、入力パルス ϕPL を制御することによって、画素部 1 のその他の行のデジタル画像信号（デジタル値）を出力する。

【0071】

このように、制御回路 9 が切り替えスイッチ PC_A および切り替えスイッチ PC_B を制御することによって、A/D 変換期間中のクランプ容量 C_{clp} の一端（端子 b ）が遅延回路 401 の GND に接続され、クランプ容量 C_{clp} の他端（端子 a ）が遅延回路 401 の電源端子に接続された状態にする。すなわち、遅延回路 401 が入力パルス ϕPL を遅延させる動作中に、クランプ容量 C_{clp} は、遅延回路 401 の入力、GND に接続されてバイパスコンデンサの役割を担う。そして、クランプ容量 C_{clp} は、それぞれの A/D 変換回路 4 において入力パルス ϕPL が複数の遅延素子を通してしている状況に応じて変化する遅延回路 401 の入力、GND に流れる電流の変動分を供給する。これにより、それぞれの A/D 変換回路 4 の入力配線、画素部 1 の 1 行分の画素 2 からそれぞれ出力される画素信号の電圧レベル、入力パルス ϕPL が通過する遅延回路 401 の動作状況などに応じて各 A/D 変換回路 4 に共通して配線された GND に流れる電流の変動を低減することができる。

20

【0072】

上記に述べたように、本第 1 の構成の信号処理部 301 では、A/D 変換期間中に、CDS 回路 5 内のクランプ容量 C_{clp} を、A/D 変換回路 4 内の遅延回路 401 のバイパスコンデンサとして使用することができる。これにより、本第 1 の構成の信号処理部 301 では、新たにバイパスコンデンサを設けることなく、特許文献 2 で開示されたバイパスコンデンサを配置した A/D 変換回路と同様に、A/D 変換回路 4 内の遅延回路 401 の入力および GND の電圧レベルの変動を抑える構成を実現することができる。この構成により、本第 1 の実施形態の固体撮像装置 100 では、A/D 変換回路 4 の動作中に遅延回路 401 の電源、GND 間に流れる電流を一定にすることができるため、画素部 1 の列毎に A/D 変換回路 4 を設けた場合においても、A/D 変換回路 4 内の遅延回路 401 の入力、GND の変動を低減することができ、アナログ・デジタル変換の処理におけるノイズを低下させることができる。

30

40

【0073】

<第 2 の構成>

次に、本第 1 の実施形態の固体撮像装置 100 に具備された第 2 の構成の信号処理部 3 について説明する。図 4 は、本第 1 の実施形態の固体撮像装置 100 に具備された信号処理部 3 の第 2 の概略構成を示したブロック図である。図 4 では、画素部 1 の 1 列分の信号処理部 3 内の構成要素のみを示している。図 4 に示した信号処理部 302 は、CDS 回路 5 と、A/D 変換回路 4 と、切り替え回路 6 とを備えている。なお、図 4 に示した信号処理部 302 において、図 2 に示した信号処理部 301 の構成要素と同様の構成要素には、同一の符号を付与している。

【0074】

50

信号処理部 302 と、図 2 に示した信号処理部 301 とを比較すると、切り替え回路 6 内の切り替えスイッチ PC__A および切り替えスイッチ PC__B のクランプ容量 Cc1p 側の接続が異なっているのみである。より具体的には、切り替えスイッチ PC__A が、CDS 回路 5 内のクランプ容量 Cc1p の他端（端子 a）と遅延回路 401 の GND 端子とを接続し、切り替えスイッチ PC__B が、CDS 回路 5 内のクランプ容量 Cc1p の一端（端子 b）と遅延回路 401 の入力信号 Vin の入力端子とを接続する構成となっていることのみが異なる。

【0075】

なお、信号処理部 302 における動作タイミングは、図 3 に示した信号処理部 301 における動作タイミングと同様であるため、詳細な説明は省略する。

10

【0076】

図 4 に示した構成の信号処理部 302 においても、遅延回路 401 が入力パルス φPL を遅延させる動作中に、クランプ容量 Cc1p が、遅延回路 401 の入力、GND に接続され、バイパスコンデンサの役割を担うことができ、図 2 に示した信号処理部 301 と同様の効果を得ることができる。

【0077】

なお、切り替え回路 6 内の切り替えスイッチ PC__A および切り替えスイッチ PC__B の接続を、図 2 に示した信号処理部 301 または図 4 に示した信号処理部 302 のいずれの接続とするかは、遅延回路 401 内の各遅延素子の電源端子の電位の高い側と、クランプ容量 Cc1p の端子の電位の高い側とを接続するようにすることが望ましい。

20

【0078】

<第 2 の実施形態>

次に、本発明の第 2 の実施形態の固体撮像装置について説明する。本第 2 の実施形態の固体撮像装置は、図 1 に示した第 1 の実施形態の固体撮像装置 100 とほぼ同様の構成である。従って、本第 2 の実施形態の固体撮像装置の説明においては、図 1 に示した第 1 の実施形態の固体撮像装置 100 を参照して説明し、それぞれの構成要素に関しては、異なる動作のみを説明して、詳細な説明は省略する。

【0079】

制御回路 9 は、信号処理部 3 における画像信号の処理タイミングを制御する回路である。ただし、本第 2 の実施形態の固体撮像装置に備えた制御回路 9 は、信号処理部 3 に備えた切り替え回路 6 内の切り替えスイッチ PC__A および切り替えスイッチ PC__B をそれぞれ制御する。より具体的には、制御回路 9 は、切り替えスイッチ PC__A を制御するための切り替え信号 φPC1 と、切り替えスイッチ PC__B を制御するための切り替え信号 φPC2 とを信号処理部 3 に出力する。なお、本第 2 の実施形態の固体撮像装置に備えた制御回路 9 における信号処理部 3 の制御タイミングに関する詳細な説明は、後述する。

30

【0080】

信号処理部 3 内の切り替え回路 6 は、画素部 1 の列毎にそれぞれ配置され、制御回路 9 から入力された切り替え信号 φPC1 および切り替え信号 φPC2 に応じて、CDS 回路 5 内の容量の接続を切り替え、CDS 回路 5 を A/D 変換回路 4 のそれぞれに備えた遅延回路 401 の入力および GND の電圧レベルの変動を抑える構成に切り替える。

40

【0081】

なお、本第 2 の実施形態の固体撮像装置の動作は、信号処理部 3 に備えた切り替え回路 6 内の切り替えスイッチ PC__A および切り替えスイッチ PC__B の駆動と、信号処理部 3 に備えた CDS 回路 5 内のクランプスイッチ CLP の駆動とが異なる以外は、図 1 に示した第 1 の実施形態の固体撮像装置 100 の動作と同様であるため、詳細な説明は省略する。

【0082】

次に、本第 2 の実施形態の固体撮像装置に具備された信号処理部 3 について説明する。図 5 は、本第 2 の実施形態の固体撮像装置に具備された信号処理部 3 の概略構成を示したブロック図である。図 5 では、画素部 1 の 1 列分の信号処理部 3 内の構成要素のみを示し

50

ている。図 5 に示した信号処理部 312 は、CDS 回路 5 と、A/D 変換回路 4 と、切り替え回路 6 とを備えている。なお、図 5 に示した信号処理部 312 において、図 2 に示した信号処理部 301 および図 4 に示した信号処理部 302 の構成要素と同様の構成要素には、同一の符号を付与している。

【0083】

信号処理部 312 と、図 4 に示した信号処理部 302 とを比較すると、信号処理部 312 では、切り替え回路 6 内の切り替えスイッチ PC__A を制御する切り替え信号が、切り替え信号 $\phi PC1$ となり、切り替えスイッチ PC__B を制御する切り替え信号が、切り替え信号 $\phi PC2$ となっていることのみが異なる。従って、信号処理部 312 の説明においては、信号処理部 312 の構成要素に関して、異なる動作のみを説明して、詳細な説明は省略する。

10

【0084】

切り替え回路 6 は、制御回路 9 から入力された切り替え信号 $\phi PC1$ および切り替え信号 $\phi PC2$ に応じて、CDS 回路 5 内のクランプ容量 Cc1p の接続を切り替える。切り替え回路 6 は、切り替えスイッチ PC__A と、切り替えスイッチ PC__B とを備えている。

【0085】

切り替えスイッチ PC__A は、制御回路 9 から入力された切り替え信号 $\phi PC1$ に応じて、CDS 回路 5 内のクランプ容量 Cc1p の他端（端子 a）と、遅延回路 401 の GND 端子とを接続するスイッチである。切り替えスイッチ PC__B は、制御回路 9 から入力された切り替え信号 $\phi PC2$ に応じて、CDS 回路 5 内のクランプ容量 Cc1p の一端（端子 b）と、遅延回路 401 の入力信号 Vin の入力端子とを接続するスイッチである。

20

【0086】

切り替え回路 6 は、切り替えスイッチ PC__A および切り替えスイッチ PC__B によって CDS 回路 5 内のクランプ容量 Cc1p の接続を切り替えることによって、図 2 に示した信号処理部 301 および図 4 に示した信号処理部 302 と同様に、クランプ容量 Cc1p を、A/D 変換回路 4 の入力信号 Vin の入力端子と GND 端子との間のバイパスコンデンサとする。これにより、A/D 変換回路 4 がアナログ・デジタル変換を行っている A/D 変換期間における入力信号 Vin および GND の電圧レベルの変動が抑えられ、A/D 変換回路 4 から出力されるデジタル画像信号（デジタル値）の変動（誤差）を低減することができる。

30

【0087】

次に、本第 2 の実施形態の固体撮像装置に具備された信号処理部 3 において、A/D 変換回路 4 の入力信号 Vin の入力端子と GND 端子との間の電圧レベルの変動を抑える動作について説明する。図 6 は、本第 2 の実施形態の固体撮像装置に具備された信号処理部 3 における動作タイミングを示したタイミングチャートである。

【0088】

信号処理部 312 の動作は、制御回路 9 によって制御される。なお、図 6 においては、画素部 1 内の画素 2 から入力される画素信号、信号処理部 301 内で A/D 変換回路 4 に出力される入力信号 Vin、CDS 回路 5 の動作を制御するために制御回路 9 から入力される制御信号（クランプ信号 ϕCLP とサンプル信号 ϕSH ）、切り替え回路 6 の動作を制御するために制御回路 9 から入力される制御信号（切り替え信号 $\phi PC1$ と切り替え信号 $\phi PC2$ ）、および A/D 変換回路 4 によってアナログ・デジタル変換を行うために制御回路 9 から入力される入力パルス ϕPL を示している。

40

【0089】

制御回路 9 から入力されるクランプ信号 ϕCLP 、サンプル信号 ϕSH 、および切り替え信号 $\phi PC1$ と切り替え信号 $\phi PC2$ は、それぞれクランプスイッチ CLP、サンプルスイッチ SH、および切り替えスイッチ PC__A と切り替えスイッチ PC__B とを駆動する駆動信号である。なお、以下の説明においては、駆動信号が "High" レベルのときに各スイッチが ON（短絡）し、"Low" レベルのときに各スイッチが OFF（開放）

50

するものとして説明を行う。

【0090】

まず、制御回路9は、画素部1内の画素2からリセットレベルの画素信号が入力されているタイミングt1において、クランプ信号 ϕCLP を”High”レベルにしてクランプスイッチ CLP をONし、サンプル信号 ϕSH を”High”レベルにしてサンプルスイッチ SH をONする。これにより、クランプ容量 $Cclp$ の端子aはリセットレベルになり、クランプ容量 $Cclp$ の端子bとサンプル容量 Csh の端子cは基準レベル $Vref$ になる。そして、クランプ容量 $Cclp$ は、リセットレベルと基準レベル $Vref$ との差に応じたノイズレベルを保持し、サンプル容量 Csh は、基準レベル $Vref$ を保持する。また、バッファ501には、サンプル容量 Csh が保持した基準レベル $Vref$ が入力され、バッファ501から基準レベル $Vref$ に応じた電圧レベルの入力信号 Vin が出力される。

10

【0091】

続いて、制御回路9は、タイミングt2において、クランプ信号 ϕCLP を”Low”レベルにしてクランプスイッチ CLP をOFFする。その後、画素部1内の画素2から出力されている画素信号が、リセットレベルから信号レベルに変化することによって、サンプル容量 Csh の端子aも信号レベルに変化し、クランプ容量 $Cclp$ の端子bは、ノイズレベルと信号レベルとの差に応じた信号レベル $Vsig$ となる。この信号レベル $Vsig$ は、画素2をリセットしたときのノイズを抑圧した差分信号、すなわち、アナログ・デジタル変換の対象となるノイズ抑圧後の画素信号である。

20

【0092】

続いて、制御回路9は、タイミングt3において、サンプル信号 ϕSH を”Low”レベルにしてサンプルスイッチ SH をOFFする。これにより、サンプル容量 Csh には、信号レベル $Vsig$ が保持される。そして、バッファ501には、サンプル容量 Csh が保持した信号レベル $Vsig$ が入力され、バッファ501から信号レベル $Vsig$ に応じた電圧レベルの入力信号 Vin が出力される。

【0093】

続いて、制御回路9は、タイミングt4において、切り替え信号 $\phi PC1$ を”High”レベルにして、切り替え回路6内の切り替えスイッチ PC_A をONする。これにより、クランプ容量 $Cclp$ の端子aは、A/D変換回路4に備えた遅延回路401のGND端子に接続されに接続される。その後、制御回路9は、クランプ信号 ϕCLP を”High”レベルにして、クランプスイッチ CLP をONする。これにより、クランプ容量 $Cclp$ の端子bは、基準レベル $Vref$ に接続される。これにより、クランプ容量 $Cclp$ は、A/D変換回路4がアナログ・デジタル変換を開始する前に、基準レベル $Vref$ を保持することとなる。すなわち、クランプ容量 $Cclp$ は、基準レベル $Vref$ の電圧レベルにプリチャージされる。

30

【0094】

続いて、制御回路9は、タイミングt5において、クランプ信号 ϕCLP を”Low”レベルにしてクランプスイッチ CLP をOFFする。その後、切り替え信号 $\phi PC2$ を”High”レベルにして、切り替え回路6内の切り替えスイッチ PC_B をONする。これにより、クランプ容量 $Cclp$ の端子bは、遅延回路401の入力信号 Vin の入力端子、すなわち、遅延回路401内の遅延素子の電源端子に接続される。そして、クランプ容量 $Cclp$ は、A/D変換回路4の入力信号 Vin の入力端子とGND端子との間のバイパスコンデンサとして使用される。

40

【0095】

その後、制御回路9が入力パルス ϕPL を”High”レベルにする。これにより、A/D変換回路4が、ノイズ抑圧後の画素信号の電圧レベルである信号レベル $Vsig$ のアナログ・デジタル変換を開始する。そして、予め定めたA/D変換期間が経過したタイミングt6において、制御回路9が入力パルス ϕPL を”Low”レベルにすると、A/D変換回路4は、アナログ・デジタル変換したデジタル画像信号（デジタル値）を出力する

50

。

【0096】

また、制御回路9は、タイミングt6において、切り替え信号φPC1および切り替え信号φPC2を“Low”レベルにして、切り替え回路6内の切り替えスイッチPC__Aおよび切り替えスイッチPC__BをOFFする。これにより、クランプ容量Cclpの端子aは、A/D変換回路4に備えた遅延回路401のGND端子から切り離され、クランプ容量Cclpの端子bは、遅延回路401の入力信号Vinの入力端子、すなわち、遅延回路401内の遅延素子の電源端子から切り離される。これにより、クランプ容量Cclpは、CDS回路5内に備えたクランプ容量として使用される。

【0097】

タイミングt7以降、タイミングt1～タイミングt6と同様に、制御回路9がクランプ信号φCLPとサンプル信号φSH、および切り替え信号φPC1と切り替え信号φPC2を制御し、制御回路9が、入力パルスφPLを制御することによって、画素部1のその他の行のデジタル画像信号（デジタル値）を出力する。

【0098】

このように、制御回路9が切り替えスイッチPC__Aおよび切り替えスイッチPC__Bを制御することによって、A/D変換期間中のクランプ容量Cclpの他端（端子a）が遅延回路401のGNDに接続され、クランプ容量Cclpの一端（端子b）が遅延回路401の電源端子に接続された状態にする。これにより、クランプ容量Cclpは、第1の実施形態におけるクランプ容量Cclpと同様に、遅延回路401が入力パルスφPLを遅延させる動作中に、遅延回路401の入力、GNDに接続されてバイパスコンデンサの役割を担い、第1の実施形態における信号処理部301および信号処理部302と同様の効果を得ることができる。

【0099】

さらに、信号処理部312では、クランプ容量Cclpをバイパスコンデンサとして遅延回路401のGND端子と入力端子との間に接続する前に基準電圧Vrefの電圧レベルにプリチャージしている。これにより、クランプ容量Cclpをバイパスコンデンサとして使用したとき、特に、基準電圧Vrefの電圧レベルに近い入力信号Vinを出力する暗時の画素信号において、遅延回路401の入力信号Vinの変動を抑えることができる。

【0100】

上記に述べたように、信号処理部312でも、A/D変換期間中に、CDS回路5内のクランプ容量Cclpを、A/D変換回路4内の遅延回路401のバイパスコンデンサとして使用することができる。これにより、第1の実施形態における信号処理部301および信号処理部302と同様に、新たにバイパスコンデンサを設けることなく、A/D変換回路4内の遅延回路401の入力およびGNDの電圧レベルの変動を抑える構成を実現することができる。この構成により、本第2の実施形態の固体撮像装置でも、第1の実施形態の固体撮像装置100と同様に、A/D変換回路4内の遅延回路401の入力、GNDの変動を低減することができ、アナログ・デジタル変換の処理における誤差を低減させることができる。

【0101】

上記に述べたとおり、本発明を実施するための形態によれば、信号処理部のアナログ信号処理回路内に備えた容量（コンデンサ）の端子の接続を切り替える切り替えスイッチを設けることによって、A/D変換期間中に、アナログ信号処理回路内の容量をバイパスコンデンサとして使用することができる。これにより、新たにバイパスコンデンサを設けることなく、A/D変換回路内の遅延回路の入力およびGNDの電圧レベルの変動を抑える構成を実現することができる。すなわち、特許文献2で開示されたバイパスコンデンサを配置したA/D変換回路と同様に、A/D変換回路内の遅延回路の入力およびGNDの電圧レベルの変動を抑える構成を、固体撮像装置を大型化させることなく実現することができる。これにより、固体撮像装置から出力されるデジタル画像信号（デジタル値）の変動

10

20

30

40

50

(誤差)を低減することができる。

【0102】

また、本発明を実施するための形態によれば、A/D変換回路がアナログ・デジタル変換を開始する前に、基準レベルV_{ref}の電圧レベルをバイパスコンデンサにプリチャージすることができる。これにより、バイパスコンデンサをA/D変換回路内の遅延回路に接続したときの電圧レベルの差を少なくすることができ、特に、固体撮像装置における暗部の画素の出力による遅延回路への入力信号の変動を抑えることによって、A/D変換回路によるアナログ・デジタル変換処理の精度を向上することができる。

【0103】

なお、本実施形態においては、アナログ信号処理回路がCDS回路である場合の例について説明した。しかし、本実施形態の固体撮像装置に備えるアナログ信号処理回路は、本実施形態に限定されるものではなく、A/D変換期間中のA/D変換回路によるアナログ・デジタル変換処理に影響を及ぼさない容量(コンデンサ)を備えるアナログ信号処理回路であれば、どのような構成のアナログ信号処理回路であっても、本実施形態の考え方を適用することができる。

【0104】

また、本実施形態においては、画素部1内の画素の行方向および列方向の配置に関して、4行4列の例を示したが、画素の行方向および列方向の配置は、本発明を実施するための形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において画素を配置する行方向および列方向の数を変更することができる。

【0105】

以上、本発明の実施形態について、図面を参照して説明してきたが、具体的な構成はこの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲においての種々の変更も含まれる。

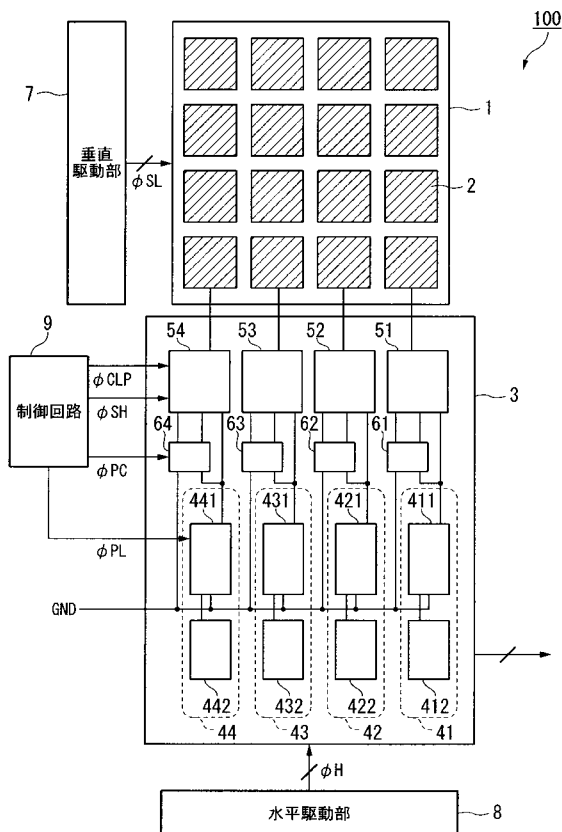
【符号の説明】

【0106】

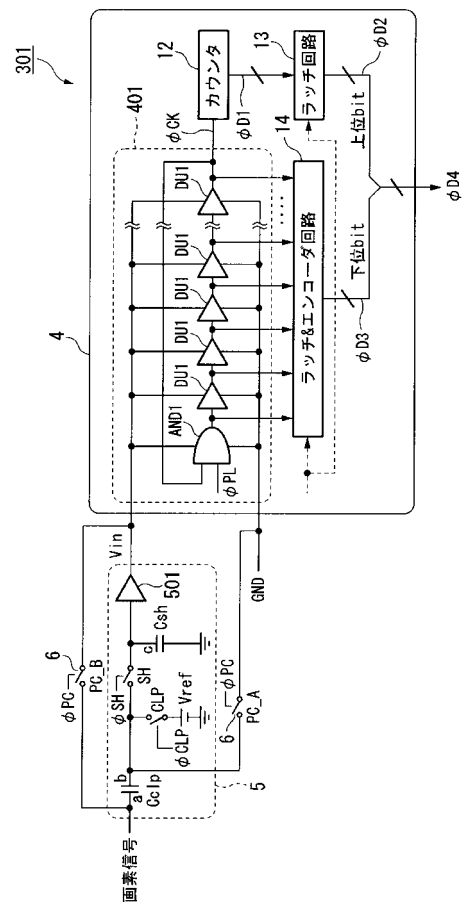
- 100・・・固体撮像装置
- 2・・・画素
- 1・・・画素部
- 3, 301, 302, 312・・・信号処理部(アナログ信号処理部, 遅延回路, アナログ・デジタル変換器, 切り替え回路)
- 4, 41, 42, 43, 44・・・A/D変換回路(遅延回路, アナログ・デジタル変換器)
- 5, 51, 52, 53, 54・・・アナログ信号処理回路, CDS回路(アナログ信号処理部)
- 6, 61, 62, 63, 64・・・切り替え回路
- 7・・・垂直駆動部
- 8・・・水平駆動部
- 9・・・制御回路(切り替え回路)
- 11, 401, 411, 421, 431, 441・・・遅延回路
- 412, 422, 432, 442・・・パルス通過段数検出回路部(アナログ・デジタル変換器)
- 12・・・カウンタ, パルス通過段数検出回路部(アナログ・デジタル変換器)
- 13・・・ラッチ回路, パルス通過段数検出回路部(アナログ・デジタル変換器)
- 14・・・ラッチ&エンコーダ回路, パルス通過段数検出回路部(アナログ・デジタル変換器)
- AND1, DU1・・・遅延素子
- Cclp・・・クランプ容量(第1の容量)
- CLP・・・クランプスイッチ(アナログ信号処理部)
- V_{ref}・・・基準電圧(アナログ信号処理部, 基準電源)

S_H . . . サンプルスイッチ (アナログ信号処理部)
 C_{sh} . . . サンプル容量 (第2の容量)
 501 . . . バッファ (アナログ信号処理部)
 PC_A . . . 切り替えスイッチ (切り替え回路)
 PC_B . . . 切り替えスイッチ (切り替え回路)

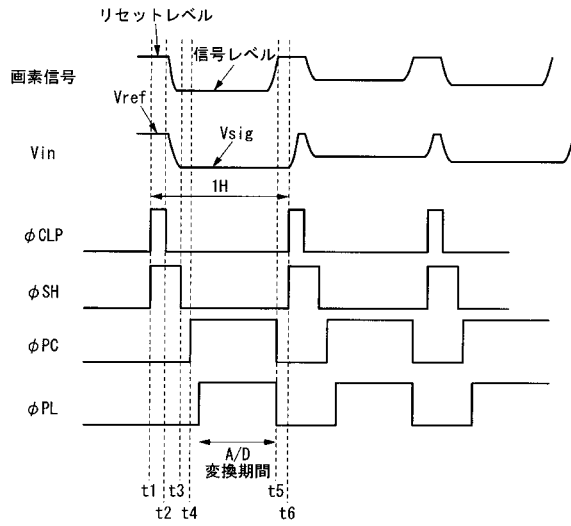
【図1】



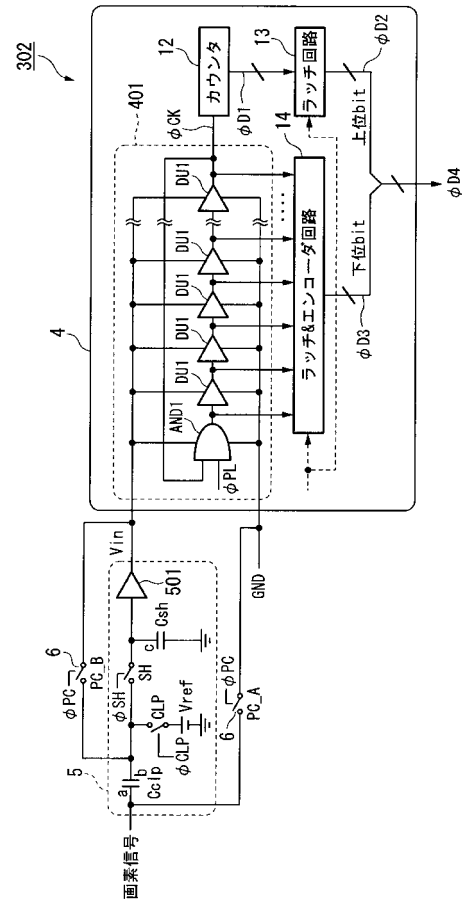
【図2】



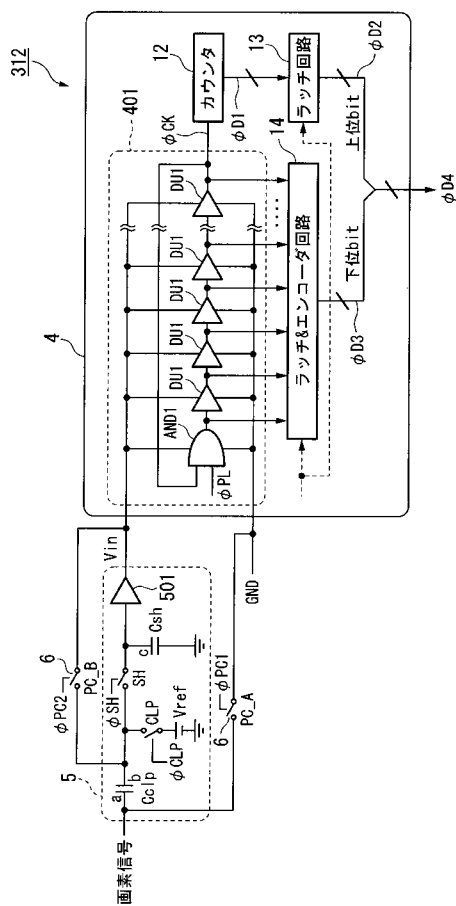
【図 3】



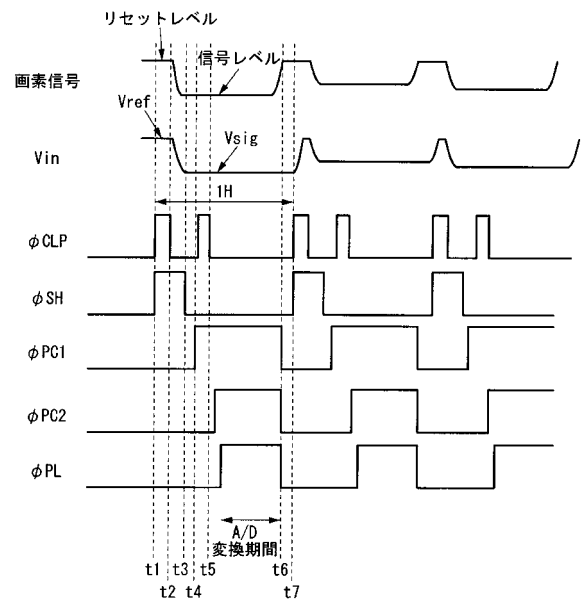
【図 4】



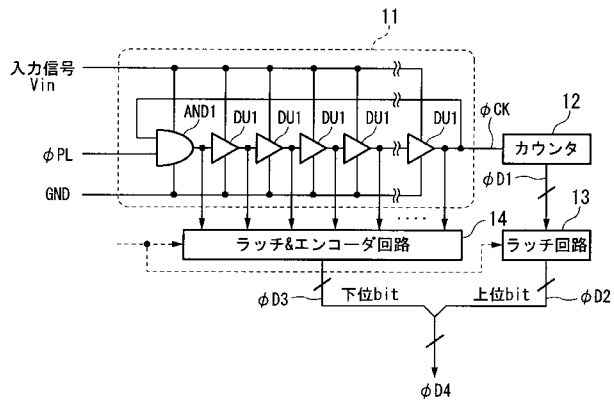
【図 5】



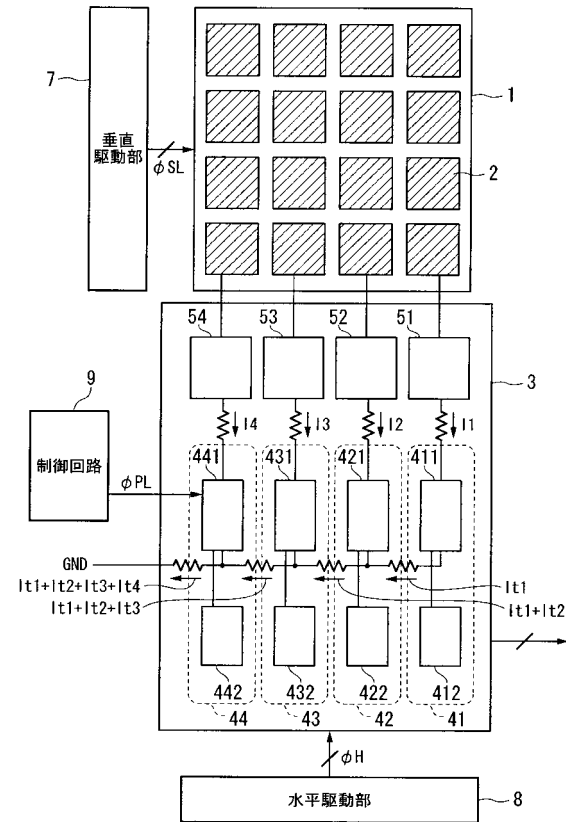
【図 6】



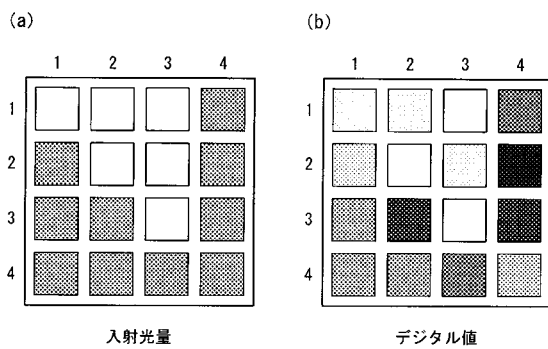
【図 7】



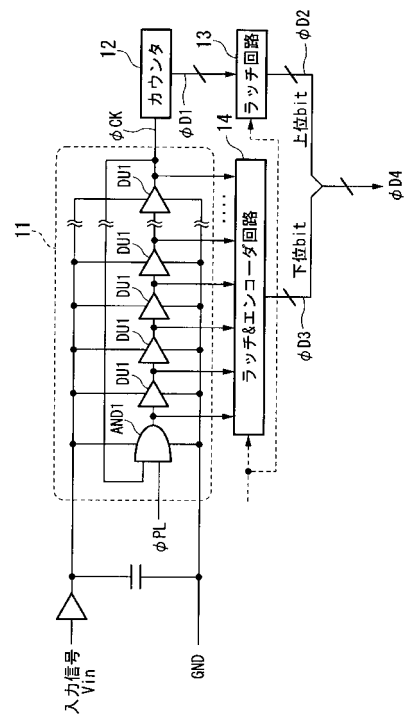
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 齋藤 匡史

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリnpas株式会社内

Fターム(参考) 4M118 AA10 AB01 BA14 CA02 DB09 DD09 DD10 DD12 FA06

5C024 CX03 GX15 GY31 HX03 HX13 HX15 HX23 HX29 HX35 HX47

5J022 AA11 BA03 BA06 CA07 CA10 CB06 CE04 CE05 CF10 CG04