



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0080650
(43) 공개일자 2016년07월08일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) H03M 1/12 (2006.01)
(21) 출원번호 10-2014-0193279
(22) 출원일자 2014년12월30일
심사청구일자 2014년12월30일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 324-10 2동 210호 (이촌동, 반도아파트)
심현선
서울특별시 구로구 경인로 390, 206동 2204호 (고척동, 벽산블루밍아파트)
조영세
경기도 고양시 일산동구 강촌로12번길 12, 3층 (백석동)
(74) 대리인
특허법인충현

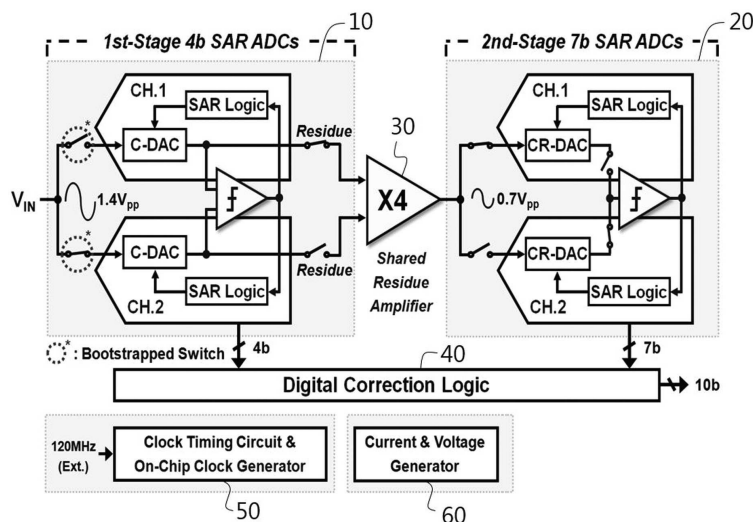
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 채널 간 오프셋 부정합을 최소화하는 시간 인터리빙 구조의 파이프라인 SAR ADC

(57) 요약

본 발명은 채널 간 오프셋 부정합을 감소시키는 시간 인터리빙 구조의 파이프라인 SAR ADC에 관한 것으로, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage), 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 2 단 및 채널 간에 공유되어 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후 제 2 단에 채널별로 출력하는 잔류전압 증폭기(residue amplifier)를 포함한다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 NRF 2013R1A1A2004829

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 한국연구재단 일반연구자지원사업

연구과제명 최소한의 커패시터를 사용하는 CR 하이브리드 DAC 기반의 12비트 10MS/s 0.11um CMOS SAR ADC 연구

기 여 율 1/2

주관기관 서강대학교 산학협력단

연구기간 2013.06.01 ~ 2016.05.31이 발명을 지원한 국가연구개발사업

과제고유번호 1711014140

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원 (NIPA)

연구사업명 정보통신기술인력양성

연구과제명 정보통신용 아날로그IP 기술 개발

기 여 율 1/2

주관기관 서강대학교 산학협력단

연구기간 2010.06.01 ~ 2015.12.31

명세서

청구범위

청구항 1

시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC에 있어서,

제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage);

제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단; 및

채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널 별로 출력하는 잔류전압 증폭기(residue amplifier);를 포함하는 파이프라인 SAR ADC.

청구항 2

제 1 항에 있어서,

상기 제 1 단 및 상기 제 2 단의 SAR ADC는 채널의 SAR 동작에 필요한 비교 동작을 수행하는 비교기;를 각각 포함하며, 각각의 채널 간에 상기 비교기를 공유함으로써 채널 간 오프셋 부정합(offset mismatch)을 방지하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 3

제 2 항에 있어서,

각각의 채널에서 사용되는 샘플링 클럭(sampling clock)을 하나의 기준 클럭에 동기화시켜 생성함으로써, 채널 간 입력 샘플링 신호의 부정합을 방지하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 4

제 2 항에 있어서,

상기 제 1 단을 구성하는 비교기는,

상기 채널의 수만큼의 입력단 쌍(pair); 및

상기 입력단 쌍의 드레인 노드(drain node)에 배치되어 버퍼(buffer) 역할을 수행함으로써 킥-백(kick-back) 잡음을 감소시키는 풀-다운 스위치(pull-down switch);를 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 5

제 2 항에 있어서,

상기 제 1 단을 구성하는 비교기는,

비교기의 동작 속도를 증가시키는 추가적인 래치(latch);를 더 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 6

제 2 항에 있어서,

상기 제 1 단을 구성하는 비교기는,

샘플링 동작시 상기 비교기의 입력단에 발생하는 메모리 효과(memory effect)를 자동으로 제거하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 7

제 2 항에 있어서,

상기 제 2 단을 구성하는 비교기는,

상기 복수 개의 채널이 스위치에 의해 교대로 연결되도록 구성된 하나의 입력단 쌍; 및

상기 입력단 쌍의 드레인 노드에 배치되어 버퍼 역할을 수행함으로써 킥-백 잡음을 감소시키는 풀-다운 스위치;를 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 8

제 2 항에 있어서,

상기 제 2 단을 구성하는 비교기는,

비교기의 동작 속도를 증가시키는 추가적인 래치;를 더 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 9

제 2 항에 있어서,

상기 제 2 단을 구성하는 비교기는,

각 채널의 SAR 동작 후 입력단을 소정 주기마다 리셋(reset)시킴으로써 메모리 효과를 제거하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 10

시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC에 있어서,

제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage);

제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단; 및

채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널별로 출력하는 잔류전압 증폭기(residue amplifier);를 포함하되,

상기 잔류 전압 증폭기는,

상기 제 1 단으로 입력되는 입력신호범위의 절반을 상기 제 2 단으로 출력하는 레인지-스케일링(range-scaling) 방식으로 동작함으로써 증폭기에 의한 전력 소모를 감소시키는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 11

제 10 항에 있어서,

상기 잔류 전압 증폭기는,

채널별로 분리된 입력단 쌍;을 포함하되,

동작하지 않는 채널의 리셋시간을 확보하여 메모리 효과를 제거하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 12

제 10 항에 있어서,

상기 잔류 전압 증폭기는,

전압 이득을 증가시키는 이득-부스팅(gain-boosting) 구조의 제 1 증폭기; 및

기준치 이상의 신호 스윙 범위를 갖는 공통-소스(common-source) 구조의 제 2 증폭기;를 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 13

제 10 항에 있어서,

상기 제 2 단을 구성하는 SAR ADC는,

상기 잔류 전압 증폭기를 통해 레인지-스케일링된 입력신호를 처리하기 위한 커패시터;를 더 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 14

시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC에 있어서,

제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage);

제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단; 및

채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널 별로 출력하는 잔류전압 증폭기(residue amplifier);를 포함하되,

상기 제 1 단 및 상기 제 2 단은, 각각의 비트수에 따라 동작 속도가 결정되며, 상기 제 1 단의 비트수는 상기 제 2 단의 비트수보다 작은 값을 갖는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 15

제 14 항에 있어서,

상기 제 2 단을 구성하는 SAR ADC는,

샘플링된 신호를 공통 모드 전압(common mode voltage)과 직접 비교하고 상기 공통모드 전압을 기준으로 커패시터 열을 스위칭함으로써 최상위 비트를 결정하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 16

제 14 항에 있어서,

상기 제 2 단을 구성하는 SAR ADC는,

저항 열을 이용하여 생성된 기준 전압을 DAC의 최하위 커패시터에 인가함으로써 소정 개수의 최하위 비트를 결정하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 17

제 14 항에 있어서,

상기 제 1 단 및 상기 제 2 단을 구성하는 SAR ADC는,

TSPC(true-single-phase-clock) D 플립플롭 기반의 SAR 로직;을 포함하는 것을 특징으로 하는 파이프라인 SAR ADC.

청구항 18

제 14 항에 있어서,

상기 제 1 단의 SAR 동작을 위한 기준 전압, 상기 제 2 단의 SAR 동작을 위한 기준 전압 및 상기 잔류 전압 증폭기의 증폭 동작시 사용되는 기준 전압의 구동 회로를 각각 분리하되, 기준 전압 발생기는 공유하는 것을 특징으로 하는 파이프라인 SAR ADC.

발명의 설명

기술 분야

[0001] 본 발명은 파이프라인 SAR ADC(Successive Approximation Register Analog to Digital Converter) 기술에 관한 것으로, 특히 채널 간 오프셋 부정합으로 인해 성능이 저하되는 문제가 지적되고 있는 시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC에 관한 것이다.

배경 기술

[0002] 고화질 영상시스템의 아날로그 프론트 엔드(analog front end, AFE)에는 아날로그 신호를 디지털 신호로 변환하

기 위한 아날로그-디지털 변환기(analog-to-digital converter, ADC)가 필수적으로 요구된다. 특히 모바일용 고화질 디스플레이 시스템에는 10비트 이상의 해상도 및 80MS/s 이상의 동작속도를 갖는 ADC가 필요하며, 이러한 요구사항을 만족하기 위해 주로 파이프라인 구조의 ADC가 사용되어 왔다.

- [0003] 한편, 공정기술이 발달함에 따라 디지털 회로 기반의 SAR ADC에 대한 연구가 활발히 진행되고 있지만 해상도의 증가에 따라 내부회로의 동작속도가 증가하는 단점이 있다. 이러한 단점을 극복하기 위해 파이프라인 구조 및 동일한 ADC 여러 개를 병렬로 연결하는 시간 인터리빙(time-interleaved, T-I) 구조를 적용하여 고해상도 및 고속의 ADC를 구현할 수 있지만, 시간 인터리빙 구조를 적용함으로써 발생하는 채널 간의 오프셋 부정합, 이득 부정합 및 샘플링 타이밍 부정합에 의하여 전체 ADC의 성능이 저하되는 문제점들이 있다. 각종 채널 간 부정합 문제점들을 해결하기 위해 보정기법이 필수적이거나 추가적인 타이밍 및 복잡한 회로가 요구되며 면적이 증가하는 단점이 있어 시스템에 즉각적인 집적이 불리한 측면이 있다. 이하에서 소개되는 선행기술문헌에는 이러한 자가 보정 기법이 적용되는 파이프라인 ADC가 소개되어 있다.

선행기술문헌

비특허문헌

- [0004] (비특허문헌 0001) P. Bogner, F. Kuttner, C. Kropf, T. Hartig, M. Burian, and E. Hermann, "A 14b 100MS/s digitally self-calibrated pipelined ADC in 0.13um CMOS," in ISSCC Dig. Tech Papers, Feb. 2006, pp. 832-841.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 기술적 과제는, 종래의 시간 인터리빙 구조의 파이프라인 SAR ADC에서 비교기에 의한 채널 간 오프셋 부정합이 발생하며 전체 ADC의 선형성에 영향을 주어 성능이 저하되는 한계를 극복하고, 오프셋 보정을 위한 추가적인 보정 수단을 활용할 경우에 발생할 우려가 있는 추가적인 타이밍의 필요, 회로 복잡도의 증가, 소자 면적 및 전력소모의 증가 문제를 해소하고자 한다.

과제의 해결 수단

- [0006] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC는, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage); 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단; 및 채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널별로 출력하는 잔류전압 증폭기(residue amplifier);를 포함한다.
- [0007] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC는, 상기 제 1 단 및 상기 제 2 단의 SAR ADC는 채널의 SAR 동작에 필요한 비교 동작을 수행하는 비교기;를 각각 포함하며, 각각의 채널 간에 상기 비교기를 공유함으로써 채널 간 오프셋 부정합(offset mismatch)을 방지할 수 있다.
- [0008] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 각각의 채널에서 사용되는 샘플링 클록(sampling clock)을 하나의 기준 클록에 동기화시켜 생성함으로써, 채널 간 입력 샘플링 신호의 부정합을 방지할 수 있다.
- [0009] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 1 단을 구성하는 비교기는, 상기 채널의 수만큼의 입력단 쌍(pair); 및 상기 입력단 쌍의 드레인 노드(drain node)에 배치되어 버퍼(buffer) 역할을 수행함으로써 킥-백(kick-back) 잡음을 감소시키는 풀-다운 스위치(pull-down switch);를 포함할 수 있다.
- [0010] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 1 단을 구성하는 비교기는, 비교기의 동작 속도를 증가시키는 추가적인 래치(latch);를 더 포함할 수 있다.
- [0011] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 1 단을 구성하는 비교기는, 샘플

플링 동작시 상기 비교기의 입력단에 발생하는 메모리 효과(memory effect)를 자동으로 제거할 수 있다.

- [0012] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 비교기는, 상기 복수 개의 채널이 스위치에 의해 교대로 연결되도록 구성된 하나의 입력단 쌍; 및 상기 입력단 쌍의 드레인 노드에 배치되어 버퍼 역할을 수행함으로써 킥-백 잡음을 감소시키는 풀-다운 스위치;를 포함할 수 있다.
- [0013] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 비교기는, 비교기의 동작 속도를 증가시키는 추가적인 래치;를 더 포함할 수 있다.
- [0014] 일 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 비교기는, 각 채널의 SAR 동작 후 입력단을 소정 주기마다 리셋(reset)시킴으로써 메모리 효과를 제거할 수 있다.
- [0015] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 실시예에 따른 시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC는, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage); 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단; 및 채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널별로 출력하는 잔류전압 증폭기(residue amplifier);를 포함하되, 상기 잔류 전압 증폭기는, 상기 제 1 단으로 입력되는 입력신호범위의 절반만을 상기 제 2 단으로 출력하는 레인지-스케일링(range-scaling) 방식으로 동작함으로써 증폭기에 의한 전력 소모를 감소시킨다.
- [0016] 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 잔류 전압 증폭기는, 채널별로 분리된 입력단 쌍;을 포함하되, 동작하지 않는 채널의 리셋시간을 확보하여 메모리 효과를 제거할 수 있다.
- [0017] 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 잔류 전압 증폭기는, 전압 이득을 증가시키는 이득-부스팅(gain-boosting) 구조의 제 1 증폭기; 및 기준치 이상의 신호 스윙 범위를 갖는 공통-소스(common-source) 구조의 제 2 증폭기;를 포함할 수 있다.
- [0018] 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 SAR ADC는, 상기 잔류 전압 증폭기를 통해 레인지-스케일링된 입력신호를 처리하기 위한 커패시터;를 더 포함할 수 있다.
- [0019] 상기 기술적 과제를 해결하기 위하여, 본 발명의 또 다른 실시예에 따른 시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC는, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage); 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단; 및 채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널별로 출력하는 잔류전압 증폭기(residue amplifier);를 포함하되, 상기 제 1 단 및 상기 제 2 단은, 각각의 비트수에 따라 동작 속도가 결정되며, 상기 제 1 단의 비트수는 상기 제 2 단의 비트수보다 작은 값을 갖는다.
- [0020] 또 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 SAR ADC는, 샘플링된 신호를 공통 모드 전압(common mode voltage)과 직접 비교함으로써 최상위 비트를 결정할 수 있다.
- [0021] 또 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 SAR ADC는, 저항 열을 이용하여 생성된 기준 전압을 DAC의 최하위 커패시터에 인가함으로써 소정 개수의 최하위 비트를 결정할 수 있다.
- [0022] 또 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 1 단 및 상기 제 2 단을 구성하는 SAR ADC는, TSPC(true-single-phase-clock) D 플립플롭 기반의 SAR 로직;을 포함할 수 있다.
- [0023] 또 다른 실시예에 따른 상기 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 1 단의 SAR 동작을 위한 기준 전압, 상기 제 2 단의 SAR 동작을 위한 기준 전압 및 상기 잔류 전압 증폭기의 증폭 동작시 사용되는 기준 전압의 구동 회로를 각각 분리하되, 기준 전압 발생기는 공유할 수 있다.

발명의 효과

- [0024] 본 발명의 실시예들은, 두 채널 간에 비교기를 공유하여 오프셋 보정기법을 사용하지 않고도 채널 간의 오프셋 부정합 문제를 해결하였고, 추가적으로 전력소모 및 면적을 줄일 수 있는 장점이 있다. 공유된 비교기에는 추가적인 타이밍이나 보정을 위한 회로가 필요하지 않으며 한 쌍의 입력 단을 두 채널이 교대로 사용함으로써 오프셋 부정합을 최소화하였고, 두 채널 간에 잔류전압 증폭기를 공유함으로써 증폭기에 의해 발생할 수 있는 오프

셋, 이득 및 대역폭 부정합 문제를 해결하였으며, 증폭기의 요구사양을 낮추기 위한 레인지 스케일링 기법을 적용함으로써 전력소모를 최소화할 수 있다.

도면의 간단한 설명

[0025]

도 1은 시간 인터리빙 구조의 SAR ADC 기술 분야에서 각 채널별 비교기에 의해 채널 간의 오프셋 부정합이 발생하는 상황을 설명하기 위한 도면이다.

도 2는 본 발명의 실시예들이 채택하고 있는 시간 인터리빙 구조의 SAR ADC에서 비교기를 공유하는 아이디어를 소개하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 채널 간 오프셋 부정합을 감소시키는 시간 인터리빙 구조의 파이프라인 SAR ADC를 도시한 블록도이다.

도 4는 본 발명의 일 실시예에 따른 도 3의 시간 인터리빙 구조의 파이프라인 SAR ADC의 주요 동작을 설명하기 위한 타이밍도이다.

도 5a 및 도 5b는 본 발명의 일 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 1 단의 SAR ADC의 공유된 비교기를 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 2 단의 SAR ADC의 공유된 비교기를 설명하기 위한 도면이다.

도 7은 본 발명의 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 공유된 잔류 전압 증폭기를 예시한 회로도이다.

도 8은 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 2 단의 SAR ADC의 커패시터-저항(C-R) 하이브리드 DAC 구조를 예시한 회로도이다.

도 9는 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 TSPC D 플립플롭을 기반으로 하는 SAR 로직을 예시한 회로도이다.

도 10은 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에 관한 범용 D 플립플롭과 TSPC D 플립플롭의 시뮬레이션 결과를 비교하여 설명하기 위한 도면이다.

도 11은 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 하나의 기준 전압을 공유하는 경우와 기준 전압 구동 회로를 분리한 경우를 비교하여 설명하기 위한 도면이다.

도 12는 본 발명의 실시예들에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC의 프로토타입의 전형적인 FFT 스펙트럼을 측정한 결과를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026]

본 발명의 실시예들을 설명하기에 앞서, 시간 인터리빙 방식의 파이프라인 SAR ADC의 특징과 그 약점을 간략히 소개한 후, 이러한 문제점을 해결하기 위해 본 발명의 실시예들이 채택하고 있는 기술적 수단을 순차적으로 제시하도록 한다.

[0027]

앞서 소개한 바와 같이, 채널 간 오프셋 부정합(offset mismatch)으로 인한 성능저하 문제는 시간 인터리빙 구조의 파이프라인 ADC의 경우 증폭기에 의한 채널 간 오프셋 부정합이 주요원인이 되는 반면, 시간 인터리빙 구조의 SAR ADC에서는 비교기에 의한 채널 간 오프셋 부정합이 주요원인이 된다.

[0028]

도 1은 시간 인터리빙 구조의 SAR ADC 기술 분야에서 각 채널(110, 120)별 비교기(115, 125)에 의해 채널 간의 오프셋 부정합이 발생하는 상황을 설명하기 위한 도면이다. 단일 SAR ADC의 경우, 비교기의 오프셋은 전체 ADC의 특성곡선을 이동시키는 영향만 줄 뿐 전체 선형성에는 영향을 미치지 않지만, 시간 인터리빙 구조의 SAR ADC는 도 1에 도시된 바와 같이 비교기(115, 125)에 의한 채널 간 오프셋 부정합이 발생하며 전체 ADC의 선형성에 영향을 주어 성능을 저하시킨다.

[0029]

이를 해결하기 위해 크기 조절이 가능한 커패시터를 비교기 출력단에 배치하여 오프셋을 보정하는 기법이 활용 가능하나, 오프셋 보정을 위한 추가적인 타이밍 및 디지털 회로가 필요한 단점이 있다. 또한, 디지털 기반의 오프셋 보정기법을 활용하고자 할 경우 규모가 크고 복잡한 보정회로를 칩 안에 집적해야 하므로 면적 및 전력소

모가 증가하는 단점이 존재한다. 따라서, 오프셋 보정을 위한 추가적인 구조 없이도 오프셋 부정합을 해소할 수 있는 기술적 수단의 제안이 요구된다.

[0030] 도 2는 본 발명의 실시예들이 공통적으로 채택하고 있는 시간 인터리빙 구조의 파이프라인 SAR ADC에서 비교기를 공유하는 아이디어를 소개하기 위한 도면으로서, 도시된 바와 같이 한 쌍의 입력 단으로 구성된 비교기(130)를 두 채널(110, 120)이 교대로 사용하여 채널 간에 오프셋 부정합이 발생하지 않도록 구현하였다. 따라서 두 채널(110, 120) 간에 공유된 비교기(130)는 추가적인 타이밍이나 오프셋 보정을 위한 회로가 필요하지 않으며, 두 채널(110, 120)이 하나의 비교기(130)만 사용하므로 전력소모 및 면적을 줄일 수 있는 장점이 있다.

[0031] 한편, SAR ADC는 해상도가 높아질수록 DAC에 사용되는 단위 커패시터의 수가 지수적으로 증가하여 면적 및 전력소모가 커지는 단점이 있다. 작은 크기의 단위 커패시터를 사용하여 면적 및 전력소모를 줄일 수 있지만, 커패시터 부정합이 발생하여 비선형성에 의한 성능저하가 발생할 수 있다. 따라서 사용되는 단위 커패시터의 수를 효과적으로 줄이기 위한 다양한 기법들이 활용 가능하다. 예를 들어, 분리형 가중치 커패시터(C_A)를 이용한 2단계 구조가 사용될 수 있으나, C_A 의 크기가 단위 커패시터의 정수배가 되지 못하여 상위 커패시터 열 및 하위 커패시터 열 간의 부정합이 발생하는 문제점이 존재한다.

[0032] 따라서, 본 발명의 일 실시예가 제안하는 ADC는, 예를 들어 4비트-7비트 기반의 2단 파이프라인 SAR 구조 및 2채널 시간 인터리빙 구조를 동시에 적용하여 전력소모를 최소화하면서 빠른 변환속도를 구현하였으며, 특별한 보정기법 없이 채널 간 오프셋 부정합을 최소화하는 채널 간 비교기 공유기법을 사용하였다. 채널 간 오프셋 부정합 외에도 이득 부정합 및 샘플링 타이밍 부정합 등 각종 채널 간 부정합을 최소화하는 다양한 회로 설계기법을 적용하였다. 또한, 두 번째 단의 7비트 SAR ADC에는 작은 크기의 단위 커패시터를 사용하는 방법이나 C_A 를 이용한 2단계 구조 대신 V_{CM} 기반의 스위칭기법 및 최하위 2비트 결정을 위한 6개의 기준전압을 생성해 주는 간단한 저항 열을 사용하는 기법을 적용하여 사용되는 단위 커패시터의 수를 1/8 수준으로 줄여 면적 및 전력소모를 최소화하였으며, 커패시터 부정합에 의한 성능저하가 발생하지 않도록 하였다.

[0033] 이하에서는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 또한, 도면 전체에 걸쳐 동일한 구성 요소들은 가능한 한 동일한 도면 부호로 나타내고 있음에 유의하여야 한다. 이하에서 제시되는 실시예들은 2단 파이프라인 SAR 구조를 구현함에 있어서, 각 단(stage)을 예를 들어 4비트-7비트 기반으로 설계한 구조를 예시하고 있으나, 이러한 각 단의 비트수는 각 단에서 요구되는 동작 속도에 적합하도록 설정된 것으로서 예시된 설정값에 한정되지 않는다.

[0034] 도 3은 본 발명의 일 실시예에 따른 채널 간 오프셋 부정합을 감소시키는 시간 인터리빙 구조의 파이프라인 SAR ADC를 도시한 블록도이다.

[0035] 제 1 단(stage)(10)은, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하며, 앞서 도 2를 통해 설명한 바와 같이 제 1 단의 SAR ADC는 채널의 SAR 동작에 필요한 비교 동작을 수행하는 비교기를 포함하며, 각각의 채널 간에 상기 비교기를 공유함으로써 채널 간 오프셋 부정합(offset mismatch)을 방지한다.

[0036] 제 2 단(20)은, 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하며, 앞서 도 2를 통해 설명한 바와 같이 제 2 단의 SAR ADC는 채널의 SAR 동작에 필요한 비교 동작을 수행하는 비교기를 포함하며, 각각의 채널 간에 상기 비교기를 공유함으로써 채널 간 오프셋 부정합을 방지한다.

[0037] 잔류전압 증폭기(residue amplifier)(30)는, 상기 제 1 단(10)의 두 채널과 상기 제 2 단(20)이 두 채널 간에 공유하며, 상기 제 1 단(10)의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단(20)에 채널별로 출력한다.

[0038] 도 3의 개괄적인 회로 구성을 요약하면, 제안하는 ADC는 채널 간에 비교기(제 1 단 및 제 2 단에 각각 1개씩 도시되었다.) 및 잔류전압 증폭기(20)를 공유하여 채널 간 오프셋 부정합을 최소화하였으며, 각 채널에서 사용되는 샘플링 클록을 하나의 기준 클록에 동기화시켜 생성함으로써 채널 간 입력 샘플링 신호 부정합 문제를 해결하였다. 또한, 1.4Vpp의 입력신호를 받아 두 번째 단(20)부터는 0.7Vpp로 줄여 처리하는 레인지-스케일링(range-scaling) 기법을 적용하여 증폭기의 설계 요구사항을 낮춤으로써 증폭기에 의한 전력소모를 최소화하였다. 두 번째 단(20) 7비트 SAR ADC의 커패시터 열에는 V_{CM} 기반의 스위칭기법 및 간단한 저항 열을 통해 생성된 6개의 기준전압을 인가해 최하위 2비트를 결정하는 기법을 적용하여 사용되는 커패시터의 개수를 1/8 수준으로

줄였으며, 고속 SAR 동작을 위해 4비트 및 7비트 SAR ADC의 SAR 로직에는 범용 D 플립플롭 대신 TSPC(true-single-phase-clock) D 플립플롭을 적용하여 동작속도를 향상시킴과 동시에 사용되는 트랜지스터의 수를 절반 수준으로 감소시켰다. 기준전류 및 전압발생기는 칩 내부에 집적하였으며, 잔류전압 증폭 및 SAR 동작 시 사용하는 기준전압 구동회로를 분리하여 서로 다른 스위칭 동작에 의한 기준전압 간섭 및 채널 간 이득 부정합 문제를 최소화하였다. 외부에서 듀티 사이클(duty cycle) 조절이 가능한 온-칩 클록 생성회로는 각각 4비트 및 7비트 SAR 동작에 필요한 960MHz 및 840MHz의 높은 주파수 클록을 칩 내부에서 자체적으로 생성하며, 클록 및 타이밍 회로에서는 120MHz의 외부 클록을 입력받아 각 블록에 필요한 120MHz 및 60MHz의 클록을 생성하여 공급한다. 이상의 세부 구성에 대해서는 이후 각각의 도면을 참조하여 보다 구체적으로 기술하도록 한다.

[0039] 도 4는 본 발명의 일 실시예에 따른 도 3의 시간 인터리빙 구조의 파이프라인 SAR ADC의 주요 동작을 설명하기 위한 타이밍도로서, 2채널 시간 인터리빙 구조 기반의 10비트 120MS/s 파이프라인 SAR ADC의 주요동작인 SAR 동작 및 잔류전압 증폭 타이밍을 예시하였다.

[0040] 첫 번째 단의 4비트 SAR ADC는 2채널로 구성되어 120MHz 클록의 반주기 동안 입력신호를 샘플링하며 다음 반주기 동안 960MHz의 고속 SAR 동작을 통해 상위 4비트의 디지털 코드로 변환한다. 그 후, 입력신호와 상위 4비트 코드에 의해 결정된 기준전압의 차이인 잔류전압은 60MHz 클록의 반주기 동안 레인지-스케일링 기법이 적용된 잔류전압 증폭기에 의해 4배 증폭되며 두 번째 단의 7비트 SAR ADC에서 샘플링 된다. 나머지 60MHz의 반주기 동안 7비트 SAR ADC는 840MHz의 SAR 동작을 통해 하위 7비트의 디지털 코드를 출력하여 아날로그 입력신호에 대한 10비트 디지털 코드가 최종적으로 120MS/s의 속도로 출력된다.

[0041] 한편, 도 4과 같이 첫 번째 단의 SAR 동작, 잔류전압 증폭 및 두 번째 단의 SAR 동작이 동일한 타이밍에 진행되어 기준전압 간섭문제가 발생할 수 있지만, 본 발명의 실시예들이 제안하는 ADC는 기준전압 구동회로를 3가지로 분리하여 기준전압 간섭문제를 해결하였다. 이러한 구성에 대해서는 이후 도 11을 참조하여 구체적으로 설명하도록 한다.

[0042] 도 5a 및 도 5b는 본 발명의 일 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 1 단의 SAR ADC의 공유된 비교기를 설명하기 위한 도면이다.

[0043] 일반적인 시간 인터리빙 구조의 SAR ADC에서는 각 채널 간 비교기에 의한 오프셋 부정합이 발생하며, 전체 ADC 성능저하의 주요원인이 될 수 있음을 이미 설명한 바 있다. 또한, 이를 해결하기 위해 다양한 오프셋 보정기법이 제안되고 있지만 추가적인 타이밍 및 디지털 회로가 필요한 단점이 있음을 지적한 바 있다. 따라서 본 발명의 실시예들에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서는 특별한 보정기법 없이 채널 간 오프셋 부정합을 해결하기 위한 채널 간 비교기 공유기법을 제안하며, 첫 번째 단 SAR ADC에 사용된 비교기의 구조를 도 5b에 예시하였다.

[0044] 앞서 도 3의 첫 번째 단(10)에 공유된 비교기는 도 5b와 같이 프리앰프 없이 래치(latch)로만 구성되어 있으며, 일반적인 래치와는 다르게 두 쌍의 입력 단 및 킥-백(kick-back) 잡음을 줄이기 위한 풀-다운 스위치(11), 속도 향상을 위한 추가적인 래치(12)가 포함될 수 있다. 두 채널의 비교 동작을 번갈아가며 수행하기 위해 한 쌍의 입력 단을 사용하며 스위치를 통해 각 채널을 선택하도록 구성할 수도 있지만, 첫 번째 단(10)의 경우 SAR 동작 후 생성된 잔류전압을 증폭하는 과정에서 채널 선택을 위한 스위치가 꺼지면서 발생하는 전하유입에 의해 잔류전압이 왜곡될 수 있다. 따라서 채널 선택을 위한 스위치를 제거하고 두 쌍의 입력 단으로 구성하였으며, 비교기 입력 단에 발생하는 메모리 효과 역시 샘플링 동작 시 자동적으로 제거되도록 하였다.

[0045] 도 5b를 통해 제안하는 파이프라인 SAR ADC의 첫 번째 단(10) 비교기의 오프셋 크기가 4비트의 1/2 LSB 이내일 경우 오프셋에 의한 코드 오차는 디지털 교정회로를 통해 보정이 가능하며, 보정 범위를 벗어날 경우 전체 ADC는 비선형성을 띄며 성능이 저하된다. 비교기의 입력 단 트랜지스터 사이즈를 증가시킴으로써 간단하게 오프셋의 크기를 줄일 수 있지만 킥-백 잡음이 증가하여 커패시터 열에 저장된 신호가 왜곡될 수 있으므로, 본 실시예를 통해 제안하는 비교기는 입력 단의 드레인 노드에 버퍼 역할을 하는 풀-다운 스위치(11)를 배치함으로써 킥-백 잡음을 줄였다. 도 5a의 그래프는 500개 샘플에 대한 비교기 오프셋의 몬테카를로 시뮬레이션 결과로써, 비교기 오프셋 크기의 표준편차는 6.79mV이며 전체 분포 또한 4비트의 1/2 LSB (43.75mV) 이내에 안정적으로 분포한다. 따라서 비교기 오프셋에 의한 코드 오차는 디지털 교정회로를 통해 보정이 가능하여 전체 ADC의 선형성에 영향을 주지 않는다. 또한, 추가적인 래치(12)를 통해 비교기의 동작속도를 향상시켜 960MHz의 고속 동작에도 안정적인 비교 동작을 수행할 수 있도록 하였다.

[0046] 요약하건대, 본 발명의 일 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC의 제 1 단(10)을 구성하는

비교기는, 상기 채널의 수만큼의 입력단 쌍(pair) 및 상기 입력단 쌍의 드레인 노드(drain node)에 배치되어 버퍼(buffer) 역할을 수행함으로써 킥-백(kick-back) 잡음을 감소시키는 풀-다운 스위치(pull-down switch)(11)를 포함할 수 있으며, 비교기의 동작 속도를 증가시키는 추가적인 래치(latch)(12)를 선택적으로 더 포함할 수 있다. 특히, 상기 제 1 단(10)을 구성하는 비교기는, 샘플링 동작시 상기 비교기의 입력단에 발생하는 메모리 효과(memory effect)를 자동으로 제거할 수 있다는 특징을 갖는다.

[0047] 도 3의 첫 번째 단(10) SAR ADC의 비교기 오프셋은 디지털 교정회로를 통해 보정되는 반면, 도 3의 두 번째 단(20) SAR ADC의 비교기 오프셋은 보정되지 않으며 채널 간 오프셋 부정합이 발생할 경우 전체 ADC 성능저하의 요인이 된다. 전체 ADC의 입력 기준에서 본 두 번째 단(20) 비교기에 의한 채널 간 오프셋 부정합은 다음의 수학적 식 1과 같으며, 이로 인한 전체 ADC의 성능제약을 나타낸 SNDR은 수학적 식 2와 같다.

수학적 식 1

$$\sigma_{os,mis} = \frac{\sigma_{os,mis_2nd}}{4}$$

[0048]

수학적 식 2

$$\begin{aligned} SNDR_{os,mis} &= 10 \log \left(\frac{P_s}{P_d} \right) \\ &= 20 \log \left(\frac{A_{in}}{\sqrt{2} \sigma_{os,mis}} \right) \end{aligned}$$

[0049]

[0050] 이상의 수학적 식에서 σ_{os,mis_2nd} 및 $\sigma_{os,mis}$ 는 각각 두 번째 단(20) 비교기에 의한 오프셋 부정합 및 전체 ADC의 입력 기준에서 본 오프셋 부정합의 표준편차이며, P_s , P_d 및 A_{in} 은 각각 입력신호의 전력, 왜곡신호의 전력 및 입력신호의 진폭을 나타낸다. 수학적 식 2에 따라 62dB의 SNDR을 얻기 위해서는 σ_{os,mis_2nd} 가 1.57mV 이하로 설계되어야 하지만, 보정기법을 적용하지 않으면서 1.57mV 이하의 오프셋을 갖는 비교기 설계에는 제약이 따른다. 따라서 두 번째 단(20)의 공유된 비교기는 도 3과 같이 한 쌍의 입력 단에 두 채널이 교대로 연결되도록 구성하여 비교기에 의한 채널 간 오프셋 부정합이 최소화되도록 구현하였다. 두 번째 단(20)의 공유된 비교기의 구조 및 타이밍 도는 도 6과 같다.

[0051] 도 6은 본 발명의 일 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 2 단의 SAR ADC의 공유된 비교기를 설명하기 위한 도면이다.

[0052] 타이밍 도의 SAR2_CH1 및 SAR2_CH2 신호는 각 채널의 커패시터 열과 비교기의 입력 단을 연결하는 스위치를 제어하며, 비교기는 한 쌍의 입력 단을 통해서 각 채널의 SAR 동작에 필요한 비교 동작을 수행한다. 한편, 한 채널의 SAR 동작 후 비교기의 입력 단에 남아있는 전하에 의해 다른 채널의 SAR 동작 시 잘못된 비교 동작을 수행할 수 있으므로, 각 채널의 SAR 동작 후 입력 단을 주기적으로 리셋시킴으로써 메모리 효과를 제거하였다. 킥-백 잡음을 줄이기 위한 풀-다운 스위치(21) 및 속도향상을 위한 추가적인 래치(11)는 첫 번째 단의 비교기와 동일하게 적용하였다.

[0053] 요약하건대, 본 발명의 일 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC의 제 2 단(20)을 구성하는 비교기는, 상기 복수 개의 채널이 교대로 연결되도록 구성된 하나의 입력단 쌍 및 상기 입력단 쌍의 드레인 노드에 배치되어 버퍼 역할을 수행함으로써 킥-백 잡음을 감소시키는 풀-다운 스위치(21)를 포함할 수 있으며, 제 2 단(20)을 구성하는 비교기는, 비교기의 동작 속도를 증가시키는 추가적인 래치(22)를 선택적으로 더 포함할

수 있다. 특히, 제 2 단(20)을 구성하는 비교기는, 각 채널의 SAR 동작 후 입력단을 소정 주기마다 리셋(reset)시킴으로써 메모리 효과를 제거할 수 있다는 특징을 갖는다.

[0054] 이제, 이하에서는 채널 간 오프셋 및 이득 부정합 해결을 위한 잔류전압 증폭기 공유 기법(도 3의 부재번호 30에 대응한다.)에 대해 설명하도록 한다.

[0055] 일반적인 시간 인터리빙 구조의 파이프라인 ADC의 경우, 각 채널의 입력 단 SHA와 첫 번째 단 MDAC 증폭기에 의한 오프셋 및 이득 부정합이 전체 ADC의 성능을 저하시키는 주요원인이 되며, 본 발명의 실시예들이 제안하는 ADC의 경우는 각 채널 간 증폭기 오프셋 및 이득 정합이 10비트 수준 이상으로 설계되어야 한다. 추가적인 보정 회로 없이는 10비트 수준 이상의 정합을 얻기 힘들 뿐만 아니라, 채널별로 각각의 증폭기를 사용할 경우 전력소모 측면에서도 효율성이 떨어진다. 따라서 본 발명의 실시예들이 제안하는 ADC는 도 7과 같이 잔류전압 증폭기를 각 채널 간에 공유함으로써 오프셋 및 이득 부정합 문제를 해결함과 동시에 면적 및 전력소모를 최소화하였다.

[0056] 도 7은 본 발명의 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 공유된 잔류 전압 증폭기를 예시한 회로도로서, 하나의 증폭기만 사용하여 두 개의 증폭기를 사용할 경우에 비해 전력소모 및 면적을 50% 수준으로 줄였으며, 추가적으로 증폭기의 요구사양을 낮추기 위한 레인지 스케일링(range-scaling) 기법을 적용하여 전력소모를 최소화할 수 있었다.

[0057] 이를 위해 본 발명의 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC는, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage), 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단 및 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널별로 출력하는 하나의 공유된 잔류전압 증폭기(residue amplifier)(30)를 포함하되, 상기 잔류 전압 증폭기(30)는 상기 제 1 단으로 입력되는 입력신호범위의 절반만을 상기 제 2 단으로 출력하는 레인지-스케일링(range-scaling) 방식으로 동작함으로써 증폭기에 의한 전력 소모를 감소시킨다.

[0058] 특히, 잔류 전압 증폭기(30)는, 채널별로 분리된 입력단 쌍을 포함하되, 동작하지 않는 채널의 리셋시간을 확보하여 메모리 효과를 제거하는 특징을 갖는다. 또한, 잔류 전압 증폭기(30)는, 전압 이득을 증가시키는 이득-부스팅(gain-boosting) 구조의 제 1 증폭기 및 넓은(예를 들어, 기준치 이상의 값이 될 수 있다.) 신호 스윙 범위를 갖는 공통-소스(common-source) 구조의 제 2 증폭기를 포함하도록 구현될 수 있다.

[0059] 보다 구체적으로, 공유된 잔류전압 증폭기는 도 7과 같이 분리된 두 쌍의 입력 단을 사용함으로써 사용하지 않는 채널의 리셋시간을 확보하여 기존의 증폭기 공유기법에서 발생하는 메모리 효과를 제거하였으며, 일부 구간에서 중첩된 클록 Q1MB 및 Q2MB를 사용하여 두 입력 트랜지스터가 전부 꺼졌다가 다시 켜질 때 발생할 수 있는 글리치 및 증폭된 신호의 정착시간 지연문제를 해결하였다. 또한, 미세 나노미터 공정에서 짧아진 채널 길이 및 낮아진 전원전압에 의해 높은 전압이득의 증폭기 구현 및 충분한 신호 스윙 범위 확보가 제한되지만, 10비트 이상의 해상도를 만족하는 높은 전압이득의 잔류전압 증폭기 구현을 위해 2단 증폭기의 첫 번째 증폭기에는 이득-부스팅 구조를 적용하였으며, 낮은 전원전압에서도 충분한 신호 스윙 범위를 확보하기 위해 두 번째 증폭기에는 공통-소스 구조를 적용하였다.

[0060] 한편, 본 발명의 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 2 단을 구성하는 SAR ADC는, 상기 잔류 전압 증폭기(30)를 통해 추가적인 기준전압 발생기 없이 레인지-스케일링된 입력신호를 처리하기 위한 커패시터(미도시)를 더 포함할 수 있다. 이러한 추가적인 커패시터는 이후 도 8을 통해 설명하도록 한다.

[0061] 이하에서는 본 발명의 또 다른 실시예들이 제안하는 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 2 단을 구성하는 SAR ADC의 다양한 설계 기법과 구현예를 소개하도록 한다.

[0062] 제안하는 ADC는 4비트-7비트의 파이프라인 구조를 적용하였으며, 두 번째 단의 7비트 SAR ADC의 경우 첫 번째 단의 4비트 SAR ADC에 비해 처리해야 하는 비트 수가 증가함에 따라 사용되는 커패시터의 수가 지수적으로 증가하여 면적 및 전력소모 측면에서 불리한 단점이 있다. 작은 크기의 단위 커패시터를 사용하여 면적 및 전력소모를 줄일 수 있지만, 커패시터 부정합에 의한 성능저하가 발생할 수 있다. 또한, 사용되는 커패시터의 수를 줄이기 위해 분리형 가중치 커패시터(C_A)를 이용한 2단계 구조를 사용하는 경우, C_A 의 크기가 단위 커패시터의 정수배가 되지 못하여 상위 커패시터 열 및 하위 커패시터 열 간의 부정합이 발생하여 성능저하의 요인이 될 수 있

음을 이미 지적인 바 있다.

- [0063] 따라서 제안하는 ADC는 C_A 를 이용한 2단계 구조를 적용하지 않고, 도 8과 같이 공통 모드 전압 V_{CM} 기반의 스위칭기법 및 최하위 2비트 결정을 위한 6개의 기준전압을 생성해 주는 간단한 저항 열을 사용하는 기법만으로 사용되는 커패시터의 수를 과격적으로 줄임으로써 면적 및 전력소모를 최소화하였다.
- [0064] 도 8은 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 2 단의 SAR ADC의 커패시터-저항(C-R) 하이브리드 DAC 구조를 예시한 회로도로서, 소자의 수와 면적 및 전력소모를 감소시키기 위한 다양한 구성을 포함한다.
- [0065] 도 8의 구성을 구현하기 위해, 본 발명의 또 다른 실시예에 따른 시간 인터리빙(time-interleaved) 구조의 파이프라인 SAR ADC는, 제 1 비트(bit)수에 따른 시간 인터리빙 SAR ADC를 이용하여 복수 개의 채널을 구성하는 제 1 단(stage), 제 2 비트수에 따른 시간 인터리빙 SAR ADC를 이용하여 상기 복수 개의 채널을 구성하는 제 2 단 및 채널 간에 공유되어, 상기 제 1 단의 채널별 잔류전압(residue voltage)을 입력받아 증폭한 후, 제 2 단에 채널별로 출력하는 잔류전압 증폭기(residue amplifier)를 포함하되, 상기 제 1 단 및 상기 제 2 단은, 각각의 비트수에 따라 동작 속도가 결정되며, 상기 제 1 단의 비트수는 상기 제 2 단의 비트수보다 작은 값을 갖는다.
- [0066] 보다 구체적으로, 먼저 샘플링된 신호를 추가적인 스위칭 동작 없이 공통 모드 전압 V_{CM} 과 직접 비교하여 최상위 비트를 결정하는 공통 모드 전압 V_{CM} 기반의 스위칭기법을 통해 DAC 내 가장 큰 면적을 차지하며 최상위 비트를 결정하는 커패시터($2^6 C_U$)를 제거(27)할 수 있다. 커패시터 열은 공통 모드 전압 V_{CM} 을 기준으로 스위칭 동작을 하기 때문에 비교기의 입력 단 공통모드 전압 변화에 따른 성능저하가 발생하지 않으며, 커패시터 양단의 전압 변화가 기존의 일반적인 스위칭기법 대비 절반으로 줄어들어 DAC에서 소모되는 전력은 기존 대비 약 90% 감소된다. 또한, 간단한 저항 열을 사용하여 생성한 6개의 기준전압을 DAC의 최하위 커패시터(C_U)에 인가해 최하위 2비트를 결정함으로써 커패시터 열의 가장 큰 커패시터 두 개($2^5 C_U$ 및 $2^4 C_U$)를 추가적으로 제거(26)하여 면적 및 전력소모를 줄였다. 총 128개의 커패시터를 사용하는 일반적인 7비트 SAR ADC에 비해 두 기법을 적용한 두 번째 단의 7비트 SAR ADC는 16개의 커패시터만을 사용함으로써 면적 및 전력소모를 동시에 감소시켰다.
- [0067] 요약하건대, 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서, 상기 제 2 단을 구성하는 SAR ADC는, 샘플링된 신호를 공통 모드 전압(common mode voltage)과 직접 비교하고 상기 공통모드 전압을 기준으로 커패시터 열을 스위칭함으로써 최상위 비트를 결정할 수 있으며, 저항 열을 이용하여 생성된 기준 전압을 DAC의 최하위 커패시터에 인가함으로써 일정 개수의 최하위 비트를 결정할 수 있다.
- [0068] 한편, 두 번째 단의 7비트 SAR ADC에서 레인지 스케일링된 입력신호를 처리하기 위해 기준전압 발생기를 추가할 경우 전력소모 및 면적이 급격히 증가한다. 따라서 두 번째 단 7비트 SAR ADC의 커패시터 열에 $2^4 C_U$ 만을 추가(25)함으로써 추가적인 기준전압 없이 효율적으로 레인지 스케일링된 입력신호를 처리할 수 있도록 하였다.
- [0069] 이하에서는, SAR 동작의 속도향상을 위해 TSPC 기반의 D 플립플롭이 적용된 SAR 로직을 소개하도록 한다.
- [0070] 도 9는 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 TSPC D 플립플롭을 기반으로 하는 SAR 로직을 예시한 회로도이다.
- [0071] 앞서 기술한 바와 같이 본 발명의 실시예들이 제안하는 ADC는 2채널 시간 인터리빙 구조 및 2단(예를 들어, 4비트-7비트가 될 수 있다.)의 파이프라인 구조를 채택하여 SAR ADC 및 잔류전압 증폭기의 동작속도를 완화시킬 수 있지만, 4비트 및 7비트 SAR ADC는 여전히 960MHz 및 840MHz의 고속 SAR 동작을 수행해야 하며 이를 구현하기 위해 SAR 로직에서의 지연시간을 최대한 줄여야 한다.
- [0072] 따라서 D 플립플롭 기반의 SAR 로직에는 범용 D 플립플롭 대신 도 9와 같은 TSPC D 플립플롭을 적용하여 고속 SAR 동작이 가능하도록 하였다. 즉, 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 1 단 및 제 2 단을 구성하는 SAR ADC는, 셋(set, S)과 리셋(reset, R) 소자가 구비된 TSPC(true-single-phase-clock) D 플립플롭 기반의 SAR 로직을 포함하는 것이 바람직하다.
- [0073] 도 10은 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에 관한 범용 D 플립플롭과 TSPC D 플립플롭의 시뮬레이션 결과를 비교하여 설명하기 위한 도면이다.
- [0074] 고속 SAR 동작을 위해 SAR 로직에 적용한 TSPC D 플립플롭의 회로 및 지연시간에 대한 시뮬레이션 결과는 도 10

과 같다. 범용으로 쓰이는 스테틱 D 플립플롭 대신 TSPC D 플립플롭을 사용할 경우, 지연시간을 절반 수준인 약 83.2ps 만큼 감소시킬 수 있으며, 사용되는 트랜지스터의 수 또한 절반 수준으로 줄어들어 SAR ADC의 동작속도를 향상시킬 수 있을 뿐만 아니라 전력소모 및 면적을 최소화할 수 있는 장점이 있다.

- [0075] 한편, 이하에서는 앞서 간략히 소개한 바 있는 기준 전압 간섭의 문제를 해결하기 위한 기술적 수단과 구현예를 기술하도록 한다.
- [0076] 도 11은 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 하나의 기준 전압을 공유하는 경우와 기준 전압 구동 회로를 분리한 경우를 비교하여 설명하기 위한 도면이다.
- [0077] 일반적인 파이프라인 SAR ADC의 경우, 고속 동작을 하는 SAR ADC 및 높은 정확도가 요구되는 잔류전압 증폭기가 혼재되어 있으므로 서로 다른 동작 모드가 중첩되어 기준전압 정착이 불안정할 수 있다. 본 발명의 실시예들이 제안하는 ADC의 경우, 잔류전압 증폭 시 사용되는 기준전압은 10비트의 높은 정확도가 요구되지만, 도 11의 (a)와 같이 하나의 기준전압을 공유할 시 고속 SAR 동작에 의해 기준전압 간섭문제가 발생하여 10비트의 높은 정확도를 갖는 기준전압 생성에 제약이 있다. 반면, 도 11의 (b)와 같이 SAR 동작 및 잔류전압 증폭 시 사용되는 기준전압을 분리한 경우, SAR ADC의 고속 스위칭 동작에 의한 기준전압 간섭을 최소화하여 높은 정확도의 기준전압을 생성할 수 있다.
- [0078] 즉, 본 발명의 또 다른 실시예에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC에서 제 1 단의 SAR 동작을 위한 기준 전압, 제 2 단의 SAR 동작을 위한 기준 전압 및 잔류 전압 증폭기의 증폭 동작시 사용되는 기준 전압의 구동 회로를 각각 분리하되, 기준 전압 발생기는 공유하는 것이 바람직하다.
- [0079] 보다 구체적으로, 본 실시예가 제안하는 ADC는 첫 번째 단의 4비트 SAR 동작, 잔류전압 증폭 및 두 번째 단의 7비트 SAR 동작을 위한 기준전압 구동회로를 각각 분리하였다. 즉, 잔류전압 증폭을 위한 10비트의 높은 해상도를 갖는 하나의 기준전압과 SAR 동작을 위한 4비트 및 7비트 해상도를 갖는 2개의 기준전압, 총 3개의 기준전압만을 사용하여 기준전압 간섭 및 채널 간 이득 부정합 문제를 최소화하였으며, 기준전압 발생기는 공유하되 기준전압 구동회로만을 분리함으로써 전력소모를 최적화할 수 있었다.
- [0080] 이하에서는 본 발명의 실시예들을 이상에서 설명한 기술적 특징에 기반하여 제작된 프로토타입 ADC를 이용하여 실시한 성능 측정 결과를 요약하도록 한다.
- [0081] 본 발명의 실시예들이 제안하는 2채널 시간 인터리빙 구조 기반의 10비트 120MS/s 파이프라인 SAR ADC는 45nm CMOS 공정으로 제작되었으며, 시제품 ADC의 전체 면적은 0.38mm^2 이다. 전체 ADC를 구성하는 각 블록들을 제외한 유휴 공간에는 790pF 수준의 온-칩 MOS 커패시터를 집적하여 전원전압의 잡음, 고속 스위칭에 의한 기준전압의 잡음 및 각 블록 간의 간섭을 최소화하였다. 시제품 ADC는 1.1V 전원전압 및 120MS/s 동작속도에서 12.1mW의 전력을 소모하며, 내부 기준전압 발생기를 사용하지 않을 시 8.8mW를 소모한다.
- [0082] 한편, 도 12는 본 발명의 실시예들에 따른 시간 인터리빙 구조의 파이프라인 SAR ADC의 프로토타입의 전형적인 FFT 스펙트럼을 측정한 결과를 예시한 도면으로서, 4MHz 입력 주파수, 20MS/s 및 120MS/s 동작속도에서 측정한 시제품 ADC의 전형적인 신호 스펙트럼을 나타내었다. 동작속도 20MS/s 및 120MS/s에서 모두 $f_s/2$ 지점에 톤이 발생하지 않은 것을 확인할 수 있으며, 두 채널 간 비교기 공유기법을 통해 채널 간 오프셋 부정합 문제가 적절하게 해결되었음을 알 수 있다.
- [0083] 이상과 같이, 본 발명의 실시예들은 별도의 보정기법 없이 채널 간 오프셋 부정합 문제를 최소화하기 위해 비교기 및 증폭기의 동시 공유기법을 적용한 2채널 시간 인터리빙 구조 기반의 10비트 120MS/s 파이프라인 SAR ADC를 제안하였다.
- [0084] 상기된 본 발명의 실시예들에 따르면, 두 채널 간에 비교기를 공유하여 오프셋 보정기법을 사용하지 않고도 채널 간의 오프셋 부정합 문제를 해결할 수 있으며, 추가적으로 전력소모 및 면적을 줄일 수 있는 장점이 있다. 공유된 비교기에는 추가적인 타이밍이나 보정을 위한 회로가 필요하지 않으며 한 쌍의 입력 단을 두 채널이 교대로 사용함으로써 오프셋 부정합을 최소화하였다. 또한, 두 채널 간에 잔류전압 증폭기를 공유함으로써 증폭기에 의해 발생할 수 있는 오프셋, 이득 및 대역폭 부정합 문제를 해결하였으며, 증폭기의 요구사양을 낮추기 위한 레인지 스케일링 기법을 적용함으로써 전력소모를 최소화하였다.
- [0085] 두 번째 단 7비트 SAR ADC에는 V_{CM} 기반의 스위칭기법 및 최하위 2비트 결정을 위한 6개의 기준전압을 생성해 주는 간단한 저항 열을 사용하는 기법을 적용함으로써 사용되는 커패시터의 수를 1/8 수준으로 줄여 면적 및 DAC

내에서 소모되는 스위칭 전력을 최소화하였다. 또한, 고속의 4비트 및 7비트 SAR ADC를 구현하기 위해 각각의 SAR 로직에는 범용 D 플립플롭이 아닌 TSPC D 플립플롭을 적용하여 지연시간을 감소시킴과 동시에 추가적으로 사용되는 트랜지스터의 수를 절반 수준으로 줄여 면적 및 전력소모를 최소화하였다.

[0086] 한편, 하나의 기준전압만을 사용할 경우 발생하는 기준전압 간섭문제를 해결하기 위해 잔류전압 증폭 및 SAR 동작 시 사용하는 기준전압 구동회로를 분리하여 기준전압 간섭 및 채널 간 이득 부정합 문제를 최소화하였다. 고속 SAR 동작에 필요한 높은 주파수의 클록은 온-칩 클록 생성회로를 통해 칩 내부에서 생성하며, 필요시 외부에서 듀티 사이클(duty cycle)을 조절할 수 있도록 회로를 구현할 수 있었다.

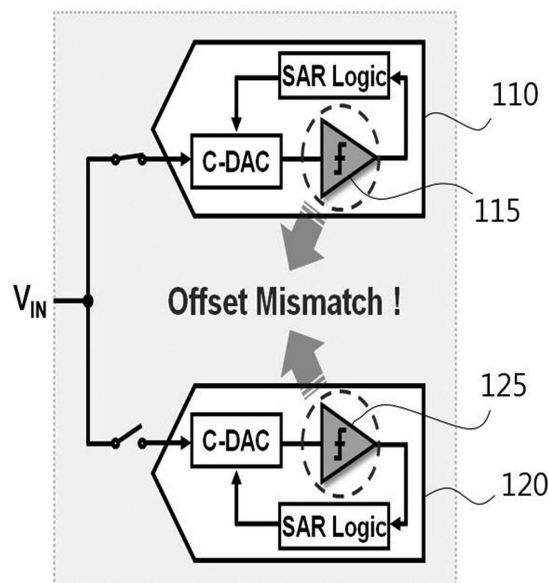
[0087] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

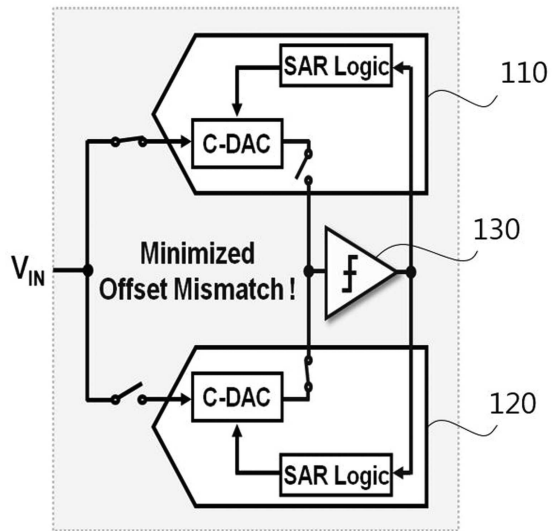
[0088] 110, 120 : 채널별 SAR 회로
115, 125 : 채널별로 분리된 비교기
130 : 채널이 공유하는 비교기
10 : 제 1 단
20 : 제 2 단
30 : 잔류 전압 증폭기
11, 21 : 풀-다운 스위치
12, 22 : 추가 래치

도면

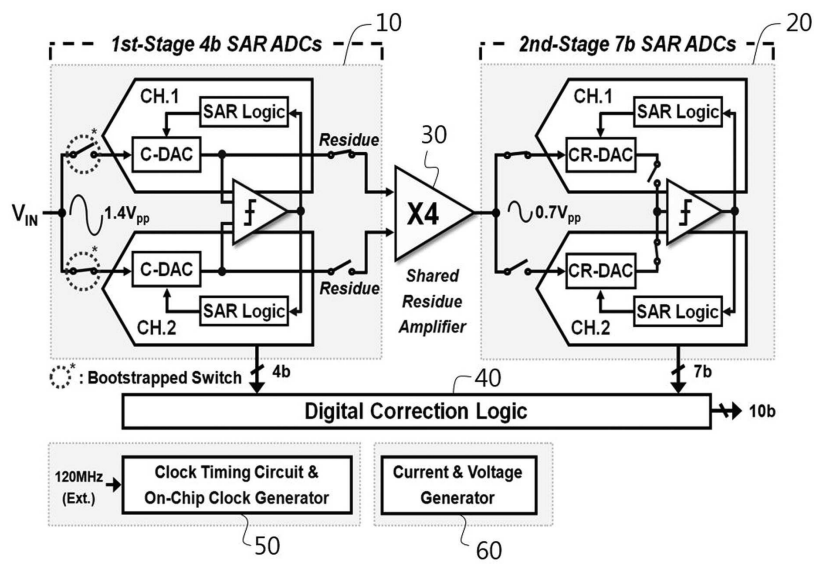
도면1



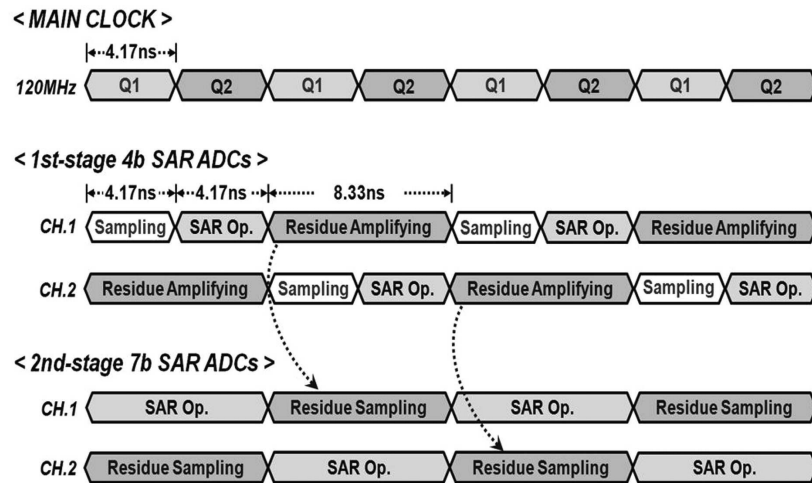
도면2



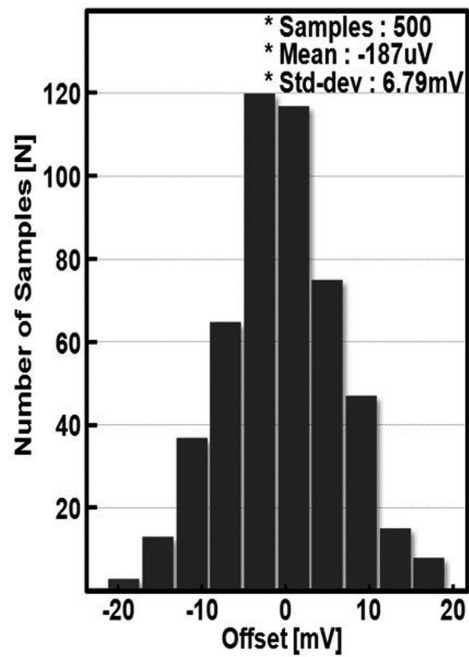
도면3



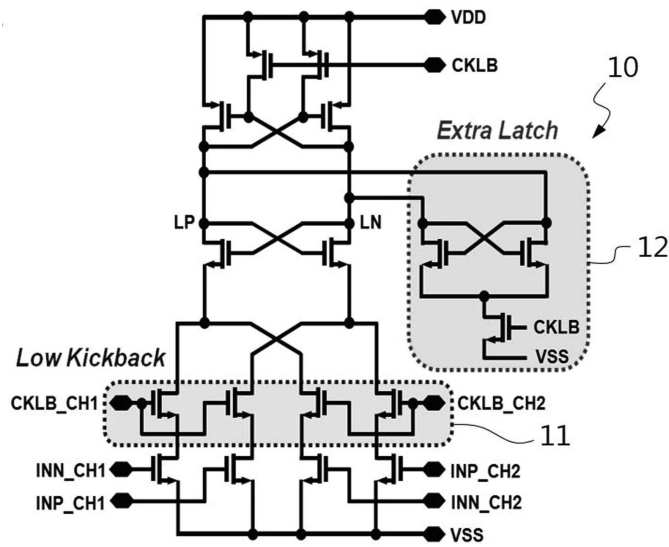
도면4



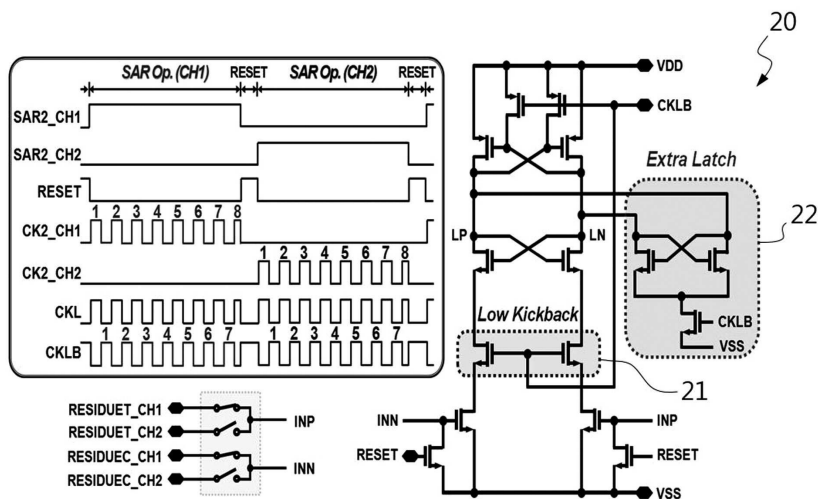
도면5a



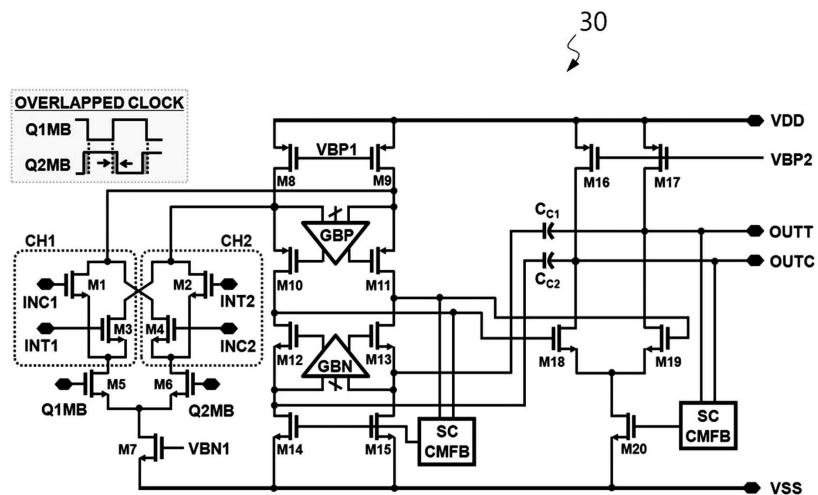
도면5b



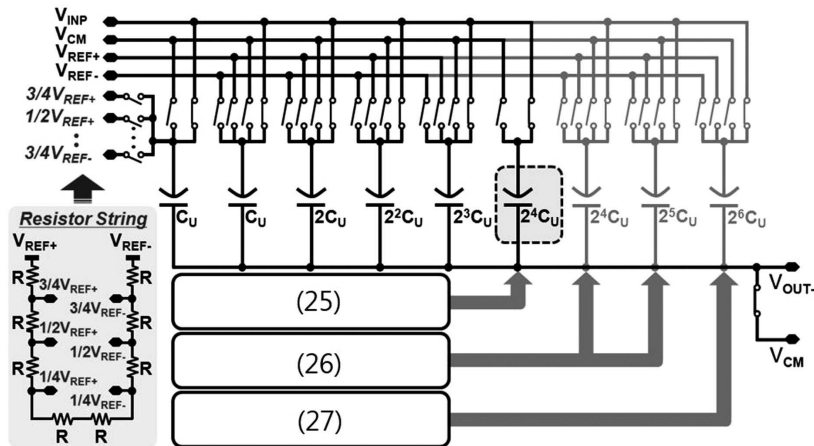
도면6



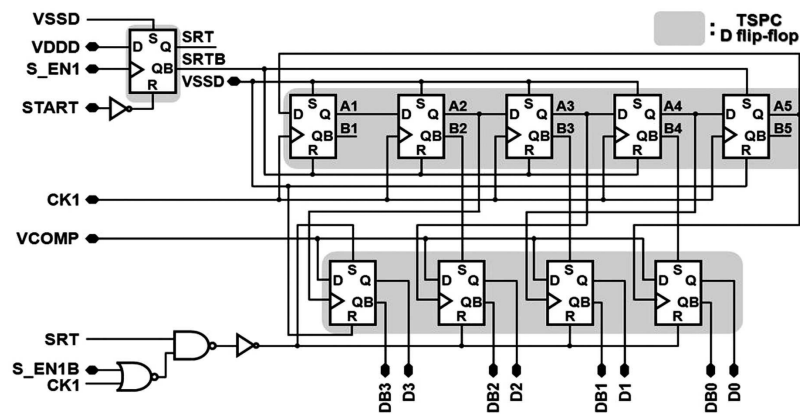
도면7



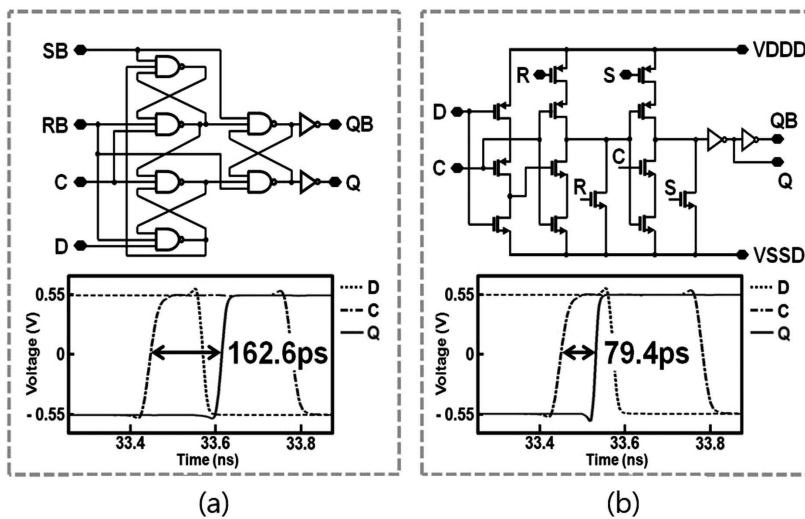
도면8



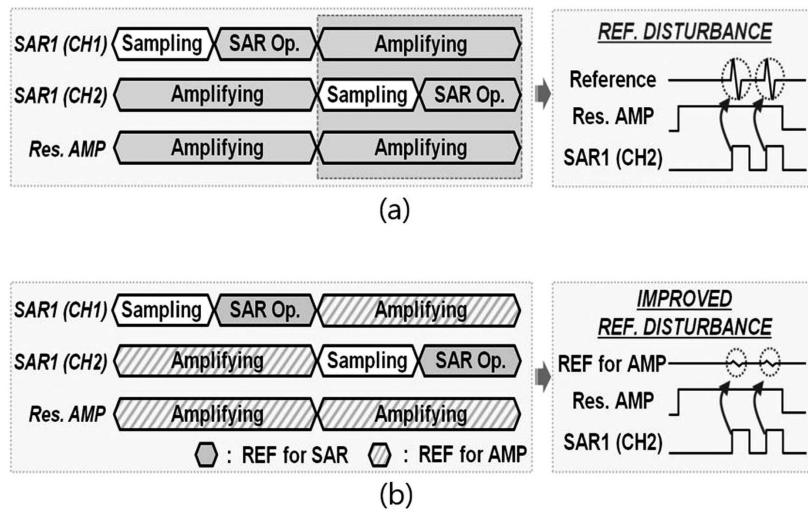
도면9



도면10



도면11



도면12

