

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4484577号
(P4484577)

(45) 発行日 平成22年6月16日 (2010. 6. 16)

(24) 登録日 平成22年4月2日 (2010. 4. 2)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006. 01)

G 1 1 C 17/00 6 1 2 B

G 1 1 C 16/06 (2006. 01)

G 1 1 C 17/00 6 3 4 D

請求項の数 4 (全 20 頁)

(21) 出願番号 特願2004-138417 (P2004-138417)
 (22) 出願日 平成16年5月7日 (2004. 5. 7)
 (65) 公開番号 特開2005-322296 (P2005-322296A)
 (43) 公開日 平成17年11月17日 (2005. 11. 17)
 審査請求日 平成19年4月19日 (2007. 4. 19)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 尾本 かよ子
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 審査官 高野 芳徳

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

第1主ビット線と、
 第1ソース線と、
 第1トランジスタと、
 前記第1主ビット線に前記第1トランジスタを介して接続される第1副ビット線と、
 一端が前記第1副ビット線に、他端が前記第1ソース線に接続される第1メモリ用トランジスタと、
 第2主ビット線と、
 第2ソース線と、
 第2トランジスタと、
 前記第2主ビット線に前記第2トランジスタを介して接続される第2副ビット線と、
 一端が前記第2副ビット線に、他端が前記第2ソース線に接続される第2メモリ用トランジスタと、
 前記第1主ビット線及び前記第2主ビット線に流れる各々の電流が入力され、差動増幅するアンプと
 を備え、

前記第1メモリ用トランジスタのベリファイ時において、
 前記第1トランジスタ及び前記第1メモリ用トランジスタをオンし、
 前記第2メモリ用トランジスタに電流を流さず、

10

20

前記第 2 トランジスタをオンにして、前記第 2 メモリ用トランジスタのゲート電極に、前記第 2 メモリ用トランジスタをオフする電圧を印加し、前記電圧は、前記第 2 メモリ用トランジスタが過消耗されている場合であっても前記第 2 メモリ用トランジスタからリーク電流が流れることが抑制される電圧である、半導体記憶装置。

【請求項 2】

第 1 主ビット線と、

第 1 ソース線と、

第 1 トランジスタと、

前記第 1 主ビット線に前記第 1 トランジスタを介して接続される第 1 副ビット線と、一端が前記第 1 副ビット線に、他端が前記第 1 ソース線に接続される第 1 メモリ用トランジスタと、

10

第 2 主ビット線と、

第 2 ソース線と、

第 2 トランジスタと、

前記第 2 主ビット線に前記第 2 トランジスタを介して接続される第 2 副ビット線と、一端が前記第 2 副ビット線に、他端が前記第 2 ソース線に接続される第 2 メモリ用トランジスタと、

前記第 1 主ビット線及び前記第 2 主ビット線に流れる各々の電流が入力され、差動増幅するアンプと

を備え、

20

前記第 1 メモリ用トランジスタのベリファイ時において、

前記第 1 トランジスタ及び前記第 1 メモリ用トランジスタをオンし、

前記第 2 メモリ用トランジスタに電流を流さず、

前記第 2 トランジスタをオンにして、前記第 2 メモリ用トランジスタのゲート電極に、前記第 2 メモリ用トランジスタをオフする電圧を印加する半導体記憶装置において、前記第 2 メモリ用トランジスタがオフする前記電圧を求める方法であって、

前記第 2 メモリ用トランジスタは複数設けられ、そのしきい値電圧に対する個数の分布を用い、

前記しきい値電圧の各々について、前記第 2 メモリ用トランジスタのゲート電極の各々に相互に等しいゲート電圧が印加されたときに、前記第 2 メモリ用トランジスタのソース／ドレイン間に流れる電流を求め、

30

前記しきい値電圧の各々について前記分布から求まる個数と前記電流との積を求めて、前記しきい値電圧の下限から上限までの前記積の総和を求め、

前記総和が所定の電流よりも小さくなる前記ゲート電圧を、前記第 2 メモリ用トランジスタをオフにする前記電圧として求める、半導体記憶装置の制御方法。

【請求項 3】

第 1 主ビット線と、

第 1 ソース線と、

第 1 トランジスタと、

前記第 1 主ビット線に前記第 1 トランジスタを介して接続される第 1 副ビット線と、一端が前記第 1 副ビット線に、他端が前記第 1 ソース線に接続される第 1 メモリ用トランジスタと、

40

第 2 主ビット線と、

第 2 ソース線と、

第 2 トランジスタと、

前記第 2 主ビット線に前記第 2 トランジスタを介して接続される第 2 副ビット線と、一端が前記第 2 副ビット線に、他端が前記第 2 ソース線に接続される第 2 メモリ用トランジスタと、

前記第 1 主ビット線及び前記第 2 主ビット線に流れる各々の電流が入力され、差動増幅するアンプと

50

を備え、

前記第 1 メモリ用トランジスタのベリファイ時において、

前記第 1 トランジスタ及び前記第 1 メモリ用トランジスタをオンし、

前記第 2 メモリ用トランジスタに電流を流さず、

前記第 2 トランジスタをオンにして、前記第 2 メモリ用トランジスタのバックバイアスとして、前記第 2 メモリ用トランジスタをオフする電圧を印加する半導体記憶装置において、前記第 2 メモリ用トランジスタをオフにする前記電圧を求める方法であって、

前記第 2 メモリ用トランジスタは複数設けられ、バックバイアスごとのしきい値電圧に対する個数の分布を用い、

前記しきい値電圧の各々について、前記第 2 メモリ用トランジスタの各々に相互に等しい前記バックバイアスが印加されて、前記第 2 メモリ用トランジスタのゲート電極の各々に相互に等しいゲート電圧が印加されたときに、前記第 2 メモリ用トランジスタのソース／ドレイン間に流れる電流を求め、

前記しきい値電圧の各々について前記分布から求まる個数と前記電流との積を求めて、前記しきい値電圧の分布の下限から上限までの前記積の総和を求め、

前記総和が所定の電流よりも小さくなる前記バックバイアスを、前記第 2 メモリ用トランジスタをオフにする前記電圧として求める、半導体記憶装置の制御方法。

【請求項 4】

第 1 主ビット線と、

第 1 ソース線と、

第 1 トランジスタと、

前記第 1 主ビット線に前記第 1 トランジスタを介して接続される第 1 副ビット線と、一端が前記第 1 副ビット線に、他端が前記第 1 ソース線に接続される第 1 メモリ用トランジスタと、

前記第 1 副ビット線に一端が接続され、前記第 1 メモリ用トランジスタに並列に接続される第 2 メモリ用トランジスタと、

第 2 主ビット線と、

第 2 ソース線と、

第 2 トランジスタと、

前記第 2 主ビット線に前記第 2 トランジスタを介して接続される第 2 副ビット線と、一端が前記第 2 副ビット線に、他端が前記第 2 ソース線に接続される第 3 メモリ用トランジスタと、

前記第 1 主ビット線及び前記第 2 主ビット線に流れる各々の電流が入力され、差動増幅するアンプと

を備え、

前記第 2 メモリ用トランジスタ及び前記第 3 メモリ用トランジスタは、同じウェルにおいて形成され、

前記第 1 メモリ用トランジスタのベリファイ時において、

前記第 1 トランジスタ及び前記第 1 メモリ用トランジスタをオンし、

前記ウェルに印加するバックバイアスとして、前記第 2 メモリ用トランジスタ及び前記第 3 メモリ用トランジスタをオフする電圧を採用する半導体記憶装置において、前記第 2 メモリ用トランジスタ及び前記第 3 メモリ用トランジスタをオフにする前記電圧を求める方法であって、

前記第 2 メモリ用トランジスタ及び前記第 3 メモリ用トランジスタの各々は複数設けられ、前記バックバイアスごとのしきい値電圧に対する個数の分布を用い、

前記しきい値電圧の各々について、前記ウェルに前記バックバイアスが印加されて、前記第 2 メモリ用トランジスタ及び前記第 3 メモリ用トランジスタのゲート電極の各々に相互に等しいゲート電圧が印加されたときに、前記第 2 メモリ用トランジスタ及び前記第 3 メモリ用トランジスタのソース／ドレイン間に流れる電流を求め、

前記しきい値電圧の各々について前記分布から求まる個数と前記電流との積を求めて、

10

20

30

40

50

前記しきい値電圧の分布の下限から上限までの前記積の総和を求め、

前記総和が所定の電流よりも小さくなる前記バックバイアスを、前記第2メモリ用トランジスタ及び前記第3メモリ用トランジスタをオフにする前記電圧として求める、半導体記憶装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及びその制御方法に関し、例えばフラッシュメモリに適用することができる。

【背景技術】

10

【0002】

半導体記憶装置は、例えば、主ビット線、副ビット線、メモリセル及び差動増幅するアンプを備えている。副ビット線は、複数のメモリセルが並列に接続されており、例えばトランジスタを介して主ビット線に接続される。アンプは、二つの端子を有し、それぞれの端子には主ビット線が接続される。当該端子のうち、一の端子をリファレンス側、他の端子を選択側として選択可能である。

【0003】

なお、本発明に関連する技術が、下記する特許文献に開示されている。

【0004】

【特許文献1】特開平4-159694号公報

20

【特許文献2】特開平11-191298号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

メモリセルには、例えばゲート電極とゲート絶縁膜との間にフローティングゲートを有し、フローティングゲートへの電子やホール注入／排出によりデータの書き込み／消去を行うMOSトランジスタが採用される。また、絶縁膜に、電子やホールを注入・トラップさせてデータの書き込みを行うMOSトランジスタを採用してもよい。

【0006】

このとき、書き込み及び消去の動作の確認、すなわち書き込み／消去ベリファイは、通常のデータの読み出し動作と同様に、次のようにして行われる。ここでは、選択側の主ビット線に、副ビット線を介して接続される複数のメモリセルのうち、一のメモリセルについて書き込み／消去ベリファイを行う場合を説明する。まず、当該一のメモリセルを選択する。選択とは、例えばメモリセルがMOSトランジスタである場合に、当該一のメモリセルをオンに制御し、他のメモリセルをオフに制御することである。

30

【0007】

次に、一のメモリセルが接続される副ビット線に対応させて、リファレンス側の主ビット線に接続される副ビット線を選択する。リファレンス側で選択された副ビット線には、比較電流が流される。このとき、当該副ビット線に接続されるメモリセルはすべてオフに制御される。そして、選択側の端子とリファレンス側の端子とにそれぞれ入力される電流を、アンプで比較することにより書き込み及び消去の動作を確認する。

40

【0008】

具体的には、消去ベリファイでは、ベリファイの対象であるメモリセルのゲート電極に所定の電圧を印加して、選択側の端子に入力される電流が比較電流よりも大きい場合に、消去されたと確認される。

【0009】

また、書き込みベリファイでは、ベリファイの対象であるメモリセルのゲート電極に所定の電圧を印加して、選択側の端子に入力される電流が比較電流よりも小さい場合に、書き込まれたと確認される。

【0010】

50

ところが、過消去されたメモリセルが、例えばリファレンス側に存在する場合には、メモリセルをオフに制御したにも係わらず、過消去されたメモリセルからリーク電流が流れる。なぜなら、メモリセルが例えばnチャンネルMOSトランジスタである場合には、そのしきい値電圧が、消去の程度が大きくなるに従って小さくなるからである。ここで、過消去されたメモリセルとは、しきい値電圧が所定値よりも小さくなることをいう。よって、アンプのリファレンス側の端子に流れる電流が、当該端子に流すべき所定の電流よりも大きくなる。

【0011】

これにより、消去ベリファイでは、消去ベリファイの対象である選択側のメモリセルが過消去されたときに、初めて消去されたと判断される。また、書き込みベリファイでは、書き込みベリファイの対象である選択側のメモリセルが書き込み不足であっても、書き込みされたと判断される。

10

【0012】

さらに、その後リファレンス側の過消去ビットが書き込まれた場合、リファレンス側の副ビットに流れる総電流は比較電流のみとなり、選択側とリファレンス側の電流差が減少し、アクセスの遅れを生じる。

【0013】

また、読み出しを行うメモリセルが接続される副ビット線に、過消去されたメモリセルが存在すると、通常書き込みデータの読み出し時において、過消去されたメモリセルからリーク電流が発生する。よって、アンプの選択側の端子に流れる電流がリーク電流分だけ増加して、リファレンス側の端子に流れる電流との差が小さくなるので、アクセスの遅れが生じる。

20

【0014】

また逆に、選択側に過消去ビットが存在する場合、過消去ビットの非選択リーク電流分、選択セルの電流が少なくても、消せたとみなされる。このため、消去不足となり、消去ベリファイ電圧よりしきい値の高いビットが生ずる。

【0015】

その過消去セルを、その後書き込みした場合は、副ビット線に流れる総電流量が減少する。このため、消去セルの読み出し時に、消去不足のビットを選択すると、通常読み出し電圧での副ビット線に流れる総電流量が減少し、アクセスの遅れを生ずるといった難点があった。

30

【0016】

本発明は、上述の事情に鑑みてなされたものであり、メモリセルへの書き込み／消去を精度良くベリファイし、通常読み出し時におけるアクセス速度の低下を防止することが目的とされる。

【課題を解決するための手段】

【0017】

本発明にかかる第1の半導体記憶装置は、第1主ビット線、第1ソース線、第1トランジスタ、第1副ビット線、第1メモリ用トランジスタ、第2主ビット線、第2ソース線、第2トランジスタ、第2副ビット線、第2メモリ用トランジスタ及びアンプを備える。前記第1副ビット線は、前記第1主ビット線に前記第1トランジスタを介して接続される。前記第1メモリ用トランジスタは、一端が前記第1副ビット線に、他端が前記第1ソース線に接続される。前記第2副ビット線は、前記第2主ビット線に前記第2トランジスタを介して接続される。前記第2メモリ用トランジスタは、一端が前記第2副ビット線に、他端が前記第2ソース線に接続される。前記アンプは、前記第1主ビット線及び前記第2主ビット線に流れる各々の電流が入力され、差動増幅する。そして、前記第1メモリ用トランジスタのベリファイ時において、前記第1トランジスタ及び前記第1メモリ用トランジスタをオンし、前記第2メモリ用トランジスタに電流を流さない。より詳細には、前記第2トランジスタをオンにして、前記第2メモリ用トランジスタのゲート電極に、前記第2メモリ用トランジスタをオフする電圧を印加する。前記電圧は、前記第2メモリ用トラン

40

50

ジスタが過消去されている場合であっても前記第2メモリ用トランジスタからリーク電流が流れることが抑制される電圧である。

【発明の効果】

【0020】

本発明にかかる第1の半導体記憶装置によれば、第2メモリ用トランジスタが過消去されている場合であっても、第2メモリ用トランジスタからリーク電流が流れることが抑制されるので、書き込み／消去ベリファイにおいて、第1メモリ用トランジスタのしきい値電圧を過大に評価しない。よって、第1メモリ用トランジスタの書き込み／消去が精度良くベリファイされ、通常読み出し時におけるアクセス速度の低下が防止される。

【0021】

本発明にかかる第2の半導体記憶装置によれば、第2メモリ用トランジスタ及び第3メモリ用トランジスタが過消去されている場合であっても、第2メモリ用トランジスタ及び第3メモリ用トランジスタからリーク電流が流れることが抑制されるので、書き込み／消去ベリファイにおいて、第1メモリ用トランジスタのしきい値電圧を過大もしくは過小に評価しない。よって、第1メモリ用トランジスタの書き込み／消去が精度良くベリファイされ、通常読み出し時におけるアクセス速度の低下が防止される。しかも、ウェルに最適な電圧を印加するだけでよいので、ベリファイを行うための制御が単純化される。

【発明を実施するための最良の形態】

【0023】

図1は、本発明にかかる半導体記憶装置を概念的に示す回路図である。半導体記憶装置は、メモリブロック1、センスアンプS/A及び比較電流選択部3を備える。

【0024】

センスアンプS/Aは、例えば差動増幅するアンプであって、一对の端子11, 12を有する。端子11には、接続点P11を介して主ビット線MBL0, MBL1が接続される。端子12には、接続点P12を介して主ビット線MBL2, MBL3が接続される。

【0025】

主ビット線MBL0~MBL3は、主ビット線選択用トランジスタCATr0~CATr3を介して、メモリブロック1にそれぞれ接続される。図1では、主ビット線選択用トランジスタCATr0~CATr3がMOSトランジスタである場合が示されている。主ビット線選択用トランジスタCATr0, CATr2のゲート電極には制御線CA1が、主ビット線選択用トランジスタCATr1, CATr3のゲート電極には制御線CA0が、それぞれ接続されている。よって、制御線CA1により主ビット線選択用トランジスタCATr0, CATr2は同時にオンに制御できるので、主ビット線MBL0, MBL2を同時に選択できる。主ビット線MBL1, MBL3についても同様である。

【0026】

また、主ビット線MBL0~MBL3の各々には、主ビット線リセット用トランジスタRSTr0~RSTr3が接続されている。

【0027】

比較電流選択部3は、比較電流発生部31と比較電流選択用トランジスタCTr1, CTr2とを有し、センスアンプS/Aの一对の端子11, 12の間に接続される。図1では、比較電流選択用トランジスタCTr1, CTr2がMOSトランジスタである場合が示されている。比較電流発生部31は、比較電流選択用トランジスタCTr1を介して端子11に、比較電流選択用トランジスタCTr2を介して端子12に、それぞれ接続される。比較電流選択用トランジスタCTr1, CTr2のゲート電極には、制御線ESL, OSELがそれぞれ接続される。

【0028】

比較電流発生部31によって発生される比較電流は、例えばメモリブロック1に書き込まれたデータを読み込む場合や、書き込み／消去ベリファイを行う場合に、端子11若しくは端子12のどちらか一方に流される。つまり、比較電流選択用トランジスタCTr1, CTr2のうち、一方がオンに、他方がオフに制御される。例えば、端子11側に比較

10

20

30

40

50

電流を流す場合には、制御線 ESEL, OSEL により、比較電流選択用トランジスタ CTr1 をオンに、比較電流選択用トランジスタ CTr2 をオフにそれぞれ制御する。このとき、比較電流が流される側の端子、前記した例においては端子 11 側が、リファレンス側とされる。そして、他方の端子、前記した例においては端子 12 側が、選択側とされる。

【0029】

メモリブロック 1 は、副ビット線 SBL1～SBL8、副ビット線選択用トランジスタ ST r1～ST r8、ソース線 2 及びメモリ用トランジスタ M0～M63 を備える。なお、主ビット線 MBL0～MBL3 は、メモリブロック 1 内にも配線されている。図 1 では、副ビット線選択用トランジスタ ST r1～ST r8 が MOS トランジスタであって、メモリ用トランジスタ M0～M63 がフローティングゲート MOS トランジスタである場合が示されている。また、データの書き込み／消去が行われるメモリ用トランジスタの一群を、鎖線 4 で囲んでいる。

10

【0030】

副ビット線 SBL1 は、副ビット線選択用トランジスタ ST r1 を介して、主ビット線 MBL0 上の接続点 P1 に接続される。副ビット線選択用トランジスタ ST r1 のゲート電極には、制御線 LSG3 が接続される。そして、制御線 LSG3 により、副ビット線選択用トランジスタ ST r1 をオン／オフして、副ビット線 SBL1 の選択／非選択を制御する。

【0031】

また、副ビット線 SBL1 には、制御線 RST2 により制御される副ビット線リセット用トランジスタ RT r1 が接続されている。

20

【0032】

メモリ用トランジスタ M0～M15 は、一端が副ビット線 SBL1 に、他端がソース線 2 にそれぞれ接続され、符号 M0～M15 の順に接続点 P1 側から配置される。メモリ用トランジスタ M0～M15 のゲート電極には、ワード線 WL0～WL15 がそれぞれ接続される。

【0033】

副ビット線 SBL5 は、副ビット線選択用トランジスタ ST r5 を介して、接続点 P1 に接続されており、副ビット線 SBL1 と同様に構成される。副ビット線選択用トランジスタ ST r5 のゲート電極には、制御線 LSG2 が接続される。そして、制御線 LSG2 により、副ビット線選択用トランジスタ ST r5 をオン／オフして、副ビット線 SBL5 の選択／非選択を制御する。

30

【0034】

副ビット線 SBL2 は、副ビット線選択用トランジスタ ST r2 を介して、主ビット線 MBL0 上の接続点 P2 に接続される。副ビット線選択用トランジスタ ST r2 のゲート電極には、制御線 USG0 が接続される。そして、制御線 USG0 により、副ビット線選択用トランジスタ ST r2 をオン／オフして、副ビット線 SBL2 の選択／非選択を制御する。

【0035】

また、副ビット線 SBL2 には、制御線 RST2 により制御される副ビット線リセット用トランジスタ RT r2 が接続されている。

40

【0036】

メモリ用トランジスタ M16～M31 は、一端が副ビット線 SBL2 に、他端がソース線 2 にそれぞれ接続され、符号 M16～M31 の順に接続点 P2 側から配置される。メモリ用トランジスタ M16～M31 のゲート電極には、ワード線 WL16～WL31 がそれぞれ接続される。

【0037】

副ビット線 SBL6 は、副ビット線選択用トランジスタ ST r6 を介して、接続点 P2 に接続されており、副ビット線 SBL2 と同様に構成される。副ビット線選択用トランジ

50

スタSTr6のゲート電極には、制御線USG1が接続される。そして、制御線USG1により、副ビット線選択用トランジスタSTr6をオン／オフして、副ビット線SBL6の選択／非選択を制御する。

【0038】

同様に、センスアンプS/Aの端子12に接続される主ビット線MBL2には、副ビット線SBL3, SBL4, SBL7, SBL8が、副ビット線選択用トランジスタSTr3, STr4, STr7, STr8を介して、それぞれ接続される。副ビット線選択用トランジスタSTr3, STr4, STr7, STr8のゲート電極には、制御線LSG0, USG3, LSG1, USG2がそれぞれ接続される。そして、制御線LSG0, USG3, LSG1, USG2により、副ビット線選択用トランジスタSTr3, STr4, STr7, STr8をオン／オフして、副ビット線SBL3, SBL4, SBL7, SBL8の選択／非選択をそれぞれ制御する。また、図1では、副ビット線SBL3に接続されるメモリ用トランジスタには、接続点P3側から符号M32～M47を付し、副ビット線SBL4に接続されるメモリ用トランジスタには、接続点P4側から符号M48～M63を付している。

10

【0039】

主ビット線MBL1についてはその構成が上記した主ビット線MBL0と、主ビット線MBL3についてはその構成が主ビット線MBL2と、それぞれ同様である。

【0040】

上述した半導体記憶装置においては、ソース線2が、メモリ用トランジスタの各々において共有されているが、例えばメモリ用トランジスタの各々において異なってもよい。

20

【0041】

図1では、メモリブロック1の容量が256ビットである場合が示されているが、より大きな容量、例えば512ビット等であってもよい。このとき、例えば、主ビット線数または副ビット線数が増やされるか、または一副ビット線あたりに接続されるメモリ用トランジスタの個数が増やされる。

【0042】

また、図1では、一つのセンスアンプS/Aに対して一つのメモリブロック1が接続されているが、一つのセンスアンプS/Aに対してメモリブロック1を複数接続してもよい。さらには、半導体記憶装置は、センスアンプS/Aを複数設けても良い。

30

【0043】

図1で示される半導体記憶装置において、副ビット線SBL4に接続される一のメモリ用トランジスタについて書き込み／消去ベリファイを行うとした場合に、副ビット線SBL4に対して比較対象となるリファレンス側の副ビット線を、例えば副ビット線SBL1とすることができる。このとき、制御線LSG3と制御線USG3とが相互に連係して、副ビット線選択用トランジスタSTr1, STr4が制御される。

【0044】

他の副ビット線SBL2, SBL3, SBL5～SBL8については、例えば、副ビット線SBL5と副ビット線SBL8、副ビット線SBL7と副ビット線SBL6、副ビット線SBL3と副ビット線SBL2とを、それぞれ対応付けることができる。すなわち、制御線LSG2と制御線USG2、制御線LSG1と制御線USG1、制御線LSG0と制御線USG0とが、それぞれ相互に連係する。

40

【0045】

以下の実施の形態においては、上記した半導体記憶装置について、書き込み／消去ベリファイを行う際の本発明にかかる半導体記憶装置の制御方法を示す。なお、メモリ用トランジスタM0～M63は、nチャンネル型のフローティングゲートMOSトランジスタとする。そして、書き込み／消去ベリファイが、メモリ用トランジスタM48について行われるとし、メモリ用トランジスタM48が接続される副ビット線SBL4に対して比較対象となるリファレンス側の副ビット線を、副ビット線SBL1とする。

50

【0046】

図2は、図1で示される半導体記憶装置のうち、メモリ用トランジスタM48の書き込み／消去ベリファイにかかる部分だけが示されている。図1で示される半導体記憶装置の構成要素と同じものについては、同符号が付されている。図2では、比較電流選択部3は省略されているが、端子11がリファレンス側に、端子12が選択側にそれぞれ選択されているとする。また、主ビット線選択用トランジスタCATr0、CATr2も省略されているが、それぞれをオンにして主ビット線MBL0、MBL2が選択されているとする。

【0047】

このとき、制御線USG3、LSG3により制御される副ビット線選択用トランジスタ以外の全ての副ビット線選択用トランジスタは、制御線USG0～USG2、LSG0～LSG2によりオフに制御される。また、制御線CA0により主ビット線選択用トランジスタCATr1、CATr3はオフに制御され、主ビット線MBL1、MBL3が非選択とされる。

【0048】

実施の形態1.

本実施の形態では、リファレンス側のメモリ用トランジスタM0が過消去されている場合について、半導体記憶装置の制御方法を示す。

【0049】

図3は、本実施の形態にかかる方法で制御された場合の接続関係を示し、電流が流れない配線や素子は破線により示されている。メモリ用トランジスタM48について書き込み／消去ベリファイを行うので、選択側では副ビット線選択用トランジスタSTr4及びメモリ用トランジスタM48～M63を次のように制御する。つまり、制御線USG3により副ビット線選択用トランジスタSTr4をオンに制御する。そして、ワード線WL16によりメモリ用トランジスタM48をオンに制御し、副ビット線SBL4に接続される他のメモリ用トランジスタM49～M63を、ワード線WL17～WL31によりオフに制御する。

【0050】

リファレンス側では、制御線LSG3により副ビット線選択用トランジスタSTr1をオフに制御して、副ビット線SBL1を非選択とする。これにより、メモリ用トランジスタM0に電流が流れない。つまり、メモリ用トランジスタM0からリーク電流が流れることが回避される。

【0051】

上述した内容によれば、リファレンス側の主ビット線MBL0に流れる比較電流に、過消去されたメモリ用トランジスタM0から生じるリーク電流が加算されないので、書き込み／消去ベリファイにおいて、メモリ用トランジスタM48のしきい値電圧を過大に評価しない。換言すれば、リファレンス側の副ビット線SBL1に接続されるメモリ用トランジスタM0～M15に、過消去されたメモリ用トランジスタが含まれている場合であっても、選択側のメモリ用トランジスタM48の書き込み／消去が精度良くベリファイされる。よって、通常読み出し時におけるアクセス速度の低下が防止される。

【0052】

図4は、本実施の形態にかかる副ビット線SBL1～SBL8の選択／非選択の制御を行う回路を示す。この回路は、回路C1～C8、入力端子S1～S3、入力端子read、NOT回路701～712及び制御線USG0～USG3、LSG0～LSG3を備える。

【0053】

回路C1は、一致回路71、AND回路72、ラッチ回路73、セクタ回路74、NOT回路75、NAND回路76、レベルシフタ回路77及び入力端子A1～A3を有する。入力端子A1、A2は、一致回路71の一对の入力端にそれぞれ接続される。ラッチ回路73は、入力端in、出力端out、クロック端子CL及びリセット端子Rを有する

10

20

30

40

50

。ラッチ回路 73 の入力端 *i n* には一致回路 71 の出力端が接続される。そして、入力端子 A1 及び一致回路 71 の出力端は、AND 回路 72 の一対の入力端にそれぞれ接続される。

【0054】

セクタ回路 74 は、AND 72 回路の出力端に接続される入力端 *g 1* と、ラッチ回路 73 の出力端 *o u t* に接続される入力端 *g 2* とを有し、入力端子 *r e a d* から入力される信号により、入力端 *g 1*、*g 2* の一方を選択する。すなわち、入力端子 *r e a d* から 0 が入力されると入力端 *g 1* が、*r e a d* から 1 が入力されると入力端 *g 2* がそれぞれ選択される。また、入力端 *g 1* 及び入力端 *g 2* のうち選択された方から入力された信号を反転させて出力する。セクタ回路 74 の出力端は、NOT 回路 75 を介して、NAND 回路 76 の一の入力端に接続される。

10

【0055】

入力端子 A3 は、NAND 回路 76 の他の入力端に接続される。NAND 回路 76 の出力端は、レベルシフト回路 77 を介して、制御線 *U S G 3* に接続される。

【0056】

回路 C2～C8 についても、回路 C1 と同様に構成される。ただし、回路 C2～C8 の出力側は、制御線 *U S G 2*～*U S G 1*、*L S G 3*～*L S G 0* のそれぞれに接続される。

【0057】

入力端子 S1～S3 は、回路 C1～C8 の各々に次のように接続される。つまり、入力端子 S1 は、回路 C1～C4 に対しては、入力端子 A1 に直接に接続され、回路 C5～C8 に対しては、NOT 回路 705、706、708、710 を介して入力端子 A1 にそれぞれ接続される。

20

【0058】

入力端子 S2 は、回路 C3～C6 に対しては、入力端子 A2 に直接に接続され、回路 C1、C2、C7、C8 に対しては、NOT 回路 701、702、709、711 を介して入力端子 A2 にそれぞれ接続される。

【0059】

入力端子 S3 は、回路 C1、C3、C5、C7 に対しては、入力端子 A3 に直接に接続され、回路 C2、C4、C6、C8 に対しては、NOT 回路 703、704、707、712 を介して入力端子 A3 に接続される。

30

【0060】

入力端子 S1～S3 には、0 または 1 の信号がそれぞれ入力される。すなわち、入力端子 S1～S3 に入力される信号をそれぞれ符号 S1～S3 で表すと、信号 (S1, S2, S3) には、(0, 0, 0)、(1, 0, 0)、(0, 1, 0)、(0, 0, 1)、(1, 1, 0)、(0, 1, 1)、(1, 0, 1) 及び (1, 1, 1) のいずれか一つが選択できる。

【0061】

上記したいずれか一つの信号 (S1, S2, S3) を入力した場合、回路 C1～C8 の各々に入力される信号 (A1, A2, A3) は、相互に異なって、(0, 0, 0)、(1, 0, 0)、(0, 1, 0)、(0, 0, 1)、(1, 1, 0)、(0, 1, 1)、(1, 0, 1) 及び (1, 1, 1) のいずれか一つになる。

40

【0062】

図 5 及び図 6 は、回路 C1～C8 の各々の入力端子 A1～A3 に信号 (A1, A2, A3) がそれぞれ入力 (In) された場合の出力 (Out) が示される。図 5 は、入力端子 *r e a d* から 0 が入力された場合が示される。図 6 は、入力端子 *r e a d* から 1 が入力された場合が示される。

【0063】

図 5 に示される表によれば、上記したいずれか一つの信号 (S1, S2, S3) が入力されると、回路 C1～C8 に接続される制御線 *U S G 3*～*U S G 0*、*L S G 3*～*L S G 0* のうちの制御線に出力される信号だけが 0 となり、他の制御線に出力される信号はいず

50

れも 1 となる。例えば信号 (S 1, S 2, S 3) として (1, 0, 1) を採用すると、回路 C 1 の制御線 U S G 3 に出力される信号だけが 0 となって、他の制御線に出力される信号はいずれも 1 となる。

【0064】

そして、0 の信号が出力された制御線は、それに接続される副ビット線選択用トランジスタをオンに制御する。また、1 の信号が出力された制御線は、それに接続される副ビット線選択用トランジスタをオフに制御する。例えば、上述した例では、制御線 U S G 3 に 0 の信号が出力されるので、制御線 U S G 3 は副ビット線選択用トランジスタ S T r 4 をオンに制御して、副ビット線 S B L 4 を選択する。

【0065】

よって、図 4 で示される回路において、入力端子 r e a d から 0 の信号を入力して、信号 (S 1, S 2, S 3) を入力することで、副ビット線 S B L 1 ~ S B L 8 のいずれか一つを選択することができる。すなわち、本実施の形態にかかる書き込み／消去ペリファイにおける副ビット線の選択／非選択に適用することができる。

【0066】

図 6 で示される表によれば、上記したいずれか一つの信号 (S 1, S 2, S 3) が入力されると、回路 C 1 ~ C 8 に接続される制御線 U S G 3 ~ U S G 0, L S G 3 ~ L S G 0 のうち二つの制御線に出力される信号だけが 0 となり、他の制御線に出力される信号はいずれも 1 となる。例えば信号 (S 1, S 2, S 3) として (1, 0, 1) を採用すると、回路 C 1 の制御線 U S G 3 及び回路 C 5 の制御線 L S G 3 にそれぞれ出力される信号だけが 0 となって、他の制御線に出力される信号はいずれも 1 となる。

【0067】

そして、0 の信号が出力された制御線は、それに接続される副ビット線選択用トランジスタをオンに制御する。また、1 の信号が出力された制御線は、それに接続される副ビット線選択用トランジスタをオフに制御する。例えば、上述した例では、制御線 U S G 3, L S G 3 に 0 の信号がそれぞれ出力されるので、制御線 U S G 3, L S G 3 は副ビット線選択用トランジスタ S T r 4, S T r 1 をオンに制御して、副ビット線 S B L 4, S B L 1 をそれぞれ選択する。

【0068】

図 4 で示される回路では、入力端子 r e a d から 1 の信号を入力して、信号 (S 1, S 2, S 3) を入力すると、制御線 U S G 0, L S G 0、制御線 U S G 1, L S G 1、制御線 U S G 2, L S G 2 及び制御線 U S G 3, L S G 3 のいずれか一つの対にだけ 0 の信号が出力される。よって、図 1 で示される半導体記憶装置において、制御線 L S G 3 と制御線 U S G 3、制御線 L S G 2 と制御線 U S G 2、制御線 L S G 1 と制御線 U S G 1、制御線 L S G 0 と制御線 U S G 0 とが、それぞれ相互に関係する。

【0069】

入力端子 r e a d から 1 の信号が入力される場合は、通常読み出し時、若しくは後述する実施の形態 2 及び実施の形態 3 にかかる半導体記憶装置の制御に適用できる。

【0070】

実施の形態 2.

本実施の形態では、リファレンス側のメモリ用トランジスタ M 0 が過消去されている場合について、実施の形態 1 とは異なる半導体記憶装置の制御方法を示す。

【0071】

図 7 は、本実施の形態にかかる方法で制御された場合の接続関係を示し、電流が流れない配線や素子は破線により示されている。選択側のメモリ用トランジスタについては、実施の形態 1 と同様にして、メモリ用トランジスタ M 4 8 だけがオンに制御される。

【0072】

リファレンス側では、制御線 L S G 3 により副ビット線選択用トランジスタ S T r 1 をオンに制御する。そして、過消去されたメモリ用トランジスタ M 0 については、ワード線 W L 0 により、メモリ用トランジスタ M 0 からリーク電流が流れないゲート電圧 V g s (

10

20

30

40

50

0)を、ゲート電極に印加する。ゲート電圧 $V_{gs}(0)$ は、ソースに印加される電圧を基準とする。このゲート電圧 $V_{gs}(0)$ は、後述の実施の形態4で示される方法により求められる。

【0073】

実際の使用の形態では、メモリ用トランジスタ $M0 \sim M15$ のうち、どれが過消去されているかを特定することができない。よって、メモリ用トランジスタ $M1 \sim M15$ についても、メモリ用トランジスタ $M0$ と同様に、ワード線 $WL1 \sim WL15$ により、ゲート電極にゲート電圧 $V_{gs}(0)$ をそれぞれ印加することが望ましい。

【0074】

これにより、メモリ用トランジスタ $M0$ から副ビット線 $SBL1$ にリーク電流が流れることが防止される。よって、実施の形態1と同様の効果を得ることができる。

10

【0075】

本実施の形態では、リファレンス側において、メモリ用トランジスタ $M0$ のゲート電極にゲート電圧 $V_{gs}(0)$ を印加したが、メモリ用トランジスタ $M0$ からリーク電流が流れないバックバイアス $V_{bs}(0)$ を印加してもよい。バックバイアス $V_{bs}(0)$ は、ソースに印加される電圧を基準とする。このバックバイアス $V_{bs}(0)$ は、後述の実施の形態5で示される方法により求められる。

【0076】

実施の形態3.

本実施の形態では、選択側のメモリ用トランジスタ $M63$ が過消去されている場合について、半導体記憶装置の制御方法を示す。本実施の形態にかかる方法で制御された場合の接続関係を示す図には、例えば図7が採用できる。

20

【0077】

選択側では、制御線 $USG3$ により副ビット線選択用トランジスタ $STr4$ をオンに制御する。そして、ワード線 $WL16$ によりメモリ用トランジスタ $M48$ をオンに制御する。

【0078】

また、過消去されたメモリ用トランジスタ $M63$ については、ワード線 $WL31$ により、メモリ用トランジスタ $M63$ からリーク電流が流れないゲート電圧 $V_{gs}(0)$ を、ゲート電極に印加する。このゲート電圧 $V_{gs}(0)$ は、後述する実施の形態4で示される方法により求められる。

30

【0079】

これにより、メモリ用トランジスタ $M63$ に電流が流れない。つまり、メモリ用トランジスタ $M63$ からリーク電流が流れることが回避される。

【0080】

実際の使用の形態では、メモリ用トランジスタ $M49 \sim M63$ のうち、どれが過消去されているかを特定することができない。よって、メモリ用トランジスタ $M49 \sim M62$ についても、メモリ用トランジスタ $M63$ と同様に、ワード線 $WL17 \sim WL30$ により、ゲート電極にゲート電圧 $V_{gs}(0)$ をそれぞれ印加することが望ましい。

【0081】

リファレンス側では、制御線 $LSG3$ により副ビット線選択用トランジスタ $STr1$ をオンに制御する。そして、ワード線 $WL0 \sim WL15$ によりメモリ用トランジスタ $M0 \sim M15$ をオフに制御する。

40

【0082】

上述の内容によれば、メモリ用トランジスタ $M63$ からリーク電流が流れることを抑制するので、副ビット線 $SBL4$ に流れる電流にリーク電流が加算されない。これにより、書き込み／消去ベリファイにおいて、メモリ用トランジスタ $M48$ のしきい値電圧を過小に評価しない。換言すれば、選択側の副ビット線 $SBL4$ に接続されるメモリ用トランジスタ $M49 \sim M63$ に、過消去されたメモリ用トランジスタが含まれる場合であっても、選択側のメモリ用トランジスタ $M48$ の書き込み／消去が精度良くベリファイされる。よ

50

って、通常読み出し時におけるアクセス速度の低下が防止される。

【0083】

本実施の形態では、メモリ用トランジスタM63のゲート電極にゲート電圧 $V_{gs}(0)$ を印加したが、メモリ用トランジスタM63からリーク電流が流れないバックバイアス $V_{bs}(0)$ を印加してもよい。このバックバイアス $V_{bs}(0)$ は、後述する実施の形態5で示される方法により求められる。

【0084】

上述した実施の形態1または実施の形態2と、本実施の形態とを組み合わせる用いてもよく、実施の形態2で示される効果と、本実施の形態で上述した効果との両方を得ることができる。

10

【0085】

特に、実施の形態2と実施の形態3と組み合わせる場合において、リファレンス側のメモリ用トランジスタM0～M15と、選択側のメモリ用トランジスタM48～M63とが、同じウェルに形成されることが望ましい。なぜなら、当該ウェルに最適の電圧を印加するだけで、リーク電流の発生を抑制することができるので、ベリファイを行うための制御が単純化される。

【0086】

実施の形態4.

本実施の形態では、過消去されたメモリ用トランジスタからリーク電流が流れないゲート電圧 $V_{gs}(0)$ の導出方法を示す。

20

【0087】

図8は、ゲート電圧 $V_{gs}(0)$ を導出するフローを示し、ステップ101～106で構成される。まず、ステップ101では、リファレンス側の副ビット線SBL1に接続される複数のメモリ用トランジスタM0～M15について、しきい値電圧に対する個数の分布を用意する。例えば、図9で示されるような分布50が用意される。分布50は、しきい値電圧 V_{th} が離散的な値 $V_{th}(1) \sim V_{th}(11)$ 、例えば1V～4Vまで0.3Vごとに離散的な値であって、それぞれについて個数 $N(1) \sim N(11)$ が対応している。しきい値電圧 V_{th} の離散的な値は、さらに複数あってもよい。破線51は、分布50について各グラフの頂点を滑らかに繋げたものである。例えば、破線51はほぼ正規分布に従う。

30

【0088】

ステップ102では、しきい値電圧 $V_{th}(1) \sim V_{th}(11)$ の各々について、ゲート電圧 V_{gs} とソース／ドレイン間に流れる電流 I_{ds} との関係を導出する。ゲート電圧 V_{gs} は、ソースに印加される電圧を基準とする。図10は、導出されたゲート電圧 V_{gs} と電流 I_{ds} との関係を、しきい値電圧 $V_{th}(1) \sim V_{th}(11)$ の各々についてグラフ601～611で示す。

【0089】

ステップ103では、しきい値電圧 $V_{th}(1) \sim V_{th}(11)$ を有するメモリ用トランジスタの各々に相互に等しいゲート電圧 V_{gs} を印加したときに、当該メモリ用トランジスタの各々に流れるソース／ドレイン間電流 $I_{ds}(1) \sim I_{ds}(11)$ を求める。図10を用いて具体的に説明すると、例えば $V_{gs} = V_{gs}(0)$ として、 $V_{gs} = V_{gs}(0)$ を示す直線620と、グラフ601～611と交わる点での電流を電流 $I_{ds}(1) \sim I_{ds}(11)$ とする。

40

【0090】

ステップ104では、しきい値電圧 $V_{th}(1) \sim V_{th}(11)$ の各々について、ステップ103で求められた電流 $I_{ds}(1) \sim I_{ds}(11)$ と、ステップ101で用意された分布50から求まる個数 $N(1) \sim N(11)$ との積 $I_{ds}(1) \cdot N(1) \sim I_{ds}(11) \cdot N(11)$ を求める。

【0091】

ステップ105では、ステップ104で求めた積 $I_{ds}(1) \cdot N(1) \sim I_{ds}(1$

50

1)・N(11)を、しきい値電圧の分布50の下限 $V_{th}(1)$ から上限 $V_{th}(11)$ まで、式(1)で示されるように足し合わせる。式(1)で求まる電流 $I_{tot}(V_{gs}(0))$ は、メモリ用トランジスタM0～M15に流れる電流の総和、つまりリーク電流である。

【0092】

【数1】

$$I_{tot}(V_{gs}(0)) = \sum_{i=1}^{11} I_{ds}(i) \cdot N(i) \quad \dots(1)$$

10

【0093】

ステップ106では、電流 $I_{tot}(V_{gs}(0))$ が所定の値よりも小さくなるように、ゲート電圧 $V_{gs}(0)$ を決める。所定の値として、リファレンス側に流れる比較電流に対して2桁小さい値を採用することが、書き込み／消去ペリファイ時におけるリーク電流の影響を妨げる点で望ましい。

【0094】

上述の方法によって求められたゲート電圧 $V_{gs}(0)$ を、過消去されたメモリ用トランジスタのゲート電極に印加することで、過消去されたメモリ用トランジスタからリーク電流が流れることが防止される。

20

【0095】

本実施の形態は、選択側の副ビット線SBL4に接続されるメモリ用トランジスタM48～M63について適用してもよく、同様の効果を得ることができる。

【0096】

実施の形態5.

本実施の形態では、過消去されたメモリ用トランジスタからリーク電流が流れないバックバイアス $V_{bs}(0)$ の導出方法を示す。

【0097】

図11は、バックバイアス $V_{bs}(0)$ を導出するフローを示し、ステップ201～206で構成される。まず、ステップ201では、リファレンス側の副ビット線SBL1に接続される複数のメモリ用トランジスタM0～M15について、バックバイアス V_{bs} ごとのしきい値電圧に対する個数の分布を用意する。バックバイアス V_{bs} は、ソースに印加される電圧を基準とする。例えば、図12では、バックバイアス $V_{bs}(n)$ ごとに分布52が用意される。 n は、自然数である。分布52は、しきい値電圧 V_{th} が離散的な値 $V_{th}(n, 1) \sim V_{th}(n, 11)$ であって、それぞれについて個数 $N(n, 1) \sim N(n, 11)$ が対応している。しきい値電圧 V_{th} の離散的な値は、さらに複数あってもよい。しきい値電圧 $V_{th}(n, 1) \sim V_{th}(n, 11)$ 及び個数 $N(n, 1) \sim N(n, 11)$ は、バックバイアス $V_{bs}(n)$ に依存する。破線53は、分布52について各グラフの頂点を滑らかに繋げたものである。例えば、破線53はほぼ正規分布に従う。

30

40

【0098】

ステップ202では、バックバイアス $V_{bs}(n)$ ごとに、しきい値電圧 $V_{th}(n, 1) \sim V_{th}(n, 11)$ の各々について、ゲート電圧 V_{gs} とソース／ドレイン間に流れる電流 I_{ds} との関係を導出する。図13は、導出されたゲート電圧 V_{gs} と電流 I_{ds} との関係を、しきい値電圧 $V_{th}(n, 1) \sim V_{th}(n, 11)$ の各々についてグラフ701n～711nで示す。

【0099】

ステップ203では、しきい値電圧 $V_{th}(n, 1) \sim V_{th}(n, 11)$ を有するメモリ用トランジスタの各々に相互に等しいバックバイアス $V_{bs}(m)$ を印加して、ゲー

50

ト電極の各々に相互に等しいゲート電圧 $V_{gs}(1)$ を印加したときに、当該メモリ用トランジスタの各々に流れるソース／ドレイン間電流 $I_{ds}(m, 1) \sim I_{ds}(m, 11)$ を求める。ここで、 m は、自然数 n のうちのいずれか一つである。

【0100】

図14を用いて、ステップ203の内容を具体的に説明する。図14は、図13において、バックバイアス $V_{bs}(m)$ を印加した場合のゲート電圧 V_{gs} と電流 I_{ds} との関係を、しきい値電圧 $V_{th}(m, 1) \sim V_{th}(m, 11)$ の各々についてグラフ701m～711mで示す。例えば、 $V_{gs} = V_{gs}(1)$ として、これを示す直線720と、グラフ701m～711mと交わる点での電流を電流 $I_{ds}(m, 1) \sim I_{ds}(m, 11)$ とする。

10

【0101】

ステップ204では、しきい値電圧 $V_{th}(m, 1) \sim V_{th}(m, 11)$ の各々について、ステップ203で求められた電流 $I_{ds}(m, 1) \sim I_{ds}(m, 11)$ と、ステップ201で用意された分布52のうちバックバイアスが $V_{bs}(m)$ のときの分布から求まる個数 $N(m, 1) \sim N(m, 11)$ との積 $I_{ds}(m, 1) \cdot N(m, 1) \sim I_{ds}(m, 11) \cdot N(m, 11)$ を求める。

【0102】

ステップ205では、ステップ204で求めた積 $I_{ds}(m, 1) \cdot N(m, 1) \sim I_{ds}(m, 11) \cdot N(m, 11)$ を、しきい値電圧の分布52の下限 $V_{th}(m, 1)$ から上限 $V_{th}(m, 11)$ まで、式(2)で示されるよう足し合わせる。式(2)で求まる電流 $I_{tot}(V_{bs}(m))$ は、メモリ用トランジスタM0～M15に流れる電流の総和、つまりリーク電流である。

20

【0103】

【数2】

$$I_{tot}(V_{bs}(m)) = \sum_{i=1}^{11} I_{ds}(m, i) \cdot N(m, i) \quad \cdots (2)$$

【0104】

ステップ206では、電流 $I_{tot}(V_{bs}(m))$ が所定の値よりも小さくなるように、バックバイアス $V_{bs}(m)$ を決める。所定の値として、リファレンス側に流れる比較電流に対して2桁小さい値を採用することが、書き込み／消去ベリファイ時におけるリーク電流の影響を妨げる点で望ましい。

30

【0105】

そして、過消去されたメモリ用トランジスタからリーク電流が流れないバックバイアス $V_{bs}(0)$ に、ステップ206で求めたバックバイアス $V_{bs}(0)$ を採用する。これにより、過消去されたメモリ用トランジスタからリーク電流が流れることが防止される。

【0106】

本実施の形態は、選択側の副ビット線SBL4に接続されるメモリ用トランジスタM48～M63について適用してもよく、同様の効果を得ることができる。

40

【0107】

また、リファレンス側のメモリ用トランジスタM0～M15と、選択側のメモリ用トランジスタM48～M63とが同じウェルに形成される半導体記憶装置（実施の形態3）においては、メモリ用トランジスタM0～M15、M48～M63について、上述した方法を採用してもよい。

【0108】

このとき求められるバックバイアス $V_{bs}(0)$ を、当該ウェルに印加することで、過消去されたメモリ用トランジスタからリーク電流が流れることが防止される。

【0109】

50

上述したいずれの実施の形態においても、メモリ用トランジスタはnチャンネル型のフローティングゲートMOSトランジスタとし、しきい値電圧が高い方を書き込み側、しきい値電圧が低い方を消去側として説明したが、しきい値電圧が低い方を書き込みと呼ぶ場合は、上記説明において書き込み、消去の対象を入れ替えて実施すれば同様の効果が得られる。また、pチャンネル型のフローティングゲートMOSトランジスタであってもよい。

【図面の簡単な説明】

【0110】

【図1】本発明にかかる半導体記憶装置を概念的に示す回路図である。

10

【図2】図1で示される半導体記憶装置のうち、メモリ用トランジスタM48のペリフェリイにかかる部分だけを示す回路図である。

【図3】実施の形態1で説明される、接続関係を概念的に示す回路図である。

【図4】副ビット線の選択／非選択の制御を行う回路を示す回路図である。

【図5】入力と出力との関係を示す図である。

【図6】入力と出力との関係を示す図である。

【図7】実施の形態2で説明される、接続関係を概念的に示す回路図である。

【図8】ゲート電圧 $V_{gs}(0)$ の導出方法を示すフローチャート図である。

【図9】しきい値電圧に対するメモリ用トランジスタ数の分布を示す図である。

【図10】ゲート電圧と、ソース／ドレイン間電流との関係を示す図である。

20

【図11】バックバイアス $V_{bs}(0)$ の導出方法を示すフローチャート図である。

【図12】しきい値電圧に対するメモリ用トランジスタ数の分布を示す図である。

【図13】ゲート電圧と、ソース／ドレイン間電流との関係を示す図である。

【図14】バックバイアス $V_{bs}(m)$ 及びゲート電圧 $V_{gs}(1)$ において、メモリ用トランジスタの各々に流れるソース／ドレイン間電流を示す図である。

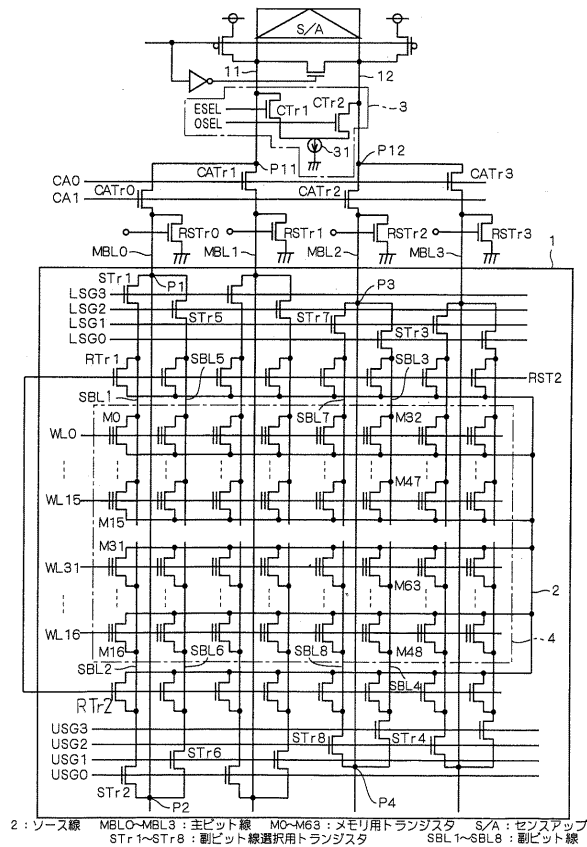
【符号の説明】

【0111】

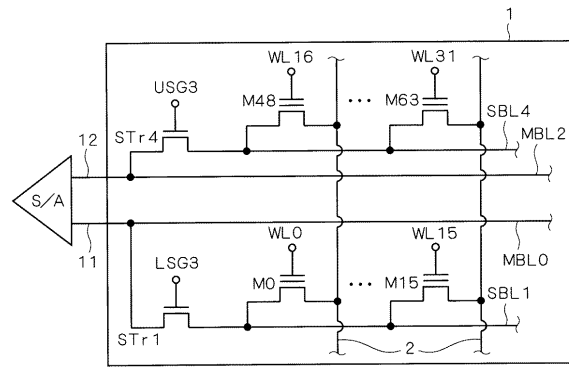
MBL0～MBL3 主ビット線、SBL1～SBL8 副ビット線、2 ソース線、STr1～STr8 副ビット線選択用トランジスタ、M0～M63 メモリ用トランジスタ、S/A センスアンプ、 $V_{th}(1) \sim V_{th}(11)$, $V_{th}(n, 1) \sim V_{th}(n, 11)$, $V_{th}(m, 1) \sim V_{th}(m, 11)$ しきい値電圧、 $V_{gs}(0)$, $V_{gs}(1)$ ゲート電圧、 $N(1) \sim N(11)$ 個数、50, 52 分布、 $I_{ds}(1) \sim I_{ds}(11)$, $I_{ds}(m, 1) \sim I_{ds}(m, 11)$ 電流。

30

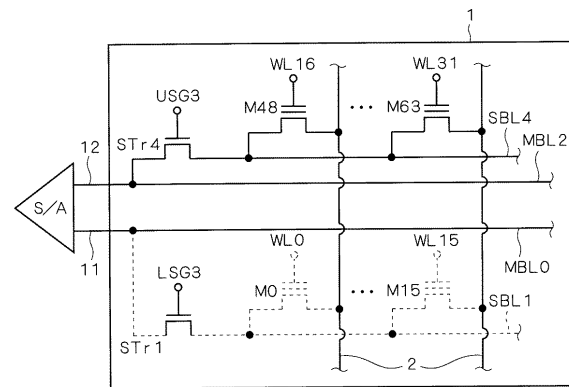
【図 1】



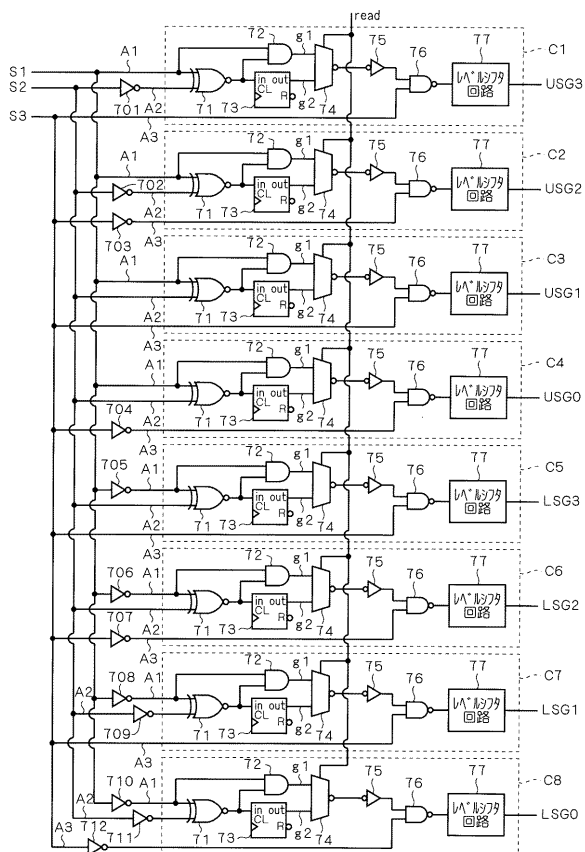
【図 2】



【図 3】



【図 4】



【図 5】

read=0

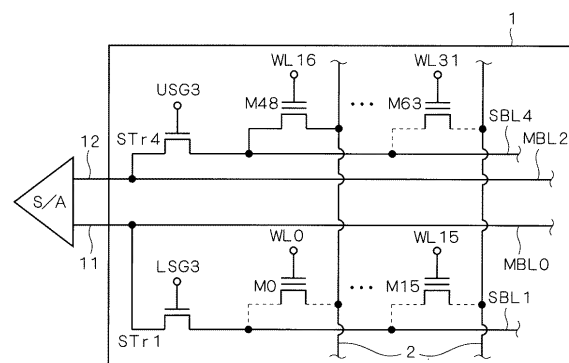
In	A1	0	1	0	0	1	0	1	1
	A2	0	0	1	0	1	1	0	1
	A3	0	0	0	1	0	1	1	1
Out		1	1	1	1	1	1	1	0

【図 6】

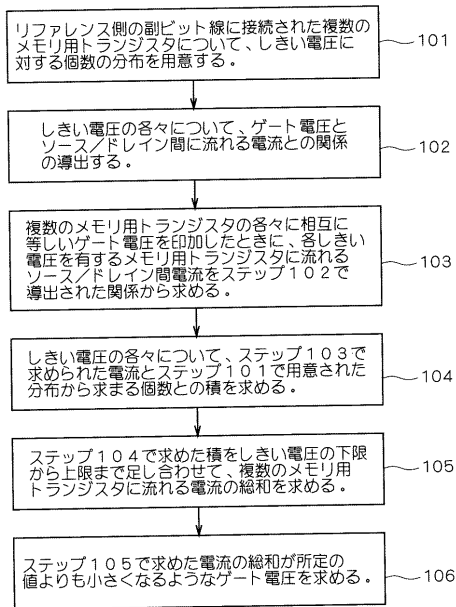
read=1

In	A1	0	1	0	0	1	0	1	1
	A2	0	0	1	0	1	1	0	1
	A3	0	0	0	1	0	1	1	1
Out		1	1	1	0	1	1	1	0

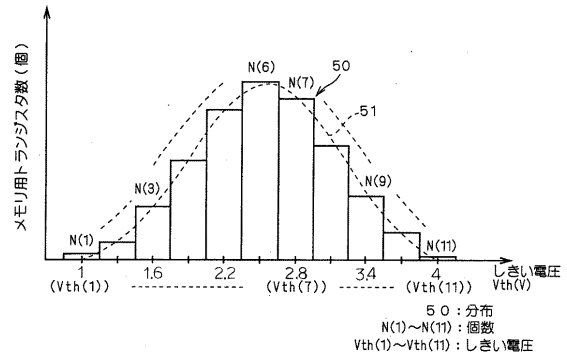
【図 7】



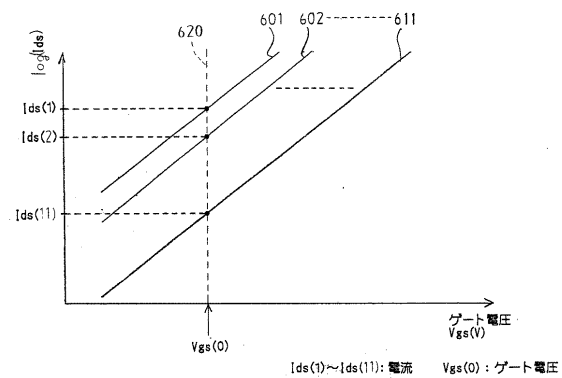
【図 8】



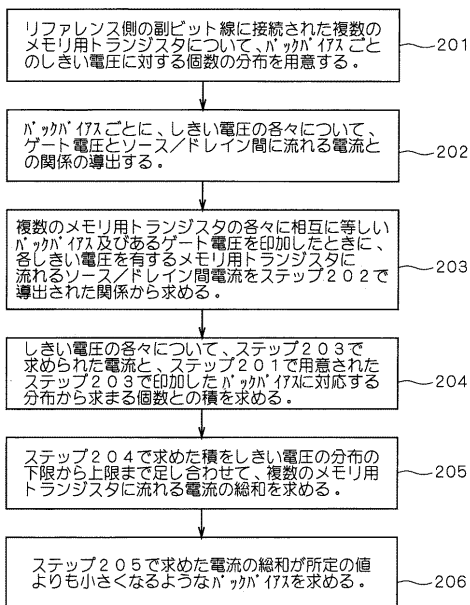
【図 9】



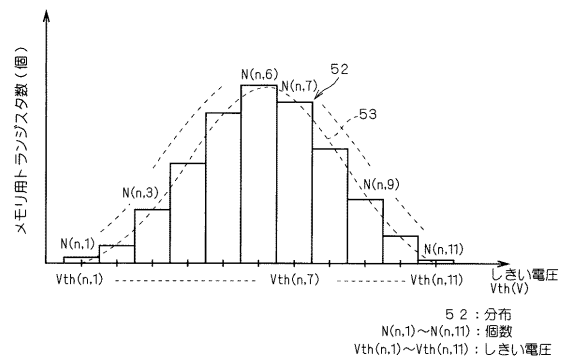
【図 10】



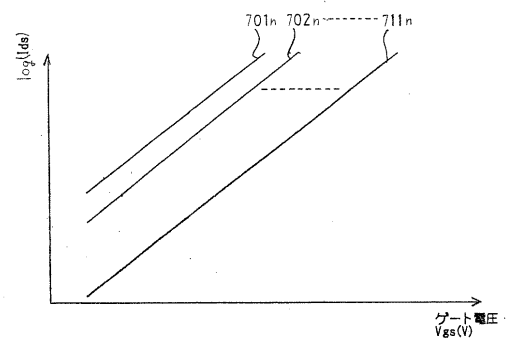
【図 11】



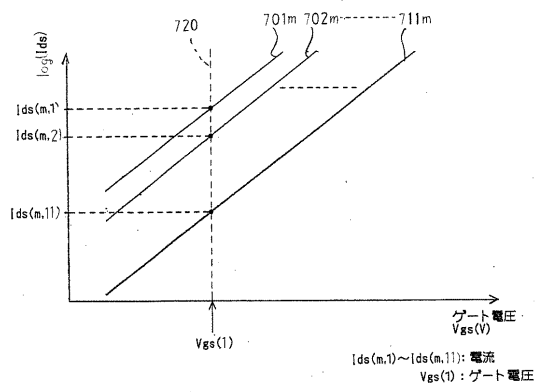
【図 12】



【図 13】



【図 14】



フロントページの続き

- (56)参考文献 特開2003-077282 (JP, A)
特開平10-188580 (JP, A)
特開平06-290591 (JP, A)
特開平06-028875 (JP, A)
特開2001-210808 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/00