

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 3 月 22 日 (22.03.2007)

PCT

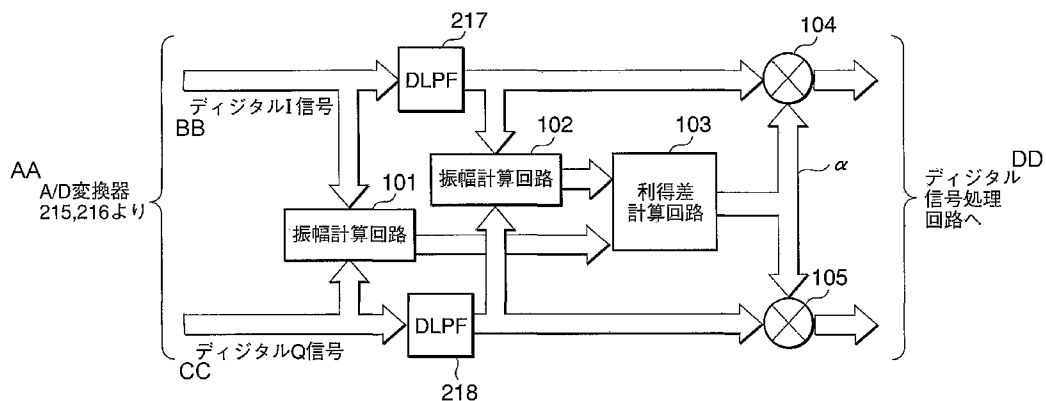
(10) 国際公開番号
WO 2007/032550 A1

- (51) 国際特許分類:
H04B 1/16 (2006.01) H03G 3/30 (2006.01)
- (21) 国際出願番号: PCT/JP2006/318665
- (22) 国際出願日: 2006 年 9 月 14 日 (14.09.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-266179 2005 年 9 月 14 日 (14.09.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 市原 正貴 (ICHIHARA, Masaki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 池田 憲保, 外 (IKEDA, Noriyasu et al.); 〒1050003 東京都港区西新橋一丁目 4 番 1 0 号 第 3 森ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: RECEPTION AMPLITUDE CORRECTION CIRCUIT, RECEPTION AMPLITUDE CORRECTION METHOD, AND RECEIVER USING THE SAME

(54) 発明の名称: 受信振幅補正回路及び受信振幅補正方法並びにそれを用いた受信機



AA... FROM A/D CONVERTERS 215 AND 216
BB... DIGITAL I SIGNAL
CC... DIGITAL Q SIGNAL

101... AMPLITUDE CALCULATING CIRCUIT
102... AMPLITUDE CALCULATING CIRCUIT
103... GAIN DIFFERENCE CALCULATING CIRCUIT
DD... TO DIGITAL SIGNAL PROCESSING CIRCUIT

(57) Abstract: Amplitude calculating circuits (101,102) calculate the input and output average levels of digital channel filters (217,218), and a gain difference calculating circuit (103) calculates, as a multiplier factor (α), a difference between the gains of the input and output levels such that the difference will be null or constant. Multipliers (104,105) multiply the outputs of the digital channel filters (217,218) by the multiplier factor (α), and outputs, as corrected digital signals, the multiplication results to a digital signal processing circuit of the following stage.

(57) 要約: デジタルチャンネルフィルタ 217, 218 の入力平均レベル、出力平均レベルを振幅計算回路 101, 102 でそれぞれ算出し、それらの差が無いように、または一定差となるように、利得差計算回路 103 で入力レベルと出力レベルの利得差を乗数 α として算出する。乗算器 104, 105 により乗数 α をデジタルチャンネルフィルタ 217, 218 の出力に乗算し、この乗算結果を補正後のデジタル信号として後段のデジタル信号処理回路へ出力する。



WO 2007/032550 A1



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

受信振幅補正回路及び受信振幅補正方法並びにそれを用いた受信機

技術分野

本発明は受信振幅補正回路及び受信振幅補正方法並びにそれを用いた受信機に関し、特にA G C機能を有しダイレクトコンバージョン方式の受信方式を採用した無線通信装置に用いて好適な受信振幅補正回路に関する。

背景技術

無線通信装置における受信機には、図1に示すようなダイレクトコンバージョン方式のものがある。図1を参照すると、アンテナ201で受信された高周波信号は、低雑音増幅器（以下、LNAと略称する）202により増幅される。実際には、アンテナ201とLNA202との間には、デュプレクサや高周波フィルタ（チャンネル帯域制限用ではない広帯域のフィルタ）などが設けられているが、図示は省略している。

LNA202で増幅された信号は、高周波バンドパスフィルタ（以下、RF BPFと略称する）203により受信帯域全体（チャンネルではない）の受信成分が抽出され、受信帯域以外の、例えば装置自体が送信する送信信号などが抑圧される。RF BPF203の出力は直交復調回路204に入力される。直交復調回路204は入力信号を復調し、同相成分であるI成分と、直交成分であるQ成分とを出力する。

直交復調回路204は、バッファアンプ221と、バランスドミキサである乗算器222及び223と、直交信号発生器224と、ローカル発振器225とからなる。この種の構成は周知であるので、詳しい説明は省略する。直交復調回路204により復調されたI成分、Q成分は、ベースバンドフィルタ（以下、BB BPFと略称する）205、206へ入力されて、それぞれ帯域制限される。

BB BPF 205, 206はバンドパスフィルタ (BPF) である。これは、直交復調回路204で発生するDCオフセットを除去するために隣接チャンネル成分を抑圧するのみならず、非常に直流に近い低周波成分をも抑圧するためである。以下、この種のフィルタをチャンネルフィルタと呼ぶ。

チャンネルフィルタ205, 206により帯域制限されたI成分, Q成分は、ベースバンド回路207に入力される。ベースバンド回路207は、可変利得増幅器 (以下、VGAと略称する) 208, 209, 210及び211, 212, 213、A/D変換器215, 216、利得制御部214からなっている。ベースバンド回路207においては、帯域制限されたI成分, Q成分がそれぞれVGA 208~210, 211~213により、後段のA/D変換器215, 216において最適な変換処理が可能な所定レベルまで増幅される。図1では、VGAを3段構成としているが、1段以上の構成であれば良い。また、チャンネルフィルタ205, 206とVGA 208~210, 211~213の位置関係も、図1の例に限られるものではない。更に、チャンネルフィルタ205, 206がそれぞれ複数段に分割されてVGAの間に配置される構成でも良い。

VGAの最終段のI成分出力, Q成分出力は、それぞれA/D変換器215, 216においてA/D変換されてデジタルI信号, Q信号として後段のデジタル信号処理回路 (図2参照) へ送られる。

図2はデジタル信号処理回路100を示す図である。デジタル振幅計算器303は、図1のベースバンド回路207から送られてきたデジタルI信号, Q信号から、例えばCDMAやTDMAにおける1スロット間の平均振幅を計算する。続いて、平均振幅の計算結果と目標とする基準振幅との差が、減算器302で算出される。算出された差はデジタル利得制御データ発生器301へ入力される。デジタル利得制御データ発生器301は、算出された差からVGAの利得を制御するための利得制御データを発生する。

利得制御データは、図1に示した利得制御部214へ送られる。利得制御部214は利得制御データをもとにVGA 208~210, 211~213の利得制御を行う。この場合、利得制御データはアナログ信号であってもデジタル信号であっても良い。また、VGAは、図1では、すべてベースバンド回路207に

集中して設けられているが、LNA 202やバッファアンプ221もVGAとして用いることが可能である。その場合には、LNA 202やバッファアンプ221も、利得制御部214からの利得制御データによって利得制御されることは勿論である。

以上の構成及び動作によって、A/D変換器215、216への入力信号レベルが、A/D変換器215、216のダイナミックレンジに最適に収まるように、I成分、Q成分の信号レベルが自動的に調整(AGC)されることになる。

なお、この様な受信機におけるAGCの一例は、特許文献1(特開2001-168664号公報)に開示されている。

図1に示したダイレクトコンバージョン方式の受信機は、CDMAやW-CDMAなどの既存の通信方式においては問題なく機能している。しかし、近年、より高速の伝送方式である、例えば3GPP(Third Generation Partnership Project)におけるHSDPA(High Speed Downlink Packet Access)方式の導入が進められている。HSDPA方式では、QPSK復調方式のみならず16値QAMなどの下り変調方式が採用され、しかも拡散率が極めて小さい高速データ伝送が要求されている。このような要求に対処するためには、通信端末装置の受信側の復調精度を厳しくする必要がある。

例えば、従来は15~20%程度のEVM(Error Vector Magnitude)で良かったが、HSDPA方式では、5%以下のEVMが必要になると考えられる。このような高精度の復調を行うには、アナログチャンネルフィルタを用いたのでは、実現が困難である。例えば、アナログチャンネルフィルタを構成している部品における特性のバラツキや経年変化などによって、EVMを5%以下に維持することは容易ではない。

そこで、チャンネルフィルタをデジタルフィルタで構成し、A/D変換器の後段に設けるという方法が考えられる。デジタルフィルタであれば、部品における特性のバラツキや経年変化が発生しないので、高精度の復調が可能である。

チャンネルフィルタをデジタルフィルタとした例を図3に示す。図3において、図1と同等部分は同一符号により示している。

図3は、図1におけるチャンネルフィルタ205、206をそれぞれディジタ

ルフィルタ (DLPF) 217, 218に置き換え、これらをA/D変換器215, 216の後段に配置した例を示している。ここでは、デジタル処理によるチャンネルフィルタは、ローパスフィルタとしているが、DCオフセットを除去するためのハイパスフィルタとしても良い。また、A/D変換に伴うエイリアジングを防止するためのローパスフィルタを、A/D変換器215, 216の前段に残すことも考えられる。

図4は、デジタルフィルタ217, 218の周波数特性の例を示している。図4に示す如く、受信すべき希望チャンネルの帯域はできる限りそのまま通過させ、隣接チャンネルを含む残余のチャンネルの帯域は抑圧する周波数特性となっている。EVMを小さく抑えるために、通常は、周波数特性をルートコサインロールオフ特性に限りなく近い特性とする必要があり、現にそのような設計は可能である。

図5A及び図5Bは、図4に示した周波数特性を有するデジタルフィルタを通過した場合の希望波と隣接チャンネルの妨害波とのレベル変化の例を示している。図5Aに示すように、デジタルチャンネルフィルタ217, 218の入力側では、隣接チャンネルの妨害波が希望波に比べて非常に大きい場合であっても、デジタルチャンネルフィルタ217, 218を通過した後では、図5Bに示すように、その周波数特性によって妨害波は大幅に抑圧されるので、希望波よりも妨害波のレベルは小さくなる。

このように、デジタルチャンネルフィルタ217, 218の前後では、妨害波のレベルが大きく変化する。妨害波の抑圧されたデジタルI信号、Q信号を図2のデジタル信号処理回路100へ入力すると、デジタル振幅計算器303は、A/D変換器215, 216の直後よりも、妨害波を過小に見積った値で平均振幅を算出する。これは、算出された平均振幅と基準振幅との差が実際よりも小さくなってしまふことを意味する。その結果、デジタル信号処理回路100では過大な利得制御データが生成され、よってVGAの利得が過大になる。

このとき問題になるのは、A/D変換器215, 216の入力における振幅が、隣接チャンネルの妨害波によって、A/D変換器215, 216の適正な入力レンジを逸脱してしまうことである。このような状況になると、A/D変換器21

5, 216の正常な動作は期待できなくなり、結果的に受信機として正常に機能しなくなる。

なお、特許文献1に開示された受信機においては、AGC制御のために、デジタルチャンネルフィルタの入力信号の平均振幅を検出して、検出された平均振幅と基準値との差に応じてAGC制御信号を生成するものであり、デジタルチャンネルフィルタの出力信号の平均振幅を検出して、AGC制御を行うものではない。

本発明の目的は、チャンネルフィルタとしてデジタルチャンネルフィルタを用い、このデジタルチャンネルフィルタの出力信号の平均振幅に応じてAGC制御を行う場合にも、A/D変換器が正常な動作を行うようにして、受信機としての機能を維持可能な受信振幅補正回路及び受信振幅補正方法並びにそれを用いた受信機を提供することである。

発明の開示

上述した従来技術における問題の発生原因は、希望波とそれ以外の妨害波が存在する場合に、デジタルチャンネルフィルタの入出力レベルが一致しないか、または所定レベル差にないことである。そこで、本発明では、デジタルチャンネルフィルタの入出力レベルが平均的にほぼ一致、あるいは所定レベル差になるような構成を採用するようにしている。

本発明による受信振幅補正回路は、受信アナログ信号をデジタル信号に変換するA/D変換部と、このデジタル信号の帯域制限をなす帯域制限部と、この帯域制限後にデジタル信号処理をなすデジタル信号処理部と、このデジタル信号処理部内の信号レベルに基づいて受信アナログ信号のレベル制御のための利得制御をなす利得制御部とを含む受信機に適用される。本受信振幅補正回路は、帯域制限部の前後のデジタル信号振幅が、平均的に等しいかまたは所定差になるよう補正する補正部を含むことを特徴とする。

本発明による受信振幅補正方法は、受信アナログ信号をデジタル信号に変換し、このデジタル信号に対して帯域制限部により帯域制限を行い、この帯域制限後にデジタル信号処理部によりデジタル信号処理を行い、このデジタル

信号処理部内の信号レベルに基づいて受信アナログ信号のレベル制御のための利得制御をなすようにした受信機に適用される。本受信振幅補正方法は、帯域制限部の前後のデジタル信号振幅が、平均的に等しいかまたは所定差になるよう補正する補正ステップを含むことを特徴とする。

本発明による受信機は、上記の受信振幅補正回路を含むことを特徴とする。

本発明によれば、チャンネルフィルタであるデジタルフィルタにより妨害波を抑圧する前と後とで、デジタル信号の振幅を平均的にほぼ等しくするか、あるいは一定差になるようにすることにより、A/D変換部の入力において、信号レベルがA/D変換範囲（A/D変換部のダイナミックレンジ）を逸脱する事態を防止できる。

図面の簡単な説明

図1は、従来のダイレクトコンバージョン方式による受信機の一例を示すブロック図である。

図2は、図1に示されたベースバンド回路の後段に設けられるデジタル信号処理回路のブロック図である。

図3は、従来のダイレクトコンバージョン方式による受信機他の例を示すブロック図である。

図4は、図3に示されたデジタルローパスフィルタの周波数特性を示す図である。

図5A及び図5Bは、図3に示されたデジタルローパスフィルタの前後の信号のレベル変化を示す図である。

図6は、本発明の実施形態による受信機の構成を示すブロック図である。

図7A～図7Cは、図6の回路における各部の信号のレベルを示す図である。

図8は、本発明の他の実施形態による受信機の構成を示すブロック図である。

発明を実施するための最良の形態

以下、図面を用いて本発明の実施形態について説明する。図6は本発明による受信振幅補正回路の実施形態を示すブロック図であり、図3に示した受信機に適

用することができる。受信振幅補正回路は、図3に示したチャンネルフィルタであるデジタルローパスフィルタ(DLPF)217, 218の直前(入力)のIデータ, Qデータを入力として、それらの平均振幅を計算する振幅計算回路101(第1の計算部)と、デジタルローパスフィルタ(DLPF)217, 218の直後(出力)のIデータ, Qデータを入力として、それらの平均振幅を計算する振幅計算回路102(第2の計算部)とを備えている。振幅の平均を計算する期間は、通信フレームを構成する最小単位であるスロットを用いるのが望ましいが、これに限定されない。

振幅計算回路101, 102の出力は、利得差計算回路103(算出部)へ入力される。利得差計算回路103は、振幅計算回路101, 102で計算された平均振幅に基いて乗算器104, 105での乗数 α を算出する。乗数 α とチャンネルフィルタ217, 218の各出力とが乗算器104, 105においてそれぞれ乗算され、これら乗算結果がデジタルI信号, Q信号としてデジタル信号処理回路へ導出される。上記以外の構成は図3の構成と同じで良く、詳しい説明は省略する。また、デジタル信号処理回路も図2で説明したデジタル信号処理回路100と同じで良い。なお、振幅計算回路101, 102、利得差計算回路103、乗算器104, 105はまとめて補正部と呼ばれても良い。また、利得差計算回路103、乗算器104, 105はまとめて振幅補正部と呼ばれても良い。

かかる構成において、1スロットに含まれるIデータ, Qデータのサンプル数をそれぞれNとし、チャンネルフィルタ217, 218の直前のIサンプル値, Qサンプル値をそれぞれ I_{inj} , Q_{inj} とし、チャンネルフィルタ217, 218の直後のIサンプル値, Qサンプル値をそれぞれ I_{outj} , Q_{outj} とする。この場合、あるスロットにおけるチャンネルフィルタ217, 218の直前、直後の平均振幅 A_{in} , A_{out} は、以下の数式(1)、(2)で表される。

$$A_{in} = \sqrt{\frac{\sum_{j=1}^N (I_{inj}^2 + Q_{inj}^2)}{N}} \quad (1)$$

$$A_{out} = \sqrt{\frac{\sum_{j=1}^N (I_{outj}^2 + Q_{outj}^2)}{N}} \quad (2)$$

利得差計算回路 103 は、これらの平均振幅 A_{in} , A_{out} を用いて次のスロットで採用する乗算器 104, 105 の乗数 α を算出する。乗数 α は、以下の数式 (3) で表される。

$$\alpha = A_{out} / A_{in} \quad (3)$$

次のスロットで、算出された乗数 α とチャンネルフィルタ 217, 218 の各出力とが乗算器 104, 105 で乗算される。これら乗算結果が、デジタル I 信号, Q 信号として、デジタル信号処理回路へ出力される。

すなわち、チャンネルフィルタ 217, 218 の直前の平均振幅と直後の平均振幅の比 (A_{in} / A_{out}) の逆数 (A_{out} / A_{in}) を乗数 α として算出し、この乗数 α をチャンネルフィルタ 217, 218 の出力に乗算する。これにより、スロット間の微小な揺らぎはやむをえないとしても、チャンネルフィルタ 217, 218 の直前の振幅と、乗算器 104, 105 の直後の振幅とをほぼ同じ値にすることができる。なお、乗数 α の代りに、 $\alpha \cdot k$ (k は 1 以上の定数とする) を用いて乗算を行えば、定数 k に対応する所定のレベル差を与えることができる。

図 7A～図 7C は図 6 の回路における希望波と妨害波とのレベルの変化を示したものである。図 7A はデジタルチャンネルフィルタ 217, 218 の直前 (入力) での希望波と妨害波のレベル、図 7B はデジタルチャンネルフィルタ 217, 218 の直後 (出力) での希望波と妨害波のレベル、図 7C は乗算器 104, 105 によりレベル補正された後のデジタル信号のレベルを、それぞれ示している。

図 8 は本発明による受信振幅補正回路の他の実施形態のブロック図であり、図 6 と同等部分は同一符号により示している。チャンネルフィルタ 217, 218 の直前の I データ, Q データの平均振幅を振幅計算回路 101 (第 1 の計算部)

で計算することは、先の実施形態と同じである。本実施形態と先の実施形態の違いは、乗算器104、105の直後のIデータ、Qデータの平均振幅を、振幅計算回路102（第2の計算部）で計算するようにした点にある。

これら振幅計算回路101、102で計算された平均振幅が利得差計算回路103（乗数算出部）へ入力され、利得差計算回路103で乗算器104、105に与える乗数 α が算出される。この乗数 α とチャンネルフィルタ217、218の各出力とが乗算器104、105によりそれぞれ乗算され、これら乗算結果が、デジタルI信号、Q信号としてデジタル信号処理回路（図2）へ導出される。他の構成は、図3と同じである。なお、振幅計算回路101、102、利得差計算回路103、乗算器104、105はまとめて補正部と呼ばれても良い。

かかる構成において、平均振幅を算出する平均区間を、先の実施形態と同じく、通信フレームの最小単位であるスロットとし、デジタルチャンネルフィルタ217、218の直前のIサンプル値、Qサンプル値を、それぞれ I_{inj} 、 Q_{inj} とし、また乗算器104、105の直後のIサンプル値、Qサンプル値を、それぞれ I_{outj} 、 Q_{outj} とする。あるスロットにおけるデジタルチャンネルフィルタ217、218の直前及び乗算器104、105の直後の平均振幅 A_{in} 、 A_{out} は、上記式（1）、（2）と同一となる。

利得差計算回路103では、次のスロットで採用する乗算器104、105の乗数を α とし、1つ前のスロットでの乗数を α_{-1} とすると、乗数 α は以下の数式（4）で表される。

$$\alpha = (A_{out}/A_{in}) \times \alpha_{-1} \quad (4)$$

よって、当該スロットで、この乗数 α とデジタルチャンネルフィルタ217、218の出力とを、乗算器104、105にて乗算し、これらの乗算結果をデジタルI信号、Q信号としてデジタル信号処理回路へ導出する。

こうすることにより、本実施形態においても、スロット間の微小な揺らぎはやむをえないものの、デジタルチャンネルフィルタの直前の振幅と、乗算器の直後の振幅とをほぼ同じにすることができる。なお、乗数 α の代りに、定数 k を α に掛けた値 $\alpha \cdot k$ を乗数として用いても良い。この場合には、定数 k に対応する所定のレベル差を、フィルタ直前と乗算器直後の各レベルに対して与えることが

できる。

従って、本実施形態でも、チャンネルフィルタにおいて妨害波を抑圧する前と後とで、振幅を平均的にほぼ同じにするか、あるいは所定定数倍にすることができる。このような機能を図2のデジタル信号処理回路100の前段に設けてレベル補正を行えば、A/D変換器215, 216（図3）の入力において、信号レベルがA/D変換範囲を逸脱するような事態を防止することができる。

請 求 の 範 囲

1. 受信アナログ信号をデジタル信号に変換するA/D変換部と、このデジタル信号の帯域制限をなす帯域制限部と、この帯域制限後にデジタル信号処理をなすデジタル信号処理部と、このデジタル信号処理部内の信号レベルに基づいて前記受信アナログ信号のレベル制御のための利得制御をなす利得制御部とを含む受信機における受信振幅補正回路であって、

前記帯域制限部の前後のデジタル信号振幅が、平均的に等しいかまたは所定差になるよう補正する補正部を含むことを特徴とする受信振幅補正回路。

2. 前記補正部は、前記帯域制限部の直前の平均振幅を計算する第1の計算部と、前記帯域制限部の直後の平均振幅を計算する第2の計算部と、前記帯域制限部の直前の平均振幅と前記帯域制限部の直後の平均振幅とを比較して、その比較結果に応じて前記帯域制限部の直後の振幅の補正をなす振幅補正部を有することを特徴とする請求項1記載の受信振幅補正回路。

3. 前記振幅補正部は、前記帯域制限部の直前の平均振幅と前記帯域制限部の直後の平均振幅との比の逆数を算出する算出部と、前記比の逆数またはこの逆数の所定倍数を前記帯域制限部の出力に乗算する乗算器とを有することを特徴とする請求項2記載の受信振幅補正回路。

4. 前記補正部は、前記帯域制限部の直後に設けられた乗算器と、前記帯域制限部の直前の平均振幅を計算する第1の計算部と、前記乗算器の直後の平均振幅を計算する第2の計算部と、前記帯域制限部の直前の平均振幅と前記乗算器の直後の平均振幅とを比較して、その比較結果に応じて前記乗算器の乗数を算出する乗数算出部とを有することを特徴とする請求項1記載の受信振幅補正回路。

5. 前記乗数算出部は、前記帯域制限部の前記直前の平均振幅と前記乗算器の前記直後の平均振幅との比の逆数を算出し、前記比の逆数またはこの逆数の所定倍数に対して、直前の平均区間の乗数を掛けたものを、その平均区間の乗数とすることを特徴とする請求項4記載の受信振幅補正回路。

6. 前記補正部は、通信フレームの最小単位であるスロット期間を平均区間

とすることを特徴とする請求項 1～5 のいずれかに記載の受信振幅補正回路。

7. 受信アナログ信号をデジタル信号に変換し、このデジタル信号に対して帯域制限部により帯域制限を行い、この帯域制限後にデジタル信号処理部によりデジタル信号処理を行い、このデジタル信号処理部内の信号レベルに基づいて前記受信アナログ信号のレベル制御のための利得制御をなすようにした受信機における受信振幅補正方法であって、

前記帯域制限部の前後のデジタル信号振幅が、平均的に等しいかまたは所定差になるよう補正する補正ステップを含むことを特徴とする受信振幅補正方法。

8. 前記補正ステップは、前記帯域制限部の直前の平均振幅と直後の平均振幅とを比較して、その比較結果に応じて前記帯域制限部の直後の振幅の補正をなすことを特徴とする請求項 7 記載の受信振幅補正方法。

9. 前記補正ステップは、前記帯域制限部の前記直前の平均振幅と前記帯域制限部の前記直後の平均振幅との比の逆数を算出し、前記比の逆数またはこの逆数の所定倍数を前記帯域制限部の出力に乗算することを特徴とする請求項 8 記載の受信振幅補正方法。

10. 前記補正ステップは、前記帯域制限部の直前の平均振幅と前記帯域制限部の直後に設けられた乗算器の直後の平均振幅とを比較して、その比較結果に応じて前記乗算器の乗数を算出することを特徴とする請求項 7 記載の受信振幅補正方法。

11. 前記帯域制限部の前記直前の平均振幅と前記乗算器の前記直後の平均振幅との比の逆数を算出し、前記比の逆数またはこの逆数の所定倍数に対して、直前の平均区間の乗数を掛けたものを、その平均区間の乗数とすることを特徴とする請求項 10 記載の受信振幅補正方法。

12. 前記補正ステップは、通信フレームの最小単位であるスロット期間を平均区間とすることを特徴とする請求項 7～11 のいずれかに記載の受信振幅補正方法。

13. 請求項 1～6 のいずれかに記載の受信振幅補正回路を備えたことを特徴とする受信機。

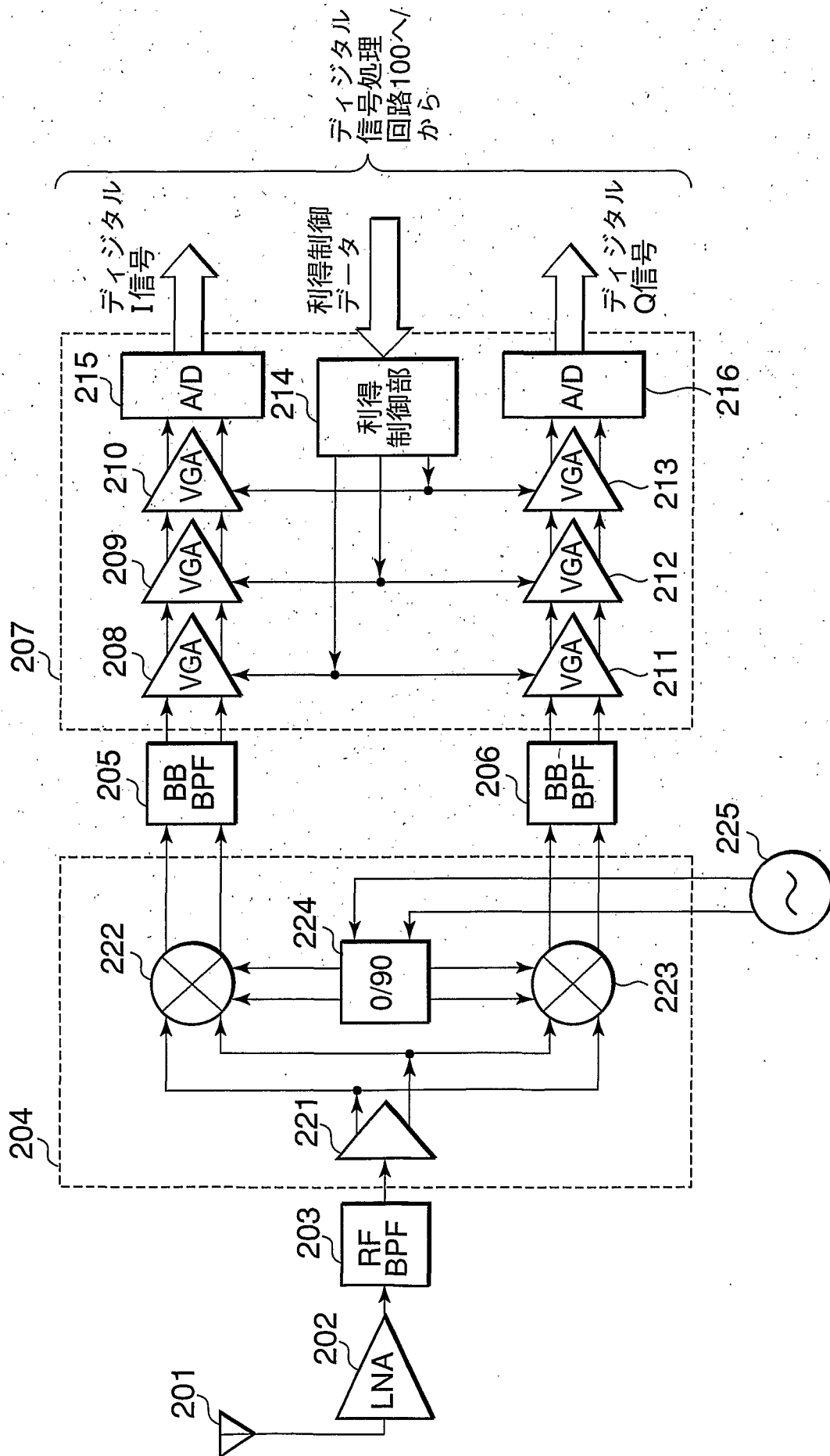


図 1

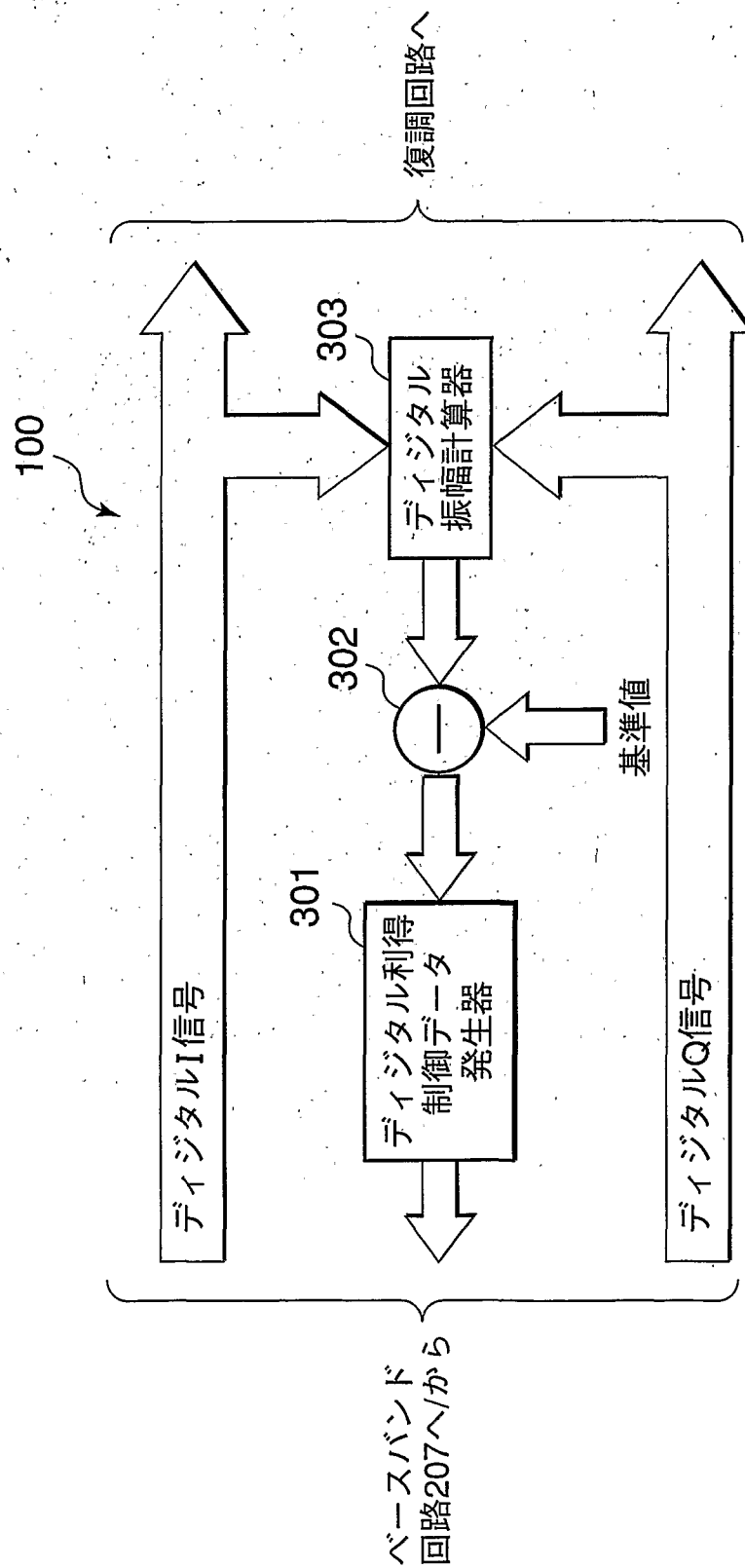


図 2

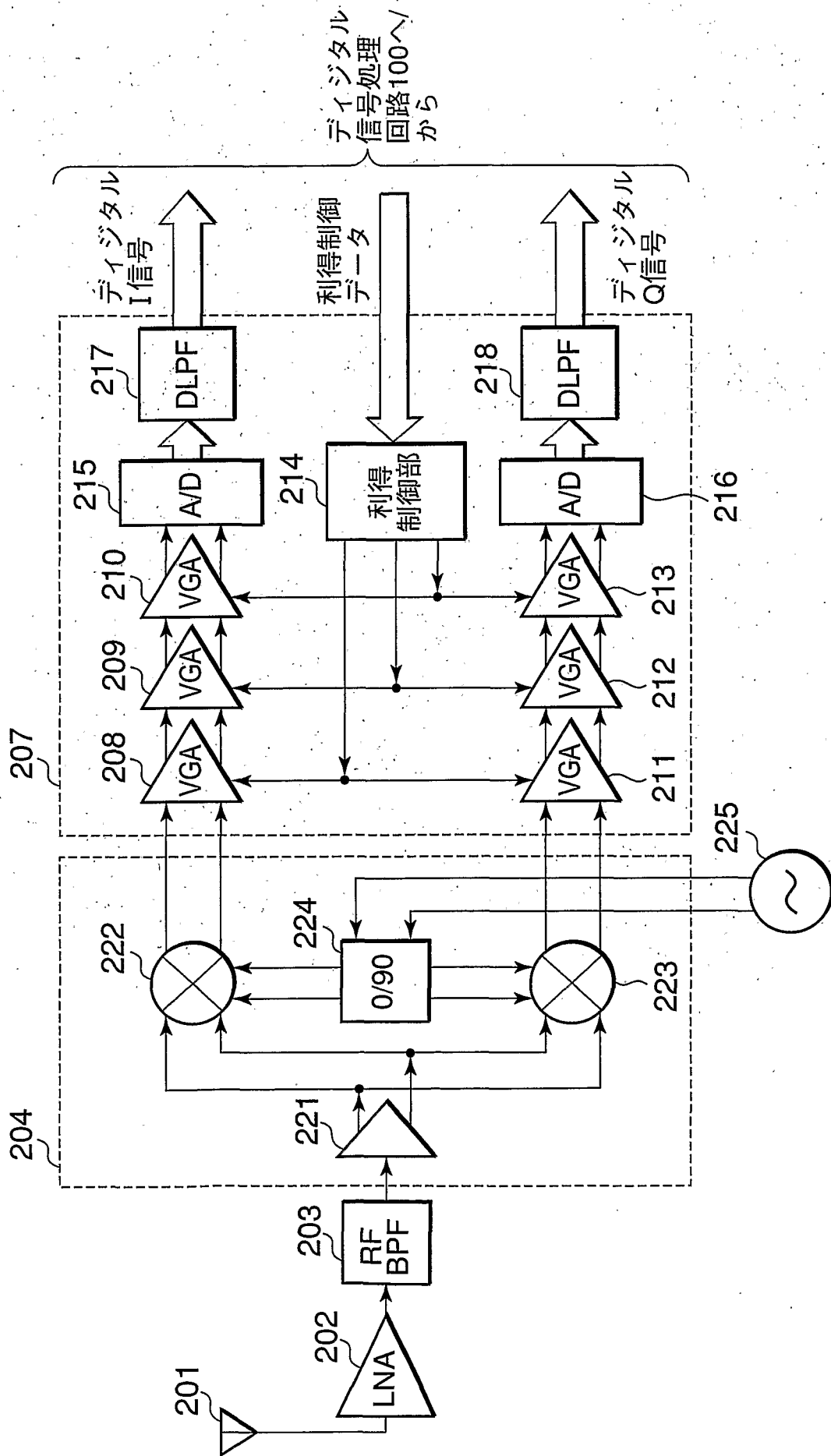


図 3

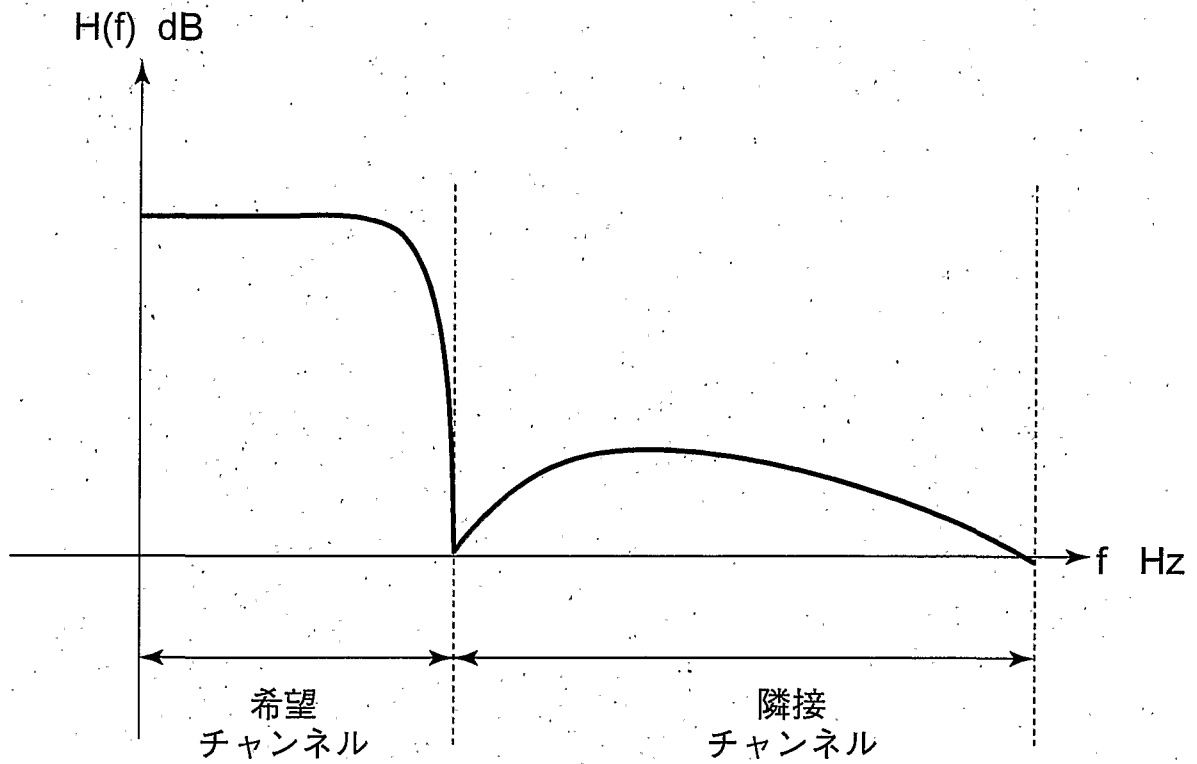


図 4

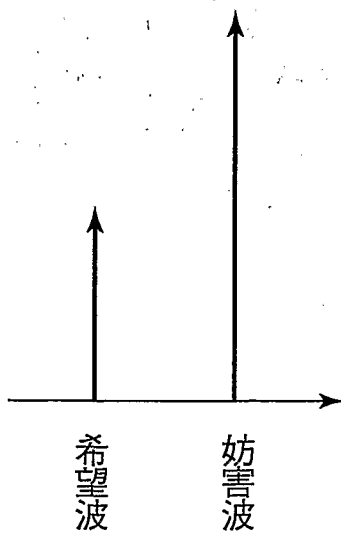


図 5A

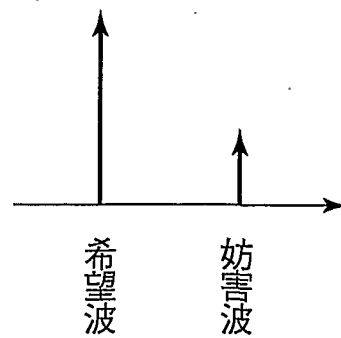


図 5B

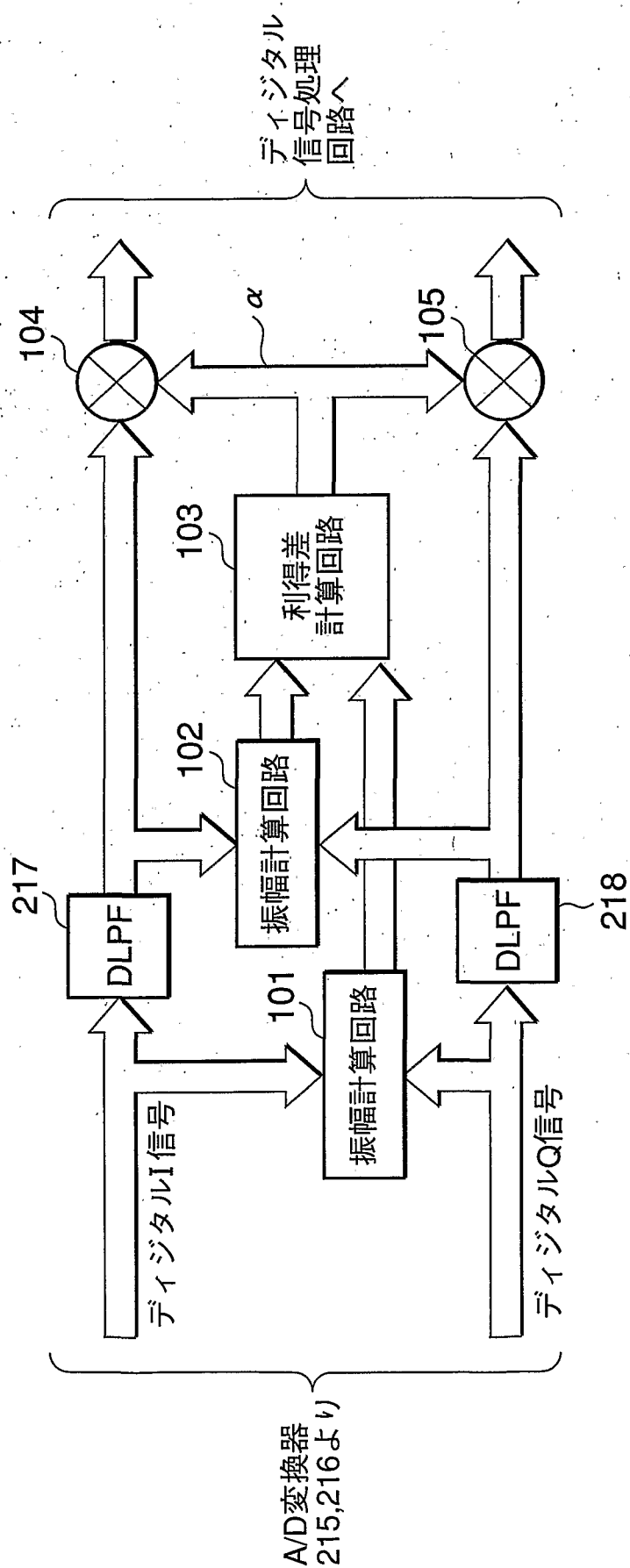


図 6

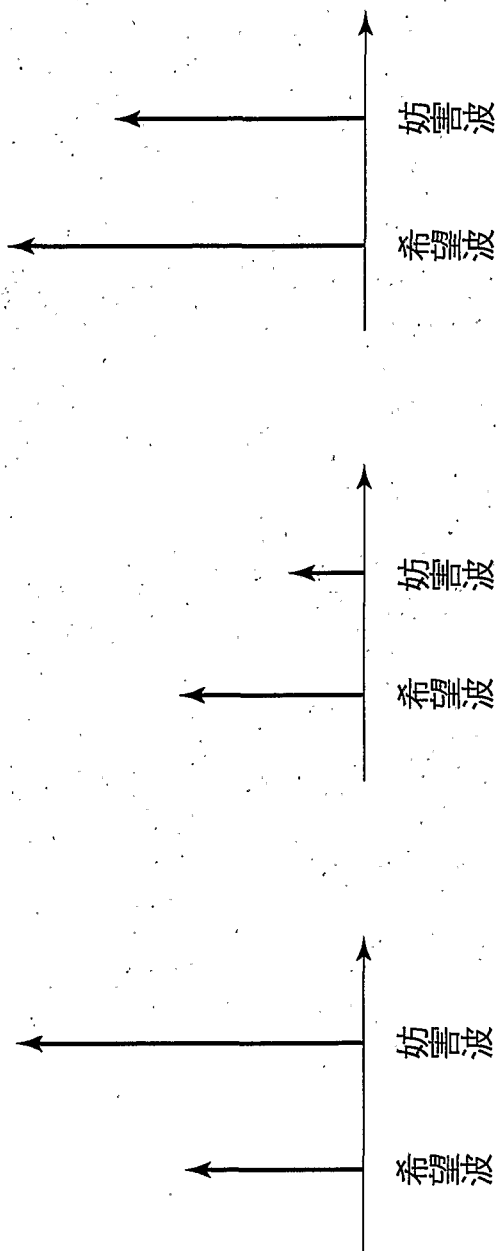


図 7A

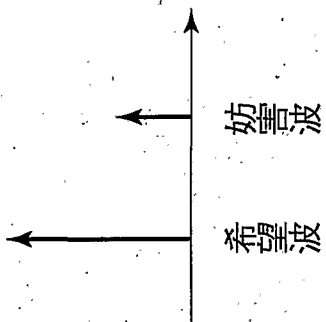


図 7B

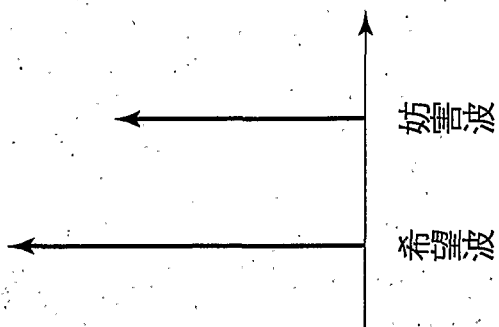


図 7C

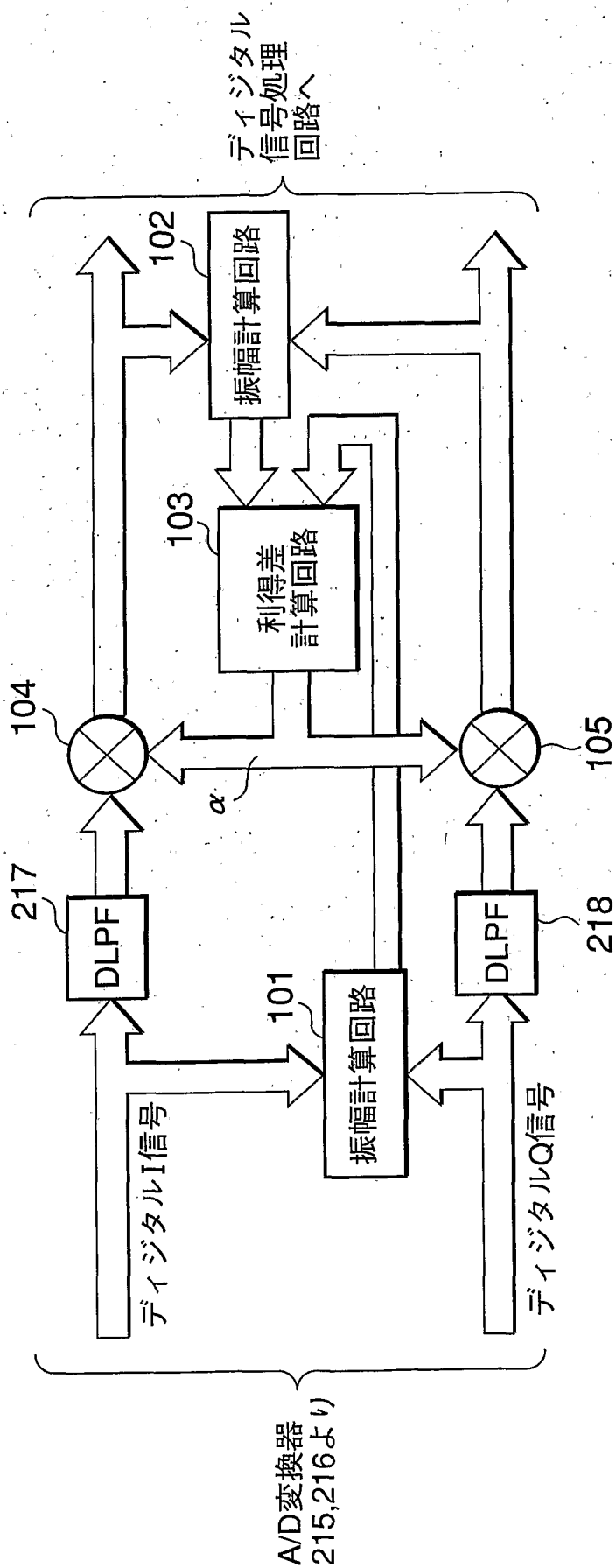


図 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/318665

A. CLASSIFICATION OF SUBJECT MATTER

H04B1/16(2006.01) i, H03G3/30(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/16, H03G3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-153718 A (Kabushiki Kaisha Samsung Yokohama Kenkyusho), 27 May, 2004 (27.05.04), Full text; all drawings (Family: none)	1-13
A	JP 2000-252868 A (Toshiba Corp.), 14 September, 2000 (14.09.00), Full text; all drawings (Family: none)	1-13
A	WO 2004/068754 A1 (Fujitsu Ltd.), 12 August, 2004 (12.08.04), Full text; all drawings (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2006 (13.12.06)

Date of mailing of the international search report
19 December, 2006 (19.12.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04B1/16(2006.01)i, H03G3/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04B1/16, H03G3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-153718 A（株式会社サムスン横浜研究所）2004.05.27, 全文、全図（ファミリーなし）	1-13
A	JP 2000-252868 A（株式会社東芝）2000.09.14, 全文、全図（ファミリーなし）	1-13
A	WO 2004/068754 A1（富士通株式会社）2004.08.12, 全文、全図（ファミリーなし）	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 1 2 . 2 0 0 6

国際調査報告の発送日

1 9 . 1 2 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 敬介

5 W

9 1 9 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6