

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和7年1月24日(2025.1.24)

【国際公開番号】WO2023/219031

【出願番号】特願2024-520423(P2024-520423)

【国際特許分類】

H03K 17/16(2006.01)

H03K 17/693(2006.01)

H02M 1/08(2006.01)

H03K 17/22(2006.01)

H03K 17/08(2006.01)

H03K 17/082(2006.01)

H03K 17/695(2006.01)

10

【F I】

H03K 17/16 H

H03K 17/693

H02M 1/08 A

H03K 17/22 E

H03K 17/08 C

20

H03K 17/082

H03K 17/695

【手続補正書】

【提出日】令和6年11月6日(2024.11.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

30

【特許請求の範囲】

【請求項1】

駆動対象ハイサイドトランジスタと駆動対象ローサイドトランジスタが電源電圧とグランド電位との間で直列に接続されるハーフブリッジを駆動するゲート駆動回路であって、

前記駆動対象ハイサイドトランジスタのゲートを駆動するように構成されるハイサイドプリドライバと、

前記駆動対象ローサイドトランジスタのゲートを駆動するように構成されるローサイドプリドライバと、

を備え、

前記ハイサイドプリドライバは、第1ハイサイドトランジスタと、第2ハイサイドトランジスタを有し、

前記ローサイドプリドライバは、第3ハイサイドトランジスタと、第4ハイサイドトランジスタを有し、

前記第1ハイサイドトランジスタをターンオンさせる第1ゲート信号と、前記第2ハイサイドトランジスタをターンオンさせる第2ゲート信号の間と、

前記第3ハイサイドトランジスタをターンオンさせる第3ゲート信号と、前記第4ハイサイドトランジスタをターンオンさせる第4ゲート信号の間と、の少なくとも一方において遅延が設けられる、ゲート駆動回路。

【請求項2】

前記ハイサイドプリドライバは、ハイサイド制御入力信号に基づいて前記第1ゲート信

40

50

号および前記第2ゲート信号を生成するように構成されるハイサイド駆動部を備える、請求項1に記載のゲート駆動回路。

【請求項3】

前記ハイサイド駆動部は、

複数の第1インバータを有して前記第1ゲート信号を生成するように構成される第1ハイサイドゲート信号生成部と、

複数の第2インバータを有して前記第2ゲート信号を生成するように構成される第2ハイサイドゲート信号生成部と、

を有し、

前記第2ハイサイドゲート信号生成部における少なくともいずれかの前記第2インバータは、前記第1ハイサイドゲート信号生成部における少なくともいずれかの前記第1インバータよりもトランジスタのサイズが小さい、請求項2に記載のゲート駆動回路。 10

【請求項4】

前記第2ハイサイドゲート信号生成部における初段の前記第2インバータは、前記第1ハイサイドゲート信号生成部における初段の前記第1インバータよりもトランジスタのサイズが小さい、請求項3に記載のゲート駆動回路。

【請求項5】

前記ローサイドプリドライバは、ローサイド制御入力信号に基づいて前記第3ゲート信号および前記第4ゲート信号を生成するように構成されるローサイド駆動部を備える、請求項1に記載のゲート駆動回路。 20

【請求項6】

前記ローサイド駆動部は、

複数の第3インバータを有して前記第3ゲート信号を生成するように構成される第1ローサイドゲート信号生成部と、

複数の第4インバータを有して前記第4ゲート信号を生成するように構成される第2ローサイドゲート信号生成部と、

を有し、

前記第2ローサイドゲート信号生成部における少なくともいずれかの前記第4インバータは、前記第1ローサイドゲート信号生成部における少なくともいずれかの前記第3インバータよりもトランジスタのサイズが小さい、請求項5に記載のゲート駆動回路。 30

【請求項7】

前記第2ローサイドゲート信号生成部における初段の前記第4インバータは、前記第1ローサイドゲート信号生成部における初段の前記第3インバータよりもトランジスタのサイズが小さい、請求項6に記載のゲート駆動回路。

【請求項8】

前記駆動対象ハイサイドトランジスタのゲート電圧がローレベル、かつ前記駆動対象ハイサイドトランジスタと前記駆動対象ローサイドトランジスタとが接続されるノードの電圧がローレベルであることをモニタするためのモニタ部を備え、

前記モニタ部から出力されるモニタ信号に基づき前記第4ゲート信号が生成される、請求項1に記載のゲート駆動回路。 40

【請求項9】

前記モニタ部は、

前記駆動対象トランジスタのゲートに接続される第1端を有する抵抗と、

前記抵抗の第2端に接続される入力端を有するインバータ段と、

を有する、請求項8に記載のゲート駆動回路。

【請求項10】

パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第1出力トランジスタと、

前記第1出力トランジスタの制御端に第1電源電圧に基づく電圧を印加するための抵抗と、 50

第2電源電圧を電源電圧として用い、制御入力信号が入力可能に構成される第1インバータ段と、

前記第1インバータ段の出力端に接続される制御端と、前記パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第2出力トランジスタと、

を備え、

前記パワーグッド端子は、前記第2電源電圧にプルアップ可能である、パワーグッド回路。

【請求項 1 1】

前記抵抗は、前記第1電源電圧の印加端とグランド電位の印加端との間に直列に接続される分圧抵抗であり、

前記分圧抵抗の接続ノードが前記第1出力トランジスタの制御端に接続される、請求項10に記載のパワーグッド回路。

【請求項 1 2】

前記第1出力トランジスタと前記第2出力トランジスタは、同一のトランジスタであり、

前記接続ノードから前記分圧抵抗を介して前記第1電源電圧の印加端への経路を遮断するための第1ダイオードと、

前記接続ノードから前記第1インバータ段を介して前記第2電源電圧の印加端への経路を遮断するための第2ダイオードと、を備える、請求項11に記載のパワーグッド回路。

【請求項 1 3】

前記抵抗は、前記第1電源電圧の印加端と前記第1出力トランジスタの制御端との間に接続される第1プルアップ抵抗である、請求項10に記載のパワーグッド回路。

【請求項 1 4】

前記第1出力トランジスタと前記第2出力トランジスタは、別個のトランジスタである、請求項13に記載のパワーグッド回路。

【請求項 1 5】

前記第2出力トランジスタの制御端と前記第2電源電圧の印加端との間に接続される第2プルアップ抵抗を備える、請求項14に記載のパワーグッド回路。

【請求項 1 6】

前記制御入力信号を前記第2電源電圧から前記第1電源電圧へレベル変換するように構成されるレベルシフト回路と、

前記レベルシフト回路の出力端と前記第1出力トランジスタの制御端との間に設けられ、前記第1電源電圧を電源電圧として用いる第2インバータ段と、

を備える、請求項14または請求項15に記載のパワーグッド回路。

【請求項 1 7】

前記第1出力トランジスタの制御端に接続される第1端と、グランド電位の印加端に接続される第2端と、前記第2電源電圧の印加端に接続される制御端と、を有する制御トランジスタを備える、請求項14または請求項15に記載のパワーグッド回路。

【請求項 1 8】

請求項10に記載のパワーグッド回路と、

イネーブル信号が入力可能であり、前記第1電源電圧を生成するように構成されるプリレギュレータと、

前記第1電源電圧に基づき基準電圧を生成するように構成される基準電圧生成部と、

前記基準電圧に基づき起動され、前記第2電源電圧を生成するように構成されるレギュレータと、

を備える、半導体装置。

【請求項 1 9】

第1スイッチ及び第2スイッチが直列接続され、前記第2スイッチが前記第1スイッチより低電位側に設けられ、前記第1スイッチと前記第2スイッチとの接続ノードにインダ

10

20

30

40

50

クタが接続される回路の前記第2スイッチに流れる過電流を検出するように構成される過電流検出回路であって、

前記第2スイッチに流れる電流に応じた第1電流を生成するように構成される第1電流生成回路と、

前記第2スイッチがオフからオンに切り替わるタイミングで零より大きく、前記第1スイッチ及び前記第2スイッチのスイッチングに同期して変動する第2電流を生成するように構成される第2電流生成回路と、

前記第1電流及び前記第2電流に応じた電圧と閾値とを比較するように構成されるコンパレータと、

を有する、過電流検出回路。

10

【請求項20】

前記第2電流生成回路は、前記第1スイッチがオンのときにオンになり、前記第1スイッチがオフのときにオフになるように構成される第3スイッチ、又は、記第1スイッチがオンのときにオフになり、記第1スイッチがオフのときにオンになる第4スイッチを含む、請求項19に記載の過電流検出回路。

【請求項21】

前記第2電流生成回路は、抵抗及びキャパシタによって構成される回路を含む、請求項19に記載の過電流検出回路。

【請求項22】

前記第2電流は、前記第2スイッチがオフのときに時間経過とともに増加し、前記第2スイッチがオンのときに時間経過とともに減少する、請求項19に記載の過電流検出回路。

20

【請求項23】

前記第2電流生成回路は、前記第1スイッチがオンのときにオンになり、前記第1スイッチがオフのときにオフになる第3スイッチと、記第1スイッチがオンのときにオフになり、記第1スイッチがオフのときにオンになる第4スイッチと、を含む、請求項19に記載の過電流検出回路。

【請求項24】

前記第2電流生成回路は、前記第2スイッチがターンオフする直前の前記第1電流の情報を保持するように構成される、請求項19に記載の過電流検出回路。

30

【請求項25】

前記第2電流は、前記第2スイッチがオフのときに前記情報に応じた値になる、請求項24に記載の過電流検出回路。

【請求項26】

前記第1電流生成回路は、前記第1電流生成回路の入力差動対トランジスタのオフセットをキャンセルするように構成される、請求項19に記載の過電流検出回路。

【請求項27】

請求項19から請求項26のいずれか1項に記載の過電流検出回路と、

前記第1スイッチ及び前記第2スイッチを制御するように構成される制御部と、
を有する、スイッチング制御回路。

40

【請求項28】

請求項27に記載のスイッチング制御回路と、

前記第1スイッチ及び前記第2スイッチと、
を有する、スイッチング電源装置。

【請求項29】

信号線と、

第1回路と、

前記信号線に接続されるキャパシタと、

前記信号線と前記第1回路との間に設けられる抵抗と、
を有し、

50

前記第1回路は2つのポールを有し、

前記第1回路、前記キャパシタ、及び前記抵抗は2つのポールと1つのゼロ点とを有する、発振防止回路。

【請求項30】

前記第1回路は、前記信号線に印加される電圧が所定値を超えないように前記信号線に印加される電圧をクランプするように構成されるクランプ回路である、請求項29に記載の発振防止回路。

【請求項31】

前記クランプ回路は、

前記信号線に印加される電圧と前記所定値の電圧との差に応じた電圧を出力するように構成される差動アンプと、10

前記差動アンプの出力電圧によって制御されるように構成されるスイッチと、
を有し、

前記スイッチがオンであるときに前記キャパシタは放電される、請求項30に記載の発振防止回路。

【請求項32】

前記スイッチは、Nチャネル型MOS電界効果トランジスタである、請求項31に記載の発振防止回路。

【請求項33】

前記信号線は、第2回路の出力端に接続される、請求項29から請求項32のいずれか1項に記載の発振防止回路。20

【請求項34】

前記第2回路は、エラーアンプである、請求項33に記載の発振防止回路。

【請求項35】

請求項34に記載の発振防止回路と、

前記エラーアンプと、

前記エラーアンプの出力電圧に基づきスイッチング素子を制御するように構成される制御部と、30

を有する、スイッチング制御回路。

【請求項36】

請求項35に記載のスイッチング制御回路と、

前記スイッチング素子と、

を有する、スイッチング電源装置。

30

40

50