

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】令和 7 年 1 月 24 日(2025.1.24)

【国際公開番号】WO2023/219031
【出願番号】特願 2024-520423(P2024-520423)
【国際特許分類】

H 0 3 K 17/16(2006.01)

H 0 3 K 17/693(2006.01)

H 0 2 M 1/08(2006.01)

H 0 3 K 17/22(2006.01)

H 0 3 K 17/08(2006.01)

H 0 3 K 17/082(2006.01)

H 0 3 K 17/695(2006.01)

10

【F I】

H 0 3 K 17/16 H

H 0 3 K 17/693

H 0 2 M 1/08 A

H 0 3 K 17/22 E

H 0 3 K 17/08 C

H 0 3 K 17/082

H 0 3 K 17/695

20

【手続補正書】

【提出日】令和 6 年 11 月 6 日(2024.11.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

30

【特許請求の範囲】

【請求項 1】

駆動対象ハイサイドトランジスタと駆動対象ローサイドトランジスタが電源電圧とグラウンド電位との間で直列に接続されるハーフブリッジを駆動するゲート駆動回路であって、
前記駆動対象ハイサイドトランジスタのゲートを駆動するように構成されるハイサイドブリドライバと、

前記駆動対象ローサイドトランジスタのゲートを駆動するように構成されるローサイドブリドライバと、

を備え、

前記ハイサイドブリドライバは、第 1 ハイサイドトランジスタと、第 2 ハイサイドトランジスタを有し、

40

前記ローサイドブリドライバは、第 3 ハイサイドトランジスタと、第 4 ハイサイドトランジスタを有し、

前記第 1 ハイサイドトランジスタをターンオンさせる第 1 ゲート信号と、前記第 2 ハイサイドトランジスタをターンオンさせる第 2 ゲート信号の間と、

前記第 3 ハイサイドトランジスタをターンオンさせる第 3 ゲート信号と、前記第 4 ハイサイドトランジスタをターンオンさせる第 4 ゲート信号の間と、の少なくとも一方において遅延が設けられる、ゲート駆動回路。

【請求項 2】

前記ハイサイドブリドライバは、ハイサイド制御入力信号に基づいて前記第 1 ゲート信

50

号および前記第 2 ゲート信号を生成するように構成されるハイサイド駆動部を備える、請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記ハイサイド駆動部は、

複数の第 1 インバータを有して前記第 1 ゲート信号を生成するように構成される第 1 ハイサイドゲート信号生成部と、

複数の第 2 インバータを有して前記第 2 ゲート信号を生成するように構成される第 2 ハイサイドゲート信号生成部と、

を有し、

前記第 2 ハイサイドゲート信号生成部における少なくともいずれかの前記第 2 インバータは、前記第 1 ハイサイドゲート信号生成部における少なくともいずれかの前記第 1 インバータよりもトランジスタのサイズが小さい、請求項 2 に記載のゲート駆動回路。

10

【請求項 4】

前記第 2 ハイサイドゲート信号生成部における初段の前記第 2 インバータは、前記第 1 ハイサイドゲート信号生成部における初段の前記第 1 インバータよりもトランジスタのサイズが小さい、請求項 3 に記載のゲート駆動回路。

【請求項 5】

前記ローサイドブリドライバは、ローサイド制御入力信号に基づいて前記第 3 ゲート信号および前記第 4 ゲート信号を生成するように構成されるローサイド駆動部を備える、請求項 1 に記載のゲート駆動回路。

20

【請求項 6】

前記ローサイド駆動部は、

複数の第 3 インバータを有して前記第 3 ゲート信号を生成するように構成される第 1 ローサイドゲート信号生成部と、

複数の第 4 インバータを有して前記第 4 ゲート信号を生成するように構成される第 2 ローサイドゲート信号生成部と、

を有し、

前記第 2 ローサイドゲート信号生成部における少なくともいずれかの前記第 4 インバータは、前記第 1 ローサイドゲート信号生成部における少なくともいずれかの前記第 3 インバータよりもトランジスタのサイズが小さい、請求項 5 に記載のゲート駆動回路。

30

【請求項 7】

前記第 2 ローサイドゲート信号生成部における初段の前記第 4 インバータは、前記第 1 ローサイドゲート信号生成部における初段の前記第 3 インバータよりもトランジスタのサイズが小さい、請求項 6 に記載のゲート駆動回路。

【請求項 8】

前記駆動対象ハイサイドトランジスタのゲート電圧がローレベル、かつ前記駆動対象ハイサイドトランジスタと前記駆動対象ローサイドトランジスタとが接続されるノードの電圧がローレベルであることをモニタするためのモニタ部を備え、

前記モニタ部から出力されるモニタ信号に基づき前記第 4 ゲート信号が生成される、請求項 1 に記載のゲート駆動回路。

40

【請求項 9】

前記モニタ部は、

前記駆動対象トランジスタのゲートに接続される第 1 端を有する抵抗と、

前記抵抗の第 2 端に接続される入力端を有するインバータ段と、

を有する、請求項 8 に記載のゲート駆動回路。

【請求項 10】

パワーグッド端子に接続される第 1 端と、グランド電位の印加端に接続される第 2 端と、を有する第 1 出力トランジスタと、

前記第 1 出力トランジスタの制御端に第 1 電源電圧に基づく電圧を印加するための抵抗と、

50

第 2 電源電圧を電源電圧として用い、制御入力信号が入力可能に構成される第 1 インバータ段と、

前記第 1 インバータ段の出力端に接続される制御端と、前記パワーグッド端子に接続される第 1 端と、グランド電位の印加端に接続される第 2 端と、を有する第 2 出力トランジスタと、

を備え、

前記パワーグッド端子は、前記第 2 電源電圧にプルアップ可能である、パワーグッド回路。

【請求項 11】

前記抵抗は、前記第 1 電源電圧の印加端とグランド電位の印加端との間に直列に接続される分圧抵抗であり、

前記分圧抵抗の接続ノードが前記第 1 出力トランジスタの制御端に接続される、請求項 10 に記載のパワーグッド回路。

【請求項 12】

前記第 1 出力トランジスタと前記第 2 出力トランジスタは、同一のトランジスタであり、

前記接続ノードから前記分圧抵抗を介して前記第 1 電源電圧の印加端への経路を遮断するための第 1 ダイオードと、

前記接続ノードから前記第 1 インバータ段を介して前記第 2 電源電圧の印加端への経路を遮断するための第 2 ダイオードと、を備える、請求項 11 に記載のパワーグッド回路。

【請求項 13】

前記抵抗は、前記第 1 電源電圧の印加端と前記第 1 出力トランジスタの制御端との間に接続される第 1 プルアップ抵抗である、請求項 10 に記載のパワーグッド回路。

【請求項 14】

前記第 1 出力トランジスタと前記第 2 出力トランジスタは、別個のトランジスタである、請求項 13 に記載のパワーグッド回路。

【請求項 15】

前記第 2 出力トランジスタの制御端と前記第 2 電源電圧の印加端との間に接続される第 2 プルアップ抵抗を備える、請求項 14 に記載のパワーグッド回路。

【請求項 16】

前記制御入力信号を前記第 2 電源電圧から前記第 1 電源電圧へレベル変換するように構成されるレベルシフト回路と、

前記レベルシフト回路の出力端と前記第 1 出力トランジスタの制御端との間に設けられ、前記第 1 電源電圧を電源電圧として用いる第 2 インバータ段と、

を備える、請求項 14 または請求項 15 に記載のパワーグッド回路。

【請求項 17】

前記第 1 出力トランジスタの制御端に接続される第 1 端と、グランド電位の印加端に接続される第 2 端と、前記第 2 電源電圧の印加端に接続される制御端と、を有する制御トランジスタを備える、請求項 14 または請求項 15 に記載のパワーグッド回路。

【請求項 18】

請求項 10 に記載のパワーグッド回路と、

イネーブル信号が入力可能であり、前記第 1 電源電圧を生成するように構成されるプリレギュレータと、

前記第 1 電源電圧に基づき基準電圧を生成するように構成される基準電圧生成部と、

前記基準電圧に基づき起動され、前記第 2 電源電圧を生成するように構成されるレギュレータと、

を備える、半導体装置。

【請求項 19】

第 1 スイッチ及び第 2 スイッチが直列接続され、前記第 2 スイッチが前記第 1 スイッチより低電位側に設けられ、前記第 1 スイッチと前記第 2 スイッチとの接続ノードにインダ

10

20

30

40

50

クタが接続される回路の前記第 2 スイッチに流れる過電流を検出するように構成される過電流検出回路であって、

前記第 2 スイッチに流れる電流に応じた第 1 電流を生成するように構成される第 1 電流生成回路と、

前記第 2 スイッチがオフからオンに切り替わるタイミングで零より大きく、前記第 1 スイッチ及び前記第 2 スイッチのスイッチングに同期して変動する第 2 電流を生成するように構成される第 2 電流生成回路と、

前記第 1 電流及び前記第 2 電流に応じた電圧と閾値とを比較するように構成されるコンパレータと、

を有する、過電流検出回路。

10

【請求項 20】

前記第 2 電流生成回路は、前記第 1 スイッチがオンのときにオンになり、前記第 1 スイッチがオフのときにオフになるように構成される第 3 スイッチ、又は、記第 1 スイッチがオンのときにオフになり、記第 1 スイッチがオフのときにオンになる第 4 スイッチを含む、請求項 19 に記載の過電流検出回路。

【請求項 21】

前記第 2 電流生成回路は、抵抗及びキャパシタによって構成される回路を含む、請求項 19 に記載の過電流検出回路。

【請求項 22】

前記第 2 電流は、前記第 2 スイッチがオフのときに時間経過とともに増加し、前記第 2 スイッチがオンのときに時間経過とともに減少する、請求項 19 に記載の過電流検出回路。

20

【請求項 23】

前記第 2 電流生成回路は、前記第 1 スイッチがオンのときにオンになり、前記第 1 スイッチがオフのときにオフになる第 3 スイッチと、記第 1 スイッチがオンのときにオフになり、記第 1 スイッチがオフのときにオンになる第 4 スイッチと、を含む、請求項 19 に記載の過電流検出回路。

【請求項 24】

前記第 2 電流生成回路は、前記第 2 スイッチがターンオフする直前の前記第 1 電流の情報を保持するように構成される、請求項 19 に記載の過電流検出回路。

30

【請求項 25】

前記第 2 電流は、前記第 2 スイッチがオフのときに前記情報に応じた値になる、請求項 24 に記載の過電流検出回路。

【請求項 26】

前記第 1 電流生成回路は、前記第 1 電流生成回路の入力差動対トランジスタのオフセットをキャンセルするように構成される、請求項 19 に記載の過電流検出回路。

【請求項 27】

請求項 19 から請求項 26 のいずれか 1 項に記載の過電流検出回路と、

前記第 1 スイッチ及び前記第 2 スイッチを制御するように構成される制御部と、

を有する、スイッチング制御回路。

40

【請求項 28】

請求項 27 に記載のスイッチング制御回路と、

前記第 1 スイッチ及び前記第 2 スイッチと、

を有する、スイッチング電源装置。

【請求項 29】

信号線と、

第 1 回路と、

前記信号線に接続されるキャパシタと、

前記信号線と前記第 1 回路との間に設けられる抵抗と、

を有し、

50

前記第 1 回路は 2 つのボールを有し、

前記第 1 回路、前記キャパシタ、及び前記抵抗は 2 つのボールと 1 つのゼロ点とを有する、発振防止回路。

【請求項 30】

前記第 1 回路は、前記信号線に印加される電圧が所定値を超えないように前記信号線に印加される電圧をクランプするように構成されるクランプ回路である、請求項 29 に記載の発振防止回路。

【請求項 31】

前記クランプ回路は、

前記信号線に印加される電圧と前記所定値の電圧との差に応じた電圧を出力するように構成される差動アンプと、 10

前記差動アンプの出力電圧によって制御されるように構成されるスイッチと、
を有し、

前記スイッチがオンであるときに前記キャパシタは放電される、請求項 30 に記載の発振防止回路。

【請求項 32】

前記スイッチは、Nチャネル型 MOS 電界効果トランジスタである、請求項 31 に記載の発振防止回路。

【請求項 33】

前記信号線は、第 2 回路の出力端に接続される、請求項 29 から請求項 32 のいずれか 1 項に記載の発振防止回路。 20

【請求項 34】

前記第 2 回路は、エラーアンプである、請求項 33 に記載の発振防止回路。

【請求項 35】

請求項 34 に記載の発振防止回路と、

前記エラーアンプと、

前記エラーアンプの出力電圧に基づきスイッチング素子を制御するように構成される制御部と、

を有する、スイッチング制御回路。

【請求項 36】 30

請求項 35 に記載のスイッチング制御回路と、

前記スイッチング素子と、

を有する、スイッチング電源装置。