



(12) 发明专利申请

(10) 申请公布号 CN 119856401 A

(43) 申请公布日 2025. 04. 18

(21) 申请号 202380054722.2

(22) 申请日 2023.07.04

(30) 优先权数据

22185692.5 2022.07.19 EP

(85) PCT国际申请进入国家阶段日

2025.01.17

(86) PCT国际申请的申请数据

PCT/EP2023/068354 2023.07.04

(87) PCT国际申请的公布数据

W02024/017620 EN 2024.01.25

(71) 申请人 斯凯柯睿公司

地址 丹麦哥本哈根

(72) 发明人 D·O·拉森 P·利莫斯·蒙塔尔

T·P·M·苏维尼特

G·V·帕乌萨斯

(74) 专利代理机构 青岛联智专利商标事务所有

限公司 37101

专利代理师 阎斌斌 匡丽娟

(51) Int.Cl.

H03K 17/284 (2006.01)

H03K 17/00 (2006.01)

H02M 1/08 (2006.01)

H02M 3/07 (2006.01)

H02M 3/158 (2006.01)

H02M 1/38 (2006.01)

H02M 1/44 (2006.01)

H02M 3/157 (2006.01)

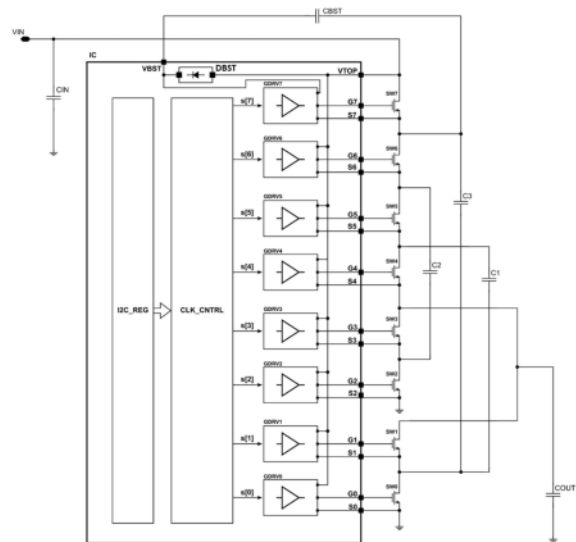
权利要求书2页 说明书11页 附图11页

(54) 发明名称

用于开关电容器DC-DC转换器的可编程栅极驱动器阵列

(57) 摘要

本发明涉及一种用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,包括至少一个输入端子,可连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器DC-DC转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压,配置成驱动所述多个功率开关端子的多个栅极驱动器,以及时钟控制器单元,其中,所述时钟控制器单元配置用于执行所述多个栅极驱动器的单独时钟控制。一种包括用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的开关电容器DC-DC转换器,以及一种用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法。



1. 一种用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,包括:
至少一个输入端子;
能连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器DC-DC转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压;
配置成驱动所述多个功率开关端子的多个栅极驱动器;以及
时钟控制器单元;
其中,所述时钟控制器单元配置用于执行所述多个栅极驱动器的单独时钟控制,其中,所述时钟控制器单元生成到所述栅极驱动器的单独时钟信号,并且其中,所述时钟控制器还配置成生成所述单独时钟信号上的单独边沿延迟。
2. 根据权利要求1所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述多个功率开关端子由所述多个栅极驱动器独立地控制。
3. 根据前述权利要求中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述单独时钟控制配置用于从多个时钟信号中选择单独时钟信号,所述单独时钟信号具有时钟频率、时钟占空比和/或时钟边沿延迟。
4. 根据权利要求3所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟频率在1Hz至10MHz之间,优选地在50kHz至5MHz之间。
5. 根据前述权利要求中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟控制器单元包括至少一个时钟开关单元和至少一个边沿延迟控制器单元。
6. 根据前述权利要求中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述至少一个时钟开关单元包括多路复用器和异或门。
7. 根据权利要求6所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述异或门配置用于向所述单独时钟信号提供180度相移。
8. 根据前述权利要求中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述至少一个边沿延迟控制器单元还包括延迟单元和与门,其中,所述延迟单元和所述与门配置成实现所述单独时钟信号的边沿延迟。
9. 根据权利要求8所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述边沿延迟是上升沿延迟和/或下降沿延迟,并且其中,所述边沿延迟在单个时钟信号周期的0%至25%之间,优选地在单个时钟信号周期的0%至5%之间。
10. 根据前述权利要求中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述DC输入电压在12至400V之间,优选地在36至60V之间。
11. 一种开关电容器DC-DC转换器,包括:
根据权利要求1-10所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列;
连接到多个飞跨电容器端子的多个飞跨电容器;以及
连接到所述多个功率开关端子的多个功率开关;
其中,所述可编程栅极驱动器阵列布置有所述多个飞跨电容器和所述多个功率开关,以用所述多个功率开关的单独时钟控制来执行开关电容器DC-DC转换。
12. 根据权利要求11所述的开关电容器DC-DC转换器,其中,所述多个功率开关中的至少一个是分段开关,包括多个开关段。

13. 根据权利要求11或12中任一项所述的开关电容器DC-DC转换器,其中,所述多个功率开关设置在外部半导体裸片上。

14. 一种用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法,所述方法包括以下步骤:

提供用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,所述可编程栅极驱动器阵列包括:

至少一个输入端子;

能连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器DC-DC转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压;

配置成驱动所述多个功率开关端子的多个栅极驱动器;

时钟控制器单元,其中,所述时钟控制器单元配置用于生成到所述栅极驱动器的单独时钟信号,并且其中,所述时钟控制器还配置成生成所述单独时钟信号上的单独边沿延迟;以及

通过使用所述时钟控制器单元来执行用于开关电容器DC-DC转换器的所述可编程栅极驱动器阵列的单独时钟控制。

15. 根据权利要求14所述的用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法,其中,所述可编程栅极驱动器阵列是根据权利要求1-10所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列。

用于开关电容器DC-DC转换器的可编程栅极驱动器阵列

技术领域

[0001] 本公开涉及一种用于具有单独时钟控制的开关电容器DC-DC转换器的可编程栅极驱动器阵列。

背景技术

[0002] 在典型的开关电容器DC-DC转换器中,在切换期间需要死区时间以便避免开关中的大电流,也称为击穿。实际上,在简单的电荷泵的情况下,可能发生的是,当上开关关闭时,下开关没有完全打开。然后这将在电荷泵的电源和接地之间产生短路。为了避免该情况,提供了控制电路以防止两侧(即高侧和低侧)上的开关同时导通,即在导通适当的开关之前两侧都被关断。控制电路引入通常所称的死区时间。

[0003] 该死区时间的一些特性对于电荷泵非常关键,或者更一般地对于开关电容器DC-DC转换器非常关键。死区时间不能太短,原因是在开关电容器DC-DC转换器的电源和接地之间产生短路的风险将相对太高。相反,死区时间也不能太长,原因是这由于较高的飞跨电容器纹波电压而导致较高的功耗,并且因此由于伴随的较高RMS电流而导致开关中的较高传导损耗。

[0004] 开关电容器DC-DC转换器的当前架构基于全局的死区时间,这意味着可以在时钟控制器单元中调整死区时间,但是它对于开关电容器DC-DC转换器中使用的所有开关保持相同。因此,可能出现一些缺点,例如寄生电荷损耗的增加和更高的电磁干扰(EMI)。实际上,在相同的切换相位中,由于数字电路、电平移位器和栅极驱动器中的传播和转变延迟的变化,开关不会同时接通或关断。正是在这个关键时间段内寄生电容可以通过首先关闭的一个或多个开关充电和/或放电。

[0005] 能够提供其中可以减少寄生电荷损耗的高效开关电容器DC-DC转换器将是有益的。

发明内容

[0006] 本公开涉及一种用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其包括至少一个输入端子,可连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器功率转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压,配置成驱动所述多个功率开关端子的多个栅极驱动器,以及时钟控制器单元,其中所述时钟控制器单元配置用于执行所述多个栅极驱动器的单独时钟控制,其中所述时钟控制器单元生成到所述栅极驱动器的单独时钟信号,并且其中所述时钟控制器还配置成生成所述单独时钟信号上的单独边沿延迟。

[0007] 通过提供配置用于执行多个栅极驱动器的单独时钟控制的时钟控制器单元,多个功率开关端子然后可以用独立时钟信号控制多个功率开关,因此能够减少开关电容器DC-DC转换器的寄生电荷损耗。

[0008] 本公开还涉及一种开关电容器DC-DC转换器,其包括用于诸如先前公开的开关电

容器DC-DC转换器的开关电容器DC-DC转换器的可编程栅极驱动器阵列,连接到所述多个飞跨电容器端子的多个飞跨电容器,以及连接到所述多个功率开关端子的多个功率开关,其中所述可编程栅极驱动器阵列布置有所述多个飞跨电容器和所述多个功率开关以用所述多个功率开关的单独时钟控制来执行开关电容器DC-DC转换。

[0009] 开关电容器DC-DC转换器具有其设计和实施固有的若干寄生元件,诸如寄生电阻、电容或电感。这些寄生元件降低了开关电容器DC-DC转换器的效率,特别是在高开关频率下。然而,通过利用用于连接到多个功率开关端子的多个功率开关中的每一个的单独时钟控制来独立地控制多个功率开关,可以增强开关电容器DC-DC转换器的性能和效率。

[0010] 还公开了一种用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法,所述方法包括以下步骤:提供用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其包括至少一个输入端子,可连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器DC-DC转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压,配置成驱动所述多个功率开关端子的多个栅极驱动器,时钟控制器单元,其中所述时钟控制器单元配置用于生成到所述栅极驱动器的单独时钟信号,并且其中所述时钟控制器还配置成生成所述单独时钟信号上的单独边沿延迟,以及通过使用所述时钟控制器单元来执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制。

附图说明

[0011] 在下文中,将参考附图更详细地描述实施例和示例。附图是实施例的示例,并且不限于当前公开的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列。

[0012] 图1A示出了用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的实施例的示意图。

[0013] 图1B示出了用于包括多个功率开关的开关电容器DC-DC转换器的可编程栅极驱动器阵列的实施例的示意图,其中功率开关是分段开关。图2示出了时钟控制器单元的实施例的示意图。

[0014] 图3A-B示出了用于单电感器混合开关电容器DC-DC转换器拓扑的时钟生成方案的实施例。

[0015] 图4A-D示出了单电感器混合开关电容器DC-DC转换器拓扑和用于不同切换相位的一些关联时钟生成方案的实施例的示意图。

[0016] 图5A-C示出了具有分段功率开关的两相Dickson开关电容器DC-DC转换器拓扑和一些关联时钟生成方案的实施例的示意图。

[0017] 图6A-D示出了具有外部开关的单电感器混合开关电容器DC-DC转换器拓扑和用于不同切换相位的一些关联时钟生成方案的实施例的示意图。

[0018] 图7A-B示出了两相Dickson开关电容器DC-DC转换器拓扑和用于寄生电荷再循环的关联时钟生成方案的实施例的示意图。

[0019] 图8示出了执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的当前公开的方法的流程图。

具体实施方式

[0020] 本公开涉及一种用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其包括配置成驱动多个功率开关端子的多个栅极驱动器。可编程栅极驱动器阵列还包括时钟控制器单元,所述时钟控制器单元可以配置用于执行多个栅极驱动器的单独时钟控制。用于开关电容器DC-DC转换器的可编程栅极驱动器阵列包括多个栅极驱动器应被解释为包括最少两个栅极驱动器。在其他实施例中,可编程栅极驱动器阵列可以包括至少3个、至少4个或至少8个栅极驱动器。如本领域技术人员将认识到的,可编程栅极驱动器阵列包括例如两个栅极驱动器(其中时钟控制器配置用于执行两个栅极驱动器的单独时钟控制)应被解释为落入上述语言,即使添加了不具有单独时钟控制的另外的栅极驱动器。

[0021] 用于开关电容器DC-DC转换器的可编程栅极驱动器阵列、和/或开关电容器DC-DC转换器、和/或包括可编程栅极驱动器阵列或开关电容器DC-DC转换器的系统可以包括用于编程和/或控制可编程栅极驱动器阵列和/或其操作的处理单元。处理单元可以是例如微控制器或适合于目的的任何其他微计算机或处理单元。

[0022] 图1A示出了用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的实施例的示意图。可编程栅极驱动器阵列包括至少一个输入端子,配置成驱动多个功率开关端子的多个栅极驱动器,连接到多个功率开关的多个功率开关端子,所述多个功率开关可以配置成通过开关电容器功率转换将来自至少一个输入端子的DC输入电压转换为DC输出电压,以及时钟控制器单元。可编程栅极驱动器阵列包括时钟控制器CLK_CNTRL。至少一个输入端子称为VIN,其对应于用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的DC输入电压。可编程栅极驱动器阵列包括多个栅极驱动器GDRV0-GDRV7,其配置成独立地驱动功率开关端子,即G0-G7和S0-S7。从VTOP端子向多个栅极驱动器供电,并且从VBST端子向GDRV7供电。多个功率开关SW0-SW7布置在可编程门阵列的外部并连接到多个功率开关端子。多个飞跨电容器(即C1、C2和C3)与多个功率开关连接在一起以执行开关电容器DC-DC转换。时钟控制器单元将信号s[0]-s[7]传送到多个栅极驱动器。自举电路实施成为最顶部栅极驱动器GDRV7提供升压电压。自举电路包括自举电容器CBST和自举二极管DBST。最顶部栅极驱动器GDRV7可能需要正电源电压,正电源电压不能通过将GDRV7正电源端子连接到VTOP并且将GDRV7负电源端子连接到SW7的源极端子来提供,原因是当SW7导通时从VTOP到SW7的源极的电压近似为零。当SW7打开(关断)时自举二极管可以提供从VTOP到CBST升压电容器的充电路径,并且当SW7关闭(接通)时二极管阻断。自举电路操作的结果是GDRV7相对于连接到SW7的源极端子的GDRV7负电源端子的稳定电源电压。去耦电容器GOUT对开关电容器DC-DC转换器的DC输出电压进行滤波,并且去耦电容器CIN连接到至少一个输入端子以对开关电容器DC-DC转换器的DC输入电压进行滤波。

[0023] 图1B示出了多个功率开关中的一个的实施例的示意图。多个功率开关(SW0、SW1、SW2、SW3、SW4、SW5、SW6、SW7)中的每一个具有并联连接的三个开关段。三个开关段具有3个端子,即“g”、“s”和“d”。“g”可以代表“栅极”,“d”可以代表“漏极”,而“s”可以潜在地代表“源极”。三个开关段可以优选地并联连接。这意味着开关的所有开关段的“d”端子可以连接在一起,并且开关的所有开关段的“s”端子可以连接在一起。“g”端子可以由不同的栅极驱动器单独控制。可以看出,多个功率开关可以以各种合适的方式连接。例如,在图1B的示例中SW6和SW7串联连接。

[0024] 时钟控制器单元可以配置成执行多个栅极驱动器的单独时钟控制。来自时钟控制器单元的任何时钟信号可以配置有不同的频率、相位和/或边沿延迟,以便抵消任何寄生元件(诸如开关电容器DC-DC转换器的寄生电容、电阻和/或电感)的影响。这些寄生元件是开关电容器DC-DC转换器的设计和实施所固有的,因此可能有益的是潜在地具有各种时钟信号以去除不期望的影响,从而影响性能和效率。

[0025] 为了执行开关电容器DC-DC转换,取决于期望的DC-DC转换,可编程栅极驱动器阵列可能需要将信号传送到具有特定特性的多个功率开关端子。在该情况下,多个功率开关端子可以由多个栅极驱动器独立地控制。多个栅极驱动器中的每一个可以将具有不同特性和/或性质的信号输出到它们相应的功率开关端子。

[0026] 单独时钟控制可以配置用于从多个时钟信号选择单独时钟信号,所述单独时钟信号具有时钟频率、时钟占空比和/或时钟边沿延迟。

[0027] 单独时钟信号可以是在低状态和高状态之间振荡的数字时钟信号。时钟数字信号的低状态和高状态通常可以被定义为电压,其中低状态具有低于高状态的电压。图3A示出了可能由时钟发生器生成的时钟信号的示例。在该特定示例中,生成两个数字时钟信号clk_a和clk_b,其中clk_b与clk_a相比具有180度相移。clk_a和clk_b都可以由时钟发生器生成,而clk_a和clk_b可以由时钟控制器生成。时钟控制器可以基于从时钟发生器接收的时钟信号生成至少一个次级时钟信号。

[0028] 单独时钟信号的时钟频率可以是1Hz至10MHz之间,优选地是50kHz至5MHz之间的频率。通常,可能需要具有尽可能低的时钟频率,例如在待机模式下,其中可以保持输出电压但可以最小化功耗。在待机模式下,栅极驱动器仍然可能需要电源电流,因此可能需要飞跨电容器的连续平衡。然而,栅极驱动器的电源电流可以很低,使得可以使用非常低的时钟频率。更一般地,可能期望具有高操作频率以使所需无源部件的尺寸最小化。较高的开关频率可以产生较低的飞跨电容器纹波,这可以允许使用飞跨电容器的较小电容值。甚至更一般地,可能期望具有高开关频率以避免在周围系统中的其他EMI牺牲品可能敏感的频谱的一些范围内切换。例如在汽车系统中,可能期望使用处于或高于2.2MHz的开关频率以避免AM无线电频带。时钟控制器单元还可以包括至少一个时钟开关单元和至少一个边沿延迟控制器单元。至少一个时钟开关单元可以配置成从可用的多个时钟信号选择时钟。至少一个边沿延迟控制器单元可以配置成生成单独时钟信号上的边沿延迟。该边沿延迟可以单独地配置成将多个不同的时钟信号传送到多个栅极驱动器,以优化开关电容器DC-DC转换器中的寄生电荷损耗。

[0029] 边沿延迟可以是数字时钟信号的上升沿或下降沿或两者的延迟。边沿延迟可以通过独立于数字时钟信号的占空比调整数字时钟信号的边沿来校正占空比失真。占空比失真可能是由于部件中的非线性、阻抗失配、电容性或电感性负载、信号传播延迟、串扰或电源噪声。通过具有单独的边沿延迟控制,可以传送到多个栅极驱动器的不同时钟信号可以优化开关电容器DC-DC转换器的多个功率开关的驱动信号。出于若干原因,这可能是有用的。例如,在具有多个分段功率开关的DC-DC转换器拓扑的实施例中,单独的边沿延迟控制是有用的,原因是开关段可以用于电荷再循环并减少由切换引起的电磁干扰。此外,在存在寄生电容的电容器DC-DC转换器拓扑中,寄生电容的充电和放电可能引起不期望的寄生损耗。寄生电容器可以通过不同的回路充电和放电,这取决于哪些功率开关关闭或打开。在这样的

实施例中通过控制功率开关的边沿延迟,可以减少寄生损耗。用于开关电容器DC-DC转换器的可编程栅极驱动器阵列也可以配置成通过单独的边沿控制来再循环寄生损耗。

[0030] 图2示出了时钟控制器单元的实施例的示意图。时钟控制器单元,即CLK_CNTRL,包括时钟开关sw_src_sel和边沿延迟控制器单元deadtime_gen。时钟控制器单元具有三个输入端子,clk_a、clk_b和clk_c可能是三个不同的时钟信号。这三个不同的时钟信号可以具有不同的频率、不同的占空比以及不同的相位。它们可以从进一步包括在时钟控制器单元中的内部时钟发生器生成,或者它们可以从至少一个输入端子中的一个提供,并且潜在地在用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的外部生成。时钟控制器单元具有一个输出端子s[7:0],其由8个不同的时钟信号组成。时钟控制器单元还包括数字输入端子sw_src_cfg[7:0][1:0]、sw_src_inv[7:0]和sw_dly_cfg[7:0][1:0],其中这些信号可以旨在控制时钟控制器单元特征。时钟开关包括多路复用器和异或门。多路复用器和异或门由数字控制信号(即sw_src_cfg[7:0][1:0]和sw_src_inv[7:0])控制。边沿延迟控制器单元包括延迟单元和与门。延迟单元由数字控制信号sw_dly_cfg[7:0][1:0]控制。

[0031] 时钟控制器单元还可以包括至少一个时钟输入端子和至少一个时钟输出端子。至少一个时钟输出端子可以可连接到多个栅极驱动器中的每一个。如图2的示例中所示,可以传送至少一个单独时钟信号的至少一个时钟输出端子s[7:0]可以连接到多个栅极驱动器中的每一个。至少一个时钟输入端子可以连接到时钟发生器。时钟发生器可以是压控振荡器或环形振荡器。它可以集成在与用于开关电容器DC-DC转换器的可编程栅极驱动器阵列相同的芯片组上,或者它可以集成在外部器件上,然后通过至少一个输入端子中的一个潜在地提供给可编程栅极驱动器阵列时钟控制器单元。压控振荡器是其振荡频率由电压输入控制的电子振荡器。施加的输入电压决定瞬时振荡频率。环形振荡器是由在环中的奇数个非门组成的器件,其输出在两个电压电平之间振荡。环形振荡器是一种类型的压控振荡器。非门或反相器附接在链中,并且最后一个反相器的输出被反馈到第一个中。这潜在地产生不稳定性,因此使得振荡发生。另一种类型的压控振荡器是LC振荡器。LC振荡器通常广泛用作压控振荡器,原因是它们可以提供比环形振荡器小得多的相位噪声,这对于收发器中的良好灵敏度和选择性是至关重要的。LC振荡器对于通常高于1GHz的高频非常有用,其中相位噪声变得至关重要。另一方面,它们通常比环形振荡器大得多,原因是它们需要相对大的集成电感器。

[0032] 时钟发生器还可以包括锁相环(PLL)和/或时钟分频器。PLL是生成其相位与输入信号的相位相关的输出信号的控制系統。它们可以包括多个元件,诸如相位检测器、低通滤波器和反馈路径和/或可选的分频器。PLL可以出于多种原因使用:抖动和噪声降低、频率合成、时钟恢复或时钟生成。PLL可以是其若干变型之一,诸如模拟或线性PLL(APLL)、数字PLL(DPLL)或电荷泵PLL(CP-PLL)。这些变型中的每一个可能具有优点和/或不便,诸如大小、复杂性或频率范围。PLL变型中的一个的选择可以取决于期望和/或要求的应用。时钟分频器是获取频率 f_{in} 的输入信号并生成频率 f_{out} 的输出信号的电路,其中 $f_{out} = f_{in}/N$,并且其中 N 是整数。时钟分频器可以是提供来自单个时钟信号的具有不同频率的多个时钟信号的廉价且快速的解决方案。

[0033] 时钟控制器单元可以包括从数字寄存器块连接的多个输入数字端子。如图2中所示,诸如sw_src_cfg或sw_src_inv的数字控制信号连接到时钟控制器单元的输入数字端

子,并且可以由数字寄存器块提供。数字控制信号可以连接到至少一个时钟开关单元和/或至少一个边沿延迟控制器单元。如图2中所示,数字控制信号sw_src_inv连接到时钟开关单元,并且sw_dly_cfg连接到边沿延迟控制器单元。数字寄存器块可以具有与系统或用户连接的的串行通信接口。

[0034] 串行通信接口可以是串行通信总线,诸如内部集成电路(I2C)串行总线协议、串行外围接口(SPI)串行总线协议、系统管理总线(SMBus)、电源管理总线(PMBus)、自适应电压缩放总线(AVSBUS)或USB协议。利用串行通信总线,在数据总线或通信信道上以顺序方式一次一个地传输数据位。还可以使用并行通信,诸如小型计算机系统接口(SCSI)或外围组件互连(PCI)。由于并行通信的架构固有的多个缺点,例如串扰、所使用的电缆数量或可能的时钟偏差,串行通信通常是优选的。

[0035] 至少一个时钟开关单元可以包括多路复用器和异或门。如图2中所示,异或门可以配置用于通过有效地反相时钟信号而将180度相移提供到来自多路复用器的单独时钟信号。还可以通过使用其他类型的逻辑门配置来配置180度相移。由于由一个比特组成的唯一控制信号,异或门可以呈现提供180度相移的益处。如果唯一控制信号被设置为低数字状态,则单独时钟信号从异或门输出而没有相移。如果唯一控制信号被设置为高数字状态,则单独时钟信号以180度相移从异或门输出。

[0036] 至少一个边沿延迟控制器还可以包括延迟单元和与门,其中延迟单元和与门可以配置成实施单独时钟信号的边沿延迟。图3B示出了用于单电感器混合开关电容器DC-DC转换器拓扑的时钟生成方案的实施例。生成的切换相位p1、p1n、p2和p2n都是从时钟信号clk_a、clk_b、clk_a和clk_b导出的,其中clk_a和clk_b分别是clk_a和clk_b的反相,并且如图3A中所示。示出了一些边沿延迟,诸如tdr1,其是从clk_b的下降沿(对应于clk_b的上升沿)到sw1信号的上升沿的边沿延迟,sw1信号单独地配置成具有p2n切换相位的形状。Tdr2是从clk_b的下降沿(对应于clk_b的上升沿)到sw2时钟信号的上升沿的边沿延迟,sw2时钟信号单独地配置成具有p2n切换相位的形状。Tdr4是从clk_b的上升沿到sw4时钟信号的上升沿的边沿延迟,sw4时钟信号单独地配置成具有p2切换相位的形状。可以独立地生成所有边沿延迟,即tdr0-tdr7。

[0037] 图4A-D示出了单电感器混合开关电容器DC-DC转换器拓扑和用于不同切换相位的一些关联时钟生成方案的实施例的示意图。图4A示出了单电感器混合拓扑和相关联的时钟生成方案的实施例的示意图。功率开关sw0-sw7由不同的时钟信号控制。如图4A中所示,切换相位p1和p2的占空比不同于p1n和p2n的占空比。一些时钟边沿延迟在p1和p1n之间以及p2和p2n之间实施,即tdr0-tdr7。实施tdr1、tdr2、tdr4和tdr6以避免具有p2与p2n处于相同状态的潜在风险。实施tdr0、tdr3、tdr5和tdr7以避免具有p1与p1n处于相同状态的潜在风险。图4B-D示出了处于不同切换状态的单电感器混合开关电容器DC-DC转换器拓扑的实施例的示意图。具有不同时钟信号的关联图示出了哪些功率开关关闭以及哪些功率开关不关闭。图4B示出了当切换相位p1和p2n关闭而其他打开时的切换状态。图4C示出了当切换相位p1n和p2n关闭而其他打开时的切换状态。图4D示出了当切换相位p1n和p2关闭而其他打开时的切换状态。

[0038] 边沿延迟可以是上升沿延迟和/或下降沿延迟。边沿延迟可以在单个时钟信号周期的0%至25%之间,优选地在单个时钟信号周期的0%至5%之间。单独时钟信号周期是单

独时钟信号的周期。

[0039] 用于开关电容器DC-DC转换器的可编程栅极驱动器阵列可以具有在12至400V之间,优选地在36至60V之间的DC输入电压。它可以配置用于升压和降压DC-DC转换,其中DC输入电压可以低于或高于DC输出电压,具有许多可能的DC-DC转换比,这取决于可编程栅极驱动器阵列配置。多个栅极驱动器的架构可以允许系统或用户使用大范围的DC输入电压。

[0040] 在另一方面,公开了一种开关电容器DC-DC转换器。开关电容器DC-DC转换器可以包括如前所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,连接到多个飞跨电容器端子的多个飞跨电容器,以及连接到多个功率开关端子的多个功率开关。可编程栅极驱动器阵列可以布置有多个飞跨电容器和多个功率开关,以利用多个功率开关的单独控制来执行开关电容器DC-DC转换。

[0041] 多个功率开关和多个飞跨电容器可以配置成执行各种功率转换,诸如Dickson型功率转换,诸如Dickson 1/4或Dickson 1/6。还可以执行功率转换的其他变型,诸如Ladder 1/3、Divider 1/2或Ladder 1/5。多个功率开关和多个飞跨电容器也可以以单电感器混合转换器(SIHC)配置来配置。如图4A中所示,一个电感器通过开关sw1、sw3和sw4连接到飞跨电容器。这使得能够实现开关电容器DC-DC转换器的混合配置。该混合配置可以为没有电感器的开关电容器DC-DC转换器增加一些益处。取决于放置至少一个电感器的位置,混合开关电容器转换器可以被分类为谐振或软充电。将至少一个电感器与多个飞跨电容器串联添加产生谐振拓扑。添加具有连接到转换器输入、输出、接地/参考端子或中间DC总线的电感器端子的至少一个电感器产生软充电转换器。在谐振开关电容器DC-DC转换器中,电感器与至少一个飞跨电容器串联添加以产生在给定谐振频率下具有低阻抗的谐振LC储能电路。电感器将具有零DC电流,原因是它与一个或多个电容器串联连接。该谐振配置允许结合一个或多个电感器使用较小的电容器。取决于用于实现转换器的无源部件的可用电容器和电感器技术,在一些情况下使用谐振拓扑(诸如开关储能电路转换器)以利用电感器和电容器的组合而不是仅电容器来实现某种转换器性能可能是有益的。此外,谐振开关电容器功率转换器具有近似正弦的电流和电压波形,与没有电感器的开关电容器功率转换器的近似方波波形相比,其具有较低的高频谱能量。这在一些应用中可能是有益的,然而该益处是与来自电感器的较大辐射磁场的权衡,这在没有电感器的开关电容器功率转换器中不是问题。

[0042] 在一个实施例中,多个功率开关中的至少一个是分段开关,包括多个开关段。多个功率开关的分段可以通过可能地限制涌入电流来允许开关电容器DC-DC转换器的安全启动,所述涌入电流是由于开关电容器DC-DC转换器中存在多个低阻抗回路而引起的。其次,功率开关的分段可以允许系统或用户仅启用开关段中的一些,因此限制了开关电容器DC-DC转换器的功耗。如果输出负载需要小电流,则可能仅需要几个开关段。例如,在开关电容器DC-DC转换器正在向CPU供电的情况下,如果CPU处于节流模式,则它不需要与当它可以在正常模式下配置时一样多的电流,在正常模式下可能需要更多的电流。

[0043] 图5A-C示出了具有分段功率开关的两相Dickson开关电容器DC-DC转换器拓扑和一些关联时钟生成方案的实施例的示意图。图5A示出了两相Dickson开关电容器DC-DC转换器拓扑的实施例的示意图,其中八个功率开关被分段。每个功率开关包括三个开关段,其中每个开关段由单独时钟信号控制。例如,c1k7[2:0]是3个独立时钟信号的总线。这同样适用于总线的其余部分,诸如c1k6、c1k5、c1k4、c1k3、c1k2、c1k1或c1k0。图5B示出了与图5A中所

示的8个功率开关的每一个中的第一开关段关联的时钟生成方案。图5C示出了功率开关中的一个(即由c1k0[2:0]控制的功率开关)的开关段之间的边沿延迟的示例。如图5C中所示,可以在不同时间启用3个开关段,与参考时钟信号(即c1k0[0])相比,开关段中的每一个具有不同边沿延迟,例如tds1或tds2。在该情况下,开关段可以用于电荷再循环并减少由切换引起的电磁干扰。

[0044] 多个功率开关可以设置在外部半导体裸片上。可以使用针对功率晶体管实施方式优化的半导体工艺来制造该外部半导体裸片。针对功率晶体管实施方式优化的这些半导体工艺可以使用垂直晶体管结构,其中晶体管漏极-源极端子布置在晶体管裸片的相对侧上。这对于高电压功率晶体管实施方式可能是有益的,但可能对于高级模拟和数字电路(优选地被设计用于低功耗)不是有益的。此外,功率晶体管可以受益于使用诸如GaN或SiC的高电子迁移率材料的可能实施方式。基于这样的材料的半导体工艺可能不太适合于实施p型晶体管,p型晶体管可能是使用互补金属氧化物半导体(CMOS)技术实施数字逻辑电路所需要的。还可以优化外部半导体裸片以实施高级模拟和数字电路,诸如电平移位器、栅极驱动器、时钟生成电路、时钟控制器、线性电压调节器或温度传感器。针对高级模拟和数字电路优化的半导体工艺可能需要更多的处理步骤和光掩模来实现更广泛的电子部件选择。为了支持电子部件的可能的更广泛选择,必须在半导体材料特征中进行权衡,这可能降低使用相同半导体工艺实现的功率晶体管的性能。

[0045] 图6A-D示出了具有外部开关的单电感器混合开关电容器DC-DC转换器拓扑和用于不同切换相位的一些关联时钟生成方案的实施例的示意图。图6A示出了具有外部开关的单电感器混合拓扑和关联时钟生成方案的示意图。图6B示出了单电感器混合开关电容器DC-DC转换器拓扑的实施例的示意图,其中四个开关关闭并且其余开关打开。图6B还示出了关联时钟生成方案,其中第一切换相位以灰色强调。生成两个时钟c1ka和c1kb,以及它们的反相c1ka和c1kb。从这四个时钟信号,生成具有不同且独立边沿延迟的所有开关驱动信号,即tdr0-tdr7和tdr0e。控制外部开关SW0E的时钟信号由c1ka和c1kb的逻辑组合c1ka0Rc1kb生成,原因是感兴趣的频率是c1ka或c1kb的频率的两倍。在该第一切换状态下,开关SW1、SW2、SW5和SW7关闭,而其他开关打开。图6C-D示出了处于与图6B中不同的切换状态的单电感器混合拓扑的实施例的示意图。图6C示出了第二切换状态,其中外部开关SW0E以及SW0-SW3关闭,而其他开关打开。图6D示出了第三切换状态,其中开关SW0、SW3、SW4和SW6关闭,而其他开关打开。图6B-D示出了包括外部开关的单电感器混合开关电容器DC-DC转换器拓扑的不同切换相位。如在不同的时钟生成方案上可以看到的,开关中的每一个可以由唯一时钟信号独立地控制,所述唯一时钟信号从时钟信号生成并且包括独立边沿延迟。在图6A-D中,上升沿延迟tdr0e可以配置成大于tdr1和tdr2以通过在低阻抗SW0E关闭之前使SW1和SW2关闭来最小化开关节点处的dv/dt。

[0046] 图7A-B示出了两相Dickson开关电容器DC-DC转换器拓扑和用于寄生电荷再循环的关联时钟生成方案的实施例的示意图。图7A示出了两相Dickson开关电容器DC-DC转换器拓扑的实施例的示意图。它包括8个开关SW0-SW7、三个飞跨电容器C1A-C1AA-C1B以及两个寄生电容CpA和CpB。两个寄生电容通常可以小于飞跨电容器。这些寄生电容CpA和CpB可以在开关电容器DC-DC转换器的每个开关周期中充电和放电。寄生电容的充电和放电引起不期望的寄生损耗。寄生电容器可以通过不同的回路充电和放电,这取决于哪些功率开关关

闭或打开。通过控制多个功率开关中的每一个的定时,可以减少寄生损耗。还布置去耦电容器以对DC输出电压 V_{out} 进行滤波。图7B示出了用于两相Dickson开关电容器DC-DC转换器拓扑的时钟生成方案的示例,以便潜在地优化开关电容器DC-DC转换器的效率。通过在给定切换相位中延迟功率开关的上升沿来实现死区时间,以便给予功率开关足够的时间来完全接通或关断。由于它们的物理实施方式,由p1或p2控制的功率开关可能不会同时关闭或打开。该效应可以使寄生电容通过首先关闭的功率开关充电和/或放电,并且该功率开关可能不是为了以最佳可能的方式再循环寄生损耗而最有效的功率开关。因此,根据时钟信号clk,为图7A中所示的多个功率开关SW0-SW7中的每一个生成多个时钟信号。例如,SW7由在时钟信号clk的上升沿之后具有边沿延迟 t_{dr7} 的时钟信号控制。SW6由在时钟信号的下降沿之后具有边沿延迟 t_{dr6} 的时钟信号控制。图7B中所示的每个边沿延迟可以由时钟控制器独立地产生,并且它们可以潜在地彼此不同。

[0047] 在另一方面,公开了一种用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法。该方法包括以下步骤:提供用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其包括至少一个输入端子,可连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器功率转换将来自至少一个输入端子的DC输入电压转换为DC输出电压,配置成驱动多个功率开关端子的多个栅极驱动器,时钟控制器单元,其中时钟控制器单元配置用于执行多个栅极驱动器的单独时钟控制;以及通过使用时钟控制器单元执行用于开关电容器DC-DC转换的可编程开关阵列的时钟控制。

[0048] 图8示出了执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的当前公开的方法(800)的流程图。该方法包括以下步骤:提供用于开关电容器DC-DC转换器的可编程栅极驱动器阵列(801),以及执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制(802)。

[0049] 本发明的进一步细节

[0050] 1.一种用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其包括:

[0051] 至少一个输入端子;

[0052] 可连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器DC-DC转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压;

[0053] 配置成驱动所述多个功率开关端子的多个栅极驱动器;以及

[0054] 时钟控制器单元;

[0055] 其中,所述时钟控制器单元配置用于执行所述多个栅极驱动器的单独时钟控制。

[0056] 2.根据项目1所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述多个功率开关端子由所述多个栅极驱动器独立地控制。

[0057] 3.根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述单独时钟控制配置用于从多个时钟信号选择单独时钟信号,所述单独时钟信号具有时钟频率、时钟占空比和/或时钟边沿延迟。

[0058] 4.根据项目3所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述单独时钟信号是在高状态和低状态之间振荡的数字时钟信号。

[0059] 5.根据项目3所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟频率在1Hz至10MHz之间,优选地在50kHz至5MHz之间。

[0060] 6. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟控制器单元包括至少一个时钟开关单元和至少一个边沿延迟控制器单元。

[0061] 7. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟控制器单元还包括可连接到所述多个栅极驱动器的至少一个时钟输入端子和至少一个时钟输出端子。

[0062] 8. 根据项目7所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述至少一个时钟输入端子连接到时钟发生器。

[0063] 9. 根据项目8所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟发生器是压控振荡器或环形振荡器。

[0064] 10. 根据项目8或9中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟发生器还包括锁相环(PLL)和/或时钟分频器。

[0065] 11. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述时钟控制器单元还包括从数字寄存器块连接到所述至少一个时钟开关单元和/或所述至少一个边沿延迟控制器单元的多个输入数字端子。

[0066] 12. 根据项目11所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述数字寄存器块具有串行通信接口。

[0067] 13. 根据项目12所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述串行通信接口是I2C串行通信总线。

[0068] 14. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述至少一个时钟开关单元包括多路复用器和异或门。

[0069] 15. 根据项目14所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述异或门配置用于向所述单独时钟信号提供180度相移。

[0070] 16. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述至少一个边沿延迟控制器单元还包括延迟单元和与门,其中,所述延迟单元和所述与门配置成实现所述单独时钟信号的边沿延迟。

[0071] 17. 根据项目16所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述边沿延迟是上升沿延迟和/或下降沿延迟。

[0072] 18. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述边沿延迟在单个时钟信号周期的0%至25%之间,优选地在单个时钟信号周期的0%至5%之间。

[0073] 19. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述单独时钟信号周期是所述单独时钟信号的周期。

[0074] 20. 根据前述项目中任一项所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其中,所述DC输入电压在12至400V之间,优选地在36至60V之间。

[0075] 21. 一种开关电容器DC-DC转换器,其包括:

[0076] 根据项目1-20所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列;

[0077] 连接到所述多个飞跨电容器端子的多个飞跨电容器;以及

[0078] 连接到所述多个功率开关端子的多个功率开关;

[0079] 其中,所述可编程栅极驱动器阵列布置有所述多个飞跨电容器和所述多个功率开关以用所述多个功率开关的单独时钟控制来执行开关电容器DC-DC转换。

[0080] 22.根据项目21所述的开关电容器DC-DC转换器,其中,所述多个功率开关和所述多个飞跨电容器配置成以Dickson 1/4或Ladder 1/5或Dickson 1/6配置执行DC-DC转换。

[0081] 23.根据项目21或22中任一项所述的开关电容器DC-DC转换器,其中,所述多个功率开关中的至少一个是分段开关,包括多个开关段。

[0082] 24.根据项目21-23中任一项所述的开关电容器DC-DC转换器,其中,所述多个功率开关设置在外部半导体裸片上。

[0083] 25.一种用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法,其包括以下步骤:

[0084] 提供用于开关电容器DC-DC转换器的可编程栅极驱动器阵列,其包括:

[0085] 至少一个输入端子;

[0086] 可连接到多个功率开关的多个功率开关端子,所述多个功率开关配置成通过开关电容器DC-DC转换将来自所述至少一个输入端子的DC输入电压转换为DC输出电压;

[0087] 配置成驱动所述多个功率开关端子的多个栅极驱动器;

[0088] 时钟控制器单元,其中,所述时钟控制器单元配置用于执行所述多个栅极驱动器的单独时钟控制;以及

[0089] 通过使用所述时钟控制器单元来执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制。

[0090] 26.根据项目25所述的用于执行用于开关电容器DC-DC转换器的可编程栅极驱动器阵列的单独时钟控制的方法,其中,所述可编程栅极驱动器阵列是根据项目1-20所述的用于开关电容器DC-DC转换器的可编程栅极驱动器阵列。

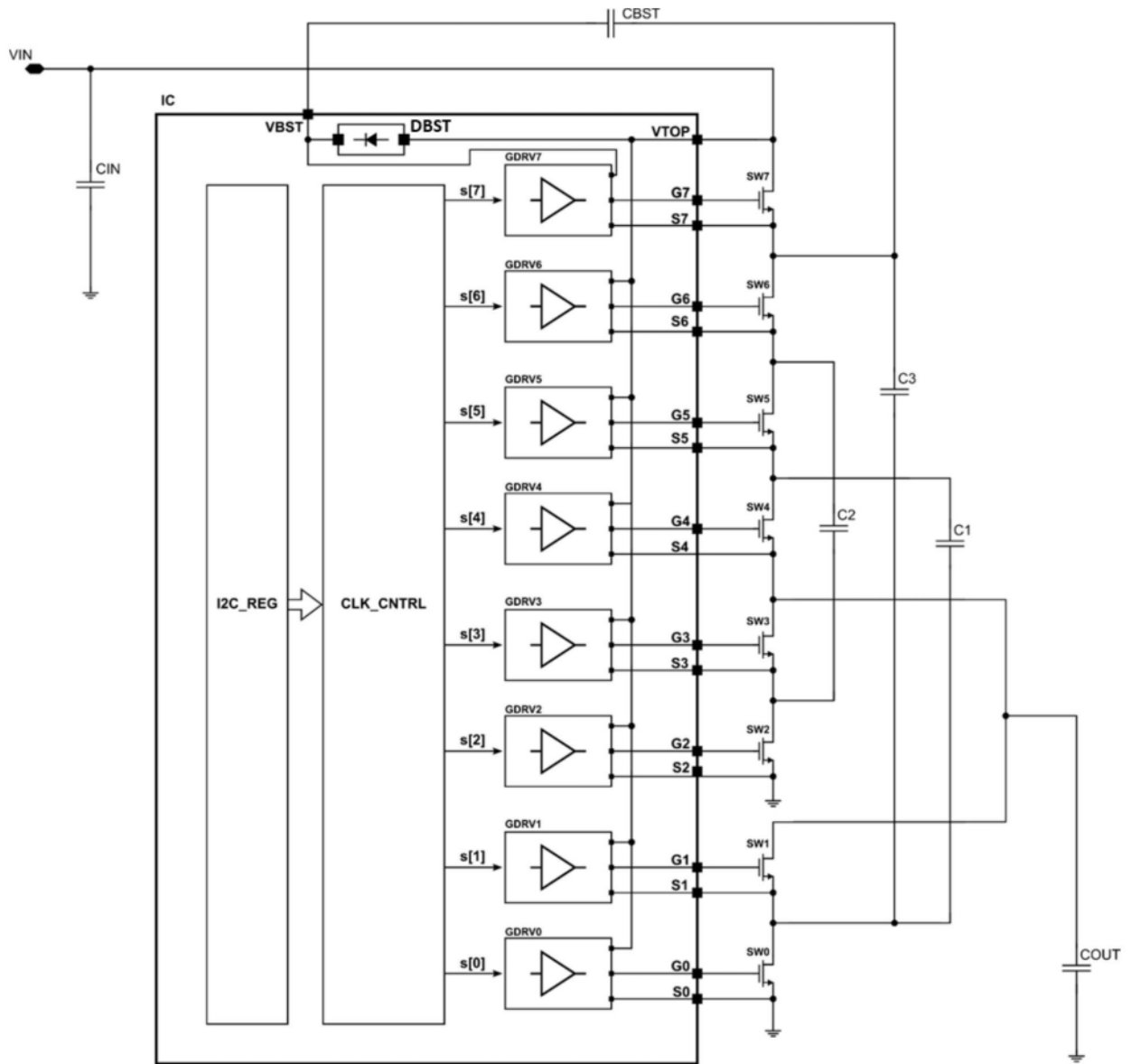


图1A

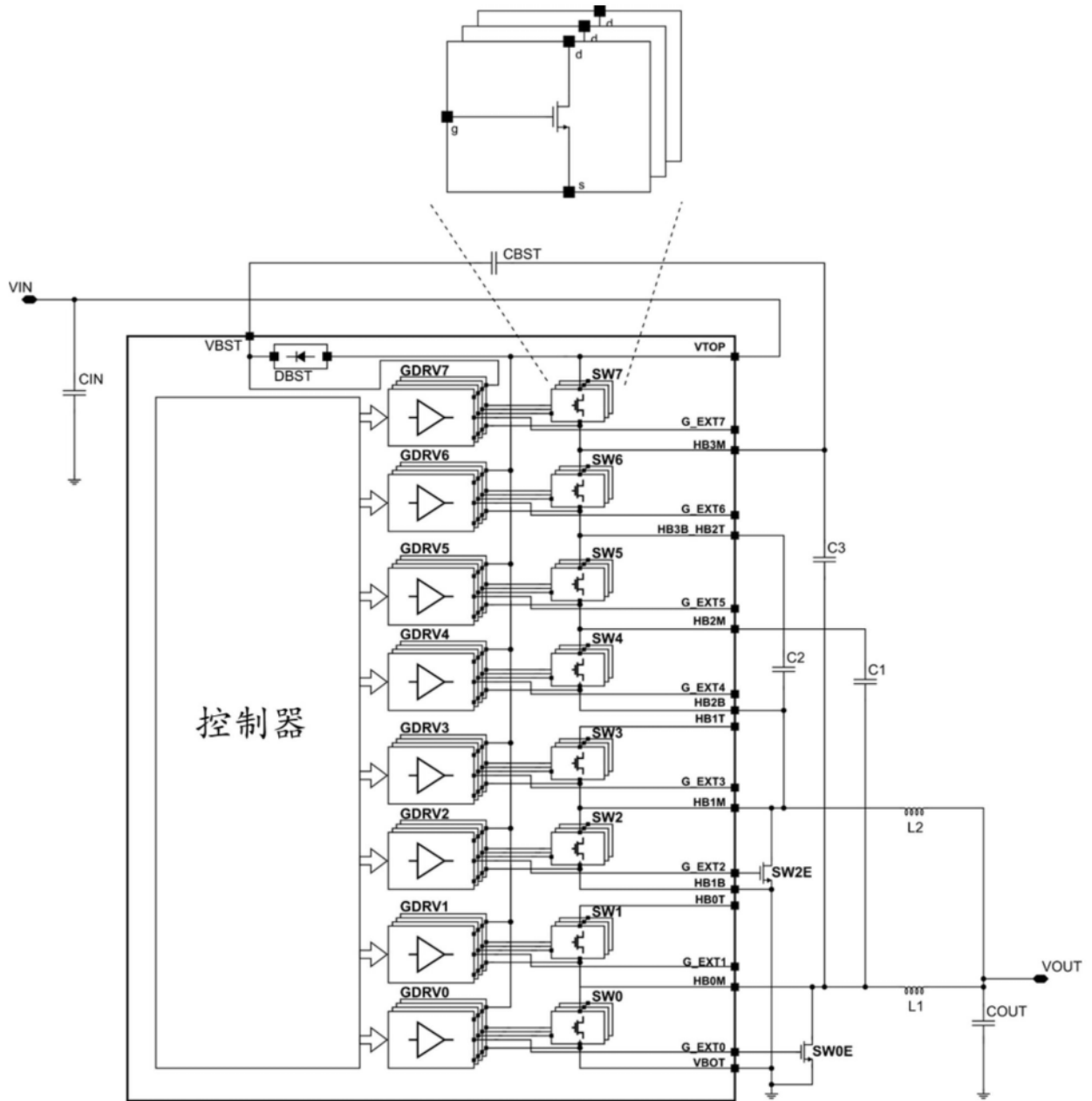


图1B

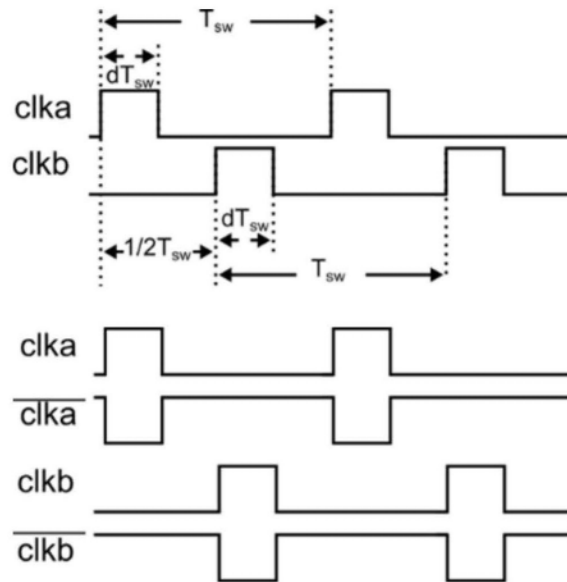


图3A

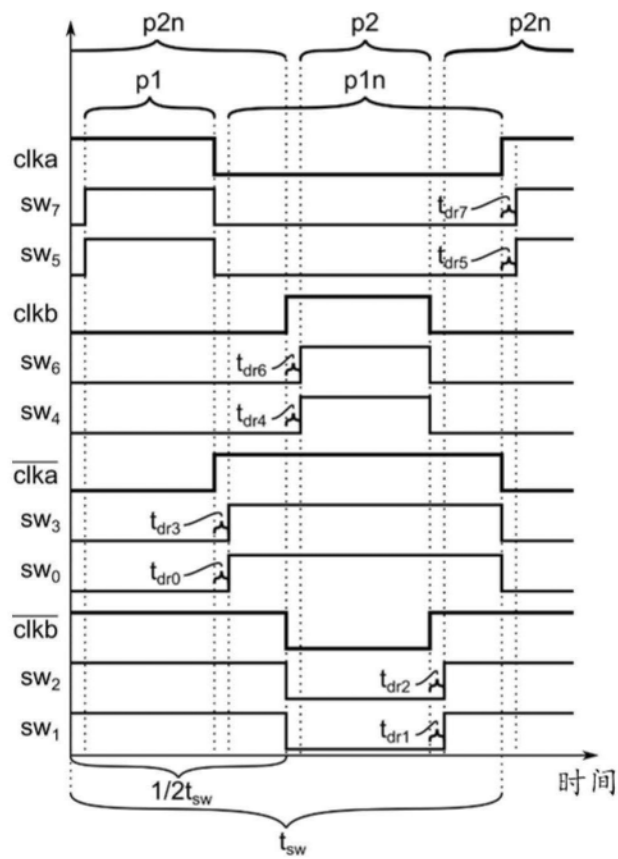


图3B

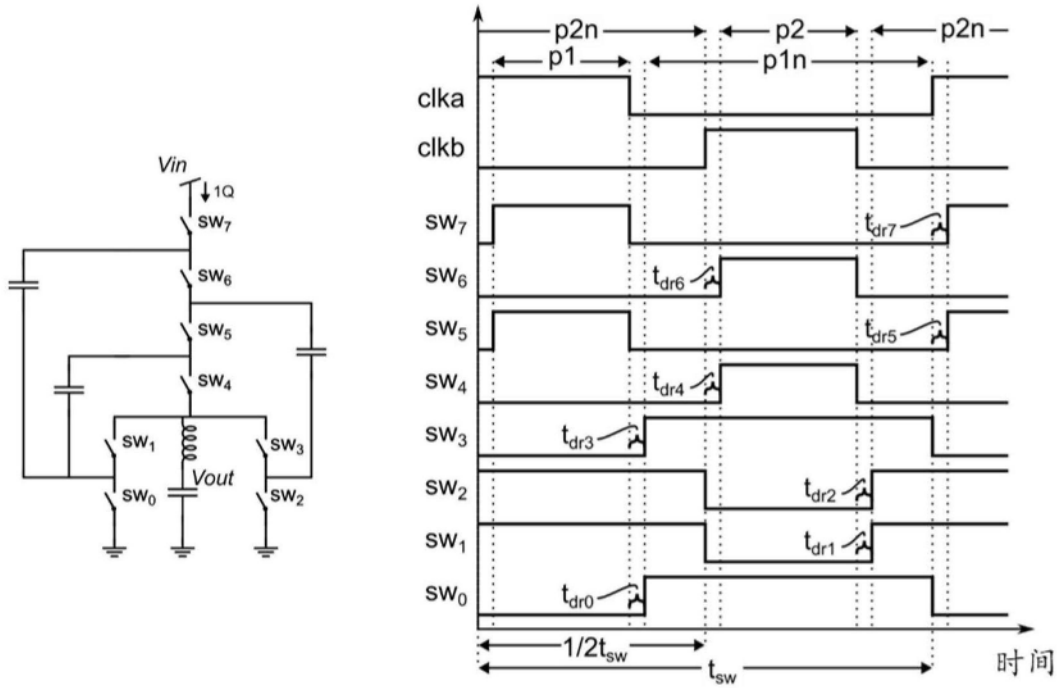


图4A

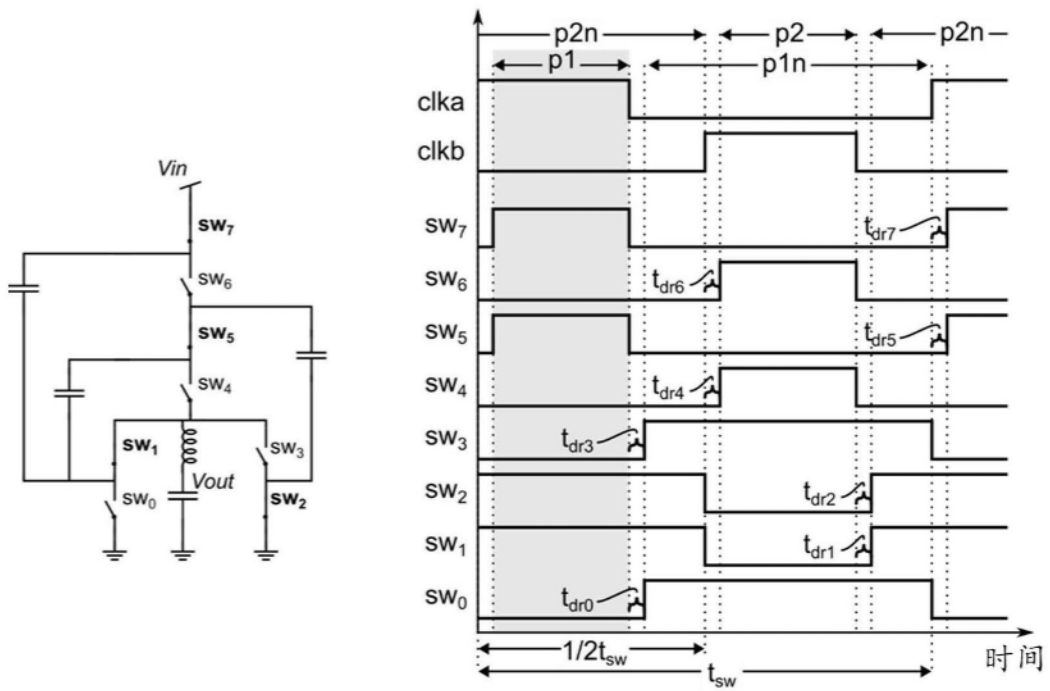


图4B

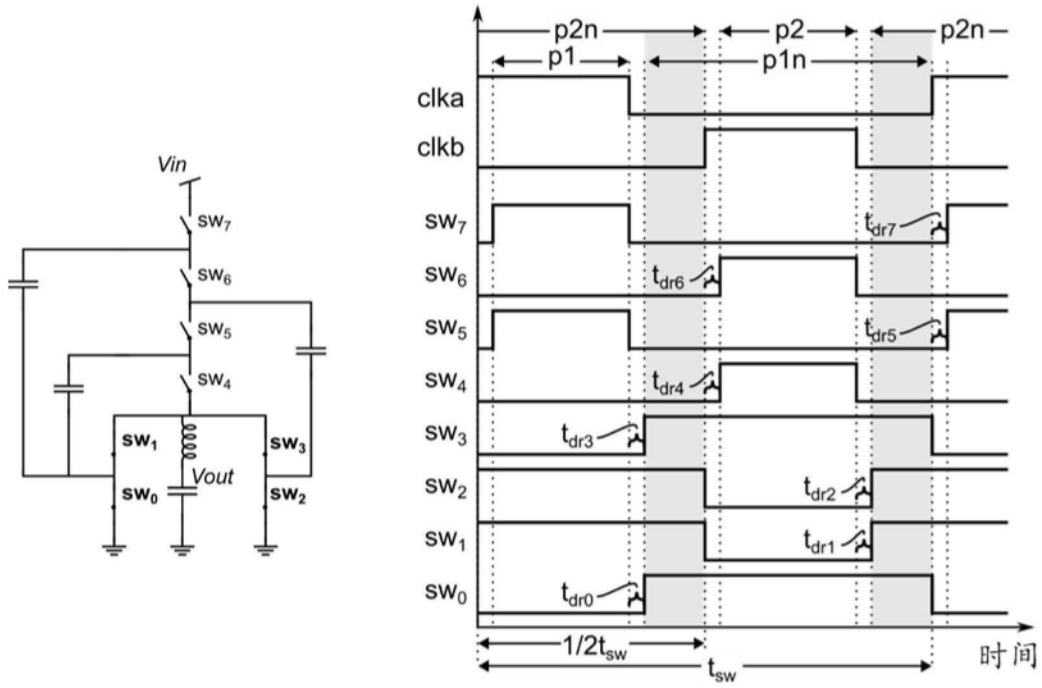


图4C

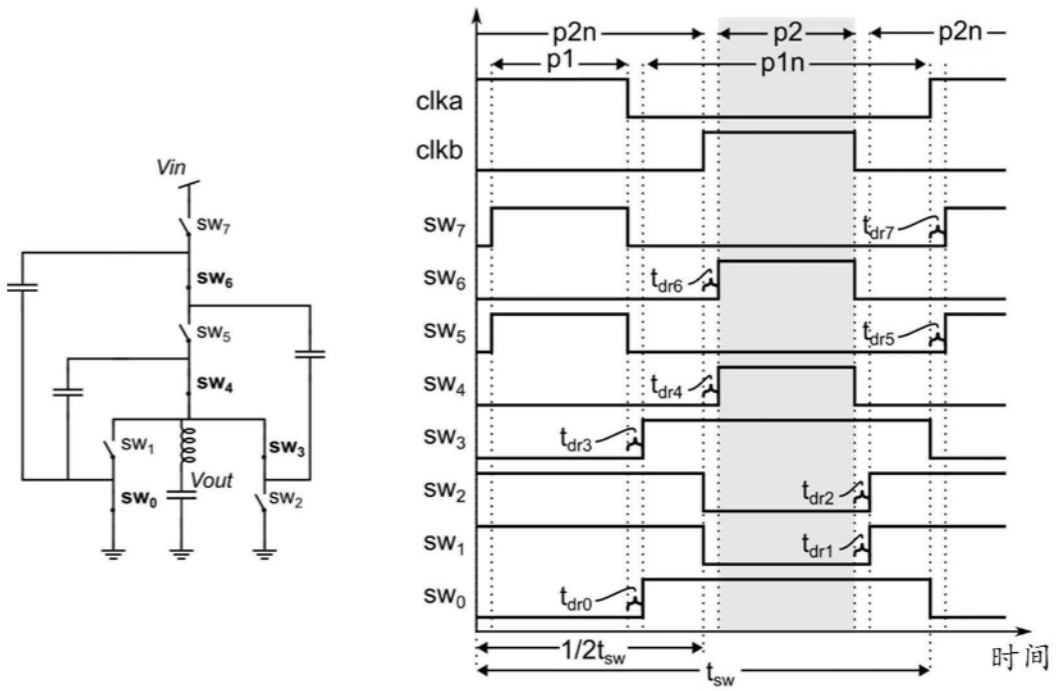


图4D

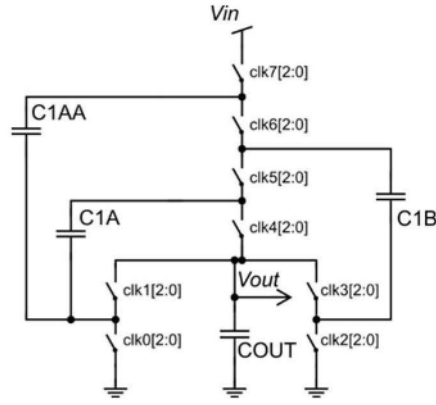


图5A

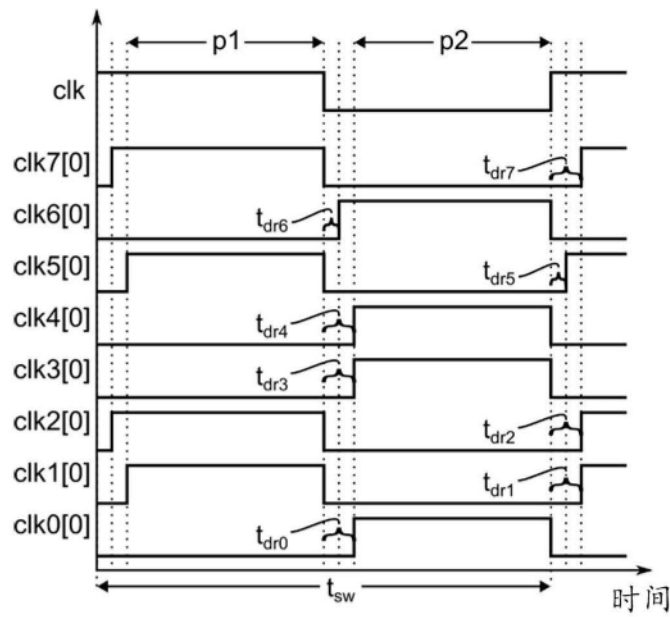


图5B

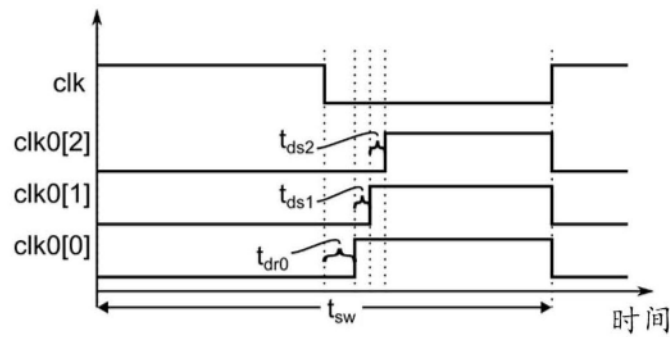


图5C

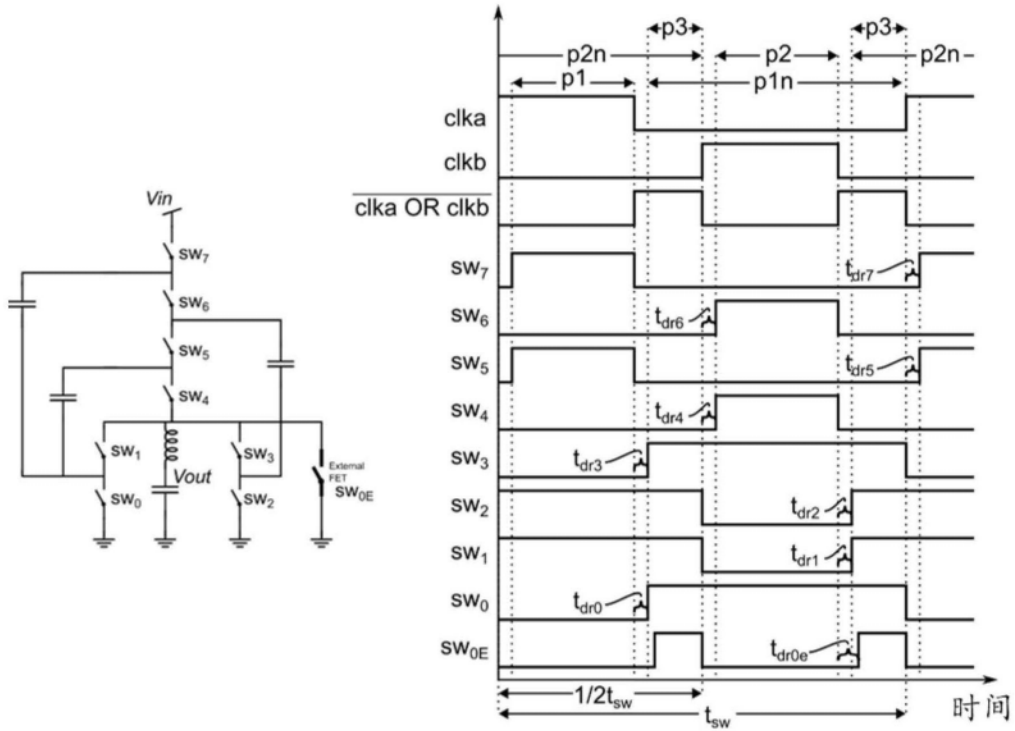


图6A

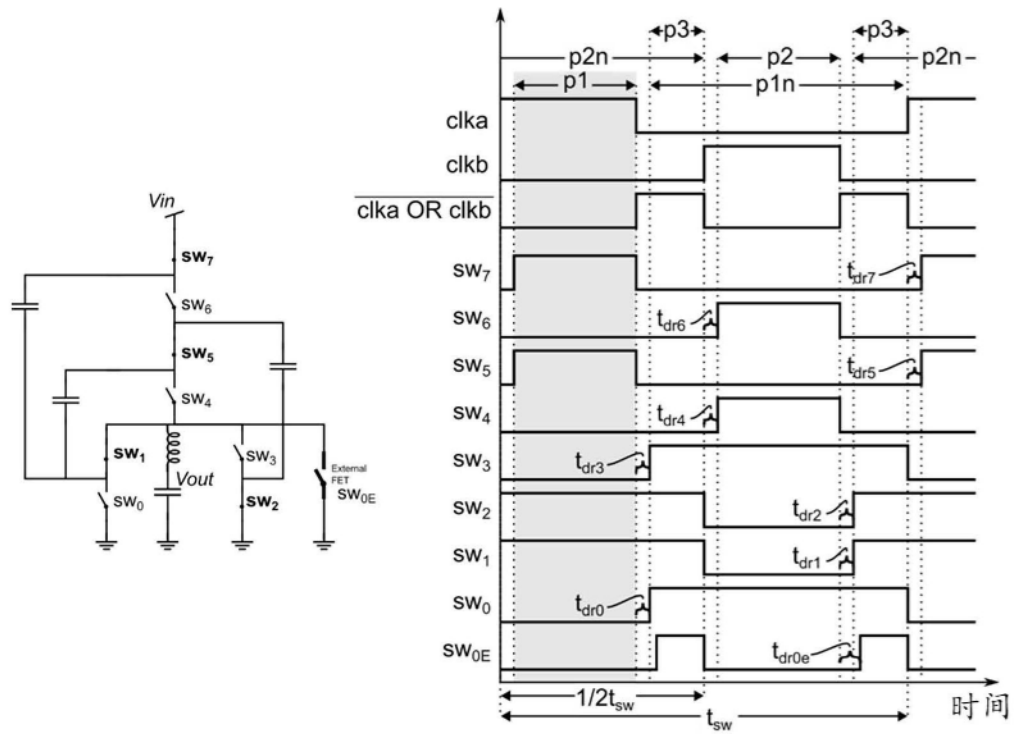


图6B

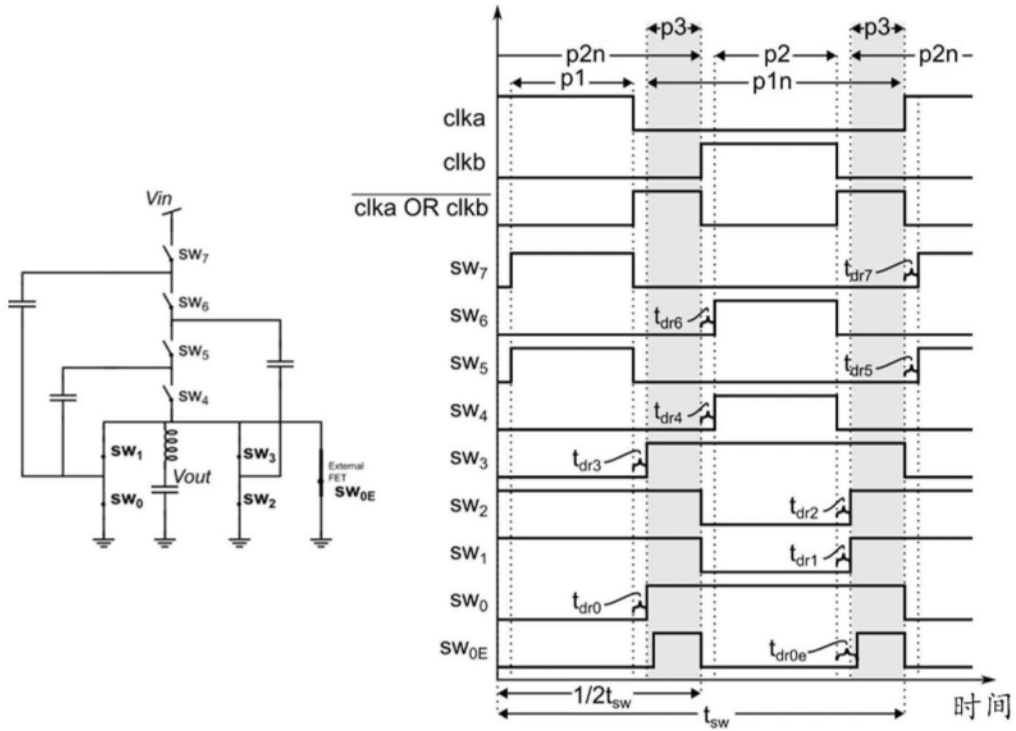


图6C

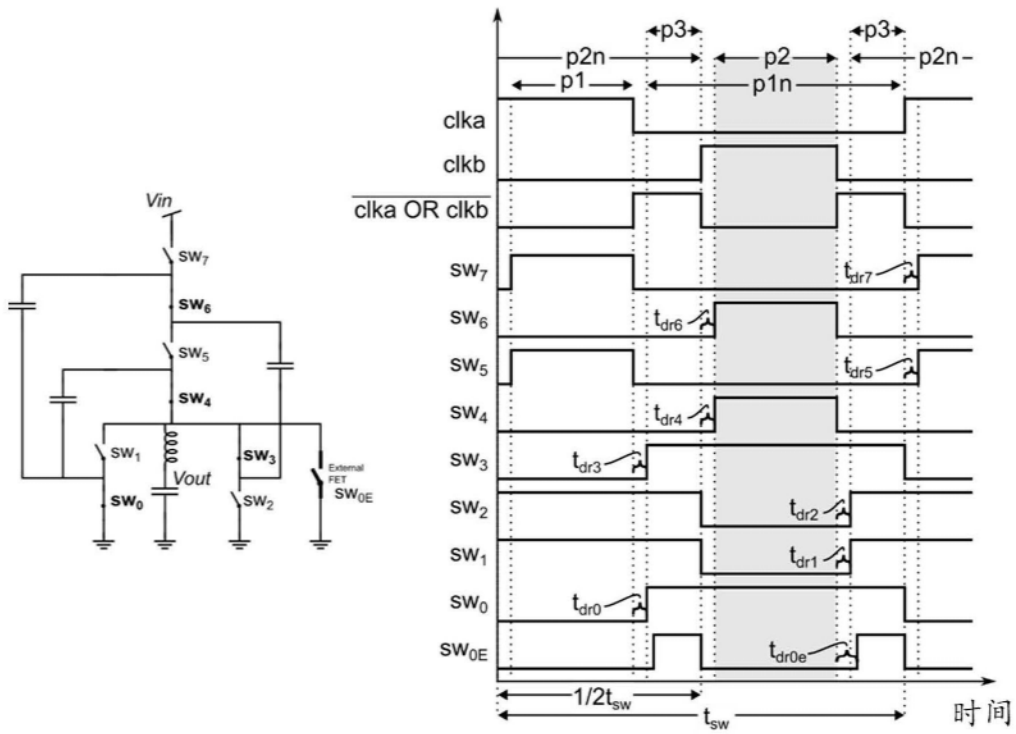


图6D

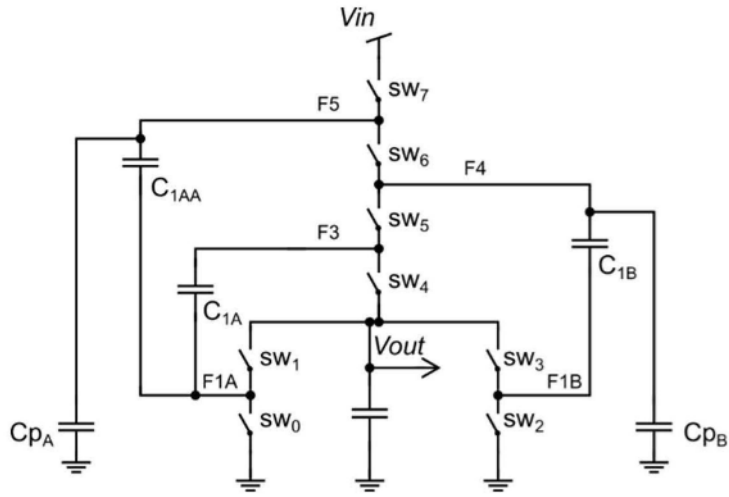


图7A

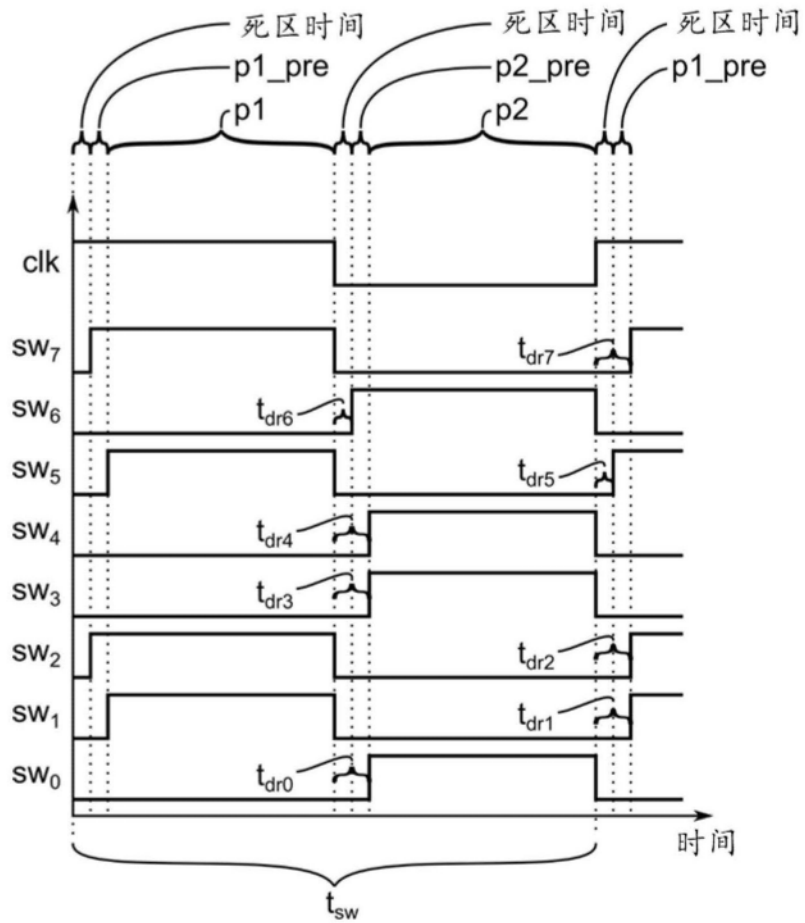


图7B

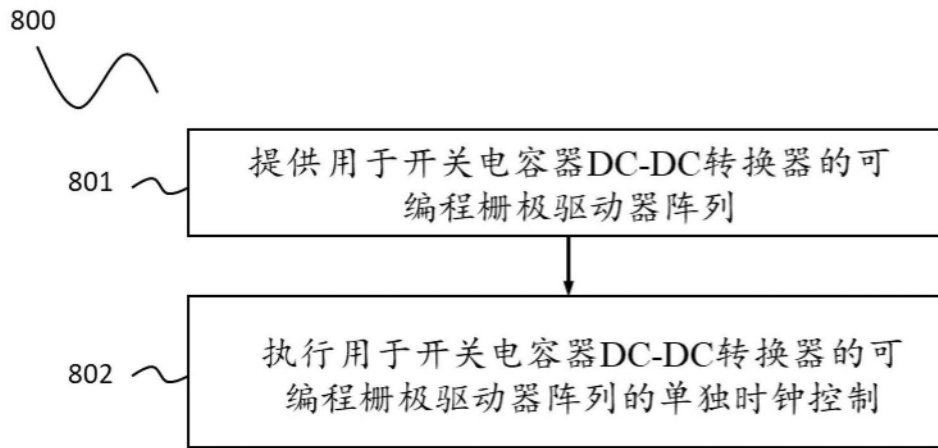


图8