(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/080004 A1

(51) 国際特許分類:
H03K 19/0175 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01) *H03K 19/0185* (2006.01)

(21) 国際出願番号： PCT/JP2019/036025

(22) 国際出願日： 2019年9月13日(13.09.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-196295 2018年10月18日(18.10.2018) JP

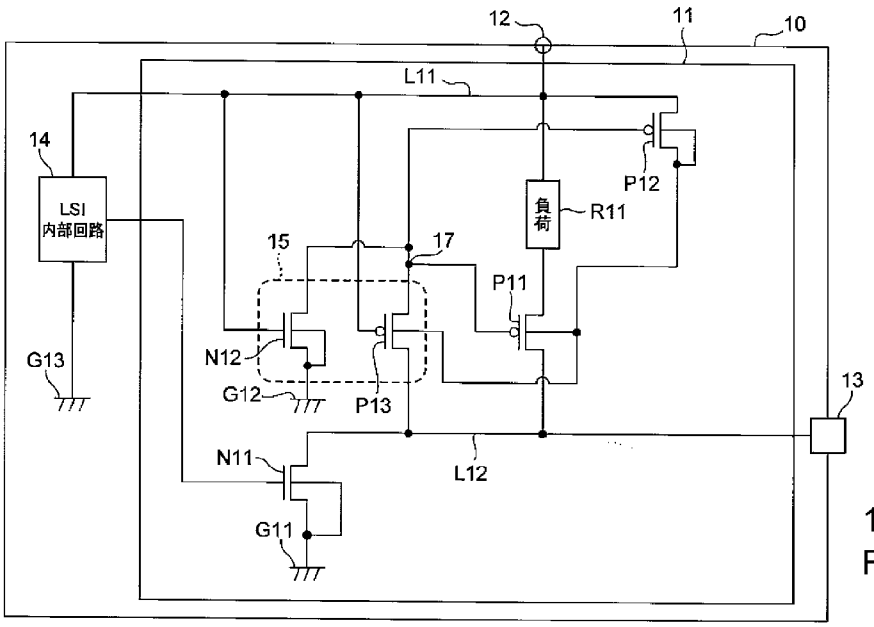
(71) 出願人: 日立オートモティブシステムズ株式会社(**HITACHI AUTOMOTIVE SYSTEMS, LTD.**) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

(72) 発明者: 佐藤 尭生(**SATOH Akeo**); 〒3128503 茨城県ひたちなか市高場２５２０番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 小田部 晃(**KOTABE Akira**); 〒3128503 茨城県ひたちなか市高場２５２０番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 中川 樹生(**NAKAGAWA Tatsuo**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 戸田 裕二(**TODA Yuji**); 〒1008220 東京都千代田区丸の内一丁目６番１号 株式会社日立製作所内 Tokyo (JP).

(54) **Title:** CONTROL CIRCUIT AND SENSOR DEVICE

(54) 発明の名称： 制御回路及びセンサ装置



14 LSI internal circuit
R11 Load

(57) **Abstract:** The present invention prevents an intermediate potential from being outputted by suppressing sneaking of a current from a signal line to a power supply line during power disconnection. A control circuit (11) that receives a power supply voltage from a power supply line (L11) and outputs an output signal to a signal line (L12) is provided with: a load (R11) that is provided between the power supply line and the signal line; a first transistor (P11) that is provided between the load and the signal line; a second transistor (P12) that is provided between a well of the first transistor and the power

WO 2020/080004 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

supply line; and a gate control circuit (15) that, when disconnection of power is conducted, connects gate terminals of the first and second transistors to the signal line, and disconnects the first and second transistors.

(57) 要約:電源断線時に信号線から電源線への電流の回り込みを抑えて中間電位の出力を防止すること。電源線(Ｌ１１)からの電源電圧を受けて出力信号を信号線(Ｌ１２)に出力する制御回路(１１)であって、電源線と信号線の間に設けられた負荷(Ｒ１１)と、負荷と信号線の間に設けられた第１のトランジスタ(Ｐ１１)と、第１のトランジスタのウェルと電源線の間に設けられた第２のトランジスタ(Ｐ１２)と、電源断線時に第１のトランジスタのゲート端子及び第２のトランジスタのゲート端子を信号線に接続し、第１のトランジスタ及び第２のトランジスタを遮断するゲート制御回路(１５)とを備えている。

明　細　書

発明の名称 ： 制御回路及びセンサ装置

技術分野

[0001]　本発明は制御回路及びセンサ装置に関する。

背景技術

[0002]　従来、電源電圧を受けて動作する制御回路として、電源の逆接続から回路を保護するものが知られている（例えば、特許文献１参照）。特許文献１に記載の制御回路は、電源線と信号線の間に第１のトランジスタ（ＰＭＯＳトランジスタ）が設けられ、電源線と第１のトランジスタのウェル（ボディ）の間にウェル制御用の第２のトランジスタ（ＰＭＯＳトランジスタ）が設けられている。第１、第２のトランジスタのゲート端子はグランドに接続されている。電源の逆接続時には、第１、第２のトランジスタが遮断されてグランドから電源線に向かう電流が防止されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１６－１９２８３８号公報

発明の概要

発明が解決しようとする課題

[0004]　しかしながら、特許文献１に記載の制御回路では、電源断線時には第１、第２のトランジスタのゲートが接地電位になることで、第１、第２のトランジスタが導通される。また、電源線が接地電位になるため、信号電位がＨｉｇｈのときに第１、第２のトランジスタが導通して信号線から電源線に電流が回り込んで中間電位を出力するという問題があった。

[0005]　本発明は前記課題を解決するもので、その目的とするところは、電源断線時に信号線から電源線への電流の回り込みを抑えて中間電位の出力を防止することができる制御回路及びセンサ装置を提供することである。

課題を解決するための手段

[0006] 本発明の一態様の制御回路は、電源線からの電源電圧を受けて出力信号を信号線に出力する制御回路であって、前記電源線と前記信号線の間に設けられた負荷と、前記負荷と前記信号線の間又は前記電源線と前記負荷の間に設けられた第１のトランジスタと、前記第１のトランジスタのウェルと前記電源線の間に設けられた第２のトランジスタと、電源断線時に前記第１のトランジスタのゲート端子及び前記第２のトランジスタのゲート端子を前記信号線に接続し、前記第１のトランジスタ及び前記第２のトランジスタを遮断するゲート制御回路とを備えたことを特徴とする。

発明の効果

[0007] 本発明によれば、電源断線時に第１、第２のトランジスタを遮断することで、信号線から電源線への電流の回り込みを抑えて中間電位の出力を防止できる。本発明に関連する更なる特徴は、本明細書の記述、添付図面から明らかになるものである。また、上記した以外の、課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0008] [図1]第１の実施形態に係るセンサ装置の回路図。

[図2]第１の実施形態に係る通常動作時の説明図。

[図3]第１の実施形態に係る電源断線時の説明図。

[図4]第２の実施形態に係るセンサ装置の回路図。

[図5]第３の実施形態に係るセンサ装置の回路図。

[図6]第４の実施形態に係るセンサ装置の回路図。

[図7]第５の実施形態に係るセンサ装置の回路図。

[図8]第６の実施形態に係るセンサ装置の回路図。

[図9]第７の実施形態に係るセンサ装置の回路図。

[図10]第８の実施形態に係るセンサ装置の回路図。

発明を実施するための形態

[0009] [第１の実施形態]

以下、図１から図３を参照して、第１の実施形態に係るセンサ装置につい

て説明する。

図１は、第１の実施形態に係るセンサ装置の回路図である。なお、センサ装置としては、例えばエアフローセンサが挙げられるが、物理量に応じて電気的特性の変化する装置であれば特に限定されない。

[0010] 図１に示すように、センサ装置１０は、電源端子１２及び信号端子１３を介してＥＣＵ（不図示）等の上位装置に接続されており、センサエレメントが実装されたＬＳＩ内部回路（検出回路）１４と、センサエレメントからの検出信号を処理する制御回路１１とを備えている。ＬＳＩ内部回路１４は、電源端子１２に連なる電源線Ｌ１１に接続されており、上位装置から電源線Ｌ１１を通じて電源電圧を受けてセンサエレメント等を動作させている。また、ＬＳＩ内部回路１４は、センサエレメントで検出した物理量に対して各種処理を施して、物理量に応じた制御信号を制御回路１１に出力している。

[0011] 制御回路１１は、電源端子１２に連なる電源線Ｌ１１を介して上位装置から電源電圧を受けて、信号端子１３に連なる信号線Ｌ１２を介してＬＳＩ内部回路１４の制御信号に応じた出力信号を上位装置に出力している。制御回路１１には、信号線Ｌ１２とグランドＧ１１との間に回路駆動用の第１のＮＭＯＳトランジスタＮ１１が設けられている。また、制御回路１１には、電源線Ｌ１１に接続された電流調整用の負荷Ｒ１１と、負荷Ｒ１１と信号線Ｌ１２の間に設けられた電流遮断用の第１のＰＭＯＳトランジスタ（第１のトランジスタ）Ｐ１１と、第１のＰＭＯＳトランジスタＰ１１のウェルと電源線Ｌ１１の間に設けられたウェル制御用の第２のＰＭＯＳトランジスタ（第２のトランジスタ）Ｐ１２とが設けられている。

[0012] さらに、制御回路１１には、電源断線時に第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２を遮断するゲート制御回路１５が設けられている。ゲート制御回路１５には第２のＮＭＯＳトランジスタＮ１２と、第３のＰＭＯＳトランジスタＰ１３とが設けられている。第２のＮＭＯＳトランジスタＮ１２は、第１のＰＭＯＳトランジスタＰ１１のゲート端子及び第２のＰＭＯＳトランジスタＰ１２のゲート端子の接続点１７とグランドＧ１２との間に設

けられている。第３のＰＭＯＳトランジスタＰ１３は、第１のＰＭＯＳトランジスタＰ１１のゲート端子及び第２のＰＭＯＳトランジスタＰ１２のゲート端子の接続点１７と信号線Ｌ１２との間に設けられている。

[0013] より詳細には、回路駆動用の第１のＮＭＯＳトランジスタＮ１１のドレイン端子は信号線Ｌ１２に接続され、第１のＮＭＯＳトランジスタＮ１１のソース端子はグランドＧ１１に接続されている。第１のＮＭＯＳトランジスタＮ１１のゲート端子にはＬＳＩ内部回路１４が接続されており、第１のＮＭＯＳトランジスタＮ１１はＬＳＩ内部回路１４からの制御信号を受けて駆動される。第１のＮＭＯＳトランジスタＮ１１は、ＬＳＩ内部回路１４からの制御信号に応じてＯＮ／ＯＦＦ駆動されて、ＬＳＩ内部回路１４内のセンサエレメントで検出した物理量に応じた出力信号を生成している。

[0014] 電流遮断用の第１のＰＭＯＳトランジスタＰ１１は、一方の入出力端子が負荷Ｒ１１に接続され、他方の入出力端子が信号線Ｌ１２に接続されている。第１のＰＭＯＳトランジスタＰ１１は、信号線Ｌ１２から電源線Ｌ１１に向かう電流パスの切断に使用される。ウェル制御用の第２のＰＭＯＳトランジスタＰ１２は、一方の入出力端子が電源線Ｌ１１に接続され、他方の入出力端子が第１－第３のＰＭＯＳトランジスタＰ１１－Ｐ１３のウェルに接続されている。第２のＰＭＯＳトランジスタＰ１２は、第１－第３のＰＭＯＳトランジスタＰ１１－Ｐ１３のウェル電位を一定に固定している。

[0015] ゲート制御回路１５の第２のＮＭＯＳトランジスタＮ１２は、ドレイン端子が第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート端子に接続され、ソース端子が自身のウェル及びグランドＧ１２に接続されている。第２のＮＭＯＳトランジスタＮ１２のゲート端子は電源線Ｌ１１に接続されている。第２のＮＭＯＳトランジスタＮ１２のゲート電位が電源電位の通常動作時に第２のＮＭＯＳトランジスタＮ１２が導通する。これにより、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート端子がグランドＧ１２に接続して第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２が導通する。

[0016] ゲート制御回路１５の第３のＰＭＯＳトランジスタＰ１３は、一方の入出

力端子が第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート端子に接続され、他方の入出力端子が信号線Ｌ１２に接続されている。第３のＰＭＯＳトランジスタＰ１３のゲート端子は電源線Ｌ１１に接続されている。第３のＰＭＯＳトランジスタＰ１３のゲート電位が接地電位の電源断線時に第３のＰＭＯＳトランジスタＰ１３が導通する。これにより、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート端子が信号線Ｌ１２に接続して第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２が遮断される。

[0017] このように、本実施形態のセンサ装置１０では、電源断線時に信号線Ｌ１２から電源線Ｌ１１に電流が回り込まないように、ゲート制御回路１５によって電源断線時に第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２を遮断している。第１のＰＭＯＳトランジスタＰ１１によって信号線Ｌ１２から電源線Ｌ１１に向かう直流パスが切断される。第２のＰＭＯＳトランジスタＰ１２によって信号線Ｌ１２から第１、第３のＰＭＯＳトランジスタＰ１１、Ｐ１３の寄生ダイオードＤ１、Ｄ２（図３参照）を通じて電源線Ｌ１１に向かう電流パスが切断される。これにより、ＬＳＩ内部回路１４に影響を及ぼす可能性がある中間電位の出力が防止されている。

[0018] 以下、図２及び図３を参照して、通常動作時及び電源断線時の制御回路について説明する。図２は、第１の実施形態に係る通常動作時の説明図である。図３は、第１の実施形態に係る電源断線時の説明図である。

[0019] 図２に示すように、通常動作時にはゲート制御回路１５の第２のＮＭＯＳトランジスタＮ１２のゲート端子及び第３のＰＭＯＳトランジスタＰ１３のゲート端子に電源電圧が印加される。第２のＮＭＯＳトランジスタＮ１２のゲート電位が電源電位になって第２のＮＭＯＳトランジスタＮ１２が導通され、第３のＰＭＯＳトランジスタＰ１３のゲート電位が電源電位になって第３のＰＭＯＳトランジスタＰ１３が遮断される。第２のＮＭＯＳトランジスタＮ１２が導通して、第３のＰＭＯＳトランジスタＰ１３が遮断することで、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート端子がグランドＧ１２に接続される。

[0020] 第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート電位が接地電位になり、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のウェル電位が電源電位に固定されて、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２の導通状態が維持される。このとき、第１のＰＭＯＳトランジスタＰ１１では、負荷Ｒ１１に連なる一方の入出力端子がソースとして働き、信号線Ｌ１２に連なる他方の入出力端子がドレインとして働いている。また、第２のＰＭＯＳトランジスタＰ１２では、電源線Ｌ１１に連なる一方の入出力端子がソースとして働き、各ＰＭＯＳトランジスタＰ１１－Ｐ１３のウェルに連なる他方の入出力端子がドレインとして働いている。

[0021] また、第２のＰＭＯＳトランジスタＰ１２が導通することで、第３のＰＭＯＳトランジスタＰ１３のウェル電位が電源電位に固定されて、第３のＰＭＯＳトランジスタＰ１３の遮断状態が維持される。これにより、信号線Ｌ１２が第３のＰＭＯＳトランジスタＰ１３及び第２のＮＭＯＳトランジスタＮ１２を介してグランドＧ１２に接続されることがない。このように、通常動作時には、第１のＰＭＯＳトランジスタＰ１１のゲート端子をグランドＧ１２に接続し、第１のＰＭＯＳトランジスタＰ１１のウェル電位を電源電位にすることで、第１のＰＭＯＳトランジスタＰ１１の導通状態が維持されている。

[0022] 図３に示すように、電源断線時にはゲート制御回路１５の第２のＮＭＯＳトランジスタＮ１２のゲート端子及び第３のＰＭＯＳトランジスタＰ１３のゲート端子がＬＳＩ内部回路１４の負荷を介してグランドＧ１３に接続される。第２のＮＭＯＳトランジスタＮ１２のゲート電位が接地電位になって第２のＮＭＯＳトランジスタＮ１２が遮断され、第３のＰＭＯＳトランジスタＰ１３のゲート電位が接地電位になって第３のＰＭＯＳトランジスタＰ１３が導通する。第２のＮＭＯＳトランジスタＮ１２が遮断され、第３のＰＭＯＳトランジスタＰ１３が導通することで、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート端子が信号線Ｌ１２に接続される。

[0023] 通常は信号電位がプルアップされているため、第３のＰＭＯＳトランジス

タＰ１３を通じて第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート電位が信号電位になる。

また、第１－第３のＰＭＯＳトランジスタＰ１１－Ｐ１３のウェル電位が第１のＰＭＯＳトランジスタＰ１１の寄生ダイオードＤ１分だけ信号電位から低下した電位に固定される。この場合、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２の閾値電圧が低下するが、閾値電圧よりも第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート－ソース間電圧が低くなるため、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２が遮断状態で維持される。

[0024] 電源断線時は、通常動作時から第１のＰＭＯＳトランジスタＰ１１の一対の入出力端子のソース－ドレインが入れ替わると共に、第２のＰＭＯＳトランジスタＰ１２の一対の入出力端子のソース－ドレインが入れ替わる。第１のＰＭＯＳトランジスタＰ１１では、負荷Ｒ１１に連なる一方の入出力端子がドレインとして働き、信号線Ｌ１２に連なる他方の入出力端子がソースとして働いている。また、第２のＰＭＯＳトランジスタＰ１２では、電源線Ｌ１１に連なる一方の入出力端子がドレインとして働き、各ＰＭＯＳトランジスタＰ１１－Ｐ１３のウェルに連なる他方の入出力端子がソースとして働いている。

[0025] そして、第１のＰＭＯＳトランジスタＰ１１が遮断状態に維持されることで、信号線Ｌ１２から電源線Ｌ１１に向かう電流の直流パスが切断される。第１のＰＭＯＳトランジスタＰ１１には破線で示す寄生ダイオードＤ１で電流パスが形成されるが、第２のＰＭＯＳトランジスタＰ１２が遮断状態で維持されることで、信号線Ｌ１２から寄生ダイオードＤ１を通って電源線Ｌ１１に向かう電流パスが切断される。同様に、第３のＰＭＯＳトランジスタＰ１３にも破線で示す寄生ダイオードＤ２で電流パスが形成されるが、第２のＰＭＯＳトランジスタＰ１２によって信号線Ｌ１２から寄生ダイオードＤ２を通って電源線Ｌ１１に向かう電流パスが切断される。

[0026] 第２のＰＭＯＳトランジスタＰ１２は、各ＰＭＯＳトランジスタＰ１１－

Ｐ１３のウェルを制御すると共に、第１、第３のＰＭＯＳトランジスタＰ１１、Ｐ１３の寄生ダイオードＤ１、Ｄ２の電流パスを切断している。よって、第１、第３のＰＭＯＳトランジスタＰ１１、Ｐ１３のウェル制御用及び寄生ダイオードＤ１、Ｄ２の電流パスの切断用に個別にトランジスタを用意する必要がない。各ＰＭＯＳトランジスタＰ１１－Ｐ１３のウェルを共通化してチップの小面積化を図ることが可能になっている。なお、本実施形態では、第１、第３のＰＭＯＳトランジスタＰ１１、Ｐ１３のウェル制御用に個別にトランジスタが用意されていてもよい。

[0027] 以上のように、第１の実施の形態では、電源断線時に第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のゲート電位が信号電位となり、第１、第２のＰＭＯＳトランジスタＰ１１、Ｐ１２のウェル電位が所定の電位に固定される。第１のＰＭＯＳトランジスタＰ１１が遮断されて、信号線Ｌ１２から電源線Ｌ１１に向かう直流パスが切断される。また、第２のＰＭＯＳトランジスタＰ１２が遮断されて、第１、第３のＰＭＯＳトランジスタＰ１１、Ｐ１３の寄生ダイオードＤ１、Ｄ２を通じて信号線Ｌ１２から電源線Ｌ１１に向かう電流パスが切断される。よって、信号線Ｌ１２から電源線Ｌ１１に向かう電流の回り込みが抑制されて、中間電位の出力を防止する。中間電位出力の防止により、ＬＳＩが破損すること、上位装置による出力信号の誤診断が抑止される。

[0028] [第２の実施形態]

図４を参照して、第２の実施形態に係るセンサ装置について説明する。第１の実施形態では、電源断線時に各ＰＭＯＳトランジスタのウェル電位が寄生ダイオード分だけ信号電位から低下した電位に固定される。このため、閾値電圧が下がって電流遮断時のリーク電流が僅かに生じる場合がある。そこで、第２の実施形態に係るセンサ装置は、電源断線時のウェル制御用に第４のＰＭＯＳトランジスタを備えている。ここでは、第１の実施形態と同様な構成については説明を極力省略する。図４は、第２の実施形態に係るセンサ装置の回路図である。

[0029] 図４に示すように、第２の実施形態に係るセンサ装置２０は、電源断線時のウェル制御用に第４のＰＭＯＳトランジスタＰ２４を備えた点で第１の実施形態と相違している。すなわち、制御回路２１には、第１の実施形態の制御回路１１と同様に、負荷Ｒ２１、第１、第２のＮＭＯＳトランジスタＮ２１、Ｎ２２、第１－第３のＰＭＯＳトランジスタＰ２１－Ｐ２３が設けられている。また、制御回路２１には第１のＰＭＯＳトランジスタＰ２１のウェルと第２のＰＭＯＳトランジスタＰ２２のウェルの接続点２８と信号線Ｌ２２との間に電源断線時のウェル制御用の第４のＰＭＯＳトランジスタＰ２４が設けられている。

[0030] 第４のＰＭＯＳトランジスタＰ２４は、一方の入出力端子が各ＰＭＯＳトランジスタＰ２１－Ｐ２４のウェルに接続され、他方の入出力端子が信号線Ｌ２２に接続されている。

第４のＰＭＯＳトランジスタＰ２４のゲート端子は電源線Ｌ２１に接続されている。第４のＰＭＯＳトランジスタＰ２４では、通常動作時に各ＰＭＯＳトランジスタＰ２１－Ｐ２４のウェルに連なる一方の入出力端子がソースとして働き、信号線Ｌ２２に連なる他方の入出力端子がドレインとして働いている。電源断線時に各ＰＭＯＳトランジスタＰ２１－Ｐ２４のウェルに連なる一方の入出力端子がドレインとして働き、信号線Ｌ２２に連なる他方の入出力端子がソースとして働いている。

[0031] 通常動作時には、第４のＰＭＯＳトランジスタＰ２４のゲート端子に電源電圧が印加されて、第４のＰＭＯＳトランジスタＰ２４のゲート電位が電源電位になる。また、第２のＰＭＯＳトランジスタＰ２２が導通することで、第４のＰＭＯＳトランジスタＰ２４のウェル電位が電源電位に固定されて、第４のＰＭＯＳトランジスタＰ２４の遮断状態が維持される。これにより、第２の実施形態の制御回路２１においても、第１の実施形態の制御回路１１と同様に動作するため、第４のＰＭＯＳトランジスタＰ２４の追加によって制御回路２１の動作が悪影響を受けることがない。

[0032] 電源断線時には、第４のＰＭＯＳトランジスタＰ２４のゲート端子がＬＳ

Ｉ内部回路２４の負荷を介してグランドＧ２３に接続される。第４のＰＭＯＳトランジスタＰ２４のゲート電位が接地電位になり、第４のＰＭＯＳトランジスタＰ２４を通じて第１－第３のＰＭＯＳトランジスタＰ２１－Ｐ２３のウェル電位が信号電位に固定される。これにより、第１の実施形態のような第１のＰＭＯＳトランジスタＰ２１の寄生ダイオード分の電圧低下が無くなり、第１、第２のＰＭＯＳトランジスタＰ２１、Ｐ２２の閾値電圧が上昇することで、電流遮断時のリーク電流を小さくすることができる。

[0033] 以上のように、第２の実施形態でも、第１の実施形態と同様に電源断線時の信号線Ｌ２２から電源線Ｌ２１に向かう電流の回り込みを抑制することができる。また、電源断線時には第４のＰＭＯＳトランジスタＰ２４によって第１、第２のＰＭＯＳトランジスタＰ２１、Ｐ２２の電流遮断効果を高めることができる。

[0034] [第３の実施形態]

図５を参照して、第３の実施形態に係るセンサ装置について説明する。第１の実施形態では、負荷と信号線の間に第１のＰＭＯＳトランジスタを設けているため、負荷によって第１のＰＭＯＳトランジスタのゲート－ソース間電圧が小さくなってチップの小面積化を十分に図ることができなかった。そこで、第３の実施形態に係るセンサ装置は、電源線と負荷の間に第１のＰＭＯＳトランジスタを設けている。ここでは、第１の実施形態と同様な構成については説明を極力省略する。図５は、第３の実施形態に係るセンサ装置の回路図である。

[0035] 図５に示すように、第３の実施形態に係るセンサ装置３０は、第１のＰＭＯＳトランジスタＰ３１と負荷Ｒ３１の位置が入れ替えられた点で第１の実施形態と相違している。すなわち、制御回路３１には、第１の実施形態の制御回路１１と同様に、負荷Ｒ３１、第１、第２のＮＭＯＳトランジスタＮ３１、Ｎ３２、第１－第３のＰＭＯＳトランジスタＰ３１－Ｐ３３が設けられている。第１のＰＭＯＳトランジスタＰ３１は電源線Ｌ３１と負荷Ｒ３１の間に設けられているため、通常動作時に第１のＰＭＯＳトランジスタＰ３１

のゲート－ソース間電圧が大きくなる。よって、第１のＰＭＯＳトランジスタＰ３１のＯＮ抵抗を小さくできチップの小面積化を図ることできる。

[0036] 以上のように、第３の実施形態でも、第１の実施形態と同様に電源断線時の信号線Ｌ３２から電源線Ｌ３１に向かう電流の回り込みを抑制することができる。また、第１のＰＭＯＳトランジスタＰ３１のチップの小面積化を図ることができる。

[0037] [第４の実施形態]

上記した各実施形態では、ゲート制御回路の第１の素子として第２のＮＭＯＳトランジスタ、第２の素子として第３のＰＭＯＳトランジスタを例示したが、この構成に限定されない。ゲート制御回路は、通常動作時に第１、第２のＰＭＯＳトランジスタのゲート端子をグランドに接続する第１の素子と、電源断線時に第１、第２のＰＭＯＳトランジスタのゲート端子を信号線に接続する第２の素子を備えていればよい。例えば、図６に示すように、ゲート制御回路の第１の素子を抵抗で構成してもよい。

[0038] 図６を参照して、第４の実施形態に係るセンサ装置について説明する。第４の実施形態に係るセンサ装置は、ゲート制御回路の第１の素子として抵抗を使用し、第２の素子としてＰＭＯＳトランジスタを使用している。ここでは、第１の実施形態と同様な構成については説明を極力省略する。図６は、第４の実施形態に係るセンサ装置の回路図である。

[0039] 図６に示すように、第４の実施形態に係るセンサ装置４０は、第２のＮＭＯＳトランジスタＮ１２（図１参照）が抵抗Ｒ４２に置き換えられた点で第１の実施形態と相違している。すなわち、制御回路４１には、第１の実施形態の制御回路１１と同様に、負荷Ｒ４１、第１のＮＭＯＳトランジスタＮ４１、第１－第３のＰＭＯＳトランジスタＰ４１－Ｐ４３が設けられている。ゲート制御回路４５の抵抗Ｒ４２は第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２のゲート端子の接続点４７とグランドＧ４２の間に設けられている。

また、抵抗Ｒ４２の抵抗値は第３のＰＭＯＳトランジスタＰ４３のＯＮ抵抗

の抵抗値よりも大きく設定されている。

[0040] 通常動作時にはゲート制御回路４５の第３のＰＭＯＳトランジスタＰ４３のゲート端子に電源電圧が印加される。第３のＰＭＯＳトランジスタＰ４３のゲート電位が電源電位になって第３のＰＭＯＳトランジスタＰ４３が遮断される。このため、第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２のゲート端子が抵抗Ｒ４２を介してグランドＧ４２に接続される。第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２のゲート電位が接地電位になり、第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２のウェル電位が電源電位に固定されて、第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２の導通状態が維持される。

[0041] 電源断線時にはゲート制御回路４５の第３のＰＭＯＳトランジスタＰ４３のゲート端子がＬＳＩ内部回路４４の負荷を介してグランドＧ４３に接続される。第３のＰＭＯＳトランジスタＰ４３のゲート電位が接地電位になって第３のＰＭＯＳトランジスタＰ４３が導通する。第３のＰＭＯＳトランジスタＰ４３が導通し、抵抗Ｒ４２の抵抗値が高く設定されているため、第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２のゲート端子が信号線Ｌ４２に接続される。第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２のゲート電位が信号電位になって第１、第２のＰＭＯＳトランジスタＰ４１、Ｐ４２の遮断状態が維持される。

[0042] 以上のように、第４の実施形態でも、第１の実施形態と同様に電源断線時の信号線Ｌ４２から電源線Ｌ４１に向かう電流の回り込みを抑制することができる。また、ゲート制御回路４５を抵抗Ｒ４２と第３のＰＭＯＳトランジスタＰ４３で構成することができる。

[0043] [第５の実施形態]

また、図７に示すように、ゲート制御回路の第２の素子を抵抗で構成してもよい。図７を参照して、第５の実施形態に係るセンサ装置について説明する。第５の実施形態に係るセンサ装置は、ゲート制御回路の第１の素子としてＮＭＯＳトランジスタを使用し、第２の素子として抵抗を使用している。

ここでは、第１の実施形態と同様な構成については説明を極力省略する。図７は、第５の実施形態に係るセンサ装置の回路図である。

[0044] 図７に示すように、第５の実施形態に係るセンサ装置５０は、第３のＰＭＯＳトランジスタＰ１３（図１参照）が抵抗Ｒ５２に置き換えられた点で第１の実施形態と相違している。すなわち、制御回路５１には、第１の実施形態の制御回路１１と同様に、負荷Ｒ５１、第１、第２のＮＭＯＳトランジスタＮ５１、Ｎ５２、第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２が設けられている。ゲート制御回路５５の抵抗Ｒ５２は第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２のゲート端子の接続点５７と信号線Ｌ５２の間に設けられている。また、抵抗Ｒ５２の抵抗値は、負荷Ｒ５１と第１のＰＭＯＳトランジスタＰ５１のＯＮ抵抗の合成抵抗の抵抗値よりも大きく設定されている。

[0045] 通常動作時にはゲート制御回路５５の第２のＮＭＯＳトランジスタＮ５２のゲート端子に電源電圧が印加される。第２のＮＭＯＳトランジスタＮ５２のゲート電位が電源電位になって第２のＮＭＯＳトランジスタＮ５２が導通する。抵抗Ｒ５２の抵抗値が高く設定されているため、第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２のゲート端子が第２のＮＭＯＳトランジスタＮ５２を介してグランドＧ５２に接続される。第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２のゲート電位が接地電位になり、第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２のウェル電位が電源電位に固定されて、第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２の導通状態が維持される。

[0046] 電源断線時にはゲート制御回路５５の第２のＮＭＯＳトランジスタＮ５２のゲート端子がＬＳＩ内部回路５４の負荷を介してグランドＧ５３に接続される。第２のＮＭＯＳトランジスタＮ５２のゲート電位が接地電位になって第２のＮＭＯＳトランジスタＮ５２が遮断される。第２のＮＭＯＳトランジスタＮ５２の遮断によって、第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２のゲート端子が抵抗Ｒ５２を介して信号線Ｌ５２に接続される。第１、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２のゲート電位が高くなって第１

、第２のＰＭＯＳトランジスタＰ５１、Ｐ５２の遮断状態が維持される。

[0047] 以上のように、第５の実施形態でも、第１の実施形態と同様に電源断線時の信号線Ｌ５２から電源線Ｌ５１に向かう電流の回り込みを抑制することができる。また、ゲート制御回路５５を第２のＮＭＯＳトランジスタＮ５２と抵抗Ｒ５２で構成することができる。

[0048] ［第６の実施形態］

上記した第２の実施形態では、第２、第４のＰＭＯＳトランジスタによってウェル制御する構成を例示したが、この構成に限定されない。例えば、図８に示すように、通常動作時に導通する第２のＰＭＯＳトランジスタを抵抗に置き換えてもよい。図８を参照して、第６の実施形態に係るセンサ装置について説明する。ここでは、第２の実施形態と同様な構成については説明を極力省略する。図８は、第６の実施形態に係るセンサ装置の回路図である。

[0049] 図８に示すように、第６の実施形態に係るセンサ装置６０は、ウェル制御用の第２のＰＭＯＳトランジスタＰ２２（図４参照）が抵抗Ｒ６２に置き換えられた点で第２の実施形態と相違している。すなわち、制御回路６１には、第２の実施形態の制御回路２１と同様に、負荷Ｒ６１、第１、第２のＮＭＯＳトランジスタＮ６１、Ｎ６２、第１、第３、第４のＰＭＯＳトランジスタＰ６１、Ｐ６３、Ｐ６４が設けられている。ウェル制御用の抵抗Ｒ６２は電源線Ｌ６１と第４のＰＭＯＳトランジスタＰ６４の間に設けられている。抵抗Ｒ６２の抵抗値は、ＥＣＵ（不図示）等の上位装置のプルアップ抵抗の抵抗値よりも大きく設定されている。

[0050] 通常動作時には、第４のＰＭＯＳトランジスタＰ６４のゲート端子に電源電圧が印加されて、第４のＰＭＯＳトランジスタＰ６４のゲート電位が電源電位になる。第４のＰＭＯＳトランジスタＰ６４が遮断されるため、ウェル制御用の抵抗Ｒ６２を介して第１、第３、第４のＰＭＯＳトランジスタＰ６１、Ｐ６３、Ｐ６４のウェル電位が高い電位に固定される。第１のＰＭＯＳトランジスタＰ６１の導通状態が維持され、第３、第４のＰＭＯＳトランジスタＰ６３、Ｐ６４の遮断状態が維持される。これにより、抵抗Ｒ６２と第

４のＰＭＯＳトランジスタＰ６４によって、第１の実施形態の制御回路１１と同様に、各ＰＭＯＳトランジスタＰ６１、Ｐ６３、Ｐ６４のウェル電位を制御できる。

[0051] 電源断線時には、第４のＰＭＯＳトランジスタＰ６４のゲート端子がＬＳＩ内部回路６４の負荷を介してグランドＧ６３に接続される。第４のＰＭＯＳトランジスタＰ６４のゲート電位が接地電位になり、第４のＰＭＯＳトランジスタＰ６４が導通する。抵抗Ｒ６２の抵抗値が高く設定されているため、第４のＰＭＯＳトランジスタＰ６４を通じて第１、第３、第４のＰＭＯＳトランジスタＰ６１、Ｐ６３、Ｐ６４のウェル電位が信号電位に固定される。これにより、第１の実施形態のような第１のＰＭＯＳトランジスタＰ６１の寄生ダイオード分の電圧低下が無くなり、第２の実施形態と同様に第１のＰＭＯＳトランジスタＰ６１の閾値電圧が上昇して電流遮断時のリーク電流を小さくすることができる。

[0052] 以上のように、第６の実施形態でも、第２の実施形態と同様に電源断線時の信号線Ｌ６２から電源線Ｌ６１に向かう電流の回り込みを抑制することができる。また、抵抗Ｒ６２と第４のＰＭＯＳトランジスタＰ６４によって第１、第３、第４のＰＭＯＳトランジスタＰ６１、Ｐ６３、Ｐ６４のウェル電位を制御することができる。

[0053] ［第７の実施形態］

また、図９に示すように、電源断線時に導通する第４のＰＭＯＳトランジスタを抵抗に置き換えてもよい。図９を参照して、第７の実施形態に係るセンサ装置について説明する。ここでは、第２の実施形態と同様な構成については説明を極力省略する。図９は、第７の実施形態に係るセンサ装置の回路図である。

[0054] 図９に示すように、第７の実施形態に係るセンサ装置７０は、ウェル制御用の第４のＰＭＯＳトランジスタＰ２４（図４参照）が抵抗Ｒ７２に置き換えられた点で第２の実施形態と相違している。すなわち、制御回路７１には、第２の実施形態の制御回路２１と同様に、負荷Ｒ７１、第１、第２のＮＭ

ＯＳトランジスタＮ７１、Ｎ７２、第１－第３のＰＭＯＳトランジスタＰ７１－Ｐ７３が設けられている。ウェル制御用の抵抗Ｒ７２は第２のＰＭＯＳトランジスタＰ７２と信号線Ｌ７２の間に設けられている。

[0055] 通常動作時には、第２のＰＭＯＳトランジスタＰ７２のゲート端子がゲート制御回路７５の第２のＮＭＯＳトランジスタＮ７２を通じてグランドＧ７２に接続されて、第２のＰＭＯＳトランジスタＰ７２のゲート電位が接地電位になる。よって、第２のＰＭＯＳトランジスタＰ７２を介して第１－第３のＰＭＯＳトランジスタＰ７１－Ｐ７３のウェル電位が電源電位に固定される。第１、第２のＰＭＯＳトランジスタＰ７１、Ｐ７２の導通状態が維持され、第３のＰＭＯＳトランジスタＰ７３の遮断状態が維持される。

[0056] なお、通常動作時には第１、第２のＰＭＯＳトランジスタＰ７１、Ｐ７２が導通して、電源線Ｌ７１と信号線Ｌ７２の間に負荷Ｒ７１と第１のＰＭＯＳトランジスタＰ７１の直列回路と第２のＰＭＯＳトランジスタＰ７２と抵抗Ｒ７２の直列回路が並列に形成される。このため、２つの直列回路からなる並列回路の合成抵抗の抵抗値と回路駆動用の第１のＮＭＯＳトランジスタＮ７１のＯＮ抵抗の抵抗値との分圧で、上位装置のＬｏｗ電圧の基準を満たすように並列回路の各素子の抵抗値が設定されている。

[0057] 電源断線時には、第２のＰＭＯＳトランジスタＰ７２が遮断されることで、抵抗Ｒ７２によって第１－第３のＰＭＯＳトランジスタＰ７１－Ｐ７３のウェル電位が制御される。

これにより、第２のＰＭＯＳトランジスタＰ７２と抵抗Ｒ７２によって、第２の実施形態の制御回路２１と同様に、各ＰＭＯＳトランジスタＰ７１－Ｐ７３のウェル電位を制御できる。

[0058] 以上のように、第７の実施形態でも、第２の実施形態と同様に電源断線時の信号線Ｌ７２から電源線Ｌ７１に向かう電流の回り込みを抑制することができる。また、第２のＰＭＯＳトランジスタＰ７２と抵抗Ｒ７２によって第１－第３のＰＭＯＳトランジスタＰ７１－Ｐ７３のウェル電位を制御することができる。

[0059] ［第８の実施形態］

上記した各実施形態では、制御回路に負荷が設けられる構成にしたが、負荷は抵抗で構成されていてもよいし、トランジスタで構成されていてもよい。例えば、図１０に示すように、負荷をＰＭＯＳトランジスタで構成してもよい。図１０を参照して、第８の実施形態に係るセンサ装置について説明する。ここでは、第１の実施形態と同様な構成については説明を極力省略する。図１０は、第８の実施形態に係るセンサ装置の回路図である。

[0060] 図１０に示すように、第８の実施形態に係るセンサ装置８０は、電流調整用の負荷として第５のＰＭＯＳトランジスタＰ８５を備えた点で第１の実施形態と相違している。すなわち、制御回路８１には、第１の実施形態の制御回路１１と同様に、第１、第２のＮＭＯＳトランジスタＮ８１、Ｎ８２、第１－第３のＰＭＯＳトランジスタＰ８１－Ｐ８３が設けられている。また、制御回路８１には電源線Ｌ８１と第１のＰＭＯＳトランジスタＰ８１の間に電流調整用の第５のＰＭＯＳトランジスタＰ８５が設けられている。負荷をトランジスタで構成することで電流の調整効果が高められている。

[0061] 第５のＰＭＯＳトランジスタＰ８５は、一方の入出力端子（ソース端子）が電源線Ｌ８１に接続され、他方の入出力端子（ドレイン端子）が第１のＰＭＯＳトランジスタＰ８１の一方の入出力端子に接続されている。第５のＰＭＯＳトランジスタＰ８５のゲート端子にはＬＳＩ内部回路８４が接続されており、第５のＰＭＯＳトランジスタＰ８５はＬＳＩ内部回路８４からの制御信号を受けて駆動される。第５のＰＭＯＳトランジスタＰ８５のウェル電位は、第２のＰＭＯＳトランジスタＰ８２によって制御されている。よって、各ＰＭＯＳトランジスタＰ８１－Ｐ８３、Ｐ８５のウェルを共通化してチップの小面積化を図ることが可能になっている。

[0062] 以上のように、第８の実施形態でも、第１の実施形態と同様に電源断線時の信号線Ｌ８２から電源線Ｌ８１に向かう電流の回り込みを抑制することができる。また、負荷として第５のＰＭＯＳトランジスタＰ８５を使用することで電流の調整効果を高めることができる。

[0063] また、本実施形態の各センサはＳＥＮＴ（Signal Edge Nibble Transmission）規格に対応させるために、プルアップ回路によって信号電位が制御されていてもよい。プルアップ回路を使用せずに、信号電位が常時プルアップされた状態で電源断線した場合であっても、信号線から電源線への電流の回り込みを抑えて中間電位の出力を防止できる。

[0064] 以上、本発明の実施形態について詳述したが、本発明は、前記の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の精神を逸脱しない範囲で、種々の設計変更を行うことができるものである。例えば、前記した実施の形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。さらに、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0065] １０、２０、３０、４０、５０、６０、７０、８０　センサ装置

１１、２１、３１、４１、５１、６１、７１、８１　制御回路

１４、２４、３４、４４、５４、６４、７４、８４　ＬＳＩ内部回路（検出回路）

１５、４５、５５、７５　ゲート制御回路

Ｌ１１、Ｌ２１、Ｌ３１、Ｌ４１、Ｌ５１、Ｌ６１、Ｌ７１、Ｌ８１　電源線Ｌ１２、Ｌ２２、Ｌ３２、Ｌ４２、Ｌ５２、Ｌ６２、Ｌ７２、Ｌ８２　信号線

Ｎ１２、Ｎ２２、Ｎ３２、Ｎ５２、Ｎ６２、Ｎ７２、Ｎ８２　第２のＮＭＯＳトランジスタ

Ｐ１１、Ｐ２１、Ｐ３１、Ｐ４１、Ｐ５１、Ｐ６１、Ｐ７１、Ｐ８１　第１のＰＭＯＳトランジスタ（第１のトランジスタ）

Ｐ１２、Ｐ２２、Ｐ３２、Ｐ４２、Ｐ５２、Ｐ７２、Ｐ８２　第２のＰＭＯ

Ｓトランジスタ（第２のトランジスタ）

Ｐ１３、Ｐ２３、Ｐ３３、Ｐ４３、Ｐ６３，Ｐ７３、Ｐ８３　第３のＰＭＯＳトランジスタ

Ｐ２４、Ｐ６４　第４のＰＭＯＳトランジスタ

Ｐ８５　第５のＰＭＯＳトランジスタ

Ｒ１１、Ｒ２１、Ｒ３１、Ｒ４１、Ｒ５１、Ｒ６１、Ｒ７１　負荷

Ｒ４２、Ｒ５２、Ｒ６２、Ｒ７２　抵抗

請求の範囲

[請求項1] 電源線からの電源電圧を受けて出力信号を信号線に出力する制御回路であって、

前記電源線と前記信号線の間に設けられた負荷と、

前記負荷と前記信号線の間又は前記電源線と前記負荷の間に設けられた第１のトランジスタと、

前記第１のトランジスタのウェルと前記電源線の間に設けられた第２のトランジスタと、

電源断線時に前記第１のトランジスタのゲート端子及び前記第２のトランジスタのゲート端子を前記信号線に接続し、前記第１のトランジスタ及び前記第２のトランジスタを遮断するゲート制御回路とを備えたことを特徴とする制御回路。

[請求項2] 前記ゲート制御回路は、

通常動作時には前記第１のトランジスタのゲート端子及び前記第２のトランジスタのゲート端子をグランドに接続し、前記第２のトランジスタを介して前記第１のトランジスタのウェル電位を電源電位にすることで前記第１のトランジスタを導通させることを特徴とする請求項１に記載の制御回路。

[請求項3] 前記第１のトランジスタは第１のＰＭＯＳトランジスタであり、

前記第２のトランジスタは第２のＰＭＯＳトランジスタであり、

前記ゲート制御回路は、前記第１のＰＭＯＳトランジスタのゲート端子及び前記第２のＰＭＯＳトランジスタのゲート端子の接続点とグランドとの間に設けられた第１の素子と、

前記第１のＰＭＯＳトランジスタのゲート端子及び前記第２のＰＭＯＳトランジスタのゲート端子の接続点と前記信号線との間に設けられた第２の素子とを有し、

通常動作時に前記第１の素子を介して前記第１のＰＭＯＳトランジスタのゲート端子及び前記第２のＰＭＯＳトランジスタのゲート端子

をグランドに接続し、電源断線時に前記第２の素子を介して前記第１のＰＭＯＳトランジスタのゲート端子及び前記第２のＰＭＯＳトランジスタのゲート端子を前記信号線に接続することを特徴とする請求項１に記載の制御回路。

[請求項4] 前記第１の素子はＮＭＯＳトランジスタであり、前記第２の素子は第３のＰＭＯＳトランジスタであり、

前記ＮＭＯＳトランジスタのゲート端子は前記電源線に接続され、前記第３のＰＭＯＳトランジスタのゲート端子は前記電源線に接続されたことを特徴とする請求項３に記載の制御回路。

[請求項5] 前記第２のＰＭＯＳトランジスタの一方の入出力端子は前記電源線に接続され、前記第２のＰＭＯＳトランジスタの他方の入出力端子は前記第１のＰＭＯＳトランジスタのウェル、前記第２のＰＭＯＳトランジスタのウェル、前記第３のＰＭＯＳトランジスタのウェルに接続されたことを特徴とする請求項４に記載の制御回路。

[請求項6] 前記第１のＰＭＯＳトランジスタのウェルと前記第２のＰＭＯＳトランジスタのウェルの接続点と前記信号線との間に設けられた第４のＰＭＯＳトランジスタを備え、

前記第４のＰＭＯＳトランジスタのゲート端子は前記電源線に接続されたことを特徴とする請求項５に記載の制御回路。

[請求項7] 前記第４のＰＭＯＳトランジスタの一方の入出力端子は前記第１のＰＭＯＳトランジスタのウェル、前記第２のＰＭＯＳトランジスタのウェル、前記第３のＰＭＯＳトランジスタのウェル、前記第４のＰＭＯＳトランジスタのウェルに接続され、前記第４のＰＭＯＳトランジスタの他方の入出力端子は前記信号線に接続されたことを特徴とする請求項６に記載の制御回路。

[請求項8] 前記第２のＰＭＯＳトランジスタ及び前記第４のＰＭＯＳトランジスタのいずれか一方を抵抗に置き換えたことを特徴とする請求項７に記載の制御回路。

[請求項9] 前記第１の素子は抵抗であり、前記第２の素子は第３のＰＭＯＳトランジスタであり、

前記第３のＰＭＯＳトランジスタのゲート端子は前記電源線に接続されたことを特徴とする請求項３に記載の制御回路。

[請求項10] 前記第１の素子はＮＭＯＳトランジスタであり、前記第２の素子は抵抗であり、

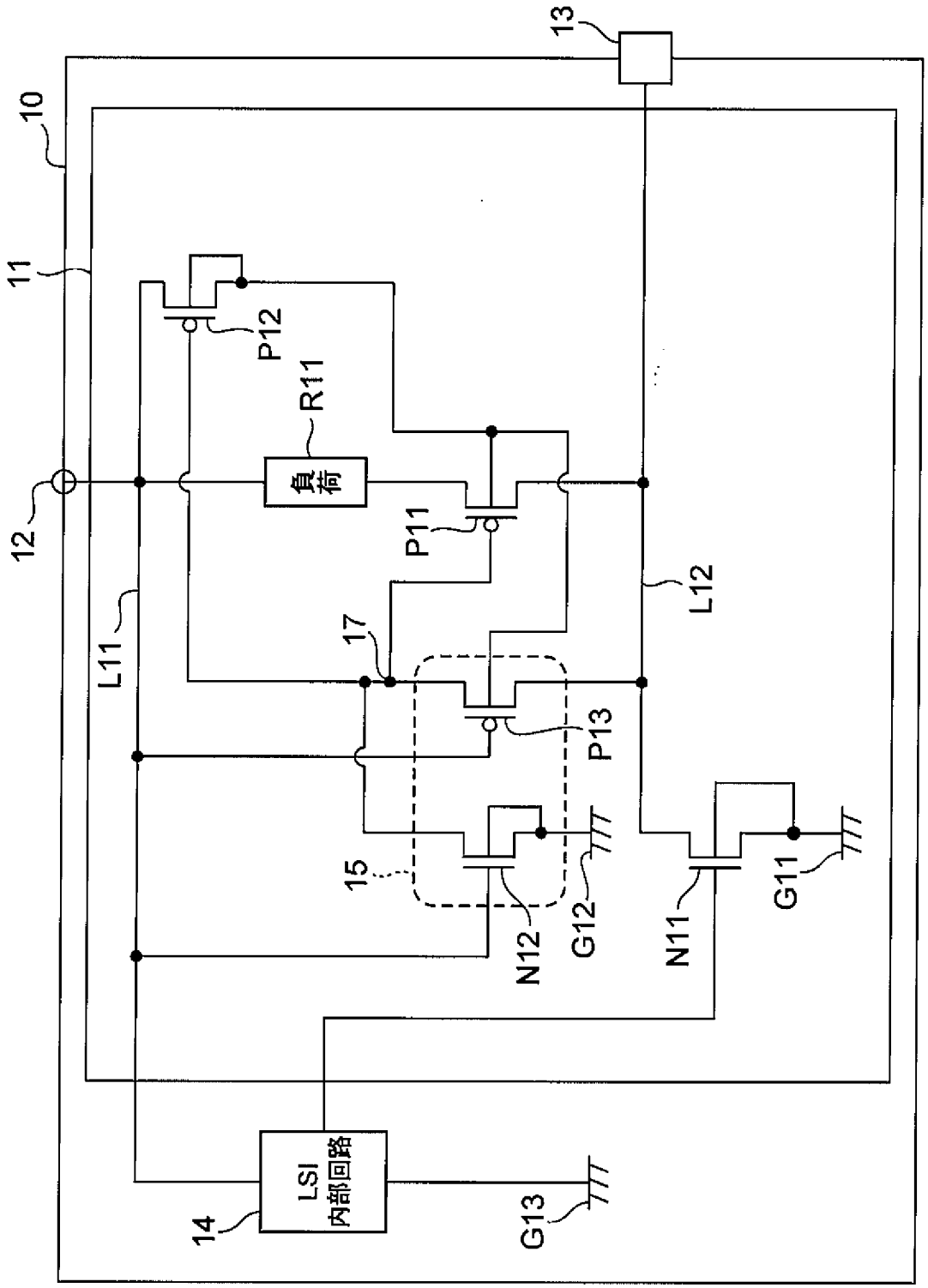
前記ＮＭＯＳトランジスタのゲート端子は前記電源線に接続されたことを特徴とする請求項３に記載の制御回路。

[請求項11] 前記負荷が抵抗又はトランジスタで構成されたことを特徴とする請求項１に記載の制御回路。

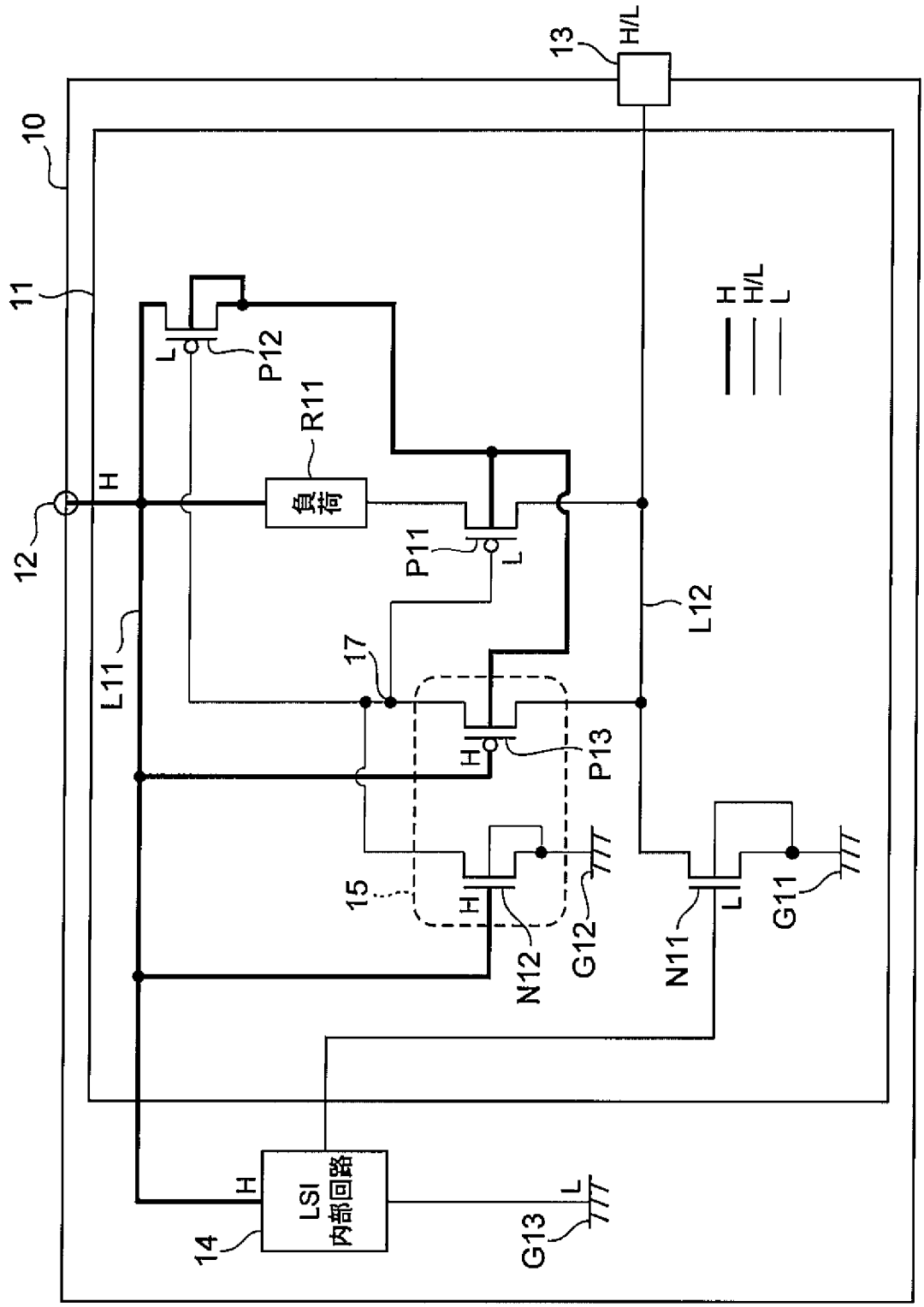
[請求項12] 請求項１から請求項１１のいずれか一項に記載の制御回路と、

前記制御回路に物理量に応じた制御信号を出力する検出回路とを備えたことを特徴とするセンサ装置。

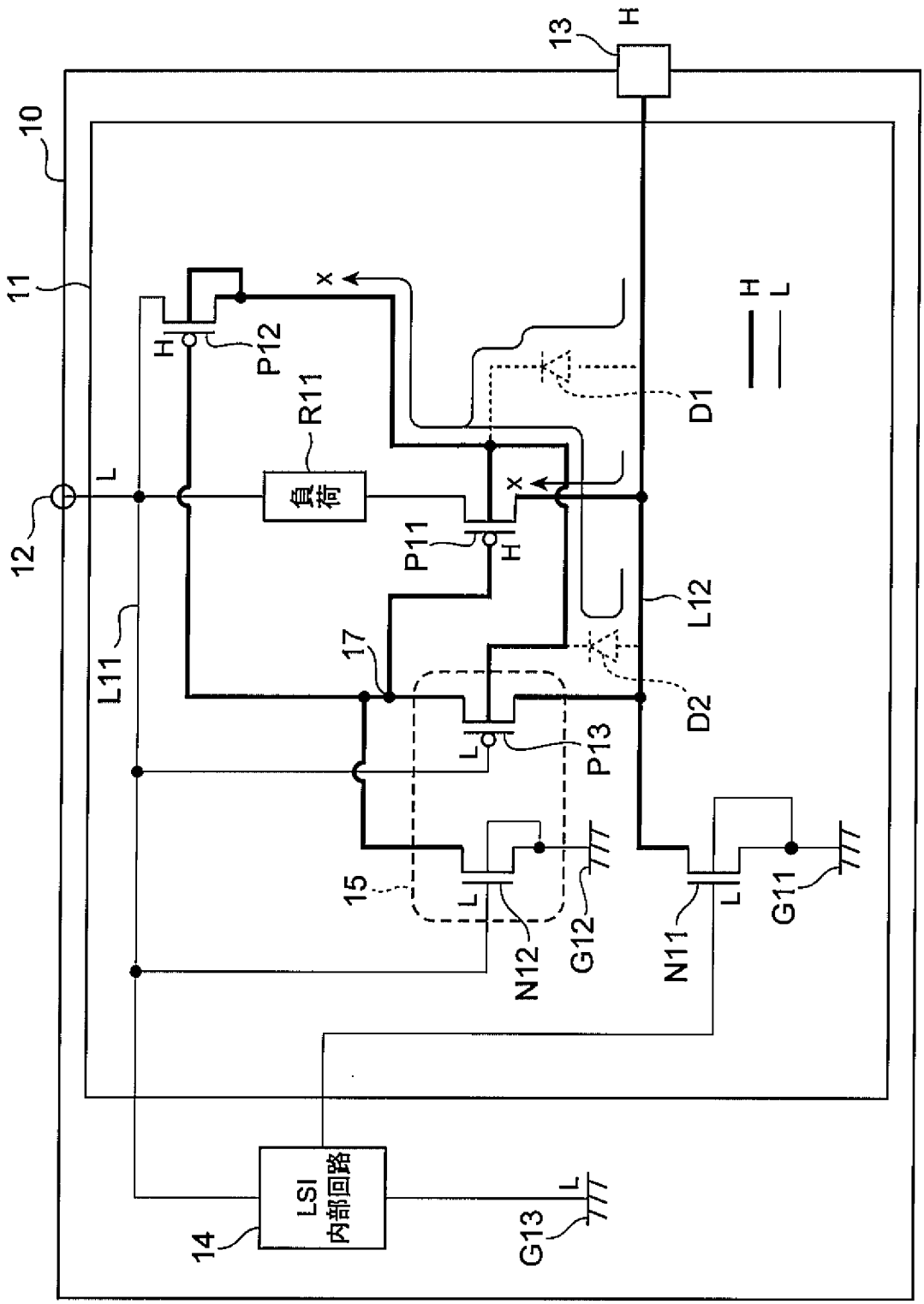
[図1]


13
10
11
P12
R11
負荷
12
P11
L12
L11
17
P13
15
N12
G12
N11
G11
LSI
内部回路
14
G13

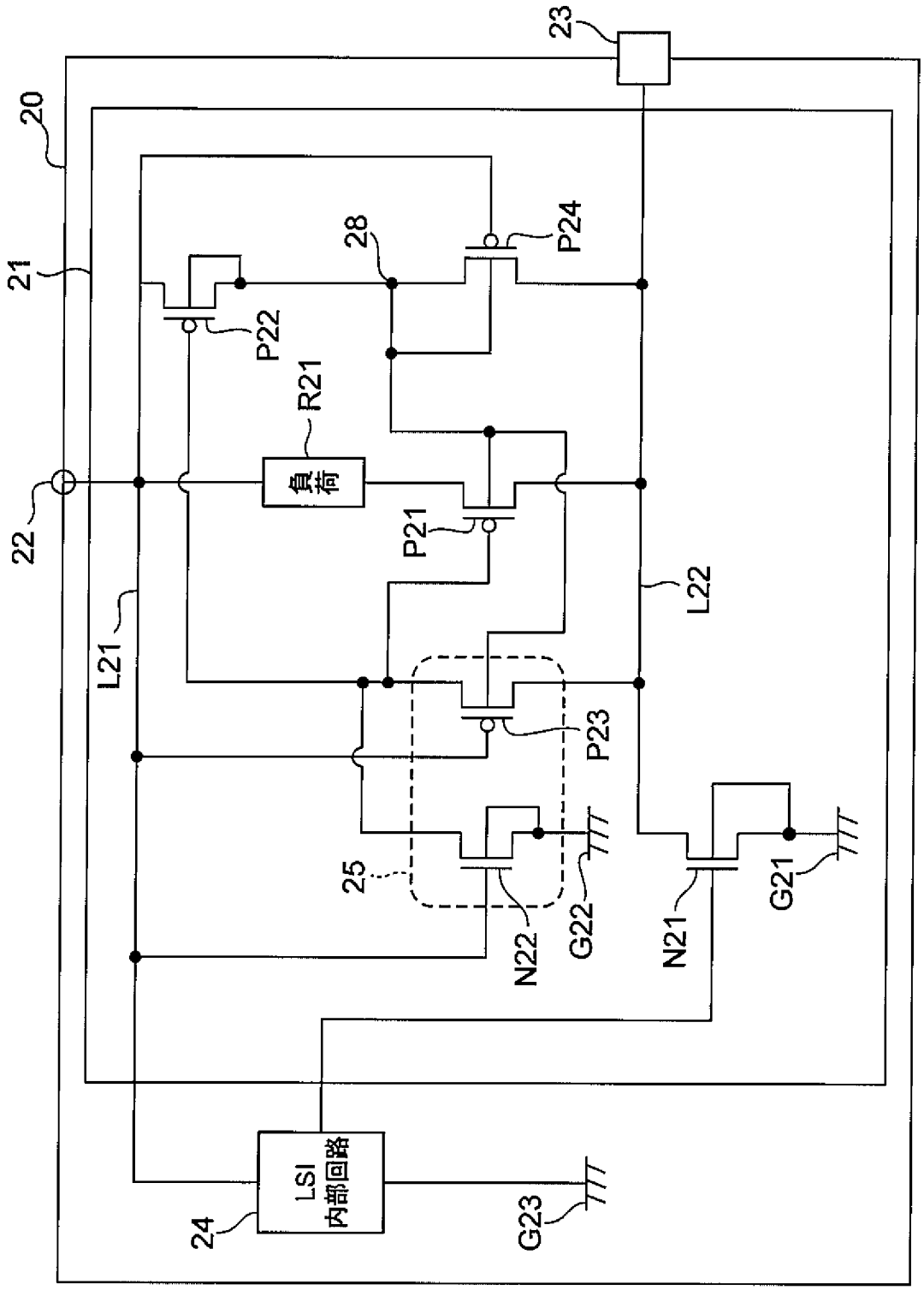
[図2]


13
H/L
10
11
12
H
L
P12
R11
負荷
P11
L
L12
L11
17
H
P13
15
N12
G12
N11
G11
LSI
内部回路
14
G13
H
H/L
L

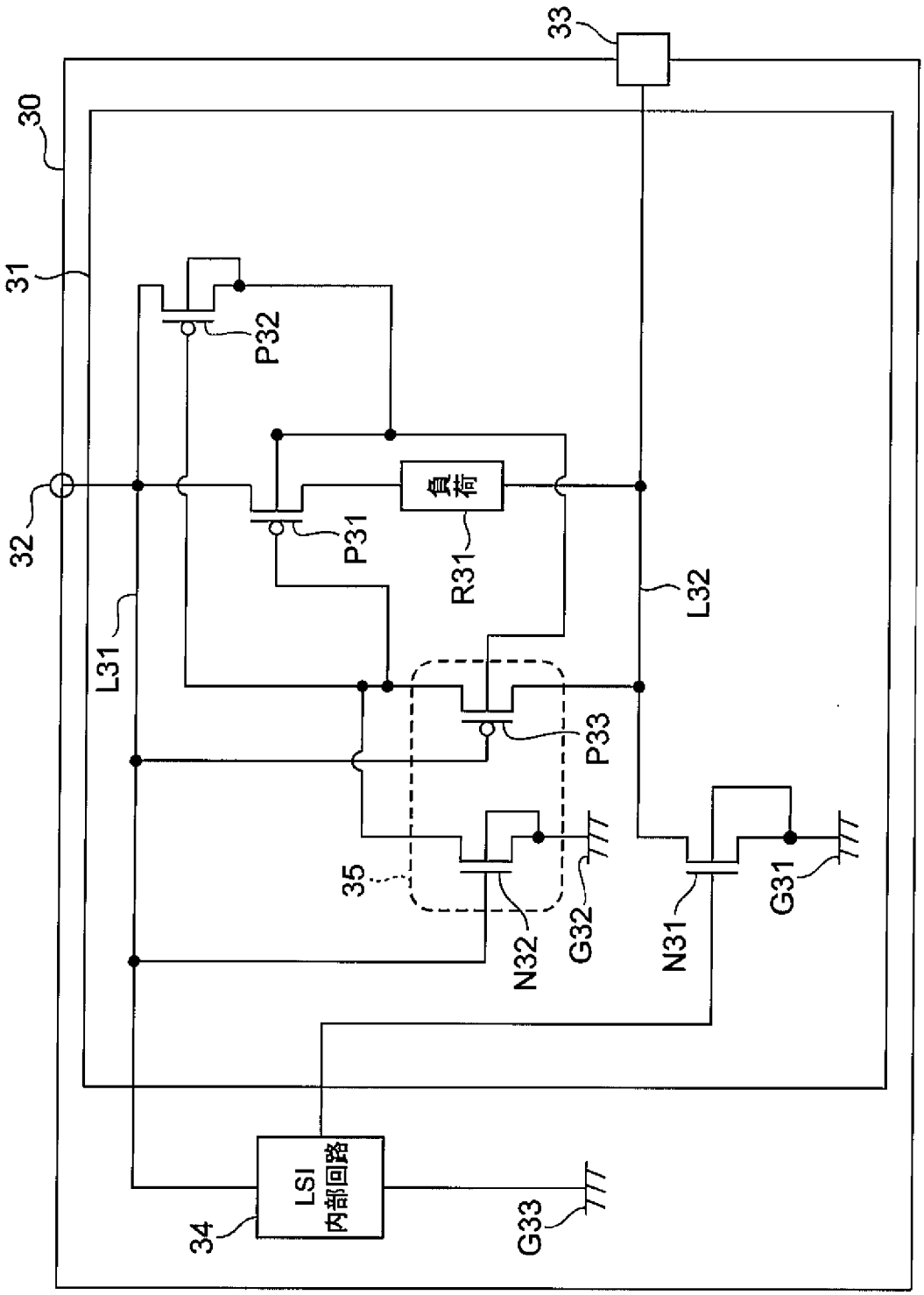
[図3]


13
H
10
11
x
H
P12
R11
D1
H
L
L
負荷
12
x
P11
H
L12
L11
17
D2
L
P13
15
L
G12
N12
N11
L
G11
LSI
内部回路
14
G13
L

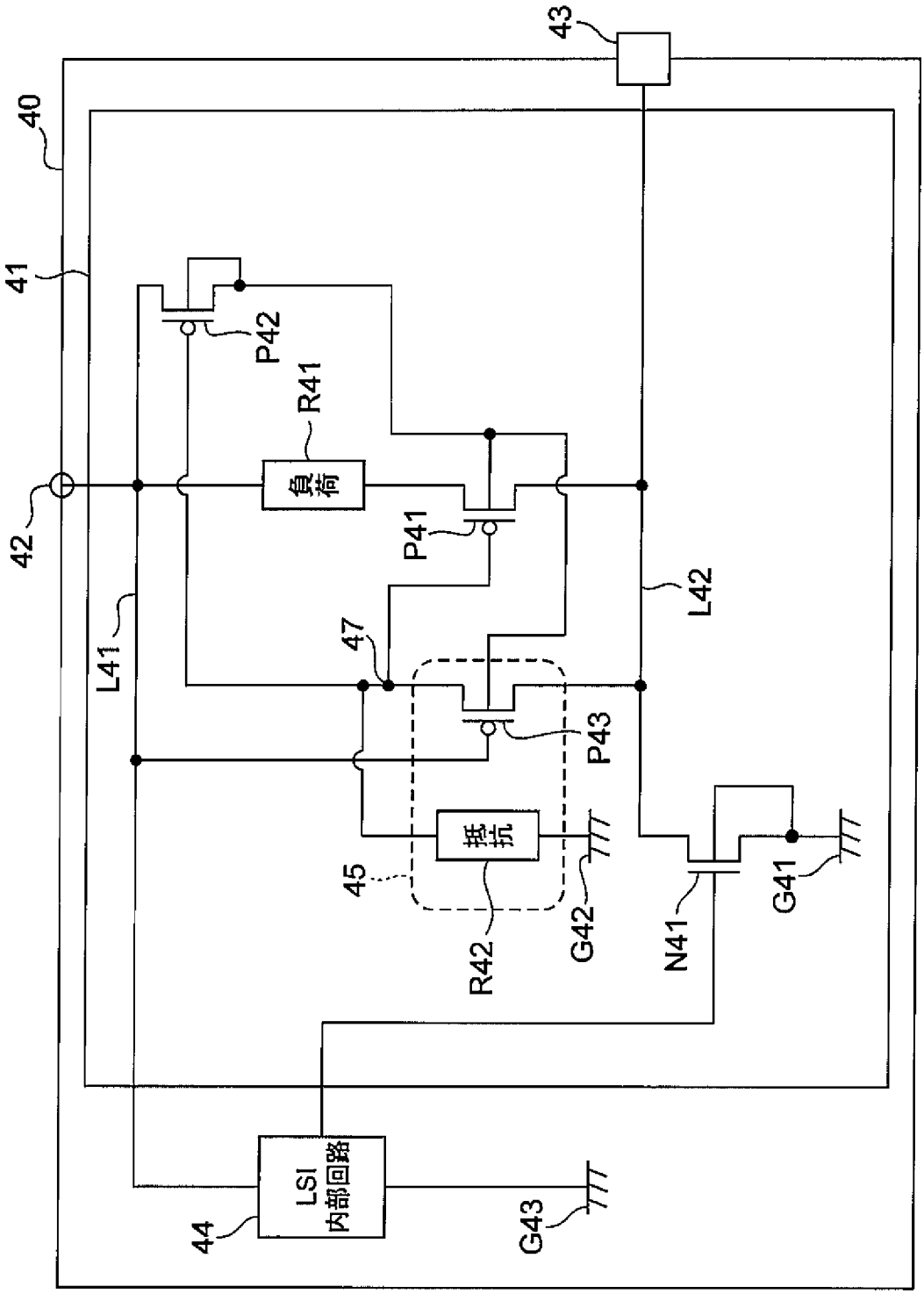
[図4]


23
20
21
28
P24
P22
R21
負荷
22
P21
L22
L21
P23
25
G22
G21
N22
N21
LSI
内部回路
24
G23

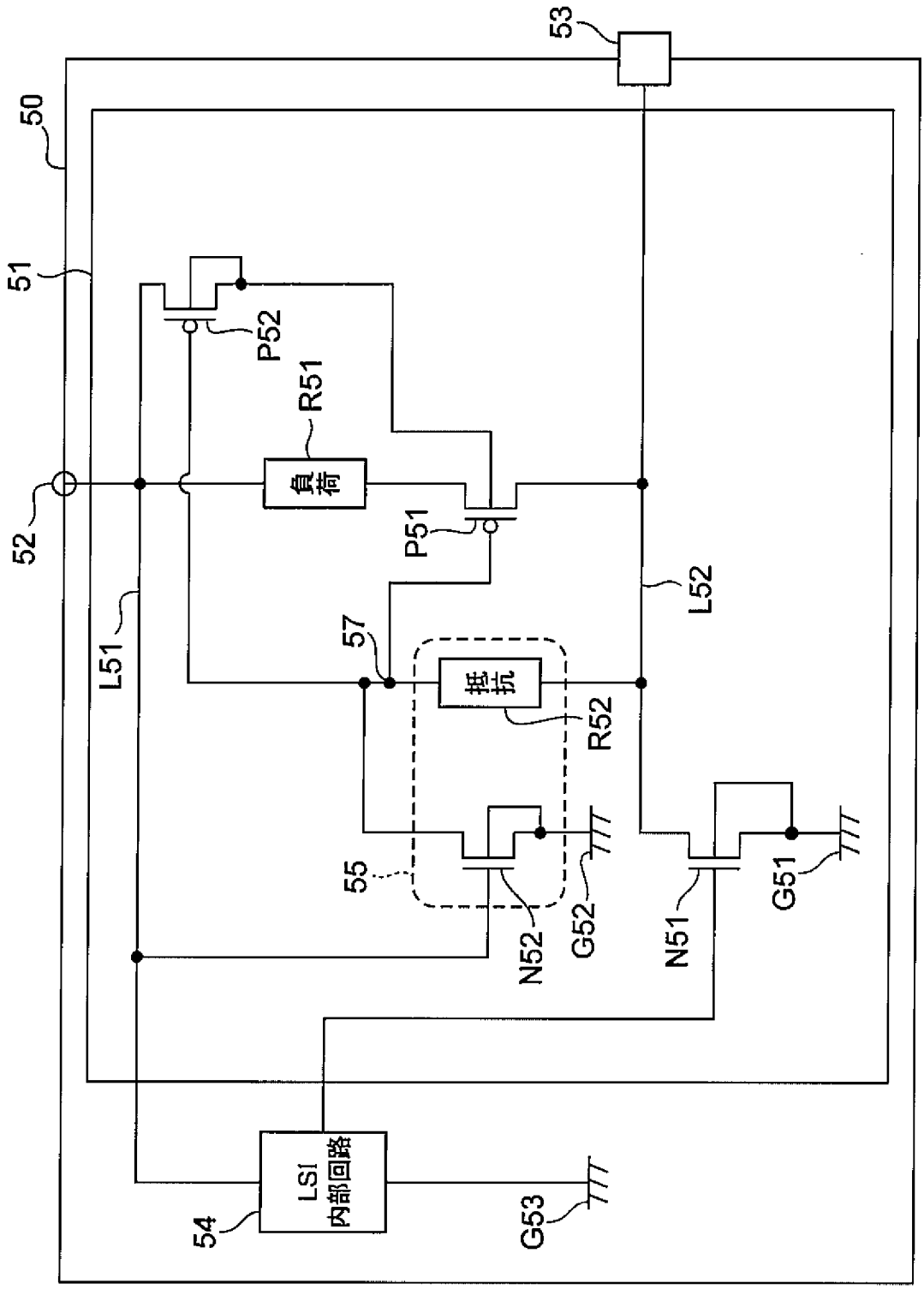
[図5]


33
30
31
P32
32
負荷
P31
R31
L32
L31
P33
35
G32
G31
N32
N31
LSI
内部回路
34
G33

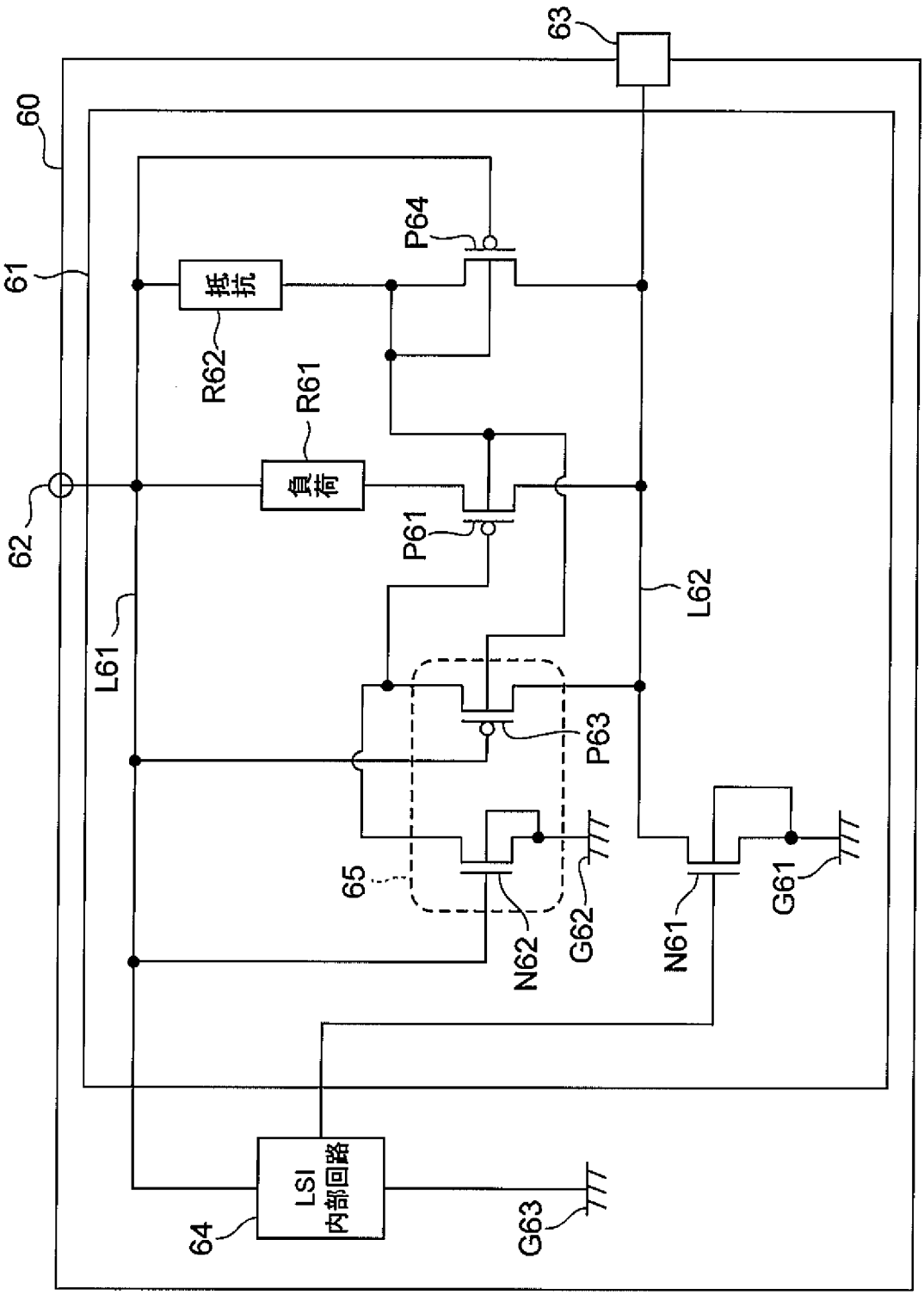
[図6]


43
40
41
P42
R41
負荷
42
P41
L42
L41
47
P43
抵抗
45
R42
G42
N41
G41
LSI
内部回路
44
G43

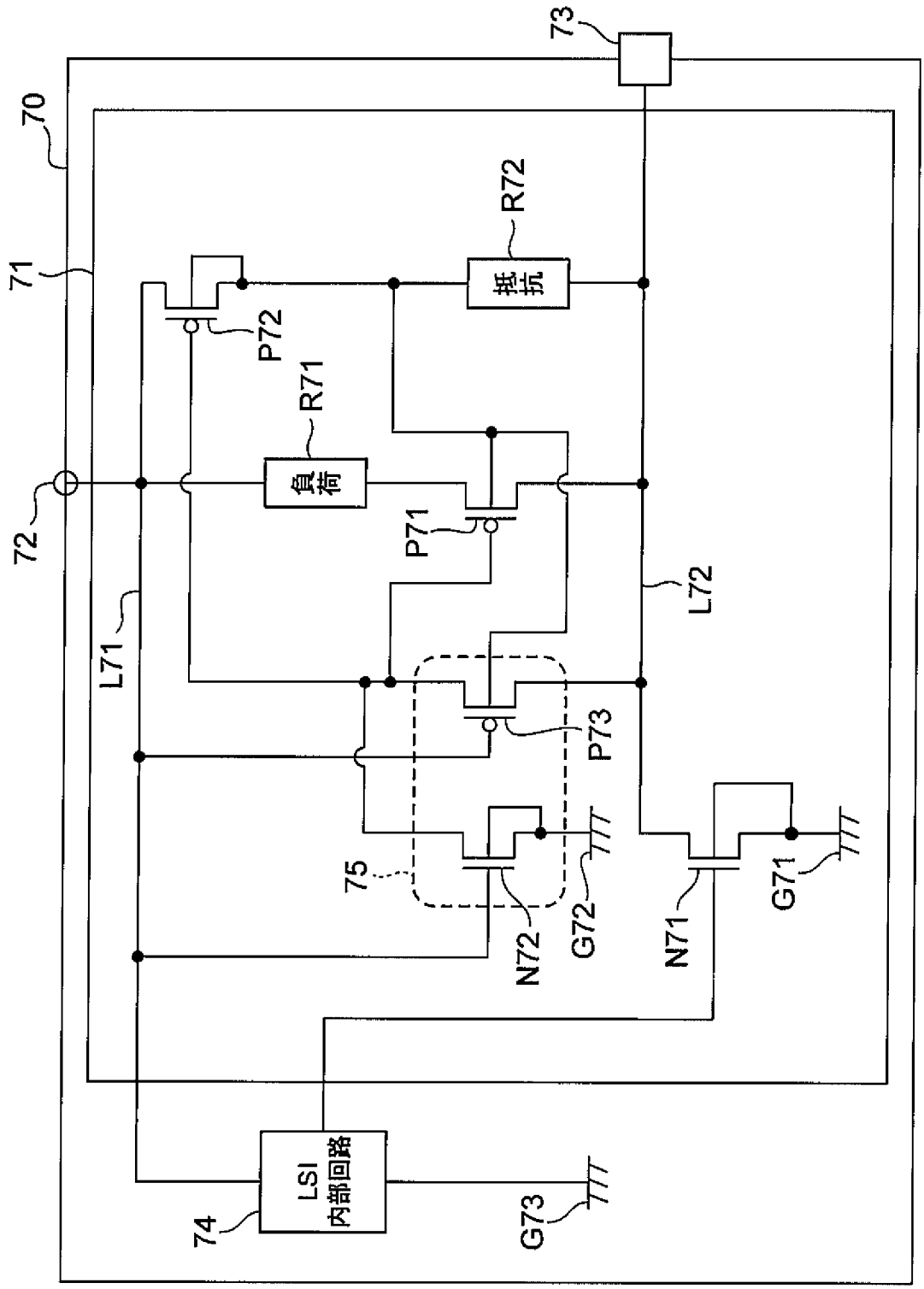
[図7]


53
50
51
P52
R51
負荷
52
P51
L52
L51
57
抵抗
R52
55
N52
G52
N51
G51
LSI
内部回路
54
G53

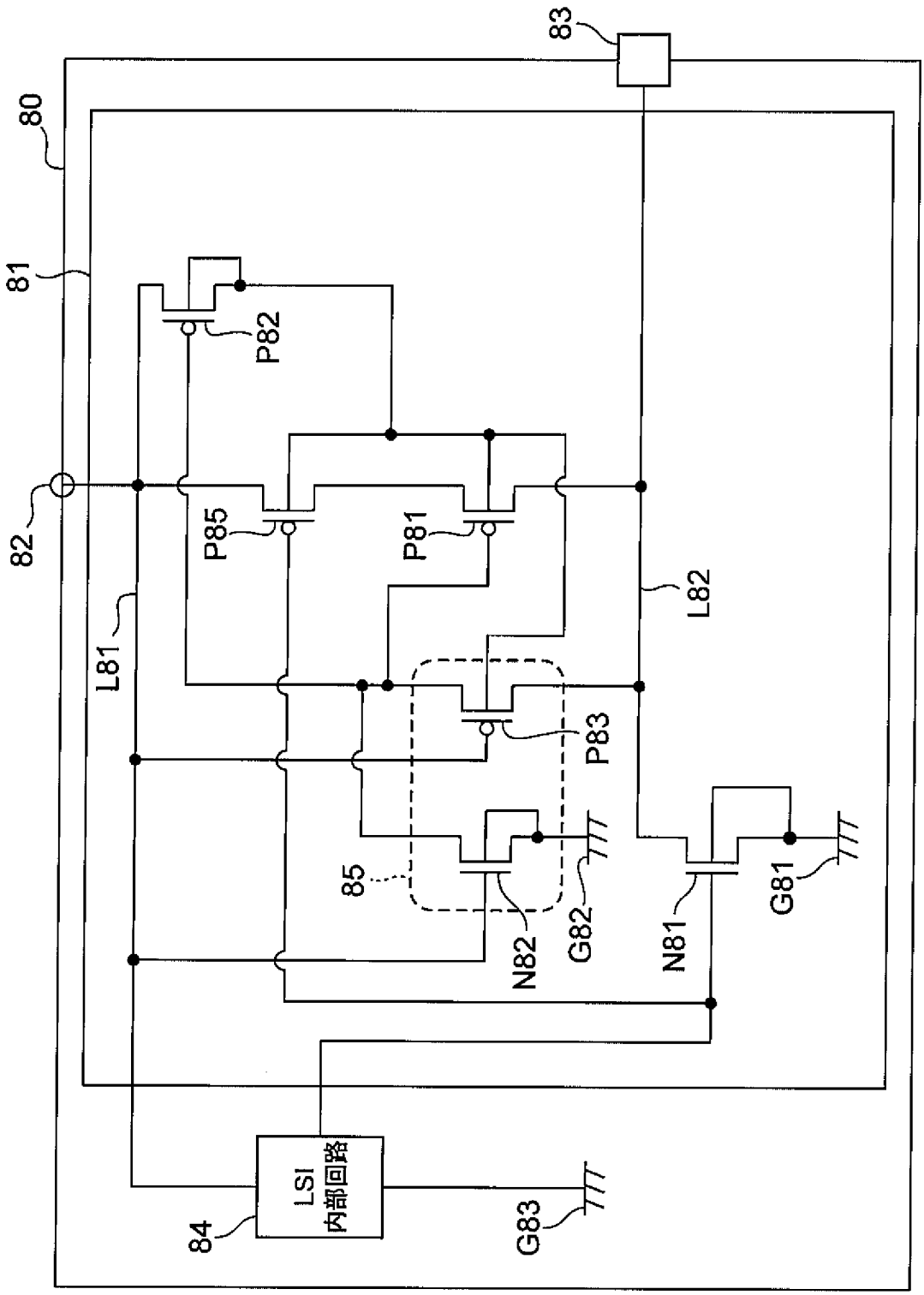
[図8]


63
60
61
抵抗
R62
R61
負荷
62
P64
P61
L61
L62
P63
65
N62
G62
N61
G61
LSI
内部回路
64
G63

[図9]


73
70
R72
抵抗
71
P72
R71
負荷
72
P71
L72
L71
P73
75
G72
G71
N72
N71
LSI
内部回路
74
G73

[図10]


83
80
81
P82
82
P85
P81
L82
L81
P83
85
G82
G81
N82
N81
LSI
内部回路
84
G83

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/036025

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H03K19/0175(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03K19/0185(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H03K19/0175, H01L21/822, H01L27/04, H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-192838 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 10 November 2016 (Family: none)	1-12
A	JP 2018-011387 A (MITSUMI ELECTRIC CO., LTD.) 18 January 2018 & US 2018/0013298 A1 & KR 10-2018-0006857 A & CN 107612053 A	1-12
A	JP 10-224201 A (FUJITSU LTD.) 21 August 1998 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 December 2019 (20.12.2019)	07 January 2020 (07.01.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３６０２５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/0175(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03K19/0185(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/0175, H01L21/822, H01L27/04, H03K19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2016-192838 A (日立オートモティブシステムズ株式会社) 2016.11.10, (ファミリーなし)	1-12
A	JP 2018-011387 A (ミツミ電機株式会社) 2018.01.18, & US 2018/0013298 A1 & KR 10-2018-0006857 A & CN 107612053 A	1-12
A	JP 10-224201 A (富士通株式会社) 1998.08.21, (ファミリーなし)	1-12

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．１２．２０１９	０７．０１．２０２０

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	５Ｆ	６２９９
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	辻　勇貴 電話番号　０３－３５８１－１１０１　内線　３５１６		