

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5946311号  
(P5946311)

(45) 発行日 平成28年7月6日 (2016.7.6)

(24) 登録日 平成28年6月10日 (2016.6.10)

(51) Int.Cl.

F I

HO 1 L 33/48 (2010.01)

HO 1 L 33/00 (2010.01)

HO 1 L 33/48

HO 1 L 33/00 J

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2012-89929 (P2012-89929)	(73) 特許権者	000001960
(22) 出願日	平成24年4月11日 (2012.4.11)		シチズンホールディングス株式会社
(65) 公開番号	特開2013-219263 (P2013-219263A)		東京都西東京市田無町六丁目1番12号
(43) 公開日	平成25年10月24日 (2013.10.24)	(73) 特許権者	000131430
審査請求日	平成26年11月5日 (2014.11.5)		シチズン電子株式会社
			山梨県富士吉田市上暮地1丁目23番1号
		(74) 代理人	100126583
			弁理士 宮島 明
		(72) 発明者	渡辺 茂久
			山梨県富士吉田市上暮地1丁目23番1号
			シチズン電子株式会社内
		(72) 発明者	荒井 秀和
			山梨県富士吉田市上暮地1丁目23番1号
			シチズン電子株式会社内

最終頁に続く

(54) 【発明の名称】 LEDモジュール

(57) 【特許請求の範囲】

【請求項1】

回路基板上に複数のLED素子と前記LED素子を駆動するドライバー回路を実装したLEDモジュールにおいて、

前記LED素子は直列接続して複数の部分LED列を形成し、さらに前記部分LED列は直列接続してLED列を形成し、

前記ドライバー回路は、ブリッジ整流回路と、前記部分LED列同士の接続部に接続するバイパス回路と、前記LED列の端部に接続する電流制限回路を含み、

前記LED素子を実装する領域は前記ドライバー回路を実装する領域の周囲に配置され、

前記ブリッジ整流回路は4個のダイオードからなり、

前記ダイオード同士を接続する配線の内側の領域に交流接続端子を備え、

前記ダイオード同士を接続する配線の外側の領域に前記ブリッジ回路以外のドライバー回路と前記LED列が配置され、

前記バイパス回路は、第1電流入力端子と第2電流入力端子と電流出力端子を備え、前記第1電流入力端子が前記部分LED列の接続部に接続し、前記第2電流入力端子から入力する電流により前記第1電流入力端子から入力する電流が制限され、

前記バイパス回路がディプレッション型のFETと抵抗を含み、前記第1電流入力端子に前記FETのドレインが接続し、前記第2電流入力端子に前記FETのソースと前記抵抗の一端が接続し、前記電流出力端子に前記FETのゲートと前記抵抗の他端が接続している

ことを特徴とするＬＥＤモジュール。

【請求項２】

回路基板上に複数のＬＥＤ素子と前記ＬＥＤ素子を駆動するドライバー回路を実装したＬＥＤモジュールにおいて、

前記ＬＥＤ素子は直列接続して複数の部分ＬＥＤ列を形成し、さらに前記部分ＬＥＤ列は直列接続してＬＥＤ列を形成し、

前記ドライバー回路は、ブリッジ整流回路と、前記部分ＬＥＤ列同士に接続部に接続するバイパス回路と、前記ＬＥＤ列の端部に接続する電流制限回路を含み、

前記ＬＥＤ素子を実装する領域は前記ドライバー回路を実装する領域の周囲に配置され、

前記ブリッジ整流回路は４個のダイオードからなり、

前記ダイオード同士を接続する配線の内側の領域に交流接続端子を備え、

前記ダイオード同士を接続する配線の外側の領域に前記ブリッジ回路以外のドライバー回路と前記ＬＥＤ列が配置され、

前記バイパス回路は、第１電流入力端子と第２電流入力端子と電流出力端子を備え、前記第１電流入力端子が前記部分ＬＥＤ列の接続部に接続し、前記第２電流入力端子から入力する電流により前記第１電流入力端子から入力する電流が制限され、

第１ダム材と第２ダム材を備え、前記第１ダム材が前記ＬＥＤ列を囲み、前記第２ダム材が前記交流接続端子と前記ドライバー回路の間に配置され、前記第１ダム材と第２ダム材の間の領域に被覆部材を充填している

ことを特徴とするＬＥＤモジュール。

【請求項３】

前記ＬＥＤ素子、前記ＦＥＴ、前記抵抗及び前記ブリッジ整流回路を構成するダイオードがベアチップであることを特徴とする請求項１に記載のＬＥＤモジュール。

【請求項４】

前記部分ＬＥＤ列のうちの部分ＬＥＤ列が他の部分ＬＥＤ列を環状に囲むことを特徴とする請求項１から３のいずれか一項に記載のＬＥＤモジュール。

【請求項５】

前記ＬＥＤ素子がチップサイズパッケージＬＥＤであることを特徴とする請求項１に記載のＬＥＤモジュール。

【請求項６】

前記部分ＬＥＤ列のうちの部分ＬＥＤ列が他の部分ＬＥＤ列を環状に囲み、前記一部の部分ＬＥＤ列に配光分布の広いチップサイズパッケージＬＥＤが含まれることを特徴とする請求項５に記載のＬＥＤモジュール。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、複数のＬＥＤ素子とともに他の電子部品を回路基板に実装したＬＥＤモジュールに関する。

【背景技術】

【０００２】

ＬＥＤ素子を使った照明器具が普及してきている。このような中で電気スタンドやランプなどの照明器具の設計手番を短くするためには光源部をモジュール化すると良い。例えば特許文献１の図２には、複数のＬＥＤチップ（ＬＥＤ素子）とともに駆動回路を同一の回路基板に実装したＬＥＤモジュールが示されている。

【０００３】

特許文献１の図２を図６に再掲示する。図６はＩＥＣ規格の口金（Ｇ×５３型）を使用するＬＥＤランプの断面図である。ＬＥＤモジュールは、回路基板２、ドライバー回路４、ＬＥＤ３（ＬＥＤ素子）からなり、回路基板２の上面にドライバー回路４が実装され、回路基板２の下面にＬＥＤ３が実装されている。そしてこのＬＥＤモジュールは口金１の

10

20

30

40

50

ハウジングにはめ込まれ、発光面カバーケース 5 で抑えられる。薄型化が要請されるときは L E D 3 を C O B (チップオンボード) とすれば良い。なお C O B は、ペアチップ状態の L E D (以下特に断らない限り L E D ダイとよぶ) を回路基板 2 に直接的に実装するものである。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007-157690 号公報 (図 2)

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

図 6 に示した L E D モジュールは、回路基板 2 の一方の面に駆動回路 4 を配置し、他方の面に L E D 3 を配置することにより駆動回路 4 と L E D 3 を一体化していた。さらに特許文献 1 は L E D 3 を C O B とすることで薄型化が図れることを示唆していた。しかしながら回路基板の一方の面だけに L E D ダイとドライバー回路を配置できれば、よりいっそうの薄型化が図れる。この場合、実装できる領域が狭くなるのでドライバー回路も小さくしておかなければならないが、例えばドライバー回路を抵抗 1 個からなるようなものにしてま

っては電源電圧変動に対して安定した動作を保証できなくなるように、単純化を進めると十分な性能が得られないことがある。

【0006】

20

そこで本発明は、上記課題に鑑みて為されたものであり、複数の L E D 素子とともに他の電子部品を回路基板に実装した L E D モジュールにおいて、ドライバー回路が小型でありながら利便性が高く十分な性能を備えさらに製造し易い L E D モジュールを提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の L E D モジュールは、回路基板上に複数の L E D 素子と前記 L E D 素子を駆動するドライバー回路を実装した L E D モジュールにおいて、

前記 L E D 素子は直列接続して複数の部分 L E D 列を形成し、さらに前記部分 L E D 列は直列接続して L E D 列を形成し、

30

前記ドライバー回路は、ブリッジ整流回路と、前記部分 L E D 列同士の間接接続部に接続するバイパス回路と、前記 L E D 列の端部に接続する電流制限回路を含み、

前記 L E D 素子を実装する領域は前記ドライバー回路を実装する領域の周囲に配置され、

前記ブリッジ回路は 4 個のダイオードからなり、

前記ダイオード同士を接続する配線の内側の領域に交流接続端子を備え、

前記ダイオード同士を接続する配線の外側の領域に前記ブリッジ回路以外のドライバー回路と前記 L E D 列が配置される

ことを特徴とする。

前記バイパス回路は、第 1 電流入力端子と第 2 電流入力端子と電流出力端子を備え、前記第 1 電流入力端子が前記部分 L E D 列の接続部に接続し、前記第 2 電流入力端子から入力する電流により前記第 1 電流入力端子から入力する電流が制限されても良い。

40

【0008】

本発明の L E D モジュールでは、交流接続端子の周囲にブリッジ整流回路とバイパス回路と電流制限回路を備えたドライバー回路が配置され、さらにその周りに L E D 素子が配置されている。この交流接続端子に交流電源を接続し、ブリッジ整流回路により交流電源から生成した全波整流波形で L E D 列を点灯させる。この L E D 列は L E D 素子が直列接続したものであり、複数の部分 L E D 列に区分できる。部分 L E D 列の接続部にはバイパス回路の第 1 電流入力端子が接続される。このとき L E D 列を流れる電流がバイパス回路の第 1 電流入力端子が第 2 電流入力端子に流れ込む。

50

## 【 0 0 0 9 】

ブリッジ整流回路は4個のダイオードからなる。バイパス回路は外部に対し第1電流入力端子と第2電流入力端子と電流出力端子だけを備えるよう構成する。電流制限回路は外部に対し電流入力端子と電流出力端子だけを備えるよう構成する。このときバイパス回路は第2電流入力端子から入力する電流により第1電流入力端子から入力する電流を制限する。このような構成とすることでバイパス回路及び電流制限回路は電源配線が不要となり、さらに前述のようにLED列を流れる電流がバイパス回路の第1電流入力端子か第2電流入力端子に流れ込むのでバイパス回路の制御配線も不要となる。この結果、ドライバー回路の配線が減るため、回路基板の一面に配線パターンを形成するだけでドライバー回路を作りこむことが可能となり、回路基板が製造しやすくなる。

10

## 【 0 0 1 0 】

さらに全波整流波形の電圧が低い期間では、全波整流波形を印加する側からみて前段の部分LED列からバイパス回路の第1電流入力端子を通じて電流が流れ、前段の部分LED列が点灯し、後段の部分LED列が消灯した状態になる。全波整流波形の電圧が高くなり後段の部分LED列にも電流が流れるようになると、バイパス回路の第1電流入力端子を経由する電流がなくなり、前段の部分LED列とともに後段の部分LED列が効率よく点灯する。また全波整流波形の一周期のなかで比較的長い期間、LED列が点灯した状態を維持できるため輝度の向上やちらつきの低減が達成される。

## 【 0 0 1 1 】

前記バイパス回路がディプレッション型のFETと抵抗を含み、前記第1電流入力端子に前記FETのドレインが接続し、前記第2電流入力端子に前記FETのソースと前記抵抗の一端が接続し、前記電流出力端子に前記FETのゲートと前記抵抗の他端が接続しても良い。

20

## 【 0 0 1 2 】

第1ダム材と第2ダム材を備え、前記第1ダム材が前記LED列を囲み、前記第2ダム材が前記交流接続端子と前記ドライバー回路の間に配置され、前記第1ダム材と第2ダム材の間の領域に被覆部材を充填しても良い。

## 【 0 0 1 3 】

前記LED素子、前記FET、前記抵抗及び前記ブリッジ整流回路を構成するダイオードがベアチップであっても良い。

30

## 【 0 0 1 4 】

前記部分LED列のうちの部分LED列が他の部分LED列を環状に囲んでも良い。

## 【 0 0 1 5 】

前記LED素子がチップサイズパッケージLEDであっても良い。

## 【 0 0 1 6 】

前記部分LED列のうちの部分LED列が他の部分LED列を環状に囲み、前記一の部分LED列に配光分布の広いチップサイズパッケージLEDが含まれても良い。

## 【 発明の効果 】

## 【 0 0 1 7 】

本発明のLEDモジュールでは、交流接続端子の周囲にドライバー回路が配置され、さらにその周りにLED素子が配置されている。ドライバー回路に含まれるバイパス回路と電流制限回路は電源配線や制御配線が不要なため、回路基板の一面に配線パターンを形成するだけでドライバー回路を作り込め、回路基板製造が容易になる。またブリッジ回路を実装しているので交流電源を接続するだけで全波整流波形によりLED素子を駆動できるため、利便性の高さと効率の良い駆動が達成される。さらにバイパス回路により全波整流波形の一周期のなかで比較的長い期間点灯させられるので輝度の向上やちらつきの低減といった効果も得られる。さらにバイパス回路と電流制限回路を備えているので、広い動作電圧範囲が確保され、交流電源の電圧が変動しても動作が安定する。

40

## 【 0 0 1 8 】

以上のように本発明のLEDモジュールは、交流電源を接続するだけで良く、この交流

50

電源から得た全波整流波形でＬＥＤ素子を駆動しても非点灯期間が短いうえ、さらに回路基板の配線パターンが簡単化するため、ドライバ回路が小型でありながら利便性が高く十分な性能を備えさらに製造し易い。

【図面の簡単な説明】

【００１９】

【図１】本発明の第１実施形態として示すＬＥＤモジュールの外形図。

【図２】図１に示すＬＥＤモジュールから蛍光樹脂を除いた状態の平面図。

【図３】図１に示すＬＥＤモジュールの実体的な回路図。

【図４】図１に示すＬＥＤモジュールの回路図。

【図５】本発明の第２実施形態で用いるＬＥＤ素子の断面図。

【図６】従来例として示したＬＥＤモジュールの断面図。

【発明を実施するための形態】

【００２０】

以下、添付図１～５を参照しながら本発明の好適な実施形態について詳細に説明する。なお図面の説明において、同一または相当要素には同一の符号を付し、重複する説明は省略する。また説明のため部材の縮尺は適宜変更している。さらに特許請求の範囲に記載した発明特定事項との関係をカッコ内に記載している。なおＬＥＤ素子は様々な形態をとるので、ウェハーから切り出されたベアチップ状態のＬＥＤ素子をＬＥＤダイと呼び、平面サイズがＬＥＤダイと略等しく且つＬＥＤダイの表面又は側面を樹脂等で被覆したＬＥＤ素子をチップサイズパッケージＬＥＤと呼び区別する。

（第１実施形態）

【００２１】

先ず図１によりＬＥＤモジュール１００の外觀を説明する。図１はＬＥＤモジュール１００の外形図であり、（ａ）が平面図、（ｂ）が正面図である。回路基板１１１上には円形のダム材１１２（第１ダム材）と、図の縦方向に延びた直線状の辺と上下部分に存在する曲線状の辺からなるダム材１１４（第２ダム材）がある。ダム材１１２とダム材１１４の間の領域には蛍光樹脂１１３（被覆部材）が充填される。ダム材１１４で囲まれた領域には交流接続端子１１５，１１７があり、交流接続端子１１５，１１７はそれぞれスルーホール１１６，１１８を備えている。図示していないが、回路基板１１１の裏面には照明器具から電力供給を受けるための二つの裏面交流接続端子があり、スルーホール１１６，１１８を介して裏面交流接続端子が交流接続端子１１５，１１７と接続している。

【００２２】

次に図２によりＬＥＤモジュール１００の電子部品の配置を説明する。図２は図１に示したＬＥＤモジュール１００から蛍光樹脂１１３を除いた状態の平面図である。なおダム材１１４の下部に存在する配線パターンも実線で示している。

【００２３】

図２において、ダム材１１４の周囲には、ダイオード３０１，３０２，３０３，３０４と、ＦＥＴ３２４，３４４と、抵抗３２５，３４５がある。ダイオード３０１，３０２，３０３，３０４と、ＦＥＴ３２４，３４４と、抵抗３２５，３４５からドライバ回路が構成される。これらの電子部品が実装された領域を４５個のＬＥＤダイ２１（以下、個別のＬＥＤダイについては必要に応じてサフィックスをつけて区別する）が２重の環で囲んでいる。これらのＬＥＤダイ２１は直列接続し一本のＬＥＤ列を構成し、このＬＥＤ列の外側の環及び内側の環がそれぞれ部分ＬＥＤ列（図４で示す部分ＬＥＤ列３１０，３３０）となる。さらにＬＥＤダイ２１が実装された領域の外側には円形のダム材１１２がある。

【００２４】

ダイオード３０１，３０２，３０３，３０４及び２個のＦＥＴ３２４，３４４はベアチップであり、導電性のペーストで配線パターン上にダイボンディングされている。このときダイオード３０１，３０２，３０３，３０４の底面はアノードであり、ＦＥＴ３２４，３４４の底面はドレインである。抵抗３２５，３５５及びＬＥＤダイ２１もベアチップで

あり、配線パターン上にダイボンディングされているが、底面は絶縁されている。なおLEDダイ21の底部にもダイボンディングのために島状（孤立しており他の配線パターンとは接続していない状態）の配線パターンがあるが図示していない。ダイオード301, 302, 303, 304とFET324, 344の底部を除き、ダイオード301, 302, 303, 304、FET324, 344、抵抗325, 345は、配線パターンとワイヤ22で接続している。なおFET344のソースと抵抗345だけは直接的にワイヤ22で接続している。LEDダイ21も配線パターン若しくは他のLEDダイ21とワイヤ22で接続している。なお図2では多くのLEDダイ21同士を直接的にワイヤ22で接続しているが、LEDダイ21同士の距離が離れている場合は、島状の中継用配線パターンを設けワイヤ22の長を調整しても良い。

10

#### 【0025】

LEDダイ21は $500\mu\text{m} \times 290\mu\text{m}$ 、FET324, 344は $1.5\text{mm} \times 1.5\text{mm}$ 、抵抗325, 345は $500\mu\text{m} \times 500\mu\text{m}$ である。回路基板111は熱伝導性と反射率を考慮してアルミナを使用した。配線パターンはAg上にNi, Pd, Auを積層している。ダム材112, 114はシリコン樹脂からなり、太さが $0.7 \sim 1.0\text{mm}$ であり、高さが $0.5 \sim 0.7\text{mm}$ である。図1に示した蛍光樹脂113は蛍光体を含むシリコン樹脂であり、厚さが $400 \sim 800\mu\text{m}$ 程度である。なおFET324, 344の被覆材を蛍光樹脂113としても光による誤動作はなかった。

#### 【0026】

次に図1, 2を参照してLEDモジュール100の製造方法を説明する。まず回路基板111上にLEDダイ21、ダイオード301~304、FET324, 344及び抵抗325, 345をダイボンディングし、その後ワイヤボンディングする。次にディスペンサで硬化前のダム材112, 114を配置し、ダム材112, 114を約150℃で硬化させる。最後にディスペンサでダム材112, 114の間に蛍光樹脂113を塗布し、LEDダイ21及び他の電子部品を被覆する。なお蛍光樹脂113の焼結温度は約150℃である。

20

#### 【0027】

次にLEDモジュール100の接続状態を図3により説明する。図3は図2に示したLEDモジュール100の実体的な回路図であり、図2で示した電子部品と図3で示した電子部品の相対的な位置関係が概ね一致するように描いている。LEDダイ21は直列接続しており、このLED列は、LEDダイ21aから始まり、途中LEDダイ21b, 21cを通り、LEDダイ21dで終わっている。LEDダイ21aからLEDダイ21bに至る部分（図4で示す部分LED列310）の実装部は外周に沿っている。LEDダイ21cからLEDダイ21dに至る部分（図4で示す部分LED列330）は部分LED列310の内側を環状に配列している。LEDダイ21aのアノードはダイオード302, 304のカソードと接続している。LEDダイ21bのカソードは、LEDダイ21cのアノードとともにFET324のドレインに接続している。LEDダイ21dのカソードはFET344のドレインに接続している。

30

#### 【0028】

ダイオード301, 303のアノードは抵抗325とFET324のゲートに接続している。ダイオード301とダイオード302の接続部及びダイオード303とダイオード304の接続部はそれぞれ交流接続端子115, 117と接続している。FET344のソースは抵抗345の一端と接続し、FET344のゲートは抵抗345の他端と接続するとともに、抵抗325及びFET324のソースと接続している。

40

#### 【0029】

次に図4によりLEDモジュール100の動作について説明する。図4はLEDモジュール100と周辺回路の回路図である。なお図3の回路図と図4に示したLEDモジュール100の回路図は等価であり、各電子部品は共通の符号を用いている。LEDモジュール100は、ブリッジ整流回路305、部分LED列310、部分LED列330、バイパス回路320、電流制限回路340からなり、図4では商用交流電源306も書き加え

50

ている。なおドライバー回路はLEDモジュール100から部分LED列310, 330を除いた部分である。ブリッジ整流回路305は4個のダイオード301, 302, 303, 304からなり、端子Aが全波整流波形の出力端子であり、端子Bが基準電圧を与える端子となる。商用交流電源306はブリッジ整流回路305の入力端子(交流接続端子115, 117)に接続している。

#### 【0030】

LEDモジュール100全体のLED列は部分LED列310と部分LED列330とが直列接続したものである。部分LED列310内ではLEDダイ21a, 21bを含む多数のLEDダイ21(図3参照)が直列接続しており、同様に部分LED列330内でもLEDダイ21c, 21dを含む多数のLEDダイ21(図3参照)が直列接続している。部分LED列310のアノードはブリッジ整流回路305のA端子に接続している。部分LED列310, 330の接続部はバイパス回路320の電流入力端子321(第1電流入力端子)と接続している。部分LED列330のカソードは電流制限回路340の電流入力端子341に接続している。

10

#### 【0031】

バイパス回路320は、電流入力端子321(第1電流入力端子)、電流入力端子322(第2電流入力端子)、電流出力端子323を備えている。電流入力端子322は電流制限回路340の電流出力端子343と接続している。電流出力端子323はブリッジ整流回路305のB端子に接続している。バイパス回路320は、ディプレッション型のFET324及び抵抗325からなり、電流入力端子321にFET324のドレインが接続し、電流入力端子322にFET324のソースと抵抗325の一端が接続し、電流出力端子323にFET324のゲートと抵抗325の他端が接続している。またバイパス回路320は、電流入力端子322から流入する電流により電流入力端子321から流入する電流が制限される。

20

#### 【0032】

電流制限回路340は、バイパス回路320と略同じ回路構成であり、相違点はバイパス回路320の電流入力端子322に相当するものがないことだけである。FET344、抵抗345の結線もバイパス回路320と等しい。なおLEDダイ21の順方向電圧降下量が3V程度なので、部分LED列310の閾値は約75V、部分LED列330の閾値は約60Vとなり、LEDモジュール100は実効値が120Vとなる商用交流電源306に対応している。また抵抗345は、抵抗325よりも値が小さく、抵抗345と抵抗325の抵抗値の比を1:2にしている。

30

#### 【0033】

次に図4によりLEDモジュール100の点灯状況を説明する。全波整流波形の電圧が上昇し、部分LED列310の閾値を越えると、部分LED列310とバイパス回路320に電流が流れ部分LED列310が点灯する。このとき抵抗325からFET324のソースにフィードバックが掛かり、バイパス回路320は定電流動作する。

#### 【0034】

さらに全波整流波形の電圧が上昇し、部分LED列310の閾値と部分LED列330の閾値の和よりも大きくなると、部分LED列330及び電流制限回路340にも電流が流れ始める。電流入力端子322に入力する電流が所定値を超えると、FET324はソース電圧が上昇し、ソース-ゲート間の電圧が広がるためカットオフする。このとき抵抗345からFET344にフィードバックが掛かり、電流制限回路340は定電流動作する。このようにして部分LED列310と部分LED列330が点灯する。なお全波整流波形の電圧が下降する期間では、全波整流波形の電圧が上昇する期間の逆の過程を辿る。

40

#### 【0035】

LEDモジュール100は、部分LED列310と部分LED列330がそれぞれ環状に配列している(図2参照)ので、全波整流波形の低電圧位相でも高位相でも環状に発光するため良好な配光分布が得られる。

#### 【0036】

50

またLEDモジュール100ではバイパス回路320がディプレッション型のFET324と抵抗325からなるだけである。さらにバイパス回路320は、部分LED列330を流れる電流がバイパス回路320の第2の電流入力端子322に入力し、第1の電流入力端子321から流れ込む電流を制限しているため、電源配線や制御配線が存在しない。このため配線を交差させることなく回路図が描ける(図3参照)。電流制限回路340も同様である。このことは回路基板111の表面上の配線パターンとワイヤ22(図2参照)だけで各電子部品を接続できることを示している。すなわち回路基板111(図1, 2参照)は、交流接続端子115, 117に接続するスルーホール116, 118(図1参照)を除きスルーホールが不要となり製造しやすくなる。

#### 【0037】

図4においてバイパス回路320はFET324と抵抗325からなっていた。同様に電流制限回路340はFET344と抵抗345からなっていた。周知のように、電流制限回路は2個の抵抗とエンハンスメント型のFETとNPNバイポーラ型のトランジスタでも構成できる。この電流制限回路は、電流入力端子(第1電流入力端子)に抵抗とFETのドレインを接続し、この抵抗の他端をFETのゲートとトランジスタのコレクタに接続する。そして他の抵抗とFETのソースとトランジスタのベースを接続し、この抵抗の他端とトランジスタのエミッタを電流出力端子に接続する。このときトランジスタのベース等に接続する配線を第2電流入力端子とすると、第2電流入力端子に入力する電流により第1電流入力端子に入力する電流を制限するバイパス回路が構成できる。

#### 【0038】

図4において、部分LED列310とバイパス回路320からなるブロックと、部分LED列330と電流制限回路340からなるブロックとが相似している。すなわち部分LED列310とバイパス回路320からなるブロックをカスケード接続し、最終段のブロックに含まれるバイパス回路を電流制限回路とすることも可能である。このときも前述と同様に配線を交差させずに回路図が描けるため、交流接続端子を除き回路基板にスルーホールが不要となる。なお部分LED列に含まれるLED素子の数及び抵抗値は使用条件により調整する必要がある。このようにLEDモジュールにおいて部分LED列及びバイパス回路からなるブロックを多段化すると、回路電流の変化をきめ細かく制御できるので回路電流波形が正弦波に近づき、力率や歪率が改善する。

#### (第2実施形態)

#### 【0039】

第1実施形態として示したLEDモジュール100ではLEDダイ21を回路基板111にダイボンディングしワイヤ22で配線パターン若しくは他のLEDダイに接続していた。しかしながらLEDダイの実装方法はダイボンディング及びワイヤボンディングに限られず、LEDダイをフリップチップ実装しても良い。この場合、配線パターンによりLEDダイ同士を接続することとなるので接続用のワイヤが不要になる。このためワイヤの影がなくなりLEDモジュールの発光効率が向上する。またLEDモジュール100ではFET324, 344と抵抗325, 345もダイボンディング及びワイヤボンディングで実装し、小型化を図ると共にLEDダイ21の実装方法と共通化させていた。しかしFETや抵抗は表面実装用のチップ部品でも良い。同様にLED素子はLEDダイに限られず表面実装用のチップ部品でも良い。そこで図4により第2実施形態としてLEDダイと略同じサイズの表面実装用LED素子(チップサイズパッケージLEDと呼ぶ、チップサイズパッケージはCSPとも呼ばれる)を用いたLEDモジュールを説明する。

#### 【0040】

図5は本発明の第2実施形態のLEDモジュールで用いるチップサイズパッケージLED501, 502(LED素子)の断面図である。(a)で示したチップサイズパッケージLED501では、LEDダイ511の側面を反射性樹脂504(被覆部材)が覆い、LEDダイ511の上面を蛍光樹脂503(被覆部材)が覆っている。(b)で示したチップサイズパッケージLED501では、LEDダイ511の側面及び上面を蛍光樹脂505(被覆部材)が覆っている。LEDダイ511は下面に突起電極512, 513を備

10

20

30

40

50



え、突起電極 5 1 2 , 5 1 3 がそれぞれアノードとカソードになる。なお L E D ダイ 5 1 1 は、厚みが 8 0 ~ 1 2 0  $\mu\text{m}$  でサファイアなどからなる透明絶縁基板を備え、その下面に発光層を含む半導体層を形成している。突起電極 5 1 2 , 5 1 3 は、半導体層を覆う絶縁膜のスルーホールを介して半導体層と接続している。また突起電極 5 1 2 , 5 1 3 はフリップチップ実装しやすいように層間絶縁膜や層間配線など半導体プロセスで良く知られた手法によりサイズや位置を調整している。

#### 【 0 0 4 1 】

蛍光樹脂 5 0 3 , 5 0 5 はシリコン樹脂に蛍光体を混練し硬化させたもので厚さは 1 0 0  $\mu\text{m}$  程度である。反射性樹脂 5 0 4 もシリコン樹脂にアルミナや酸化チタンなどの反射性部粒子を混練し硬化させたもので厚さは 1 0 0  $\mu\text{m}$  程度である。この結果、チップ  
10  
サイズパッケージ L E D 5 0 1 は上方向にのみ配光分布を有するのに対し、チップサイズ  
パッケージ L E D 5 0 2 は側面からも光を放射するので広い配光分布を有する。

#### 【 0 0 4 2 】

第 2 実施形態における L E D モジュール ( 図示せず ) は、第 1 実施形態の L E D モジュール 1 0 0 と同じ回路であり、図 2 における L E D ダイ 2 1 の代わりにチップサイズパッケージ L E D 5 0 1 , 5 0 2 を配置したものとなる。なお配線パターンはフリップチップ  
20  
実装用のものとなり、チップサイズパッケージ L E D 5 0 1 , 5 0 2 は半田リフローで配線パターンと接続する。このとき L E D ダイ 2 1 a , 2 1 b を含む外側の部分 L E D 列 3 1 0 では L E D ダイ 2 1 をチップサイズパッケージ L E D 5 0 2 ( 又はチップサイズパッケージ L E D 5 0 1 とチップサイズパッケージ L E D 5 0 2 が混ざったもの ) で置き換え  
、 L E D ダイ 2 1 c , 2 1 d を含む内側の部分 L E D 列 3 3 0 では L E D ダイ 2 1 をチップ  
サイズパッケージ L E D 5 0 1 で置き換えると良い。このようにすると L E D モジュールの配光分布を広げながら発光効率の低下を防ぐことができる。また図 2 の L E D モジュール 1 0 0 に対し第 2 実施形態における L E D モジュールは、 L E D モジュール 1 0 0 におけるダム材 1 1 2 が不要となり、ダイオード、 F E T 、抵抗を表面実装用にすることで  
ダム材 1 1 4 も不要となる。同時に蛍光樹脂 1 1 3 ( 図 1 参照 ) も不要となる。

#### 【 符号の説明 】

#### 【 0 0 4 3 】

- 1 0 0 ... L E D モジュール、
- 1 1 1 ... 回路基板、
- 1 1 2 ... ダム材 ( 第 1 ダム材 ) 、
- 1 1 3 , 5 0 3 , 5 0 5 ... 蛍光樹脂 ( 被覆部材 ) 、
- 1 1 4 ... ダム材 ( 第 2 ダム材 ) 、
- 1 1 5 , 1 1 7 ... 交流接続端子、
- 1 1 6 , 1 1 8 ... スルーホール、
- 2 1 , 2 1 a ~ d ... L E D ダイ ( L E D 素子 ) 、
- 2 2 ... ワイヤ、
- 3 0 1 , 3 0 2 , 3 0 3 , 3 0 4 ... ダイオード、
- 3 0 5 ... ブリッジ整流回路、
- 3 0 6 ... 商用交流電源、
- 3 1 0 , 3 3 0 ... 部分 L E D 列、
- 3 2 0 ... バイパス回路、
- 3 2 1 ... 電流入力端子 ( 第 1 電流入力端子 ) 、
- 3 2 2 ... 電流入力端子 ( 第 2 電流入力端子 ) 、
- 3 2 3 , 3 4 3 ... 電流出力端子、
- 3 2 4 , 3 4 4 ... F E T 、
- 3 2 5 , 3 4 5 ... 抵抗、
- 3 4 0 ... 電流制限回路、
- 3 4 1 ... 電流入力端子、
- 5 0 1 , 5 0 2 ... チップサイズパッケージ L E D ( L E D 素子 ) 、

10

20

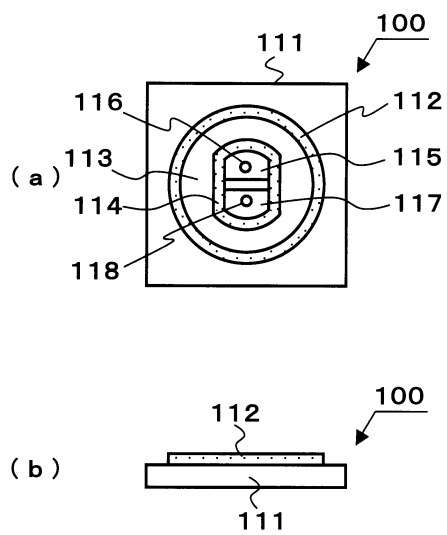
30

40

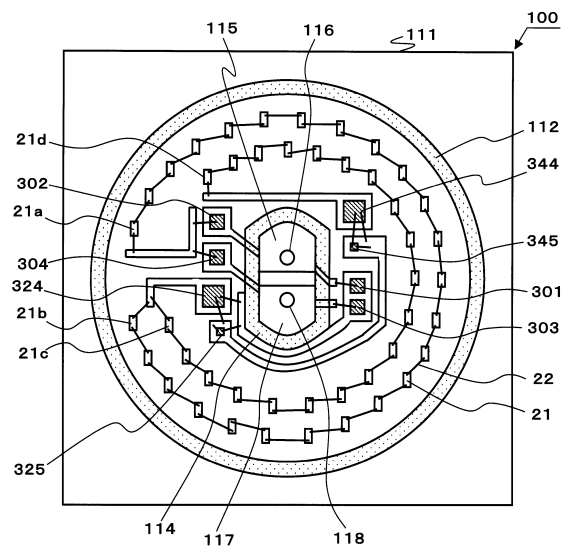
50

5 0 4 ... 反射性樹脂（被覆部材）、  
 5 1 1 ... L E D ダイ、  
 5 1 2 , 5 1 3 ... 突起電極。

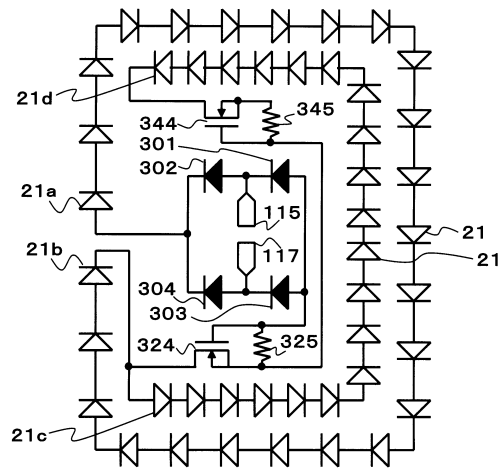
【図 1】



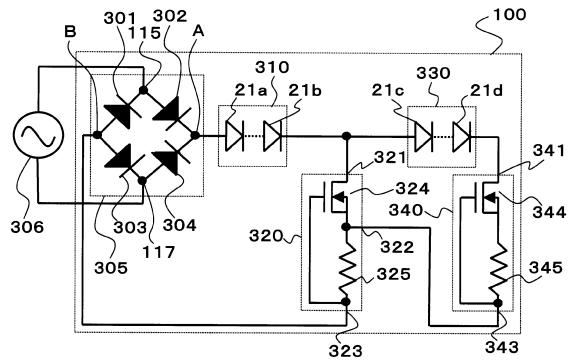
【図 2】



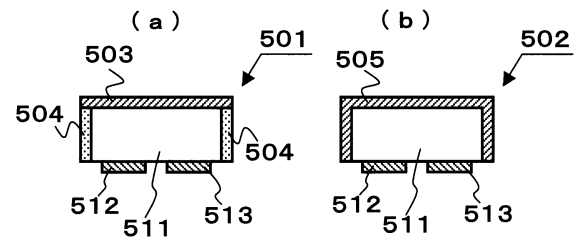
【図 3】



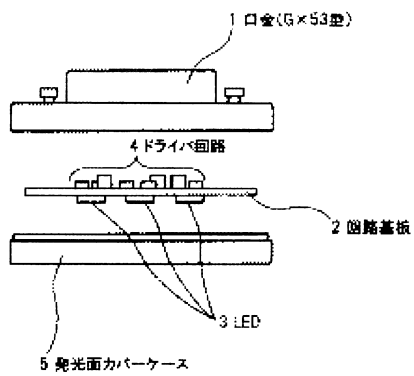
【図 4】



【図 5】



【図 6】



---

フロントページの続き

- (72)発明者 秋山 貴  
山梨県富士吉田市上暮地 1 丁目 2 3 番 1 号 シチズン電子株式会社内
- (72)発明者 落合 雄紀  
山梨県富士吉田市上暮地 1 丁目 2 3 番 1 号 シチズン電子株式会社内

審査官 高橋 健司

- (56)参考文献 特開 2 0 0 9 - 2 1 8 1 9 2 ( J P , A )  
特開 2 0 1 1 - 0 4 0 7 0 1 ( J P , A )  
特開 2 0 0 5 - 1 1 7 0 2 8 ( J P , A )  
特開 2 0 0 3 - 0 0 7 9 2 9 ( J P , A )  
登録実用新案第 3 1 6 8 4 8 7 ( J P , U )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |                       |
|---------|-----------------------|
| H 0 1 L | 3 3 / 0 0 - 3 3 / 6 4 |
| H 0 5 B | 3 7 / 0 0 - 3 9 / 1 0 |