



(43) 国際公開日
2006年8月3日 (03.08.2006)

PCT

(10) 国際公開番号
WO 2006/080081 A1

(51) 国際特許分類:

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
G11C 16/04 (2006.01) H01L 29/792 (2006.01)

(21) 国際出願番号: PCT/JP2005/001246

(22) 国際出願日: 2005年1月28日 (28.01.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディプレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 早川 幸夫

(HAYAKAWA, Yukio) [JP/JP]; 〒9650845 福島県会
津若松市門田町工業団地6番 Spansion
Japan 株式会社内 Fukushima (JP). 南晴宏之
(NANSEI, Hiroyuki) [JP/JP]; 〒9650845 福島県会
津若松市門田町工業団地6番 Spansion
Japan 株式会社内 Fukushima (JP).

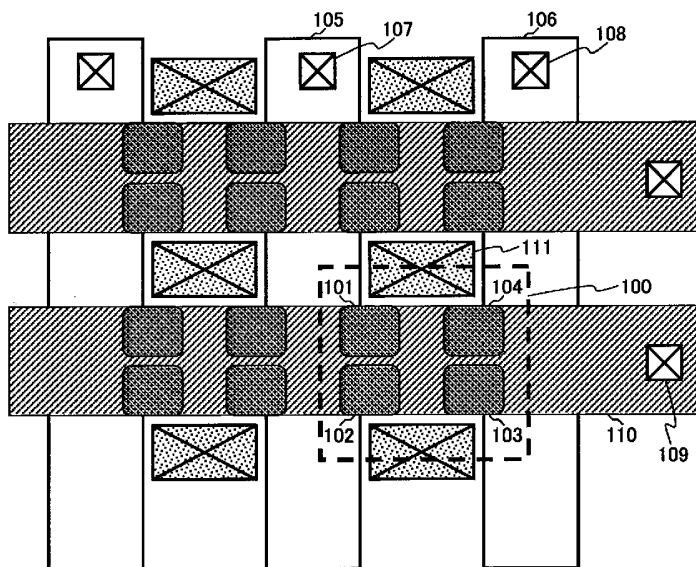
(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テコビル
Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,

[続葉有]

(54) Title: NON-VOLATILE MEMORY AND CONTROL METHOD THEREOF

(54) 発明の名称: 不揮発性メモリ及びその制御方法



(57) Abstract: A single cell (100) having a gate insulation film formed by an ONO film is arranged at a region where two bit lines (105, 106) intersect a word line (110). The single cell (100) is a 4-bit multinary cell and has four charge accumulation regions (101 to 104). Two plug-shaped control electrodes (111, 112) are arranged in a region surrounded by the word line and the bit lines. An appropriate bias is applied to the plug-shaped control electrodes (111, 112) and the word line (110) so that the semiconductor substrate surface are immediately below the word line (110) corresponding to the control electrode to which bias is applied becomes an accumulated state and a depletion state, thereby controlling the channel width. This channel width control performs control of the charge holding state of each of the four charge accumulation regions.

(57) 要約: ゲート絶縁膜がONO膜で形成された単一セル100は、2本のビットライ105、106と、1本のワードライン110とが交差する領域に設けられている。単一セル100は4ビットの多値セルであり、4

[続葉有]



WO 2006/080081 A1



SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

つの電荷蓄積領域（101～104）を備えている。ワードラインとビットラインとで囲まれた領域には2つの
プラグ状制御電極111、112が設けられている。プラグ状制御電極111および112ならびにワードライン
110に適当なバイアスが印加され、バイアス印加した制御電極の位置に対応するワードライン110直下の半導
体基板表面領域が蓄積状態にされたり空乏状態にされたりすることでチャネル幅が制御され、このチャネル幅制御
により4つの電荷蓄積領域のそれぞれの電荷保持状態が制御される。

明 細 書

不揮発性メモリ及びその制御方法

技術分野

- [0001] 本発明はSONOS型の不揮発性メモリ及びその制御方法に関し、特に、単一セルの面積を縮小させることなく単位セルあたりの記憶容量を増大させる多値化技術に関する。

背景技術

- [0002] 不揮発性メモリの構造の一つとして、SONOS構造が提唱されている。このSONOS構造においては、ゲート電極直下に設けられるゲート絶縁膜としてONO膜(酸化膜／窒化膜／酸化膜の積層膜)が用いられる。そして、ソース領域とドレイン領域の近傍の窒化膜(一般的にはシリコン窒化膜)中に局所的に電荷が蓄積され、2ビット／セルのデータ記憶がなされる。

- [0003] 図1は、非特許文献1に報告されているSONOS構造不揮発性メモリの多値セル構造を説明するための概略図で、図1(a)はセルおよびその近傍の平面概略図、図1(b)は図1(a)中のA-A'線に沿う単一セル近傍の断面概略図、そして図1(c)は図1(a)中のB-B'線に沿う単一セル近傍の断面概略図である。

図1(a)を参照すると、破線で囲んだ領域が単一セル10の領域である。この単一セル10は、この図の縦方向に延在しそれぞれがバイアス印加用の電極17、18を備えている2本のビットライン13(BL1)、14(BL2)と、図中の横方向に延在する1本のワードライン15(WL1)とが交差する領域に設けられている。この単一セル10は2ビットの多値セルであり、符号11および12で示した2つの電荷蓄積領域を備えている。なお、符号16(WL2)で示したワードラインは、単一セル10の図中下方に隣接して設けられている不図示の単一セルに接続されている。

- [0004] 図1(b)を参照すると、ビットライン13、14上にはゲート絶縁膜19としてのONO膜が設けられている。このONO膜は、下側のシリコン酸化膜20、シリコン窒化膜21、および上側のシリコン酸化膜22が順次積層された3層からなり、その上にワードライン15が形成されている。シリコン窒化膜21のビットライン13、14近傍領域は、印加され

たバイアスに応じて電荷を保持したり放出したりするための電荷蓄積領域11、12とされ、互いに鏡面对称の位置関係にある。すなわち、この電荷蓄積領域の構造はミラービット構造となっている。なお、図1(c)に示されているように、ワードライン15とゲート絶縁膜19の側壁にはサイドウォール23が設けられている。

[0005] 図2は、図1で示したSONOS構造不揮発性メモリに電荷が保持された状態を説明するための図で、図2(a)～(d)のそれぞれは、図1(a)のA-A'に沿う断面概略図である。上述したように、単一セル10には2つの電荷蓄積領域11、12が設けられているから、これらの各電荷蓄積領域に電荷が蓄積されている状態(これを「0」で表す)と電荷が蓄積されていない空の状態(これを「1」で表す)との組み合わせにより、4つの電荷保持状態(記憶状態)が起こり得る。具体的には、図2(a)は電荷蓄積領域11および12の何れにも電荷が蓄積されていない状態(11)、図2(b)は電荷蓄積領域12には電荷が蓄積されているが電荷蓄積領域11には電荷が蓄積されていない状態(10)、図2(c)は電荷蓄積領域11には電荷が蓄積されているが電荷蓄積領域12には電荷が蓄積されていない状態(01)、そして図2(d)は電荷蓄積領域11と12の両方に電荷が蓄積されている状態(00)を示している。

[0006] 非特許文献1: Boaz Eitan et. al, Electron Device Letters, Vol.21, No.11, p543 (2000).

発明の開示

発明が解決しようとする課題

[0007] 近年の不揮発性メモリにおいて、そのメモリ容量を増大させることが最も重要な課題の1つとされているが、非特許文献1に報告されている従来構造のSONOS構造不揮発性メモリは2ビット／セルの記憶容量を有してはいるものの、更なるメモリ容量の増大要求に応えるためには微細化技術により単位セル面積を縮小させる以外には手段がないというのが実情である。

[0008] ところが、セル面積を縮小するために微細化技術を用いてメモリを製造することとすると、微細化に伴うプロセス上の技術的問題を回避するための新たな技術開発が求められたり製造コストが上昇したりするという問題が生じる。このため、単一セルの面積を縮小させることなく単位セルあたりの記憶容量を増加させることを可能とする技術

が求められることとなる。

- [0009] 本発明は、かかる問題に鑑みてなされたもので、その目的とするところは、単一セルの面積を縮小させることなく単位セルあたりの記憶容量を増大させることを可能とする不揮発性メモリ及びその制御方法を提供することを目的とする。

課題を解決するための手段

- [0010] かかる目的を達成するために本発明は、第1の酸化膜と窒化膜と第2の酸化膜とを半導体基板上に順次積層させたONO膜を備えるゲート絶縁膜と、メモリセルのゲート電極の両サイドに設けられた制御電極とを有する構成としている。このように本発明は、メモリセルのゲート電極の両サイドに制御電極を設け、選択した制御電極とゲート電極とに電圧を供給することで、窒化膜内の複数の領域に電荷を独立して蓄積させることが可能となる。
- [0011] 上記不揮発性メモリにおいて、前記制御電極に挟まれた前記窒化膜内の電荷蓄積領域は、動作上4つの領域に分割されている。この構成により、単一セルあたりの記憶容量を増大させることができる。
- [0012] 上記不揮発性メモリにおいて、前記制御電極間に形成されるチャンネルは、前記ゲート電極の幅の1/2未満の幅を有する。この構成により、窒化膜内の複数の領域に電荷を独立して蓄積させる制御が実現される。
- [0013] 上記不揮発性メモリにおいて、各メモリセルは、前記ゲート電極下に4つの電荷蓄積領域を備え、該4つの電荷蓄積領域は、それぞれローとコラムとに配置されている構成とすることができる。従って、アドレスの切り換えによって電荷を保持させる電荷蓄積領域を選択することができる。
- [0014] 上記不揮発性メモリにおいて、複数の前記メモリセルは第1の方向と第2の方向とに周期的に配列され、前記第1の方向と前記第2の方向には、ワード線とビット線がそれぞれ配置され、前記ワード線は、前記複数のメモリセルのゲート電極として前記第1の方向に配置され、前記ビット線は、前記複数のメモリセルのソース・ドレインとして前記第2の方向に配置されているとよい。従って、半導体基板に作られる単位面積あたりのメモリセルの個数を増やすことができる。
- [0015] 上記不揮発性メモリにおいて、前記ビット線は、前記半導体基板に埋設されている

とよい。ビット線を設けるためのスペースを半導体基板上に設ける必要がないので、メモリセルの個数を増やしたり他の部材を配置することもできる。

[0016] 上記不揮発性メモリにおいて、前記制御電極のそれぞれは、隣接する2つのワード線と、隣接する2つのビット線とに挟まれた領域に設けられているとよい。従って、電荷蓄積領域に選択的に電荷を蓄積するためのチャネル領域や蓄積領域の形成が容易になる。

[0017] 上記不揮発性メモリにおいて、前記制御電極は、ローとコラムとに割り付けられているとよい。書き込みや読み出しのために必要な制御電極を選択することができる。

[0018] 上記不揮発性メモリにおいて、前記ゲート電極と前記制御電極には、チャネル幅が前記ゲート電極幅の1/2未満となる電圧が印加されるとよい。

[0019] 上記不揮発性メモリにおいて、前記ゲート電極に閾値以上の電圧が印加されて前記ゲート絶縁膜直下の前記半導体基板領域がチャネル領域とされ、かつ前記制御電極の一方に制御電圧が印加されて該一方の制御電極近傍の前記半導体基板領域が蓄積領域とされ、該蓄積領域と前記チャネル領域との間に形成される空乏領域の広がりにより前記チャネル幅が制御されるとよい。従って、窒化膜内の複数の電荷蓄積領域に選択的に電荷を蓄積させることができる。

[0020] 上記不揮発性メモリにおいて、前記メモリセルのソースとドレインのバイアス条件を交互に反転させて書き込み動作と読み込み動作とが実行されるとよい。メモリセルのソースとドレインのバイアス条件を交互に反転させることで、メモリセルへの書き込みと読み出しとを実行することができる。

[0021] 上記不揮発性メモリにおいて、前記ゲート電極は、ポリシリコンであるとよい。

[0022] また、上記不揮発性メモリにおいて、前記半導体基板の伝導型はp型であり、前記ゲート電極には正電位、前記制御電極には負電位のバイアスが印加されるとよい。従って、半導体基板の伝導型に従ってゲート電極と制御電極に印加するバイアスを調整することで、所望の電荷蓄積領域を選択し、選択された電荷蓄積領域に電荷の蓄積や読み出しを行なうことができる。

[0023] 上記不揮発性メモリにおいて、前記半導体基板の伝導型はn型であり、前記ゲート電極には負電位、前記制御電極には正電位のバイアスが印加されるとよい。従って、

半導体基板の伝導型に従ってゲート電極と制御電極に印加するバイアスを調整することで、所望の電荷蓄積領域を選択し、選択された電荷蓄積領域に電荷の蓄積や読み出しを行なうことができる。

[0024] 本発明の不揮発性メモリの制御方法は、半導体基板上のONO膜を有する不揮発性メモリを制御する方法であって、複数のメモリセルに共通に接続されたゲート電極に電圧を印加するステップと、前記ゲート電極を挟んで設けられた2つの制御電極のうちの一方に別の電圧を供給するステップとを有し、前記ゲート電極下であって前記2つの制御電極に挟まれた領域にある前記ONO膜の窒化膜に4つの電荷蓄積領域が形成されるものである。選択した制御電極とゲート電極とに電圧を供給することで、窒化膜内の複数の電荷蓄積領域に電荷を独立して蓄積させることが可能となる。

[0025] 上記不揮発性メモリの制御方法において、前記ゲート電極に供給する電圧は正電圧であり、前記制御電極に供給する電圧は負電圧であるとよい。

[0026] 上記不揮発性メモリの制御方法において、前記ゲート電極に供給する電圧は負電圧であり、前記制御電極に供給する電圧は正電圧であるとよい。

発明の効果

[0027] 本発明では、従来の構造ではワードライン下に設けられるONO膜(の窒化膜)のソース/ドレイン近傍の2つの領域を電荷蓄積領域としていたのに対して、これら2つの電荷蓄積領域のそれぞれをさらに2つの領域に分割して総計4つの電荷蓄積領域を設けることとしたので、単一セルの面積を縮小することなくSONOS型不揮発性メモリの単位セルあたりの記憶容量を従来の4倍(4ビット/セル)に増大させることを可能とする多値化技術を提供することが可能となる。

図面の簡単な説明

[0028] [図1]従来のSONOS構造不揮発性メモリの多値セル構造を説明するための概略図である。

[図2]図1で示したSONOS構造不揮発性メモリの電荷保持の状態を説明するための図である。

[図3]本発明の多値化のコンセプトを説明するための図で、各メモリセルに設けられる電荷蓄積領域の配置の様子を説明する平面概略図である。

[図4]制御電極にバイアスが印加された際にワードライン直下の半導体基板表面領域が蓄積状態となる様子を説明するための図である。

[図5]ワードラインにバイアスが印加されることによりチャンネルの位置と幅が変化する様子を説明するための第1図である。

[図6]ワードラインにバイアスが印加されることによりチャンネルの位置と幅が変化する様子を説明するための第2図である。

[図7]一方の制御電極のみにバイアス印加した場合のチャンネル幅のゲート電圧依存性を説明するための図である。

[図8]本発明の4ビットセルにおいて16の電荷保持状態を実現するための制御電極へのバイアス印加(ON/OFF)条件を説明するための第1図である。

[図9]本発明の4ビットセルにおいて16の電荷保持状態を実現するための制御電極へのバイアス印加(ON/OFF)条件を説明するための第2図である。

[図10]本発明の4ビットセルにおいて16の電荷保持状態を実現するための制御電極へのバイアス印加(ON/OFF)条件を説明するための第3図である。

[図11]本発明の4ビットセルにおいて16の電荷保持状態を実現するための制御電極へのバイアス印加(ON/OFF)条件を説明するための第4図である。

[図12]実施例1における、本発明のSONOS型不揮発性メモリの製造プロセスの例について説明するための第1の断面概略図である。

[図13]実施例1における、本発明のSONOS型不揮発性メモリの製造プロセスの例について説明するための第2の断面概略図である。

[図14]実施例1における、本発明のSONOS型不揮発性メモリの製造プロセスの一部における平面概略図である。

[図15]実施例2における、本発明のSONOS型不揮発性メモリの製造プロセスの例について説明するための第1の断面概略図である。

[図16]実施例2における、本発明のSONOS型不揮発性メモリの製造プロセスの例について説明するための第2の断面概略図である。

[図17]実施例2における、本発明のSONOS型不揮発性メモリの製造プロセスの一部における平面概略図である。

[図18]本発明のSONOS型不揮発性メモリの書き込み動作を説明するための図で、左図は2つの隣接するセルおよびその近傍の平面概略図、右図は左図中のB-B'線に沿う単一セルの断面概略図である。

[図19]本発明のSONOS型不揮発性メモリの書き込み動作及び読み込み動作を説明するための図である。

[図20]書き込み時の制御電圧と、電荷蓄積領域の電荷状態を示す図である。

[図21]本発明のSONOS型不揮発性メモリの読み込み動作を説明するための図で、左図は2つの隣接するセルおよびその近傍の平面概略図、右図は左図中のB-B'線に沿う単一セルの断面概略図である。

[図22]読み出し時の制御電圧と、電荷蓄積領域から流れるドレイン電流 I_{ds} を示す図である。

[図23]本発明のSONOS構造不揮発性メモリのブロック図である。

[図24]サイドゲート電圧発生／制御回路40の詳細な構成を示す図である。

発明を実施するための最良の形態

[0029] 以下に、図面を参照して、本発明を実施するための形態について説明する。

本発明においては、単一セル当たりの記憶容量を増加させるために、従来の構造ではワードライン下に設けられるONO膜(の窒化膜)のソース／ドレイン近傍の2つの領域を電荷蓄積領域としていたのに対して、これら2つの電荷蓄積領域のそれぞれをさらに2つの領域に分割して総計4つの電荷蓄積領域を設けることとした。したがって、各単一セルは4ビット／セルのSONOS型不揮発性メモリとなり、16種類の電荷保持形態(記憶状態)が可能となって単位セルあたりの記憶容量を従来の4倍に増大させることができる。

[0030] 図3は、本発明の多値化のコンセプトを説明するための図で、各メモリセルに設けられる電荷蓄積領域の配置の様子を説明する平面概略図である。破線で囲んだ領域が単一セル100の領域に相当し、図中には4つの単一セルが描かれている。この単一セル100は、この図の縦方向に延在しそれぞれが電極107、108を備えている2本のビットライ105、106と、電極109を備え横方向に延在する1本のワードライン110とが交差する領域に設けられている。なお、この単一セル100のゲート絶縁膜もON

膜で形成されており、このゲート絶縁膜とワードライン110の側壁にはサイドウォールが設けられている。

[0031] 単一セル100は4ビットの多値セルであり、符号101、102、103および104で示した4つの電荷蓄積領域を備えている。また、ワードラインとビットラインとで囲まれた領域には、後に詳述する要領でバイアスを印加してワードライン110直下の半導体基板表面領域に形成されるチャネル幅を制御するための2つのプラグ状制御電極111、112が設けられている。具体的には、これらのプラグ状制御電極111および112ならびにワードライン110に適切なバイアスが印加され、バイアス印加した制御電極の位置に対応するワードライン110直下の半導体基板表面領域が蓄積状態にされたり空乏状態にされたりすることでチャネル幅が制御され、このチャネル幅制御により4つの電荷蓄積領域のそれぞれの電荷保持状態が制御されることとなる。

[0032] 図4は、プラグ状制御電極にバイアスが印加された際にワードライン直下の半導体基板表面領域が蓄積状態となる様子を説明するための図である。ここで、図4(a)は2つの隣接するセルおよびその近傍の平面概略図であり、図4(b)は図4(a)中のA-A'線に沿う単一セルの断面概略図である。また、図4(c)は図4(a)中のB-B'線に沿う断面概略図で、左図は何れのプラグ状制御電極111、112にもバイアスを印加していない状態、右図は一方のプラグ状制御電極112にバイアスを印加した状態を示している。

[0033] ビットラインとワードラインに囲まれた領域に新たに設けられた2つのプラグ状の制御電極111、112の一方(図では112)に適切なバイアスを印加すると、バイアス印加したプラグ状制御電極側の半導体基板表面領域が蓄積(accumulation)状態となり、その蓄積領域はバイアス印加したプラグ状制御電極112の両サイドに設けられている、ワードライン110に接続されている単一セル100とワードライン110'に接続されている単一セル100'とが設けられた基板表面の一部領域にまで広がる。(図4(c)右図)。なお、図4(a)中に示した矩形は、この蓄積領域を概念的に説明するためのものである。

[0034] ここで、印加されるバイアスの正負およびその大きさは用いる基板の伝導型および比抵抗率で決まるが、このバイアスの大きさは、後述するゲート電極への印加電圧と

消去時のセルの閾値電圧との差電圧以上が必要である。また、バイアスの正負は、半導体基板の伝導型がp型であれば負電圧、n型であれば正電圧となる。なお、特に断らない限り、半導体基板の伝導型をp型と仮定する。したがって、この図において半導体基板表面の上記領域を蓄積状態とすべく印加されるバイアスの正負は負となる。

- [0035] なお、この不揮発性メモリもSONOS型であるから、ビットライン上に設けられるゲート絶縁膜19は、シリコン酸化膜20、シリコン窒化膜21、およびシリコン酸化膜22が順次積層された3層からなるONO膜とされる。また、ワードラインとゲート絶縁膜の側壁にはサイドウォール23が設けられている。

図5および図6は、ワードラインにバイアスが印加されることによりチャンネルの位置と幅が変化する様子を説明するための図で、各図において図(a)は2つの隣接するセルおよびその近傍の平面概略図、図(b)は図(a)中のC-C'線もしくはD-D'線に沿う単一セルの断面概略図、そして図(c)は図(a)中のB-B'線に沿う断面概略図である。

- [0036] 先ず、図5を参照すると、プラグ状制御電極112にバイアス印加することにより図4(c)の右図のように蓄積状態が形成されている状態でワードライン110(すなわちゲート電極)に閾値以上の電圧 V_g (ここでは正電圧)を印加すると、ワードライン110直下のプラグ状制御電極112近傍の半導体基板表面に形成された蓄積領域のワードライン110側の側面には空乏(depletion)領域が形成され、プラグ状制御電極112とは反対側のワードライン110直下の半導体表面の無バイアス制御電極111側の領域に選択的にチャンネル(channel)が形成される。

- [0037] このようにして形成されるチャンネルの幅は、制御電極に印加される負電圧およびワードラインに印加される正電圧の大きさによって変化することとなるが、本発明においてはこのチャンネル幅がセル幅の1/2未満となるようなバイアス設定がなされる。このような幅のチャンネルが形成されると、ビットライン105からは電荷蓄積領域101に、ビットライン106からは電荷蓄積領域104に、それぞれ独立して電荷の注入が可能となる。

- [0038] 次に、図6を参照すると、プラグ状制御電極111にバイアス印加することによりこの

プラグ状制御電極111の直下の半導体基板表面領域に蓄積状態が形成されている。この状態でワードライン110(ゲート電極)に閾値以上の電圧 V_g (ここでも正電圧)を印加すると、ワードライン110直下のプラグ状制御電極111近傍の半導体基板表面に形成された蓄積領域のワードライン110側の側面に空乏(depletion)領域が形成され、プラグ状制御電極111とは反対側のワードライン110直下の半導体表面の無バイアス制御電極112側の領域に選択的にチャンネル(channel)が形成される。このようにして形成されるチャンネルの幅もまた、セル幅の1/2未満となるようなバイアス設定がなされる。このような幅のチャンネルが形成されると、ビットライン105からは電荷蓄積領域102に、ビットライン106からは電荷蓄積領域103に、それぞれ独立して電荷の注入が可能となる。

[0039] このように、本発明によれば、ワードライン下に設けられているゲート絶縁膜の窒化膜の独立した4つの領域に電荷を分離して蓄積することが可能で、単一セルのビット数を4とする多値化が実現できる。

[0040] 図7は、一方の制御電極のみにバイアス印加した場合のチャンネル幅のゲート電圧依存性を説明するための図で、図7(a)に示すように、2つの制御電極の一方(電極1)のみがバイアス印加された状態でゲート電極に閾値 V_{th} よりも大きなバイアス V_g が印加されている。図7(b)には、バイアス印加した制御電極の中心からの距離(サイドゲートからの距離)を x としたときのシリコン基板表面のポテンシャル分布を示している。この図に示されているように、ポテンシャル曲線は印加されたゲート電圧 V_g に応じて変化し、このポテンシャル曲線の変化に伴って、蓄積領域、空乏領域、および反転領域(チャンネル)の広がりが増加することとなる。既に説明したように、本発明では、チャンネルの幅をワードライン幅の1/2未満となる大きさのゲート電圧 V_g が印加されるから、図中に実線で示したポテンシャル曲線に対応するゲート電圧 V_g 以上の大きさのバイアスを印加することとなる。

[0041] 図8乃至11は、プラグ状制御電極111、112へのバイアス印加の有無(ON/OFF)と本発明の4ビットセルにおいて実現される16の電荷保持状態との関係を纏めた断面概略図で、これらの図において、B-B'、C-C'、およびD-D'とは図5および図6に示したラインを意味し、その線に沿う断面図が図示されている。なお、これらの図で

は、2つの制御電極をサイドコンタクトAおよびBで、ワードラインをWLで、2本のビットラインをBL1およびBL2で示した。これらの図において、状態(abcd)は上述した電荷蓄積領域101、104、102、および103の各状態がa、b、c、およびdであることを意味し、例えば(1110)とは、電荷蓄積領域101、104、および102が空(状態「1」)であり、電荷蓄積領域103にのみ電荷が保持されている状態(状態「0」)を示している。

[0042] 以下に、実施例により本発明をより詳細に説明する。

[製造プロセス1]

図12乃至図14は、上述したプラグ状制御電極を備えた本発明のSONOS型不揮発性メモリの製造プロセスの例について説明するための図である。まず、p型のシリコン基板上に、膜厚7.8nmのシリコン酸化膜20と、膜厚8.5nmのシリコン窒化膜21と、膜厚10nmのシリコン酸化膜22とを順次積層させたONO構造の絶縁膜19を形成し、この上に、燐ドーパされたポリシリコン膜(膜厚120nm)を成膜する(図12(a))。

[0043] これに続いて、フォトリソグラフィ技術とエッチング技術により、ポリシリコン膜をパターンニングしてワードライン110を形成し(図12(b))、更に、フォトリソグラフィ技術とイオン注入技術によりシリコン基板表面に砒素をイオン注入してビットライン105、106を形成する(図12(c))。なお、このときのイオン注入条件は、例えば、注入エネルギー70KeV、イオン打ち込み濃度 $2 \times 10^{15} \text{cm}^{-3}$ などとする。

[0044] 次に、ワードライン110直下のONO膜以外のONO構造の絶縁膜を除去するとともに、ワードライン110およびONO膜19の側壁にサイドウォール23を形成する(図12(d))。このサイドウォール形成は、例えば、膜厚20nmのシリコン窒化膜113と膜厚90nmのシリコン酸化膜114を順次成膜し、この2層膜をエッチバックすることで実行する。

[0045] このようなプロセス終了後には、図14に平面概略図を示したようなレイアウトが得られることとなり、この図中に破線で示した領域にプラグ状制御電極が形成されることになる。以降では、図14中にE-E'で示したラインに沿う断面概略図である図13を用いて、プラグ状制御電極形成およびそれ以後のプロセスを説明する。

[0046] 先ず、例えば膜厚1500nm程度のBPSG (Boro-Phospho Silicated Glass) 膜などの層間絶縁膜115を基板全面に堆積し(図13(a))、フォトリソグラフィ技術とエッチング技術とにより、ワードライン(WL1〜3で示す)の側壁間およびワイドライン上にコンタクトホールを形成する(図13(b))。ここで、ワイドライン上に形成されるコンタクトホール(コンタクトホールC)の底部はワードラインの上面に達し、ワードラインの側壁間に形成されるコンタクトホール(コンタクトホールB)の底部はサイドウォール形成時に成長させたシリコン窒化膜113の一部が残存してエッチングストップ層として作用するシリコン窒化膜113の上面に達し、さらにコンタクトホールBに隣接し且つ隣接するワードラインの側壁がない領域に形成されるコンタクトホール(コンタクトホールA)の底部はシリコン基板表面に達する。つまり、コンタクトホールA〜Cの3種類のコンタクトホールが同時に形成されることとなる。

[0047] コンタクトホールの形成に続き、例えばTiN膜(膜厚15nm)／Ti膜(膜厚40nm)の2層構造のバリアメタルと、このバリアメタルの上にCVD成膜したタングステン膜(膜厚400nm)の積層膜116を設け(図13(c))、CMPによってタングステン膜のポリッシングを行った後にAl配線117を形成して各コンタクトホールへの電極形成が終了する(図13(d))。ここで、コンタクトホールCに埋め込まれた電極はワードラインコンタクトとなり、コンタクトホールBに埋め込まれた電極はプラグ状制御電極となり、コンタクトホールCに埋め込まれた電極は基板コンタクトとなる。

[0048] このようにして、プラグ状制御電極を備えた本発明のSONOS型不揮発性メモリが得られる。

[0049] [製造プロセス2]

図15乃至図17は、本発明のSONOS型不揮発性メモリの製造プロセスの第2の例について説明するための図である。先ず、p型のシリコン基板上に、膜厚7.8nmのシリコン酸化膜20と、膜厚8.5nmのシリコン窒化膜21と、膜厚10nmのシリコン酸化膜22とを順次積層させたONO構造の絶縁膜19を形成し、この上に、燐ドーパされたポリシリコン膜(膜厚120nm)を成膜する(図15(a))。

[0050] これに続いて、フォトリソグラフィ技術とエッチング技術により、ポリシリコン膜をパターンニングしてワードライン110を形成し(図15(b))、更に、フォトリソグラフィ技術とイ

オン注入技術によりシリコン基板表面に砒素をイオン注入してビットライン105、106を形成する(図15(c))。なお、このときのイオン注入条件もまた、例えば、注入エネルギー70KeV、イオン打ち込み濃度 $2 \times 10^{15} \text{ cm}^{-3}$ などとされる。

- [0051] 次に、ワードライン直下のONO膜以外のONO構造の絶縁膜を除去するとともに、ワードラインおよびONO膜の側壁にサイドウォール23を形成する(図15(d))。このサイドウォール形成は、例えば、膜厚20nmのシリコン窒化膜と膜厚90nmのシリコン酸化膜を順次成膜し、シリコン酸化膜をエッチバックすることで実行する。
- [0052] 図15に示した一連のプロセス終了後には、図17に平面概略図を示したようなレイアウトが得られることとなり、この図中に破線で示した領域にプラグ状制御電極が形成されることになる。以降では、図17中にF-F'で示したラインに沿う断面概略図である図16を用いて、プラグ状制御電極形成およびそれ以後のプロセスを説明する。
- [0053] 先ず、フォトリソグラフィ技術によってサイドゲートを形成するコアセル部分以外の領域をフォトレジスト118で被覆する(図16(a))。これに続いて、シリコン窒化膜113をエッチングストップ膜として用いることとして、フォトレジスト118で被覆されていない領域の酸化膜114をエッチングし(図16(b))、不要となったフォトレジスト118を除去して、サイドウォール23で被覆されていないビットライン上にサイドゲート電極を形成する(図16(c))。このサイドゲート電極の形成は、例えば、ポリシリコン、あるいはタングステンに代表される高融点金属、もしくはタングステンシサイドのような高融点金属のシリサイド膜を、厚み200nm程度で基板全面に成膜し、これをエッチバックすることで実行することが可能である。
- [0054] さらに、例えば膜厚1500nm程度のBPSGなどの層間絶縁膜115を形成して、これにフォトリソグラフィ技術とエッチング技術とによりコンタクトホールを形成する。このコンタクトホールの形成に続き、例えばTiN膜(膜厚15nm)/Ti膜(膜厚40nm)の2層構造のバリアメタルと、このバリアメタルの上にCVD成膜したタングステン膜(膜厚400nm)の積層膜116を設け、CMPによってタングステン膜のポリッシングを行った後にAl配線117を形成する(図16(d))。
- [0055] このようにして、プラグ状制御電極を備えた本発明のSONOS型不揮発性メモリが得られる。

[0056] [書き込み動作]

次に本発明のSONOS型不揮発性メモリの書き込み動作について説明する。

図18は本発明のSONOS型不揮発性メモリの書き込み動作を説明するための図で、左図は2つの隣接するセルおよびその近傍の平面概略図、右図は左図中のB-B'線に沿う単一セルの断面概略図である。

[0057] 図18(a)は、全ビット消去後におけるメモリセルの状態を示している。この状態でのメモリセルの閾値電圧 V_{th} は、例えば、1.5Vとする。単一セルの両サイドに設けられている2つのプラグ状制御電極のうちの一方のプラグ状制御電極112には、動作時にワードライン幅の半分領域のシリコン基板表面が空乏化するように制御された電圧 V_{sg} が印加される。例えば、約-4Vの電圧を印加し、他方のプラグ状制御電極111はゼロボルトとなるように接地する。さらに、ゲート電極に閾値以上の電圧 V_g （例えば2V）のバイアス印加を行うと、プラグ状制御電極112の反対側のワードラインWL1直下にチャンネルが形成される(図18(a)右図)。

[0058] この状態で、ビットライン105をグランドに接地し、ビットライン106に例えば1Vの電圧を印加すると、ビットライン106近傍で発生したホットエレクトロンが電荷蓄積領域104のシリコン窒化膜中に蓄積される。なお、ビットライン105とビットライン106の電圧印加条件を逆にすると、電荷蓄積領域101のシリコン窒化膜中に電荷を蓄積することができる。

[0059] これとは逆に、図18(b)に示すように、プラグ状制御電極111に例えば-4Vの電圧 V_{sg} を印加し、プラグ状制御電極112をゼロボルトに接地する。更に、ゲート電圧 V_g を例えば2Vとして印加すると、プラグ状制御電極111の反対側のワードラインWL1直下にチャンネルが形成される(図18(b)右図)。この状態で、ビットライン105をグランドに接地し、ビットライン106に例えば1Vの電圧を印加すると、ビットライン106近傍で発生したホットエレクトロンが電荷蓄積領域103のシリコン窒化膜中に蓄積される。なお、ビットライン105とビットライン106の電圧印加条件を逆にすると、電荷蓄積領域102のシリコン窒化膜中に電荷を蓄積することができる。

[0060] 図19に示す単一セル100の電荷蓄積領域A, B, C, Dに順に書き込みを行なう時のタイミングチャートを図20に示す。

まず、プラグ状制御電極112に例えば -4V の電圧 V_{sg} を印加し、プラグ状制御電極111をゼロボルトに接地してゲート電極に閾値以上の電圧 V_g （例えば 2V ）のバイアスを印加する。この状態でワードラインWL1を選択して、ビットライン106をグラウンドに接地し、ビットライン105に例えば 1V の電圧を印加すると、領域Aに電荷が蓄積される。また、プラグ状制御電極111、112、ゲート電極、ワードラインWL1の電気的状態はそのまま、ビットライン106に 1V の電圧を印加し、ビットライン105をグラウンドに接地すると、領域Bに電荷が蓄積される。

[0061] 今度は、プラグ状制御電極111に例えば -4V の電圧 V_{sg} を印加し、プラグ状制御電極112をゼロボルトに接地してゲート電極に閾値以上の電圧 V_g （例えば 2V ）のバイアスを印加する。この状態でワードラインWL1を選択して、ビットライン106をグラウンドに接地し、ビットライン105に例えば 1V の電圧を印加すると、領域Cに電荷が蓄積される。また、プラグ状制御電極111、112、ゲート電極、ワードラインWL1の電気的状態はそのまま、ビットライン106に 1V の電圧を印加し、ビットライン105をグラウンドに接地すると、領域Dに電荷が蓄積される。

[0062] [読み込み動作]

本発明のSONOS型不揮発性メモリの読み込み動作について説明する。

図21は本発明のSONOS型不揮発性メモリの読み込み動作を説明するための図で、左図は2つの隣接するセルおよびその近傍の平面概略図、右図は左図中のB-B'線に沿う単一セルの断面概略図である。ここでは、消去時のメモリセルの閾値電圧 V_{th} を例えば 1.5V とし、書き込み後の閾値電圧 V'_{th} を 2.0V とする。プラグ状制御電極112には動作時にワードライン幅の半分領域のシリコン基板表面が空乏化するように制御された電圧 V_{sg} （例えば、 -4V ）を印加し、プラグ状制御電極111をゼロボルトに接地する。更に、ゲート電極に例えば 2.5V の電圧 V_g を印加すると、プラグ状制御電極112の反対側のワードライン直下にチャネルを形成することができる（図21(a)）。

[0063] この状態で、ビットライン106をグラウンドに接地し、ビットライン105に例えば 0.5V の電圧を印加すると、ビットライン106近傍のシリコン窒化膜中に電荷が蓄積されている場合にはごく僅かなドレイン電流 I_{ds} しか得ることができない。一方、ビットライン105と

ビットライン106への電圧印加条件を入れ替えた場合には、ビットライン105近傍の領域のシリコン窒化膜中に電荷が蓄積されていない場合には、所望の大きさのドレイン電流 I_{ds} を得ることができる。このドレイン電流値の違いにより、プラグ状制御電極111近傍の電荷保持状態を読み取ることができる。

[0064] 更に、プラグ状制御電極111に例えば $-4V$ の電圧 V_{sg} を印加しプラグ状制御電極112をゼロボルトに接地した状態でゲート電極に例えば $2.5V$ の電圧 V_g を印加すると、プラグ状制御電極111と反対側のワードライン直下にチャンネルが形成される。そして、上述したのと同様の手順にしたがって読み込み動作を行うことにより、プラグ状制御電極112近傍の電荷保持状態を知ることが可能である(図21(b))。

[0065] 図19に示す単一セル100の電荷蓄積領域A, B, C, Dから順にデータを読み出す時のタイミングチャートを図22に示す。

まず、プラグ状制御電極112に例えば $-4V$ の電圧 V_{sg} を印加し、プラグ状制御電極111をゼロボルトに接地してゲート電極に閾値以上の電圧 V_g (例えば $2.5V$)のバイアスを印加する。この状態でワードラインWL1を選択して、ビットライン105をグラウンドに接地し、ビットライン106に例えば $0.5V$ の電圧を印加すると、領域Aの状態を読み出すことができる。また、ビットライン106をグラウンドに接地し、ビットライン105に $0.5V$ の電圧を印加すると、領域Bに蓄積された電荷を読み出すことができる。このとき、電荷が蓄積された電荷蓄積領域からは、ごく僅かなドレイン電流 I_{ds} が得られ、電荷が蓄積されていない電荷蓄積領域からは所望の大きさのドレイン電流 I_{ds} が得られる。図22には、領域A, B, C, Dのすべての電荷蓄積領域に電荷が蓄積されていない場合(1111)と、領域AとDに電荷が蓄積されている時(0110)に流れるドレイン電流 I_{ds} が示されている。

[0066] 同様にして、領域Cの読み出しを行なう場合には、プラグ状制御電極111に例えば $-4V$ の電圧 V_{sg} を印加し、プラグ状制御電極112をゼロボルトに接地してゲート電極に閾値以上の電圧 V_g (例えば $2.5V$)のバイアスを印加する。この状態でワードラインWL1を選択して、ビットライン105をグラウンドに接地し、ビットライン106に例えば $0.5V$ の電圧を印加すると、領域Cの状態を読み出すことができる。さらに、ビットライン106をグラウンドに接地し、ビットライン105に $0.5V$ の電圧を印加すると、領域Dの状態を

読み出すことができる。

- [0067] 以上説明したように、本発明によれば、セル面積を広げることなく単位セルあたりの記憶容量を従来の4倍(4ビット／セル)に増大させることを可能とする多値化技術を提供することができる。
- [0068] 図23に、本発明のSONOS構造不揮発性メモリにデータの書き込み、読み出しを行なう回路構成を示す。メモリセル部30には、上述した4ビットの単位セルが周期的に多数行列配置されている。メモリセル部30の周囲には、行デコーダ31、列デコーダ32、センスアンプ34、アドレスレジスタ33、入出力バッファ35、読み出し電圧発生／制御回路37、書き込み電圧発生／制御回路38、消去電圧発生／制御回路39、サイドゲート電圧発生／制御回路40、コマンドレジスタ36などが設けられている。
- [0069] 外部入力されたコマンドは、コマンドレジスタ36に蓄積され、入力されたコマンドに該当する電圧発生／制御回路37～40を起動させる。また、書き込み、読み出し、消去を行なうメモリセルのアドレスがアドレスレジスタ33から列デコーダ32、行デコーダ31に供給される。このアドレスを行デコーダ31と列デコーダ32とで特定してデータの書き込み、読み出し、消去が行なわれる。なお、図24にサイドゲート電圧発生回路40、すなわちプラグ状制御電極111、112に電圧 V_{sg} を供給する回路の構成を示す。図24(a)に示す回路に、図24(b)に示すタイミングで電圧F1, F2, F3, F4を供給することで、負電圧 V_{sg} を発生する。
- [0070] 以上本発明の好ましい実施形態について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

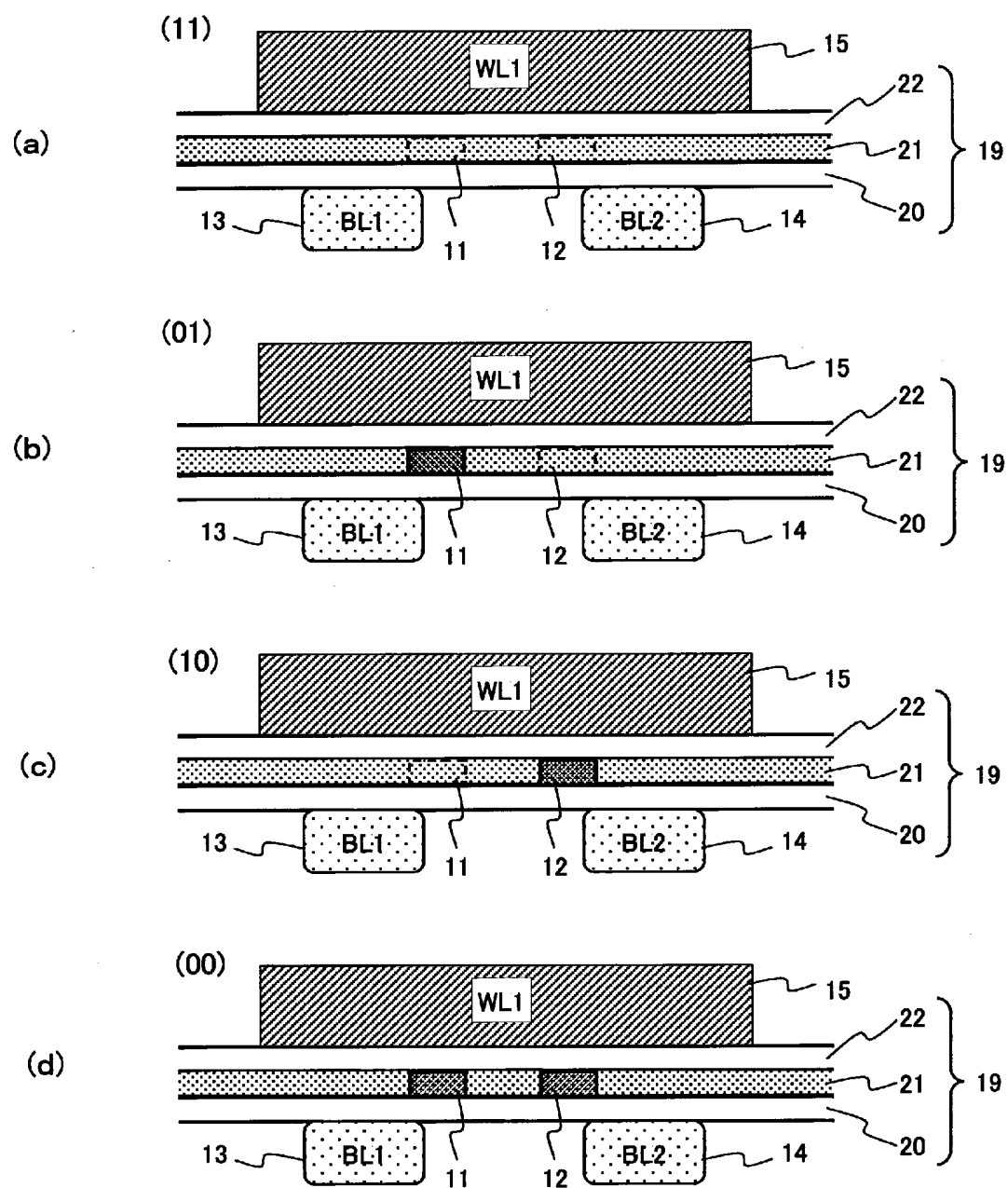
請求の範囲

- [1] 第1の酸化膜と窒化膜と第2の酸化膜とを半導体基板上に順次積層させたONO膜を備えるゲート絶縁膜と、
メモリセルのゲート電極の両サイドに設けられた制御電極とを有する不揮発性メモリ。
- [2] 前記制御電極に挟まれた前記窒化膜内の電荷蓄積領域は、動作上4つの領域に分割されている請求項1記載の不揮発性メモリ。
- [3] 前記制御電極間に形成されるチャンネルは、前記ゲート電極の幅の1/2未満の幅を有する請求項1又は2記載の不揮発性メモリ。
- [4] 各メモリセルは、前記ゲート電極下に4つの電荷蓄積領域を備え、該4つの電荷蓄積領域はそれぞれローとコラムとに配置されている請求項1記載の不揮発性メモリ。
- [5] 複数の前記メモリセルは第1の方向と第2の方向とに周期的に配列され、
前記第1の方向と前記第2の方向には、ワード線とビット線がそれぞれ配置され、
前記ワード線は、前記複数のメモリセルのゲート電極として前記第1の方向に配置され、前記ビット線は、前記複数のメモリセルのソース・ドレインとして前記第2の方向に配置されている請求項1から4のいずれか1項記載の不揮発性メモリ。
- [6] 前記ビット線は、前記半導体基板に埋設されている請求項1から5のいずれか1項記載の不揮発性メモリ。
- [7] 前記制御電極のそれぞれは、隣接する2つのワード線と、隣接する2つのビット線とに挟まれた領域に設けられている請求項1から4のいずれか1項記載の不揮発性メモリ。
- [8] 前記制御電極は、ローとコラムとに割り付けられている請求項1から4のいずれか1項記載の不揮発性メモリ。
- [9] 前記ゲート電極と前記制御電極には、チャンネル幅が前記ゲート電極幅の1/2未満となる電圧が印加される請求項1記載の不揮発性メモリ。
- [10] 前記ゲート電極に閾値以上の電圧が印加されて前記ゲート絶縁膜直下の前記半導体基板領域がチャンネル領域とされ、かつ前記制御電極の一方に制御電圧が印加されて該一方の制御電極近傍の前記半導体基板領域が蓄積領域とされ、該蓄積領

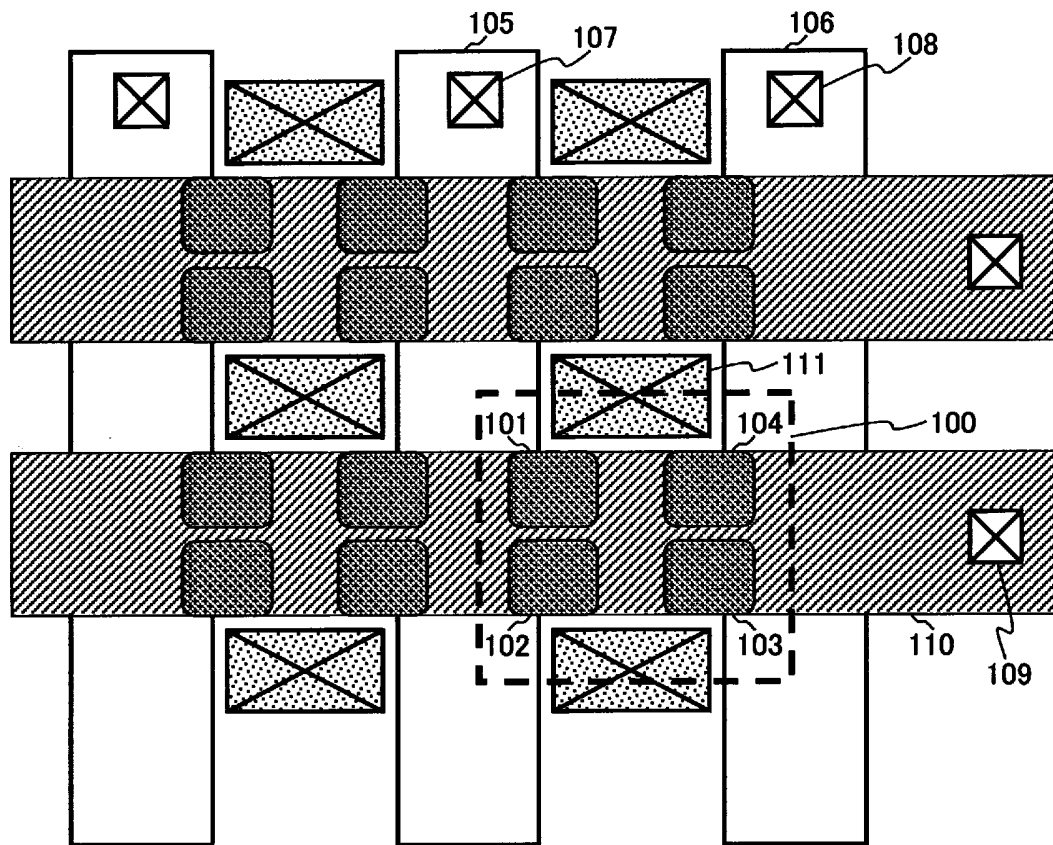
域と前記チャネル領域との間に形成される空乏領域の広がりにより前記チャネル幅が制御される請求項1記載の不揮発性メモリ。

- [11] 前記メモリセルのソースとドレインのバイアス条件を交互に反転させて書き込み動作と読み込み動作とが実行される請求項5記載の不揮発性メモリ。
- [12] 前記ゲート電極は、ポリシリコンである請求項1から5のいずれか1項記載の不揮発性メモリ。
- [13] 前記半導体基板の伝導型はp型であり、前記ゲート電極には正電位、前記制御電極には負電位のバイアスが印加される請求項1から11のいずれか1項記載の不揮発性メモリ。
- [14] 前記半導体基板の伝導型はn型であり、前記ゲート電極には負電位、前記制御電極には正電位のバイアスが印加される請求項1から11のいずれか1項記載の不揮発性メモリ。
- [15] 半導体基板上のONO膜を有する不揮発性メモリを制御する方法であって、
複数のメモリセルに共通に接続されたゲート電極に電圧を印加するステップと、
前記ゲート電極を挟んで設けられた2つの制御電極のうち的一方に別の電圧を供給するステップとを有し、
前記ゲート電極下であって前記2つの制御電極に挟まれた領域にある前記ONO膜の窒化膜に4つの電荷蓄積領域が形成される不揮発性メモリの制御方法。
- [16] 前記ゲート電極に供給する電圧は正電圧であり、前記制御電極に供給する電圧は負電圧である請求項15記載の不揮発性メモリの制御方法。
- [17] 前記ゲート電極に供給する電圧は負電圧であり、前記制御電極に供給する電圧は正電圧である請求項15記載の不揮発性メモリの制御方法。

[図2]



[図3]



[図4]

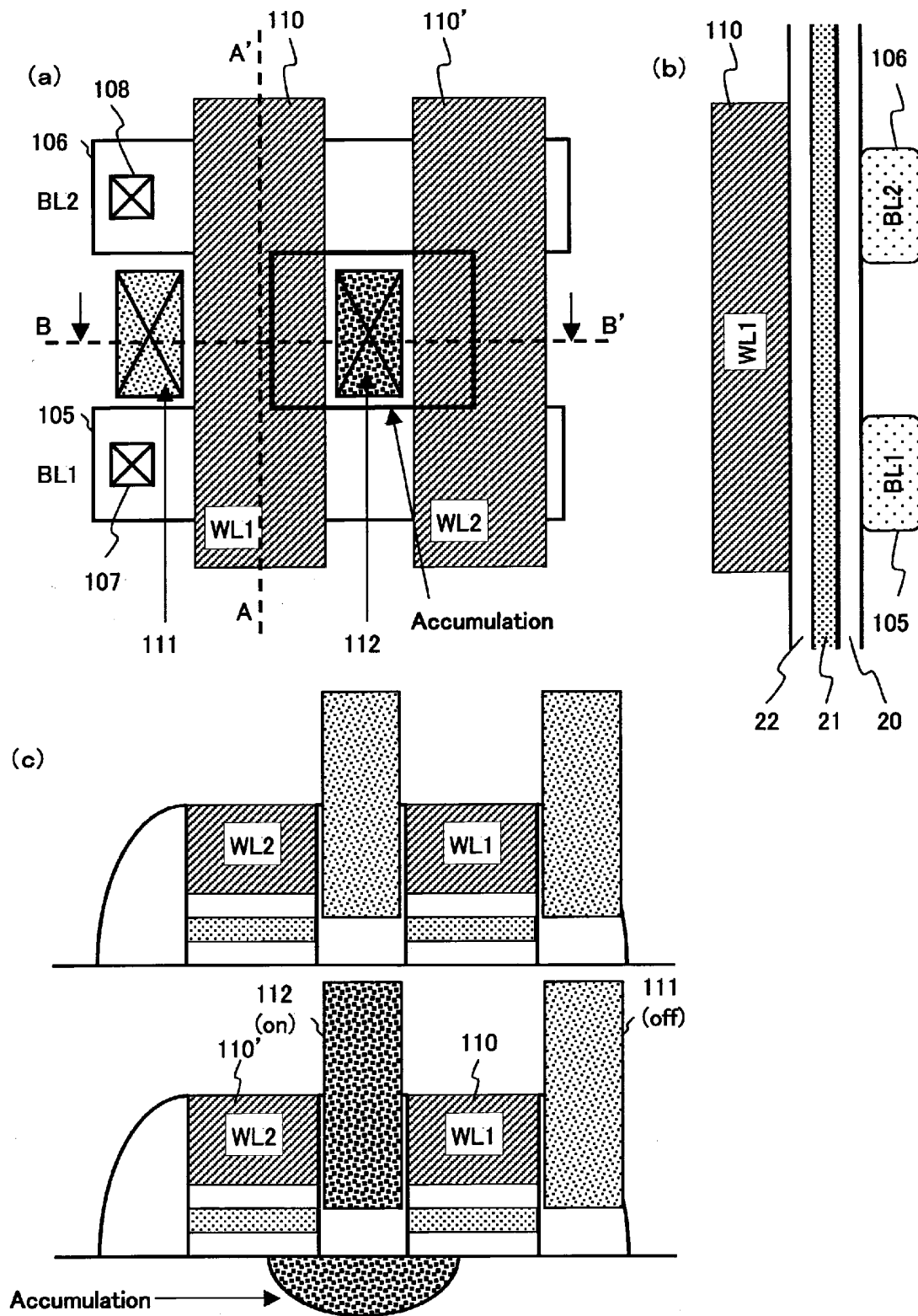
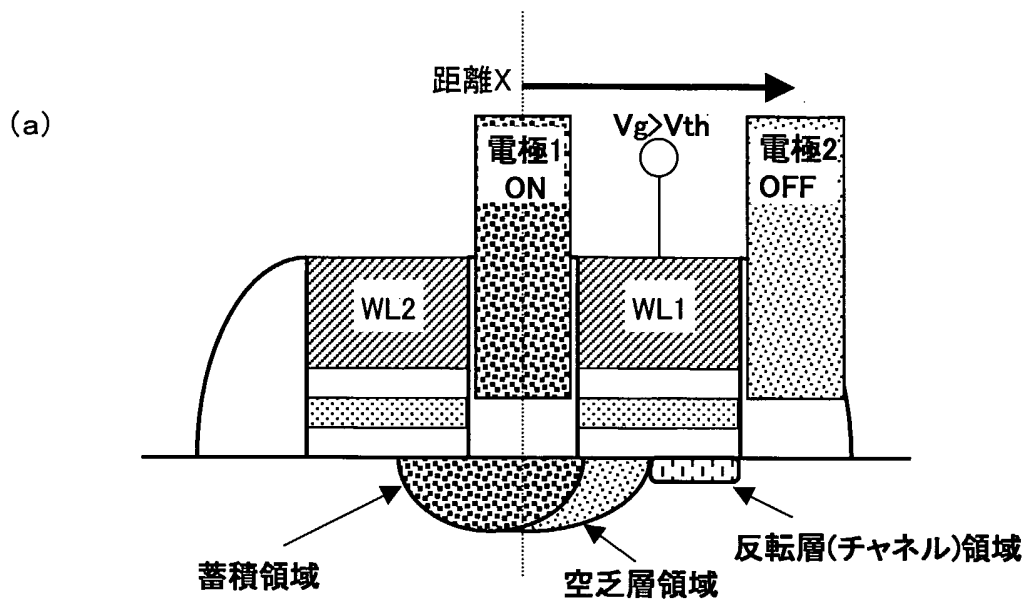


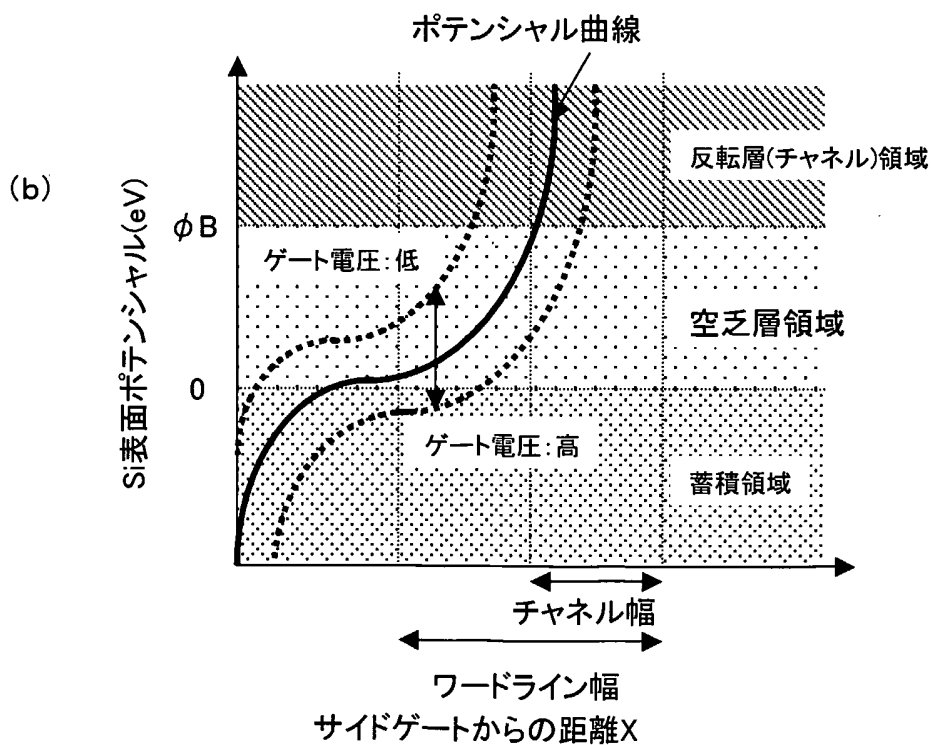
Figure 1 consists of three cross-sectional views of a semiconductor device. (a) is a top view showing a central channel region (101) between two bit lines (BL1 105, BL2 106). The channel is flanked by word lines (WL1, WL2) and a depletion layer (110, 110'). The channel is divided into two regions (107, 108) by a dashed line B-B'. (b) is a side view showing the channel region (101) between BL1 (105) and BL2 (106). The channel is flanked by WL1 (110) and WL2 (110'). The channel is divided into two regions (107, 108) by a dashed line B-B'. (c) is a side view showing the channel region (101) between BL1 (105) and BL2 (106). The channel is flanked by WL1 (110) and WL2 (110'). The channel is divided into two regions (107, 108) by a dashed line B-B'. The channel is flanked by a depletion layer (110, 110') and an accumulation layer (111, 111').

[illegible]

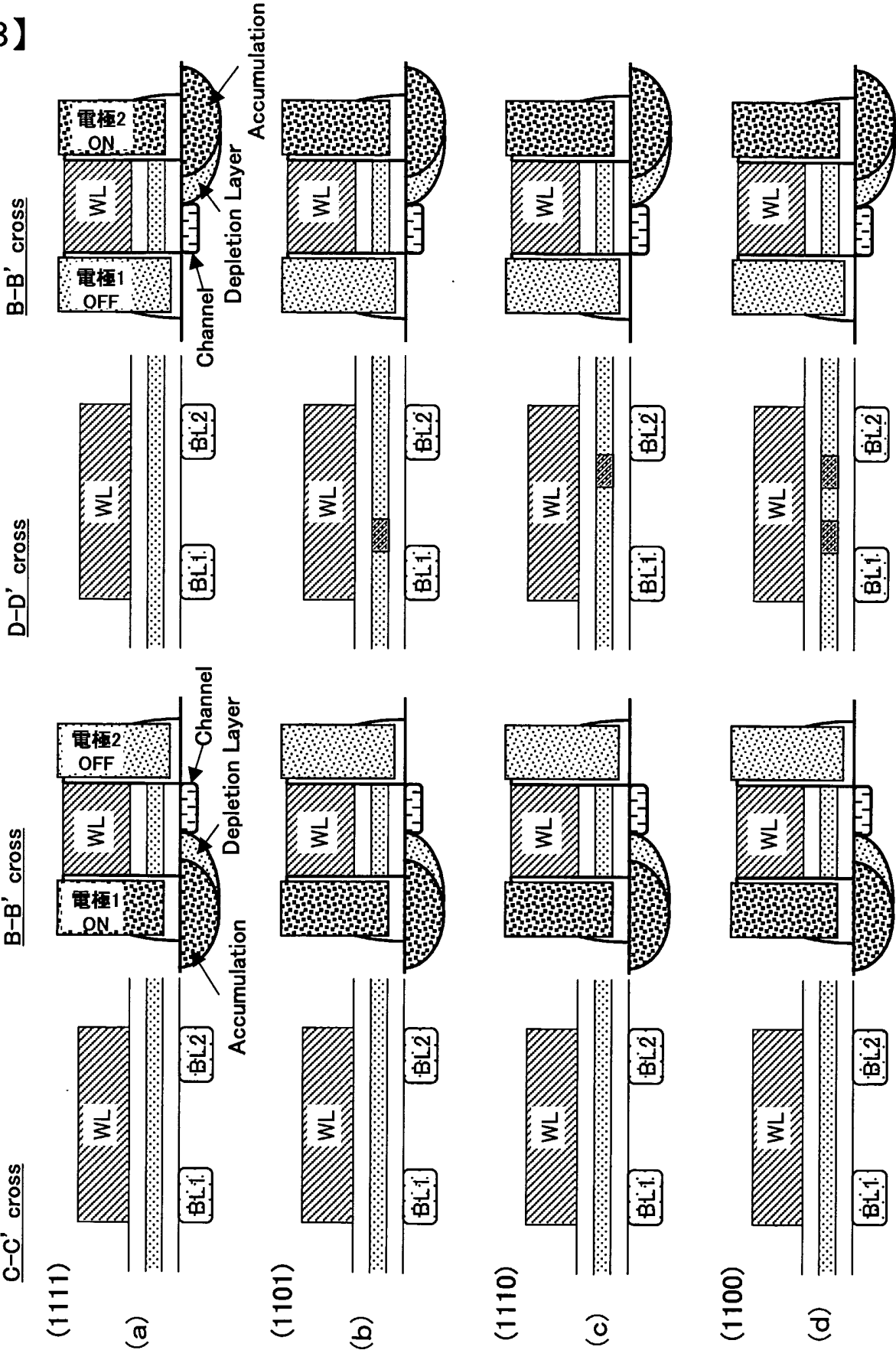
【図7】



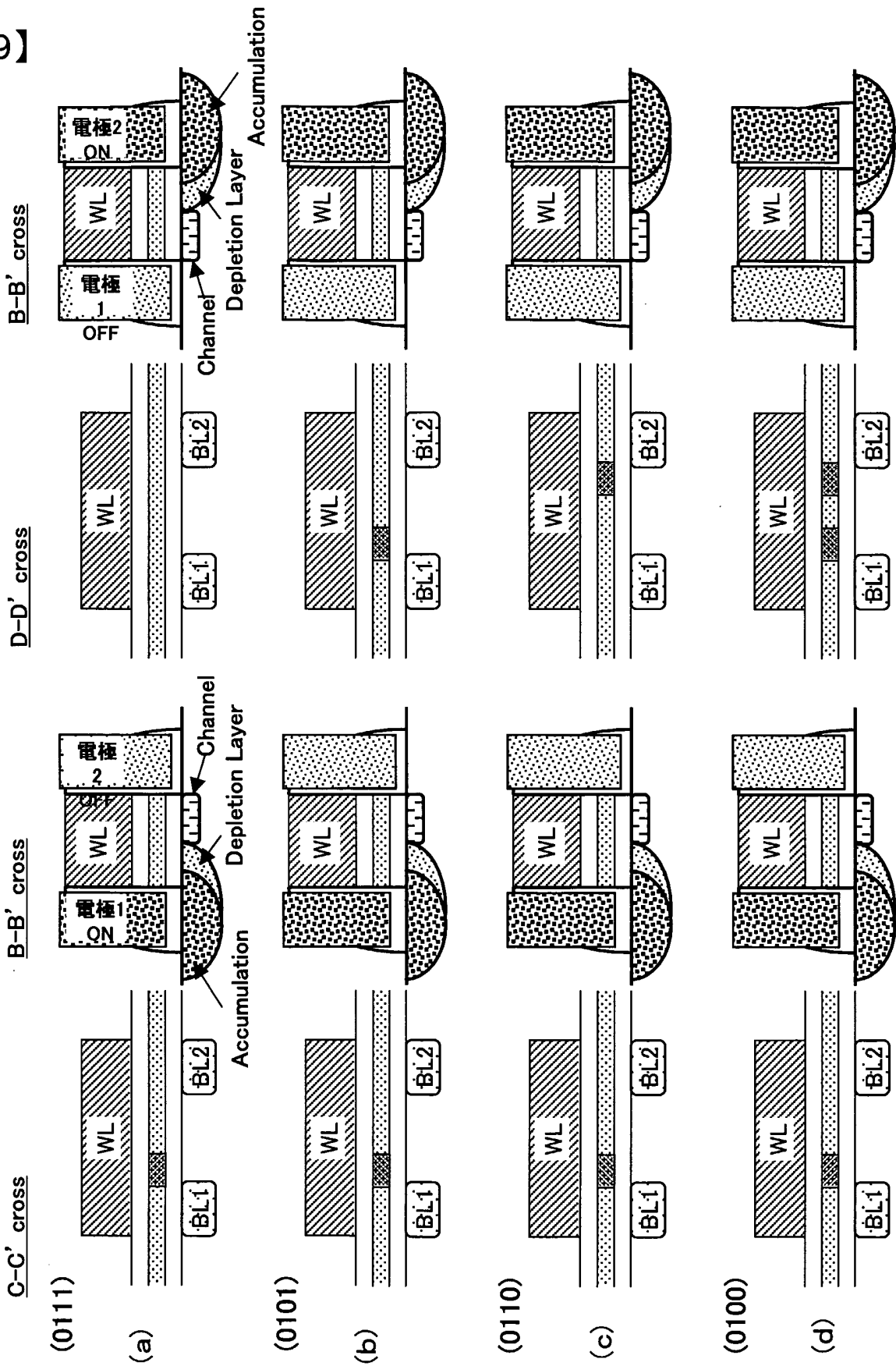
ϕ_B : ミッドギャップ時のSi表面ポテンシャル



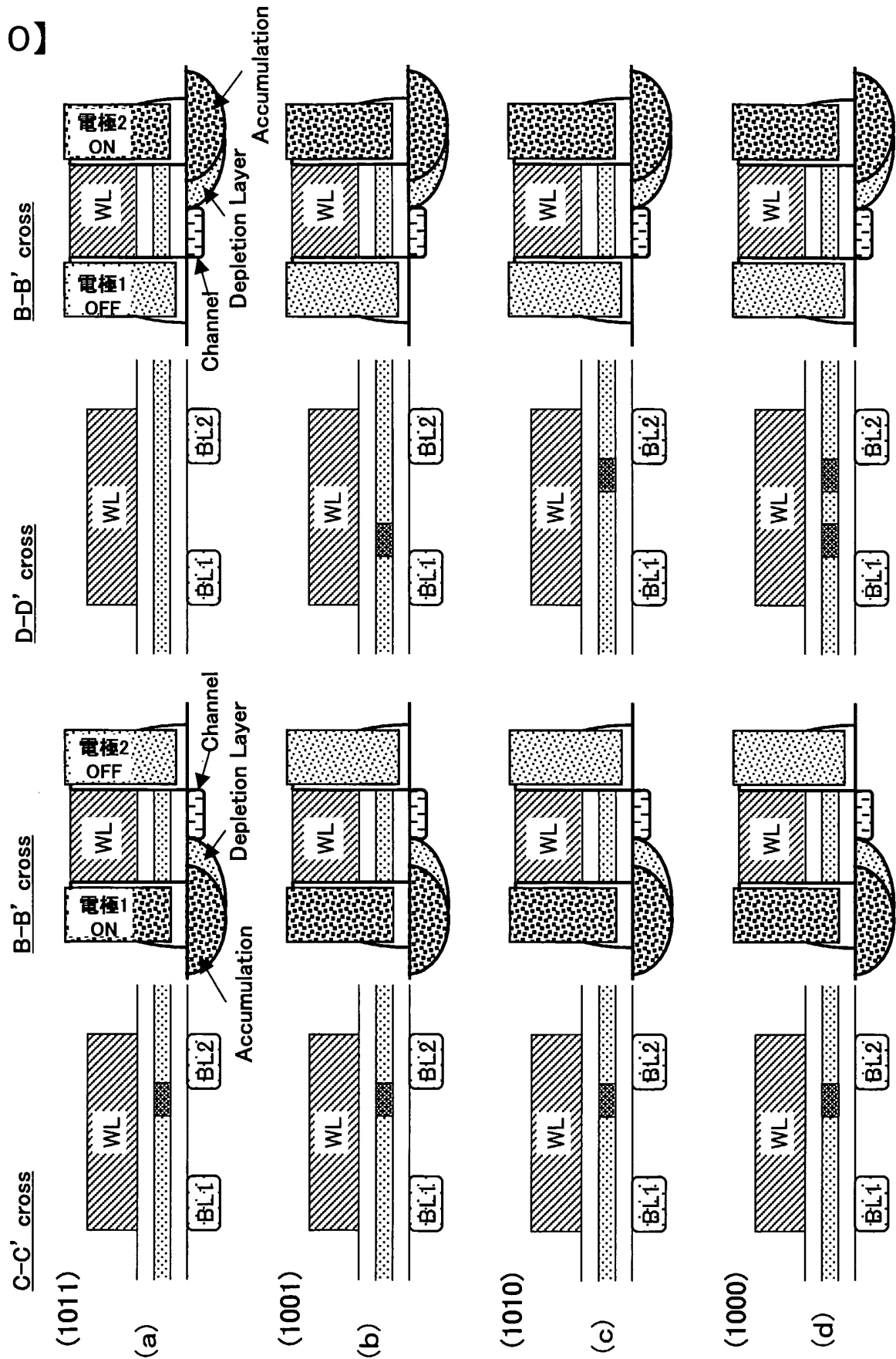
【図 8】



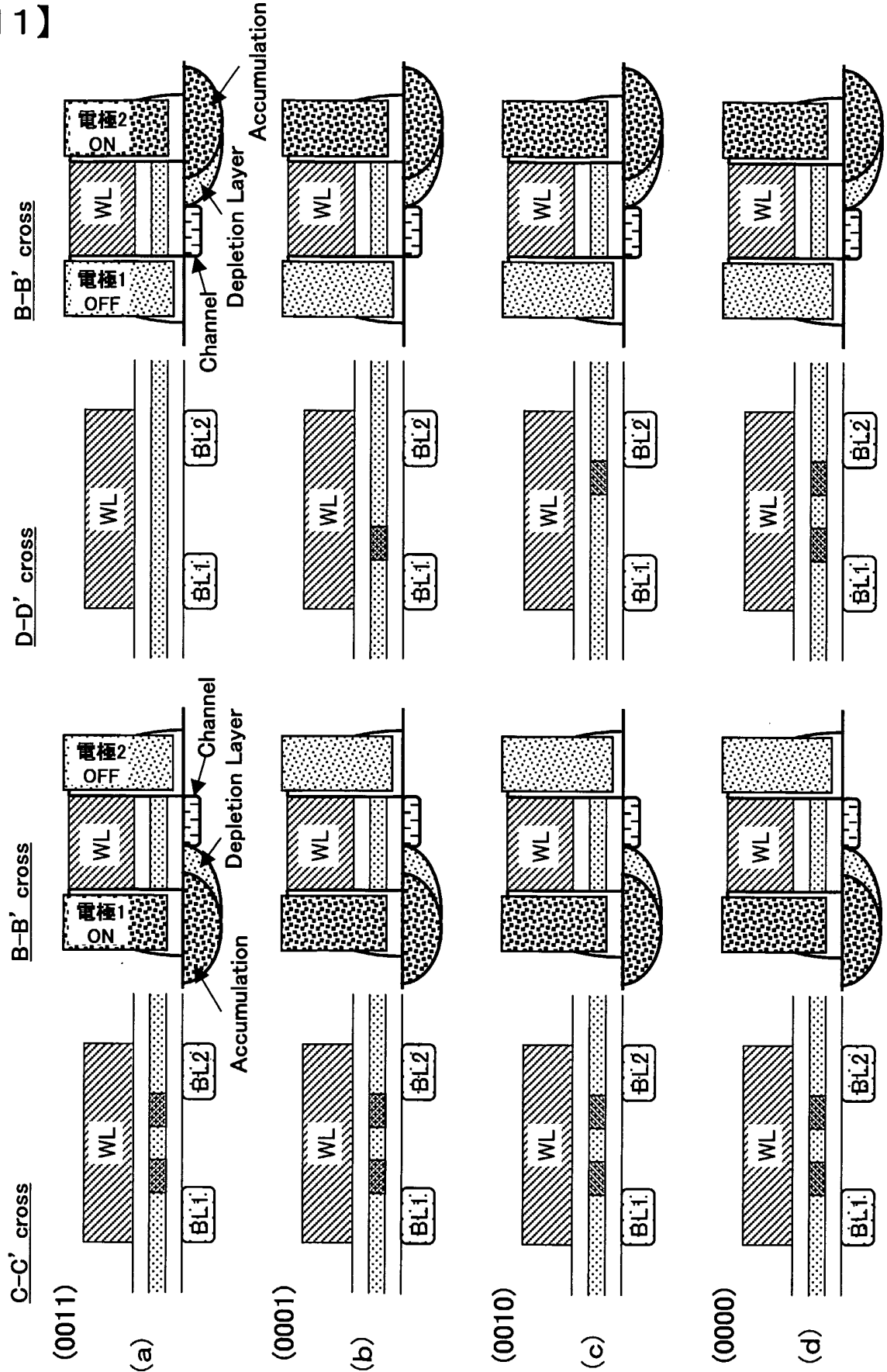
【図9】



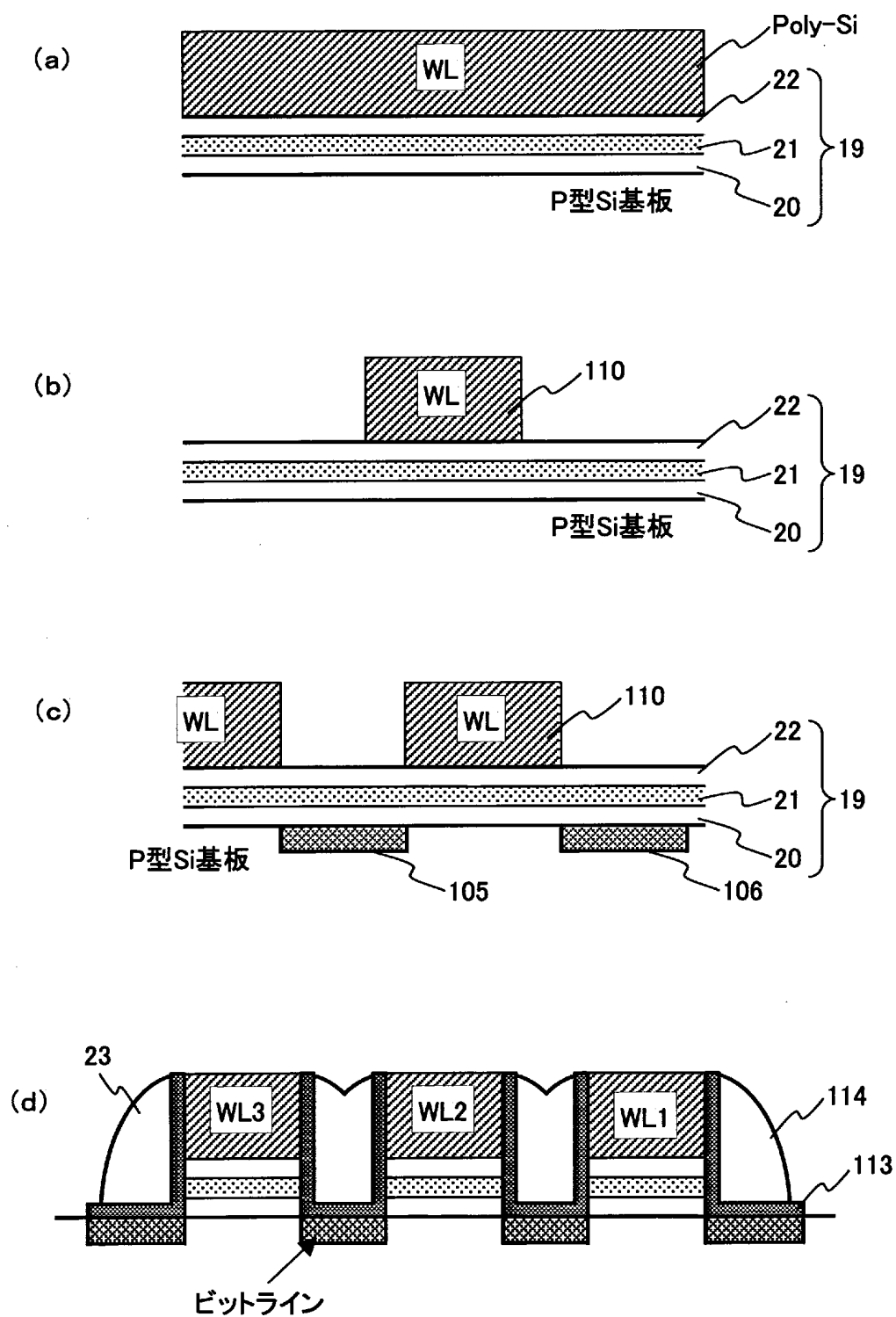
【図10】



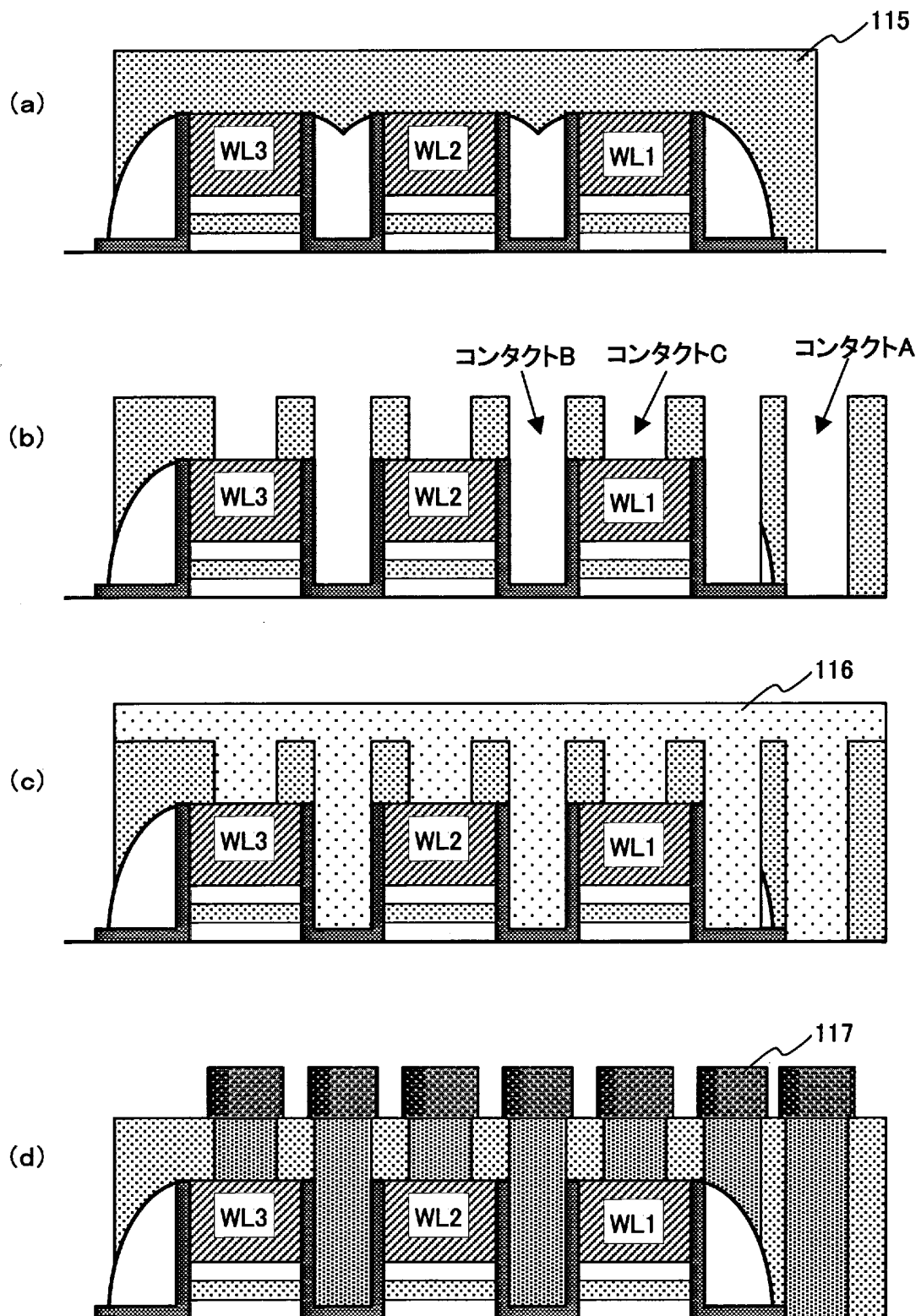
【図11】



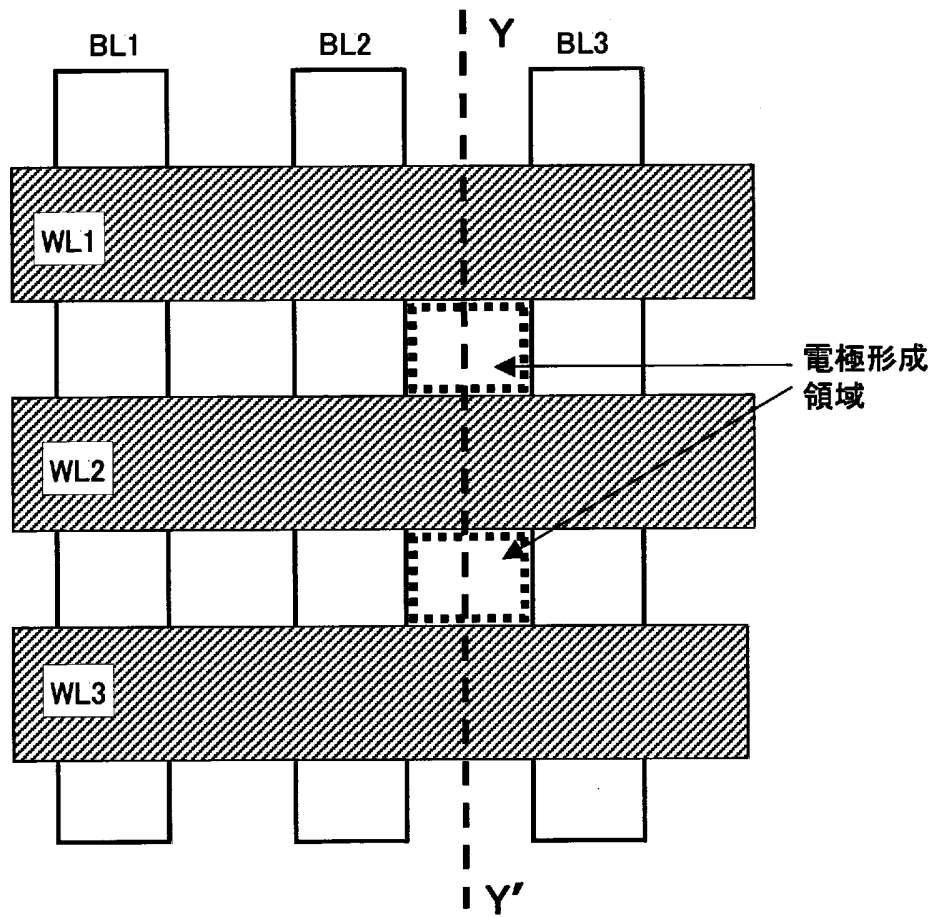
[図12]



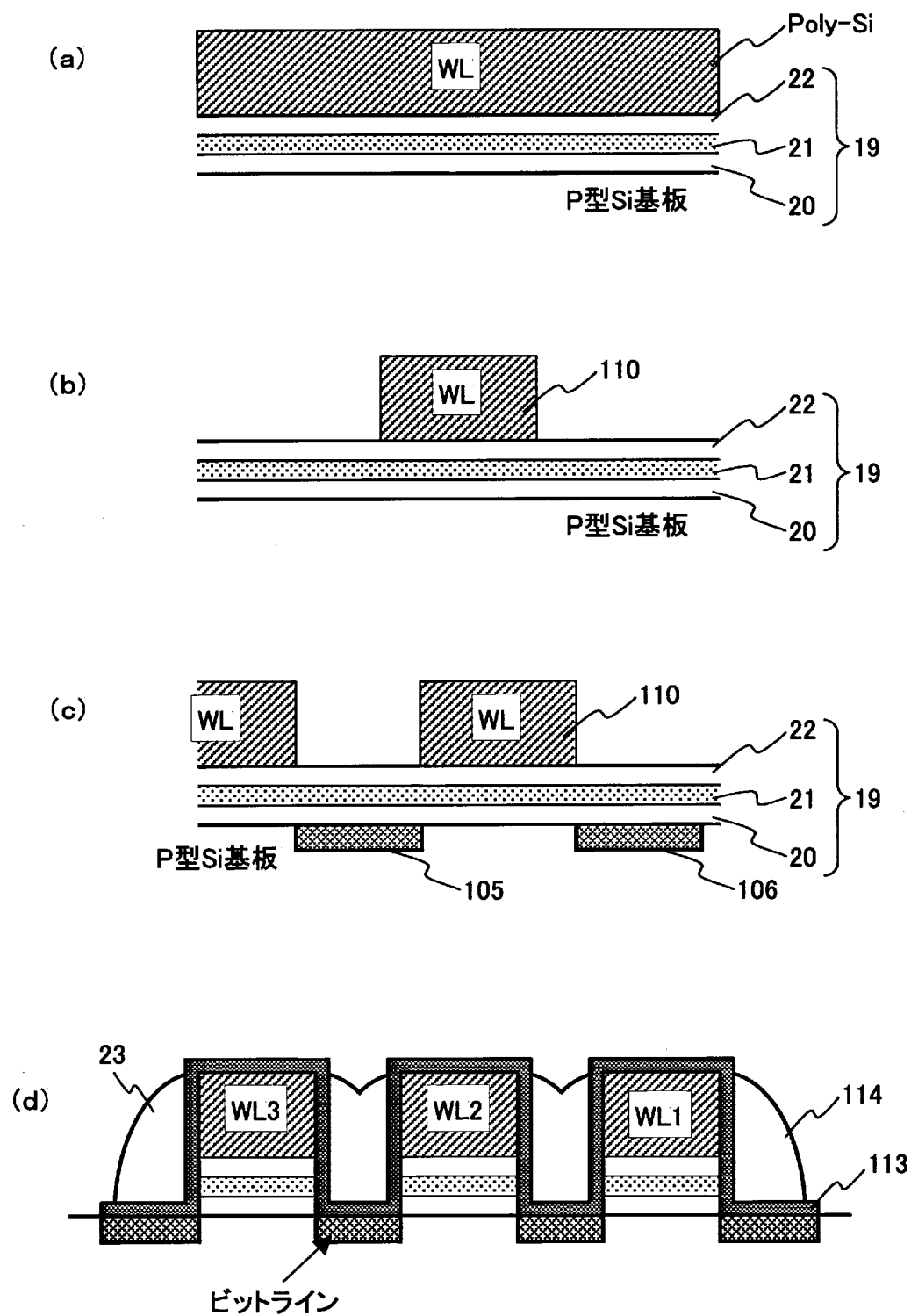
[図13]



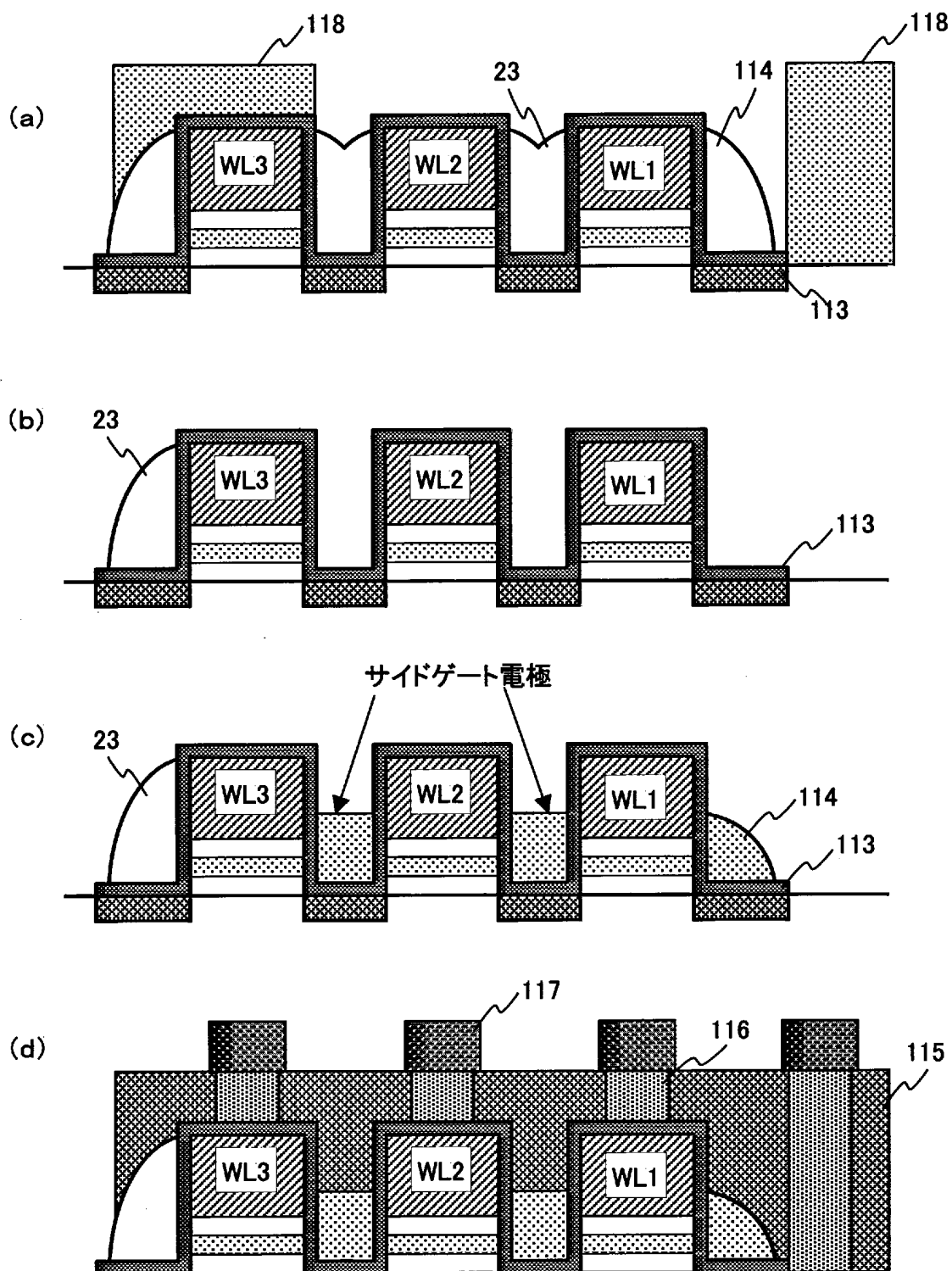
[図14]



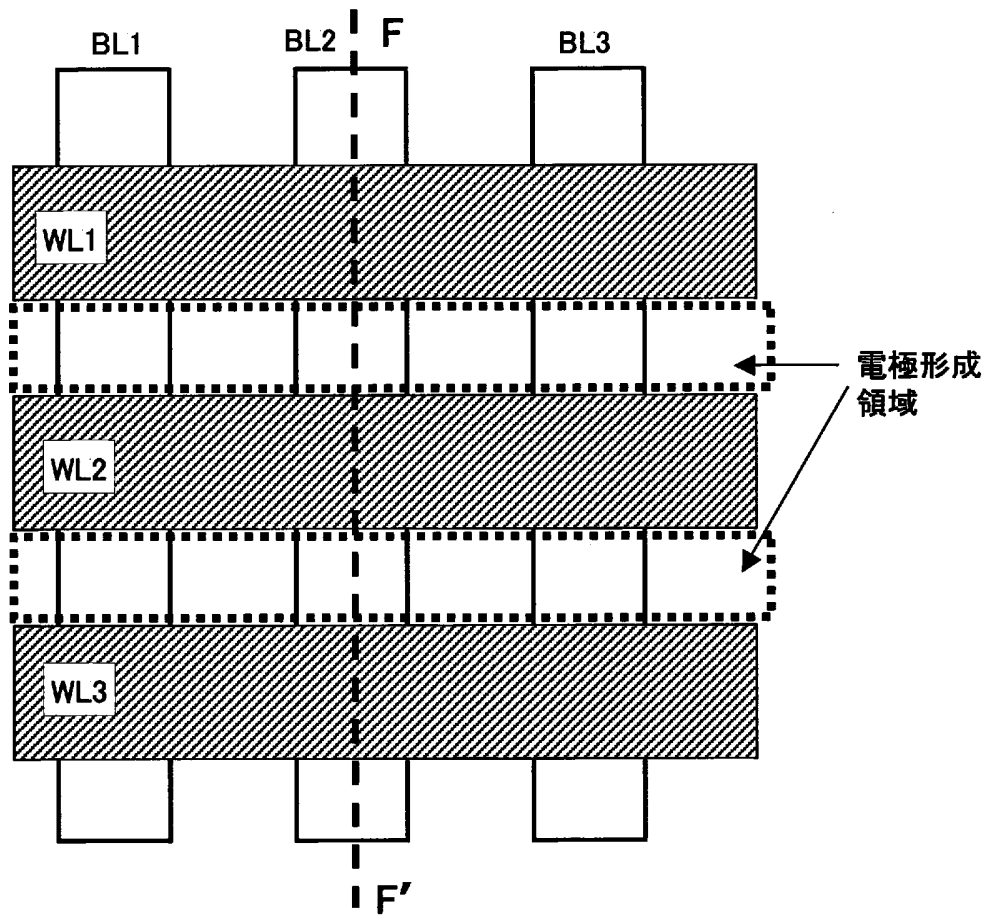
[図15]



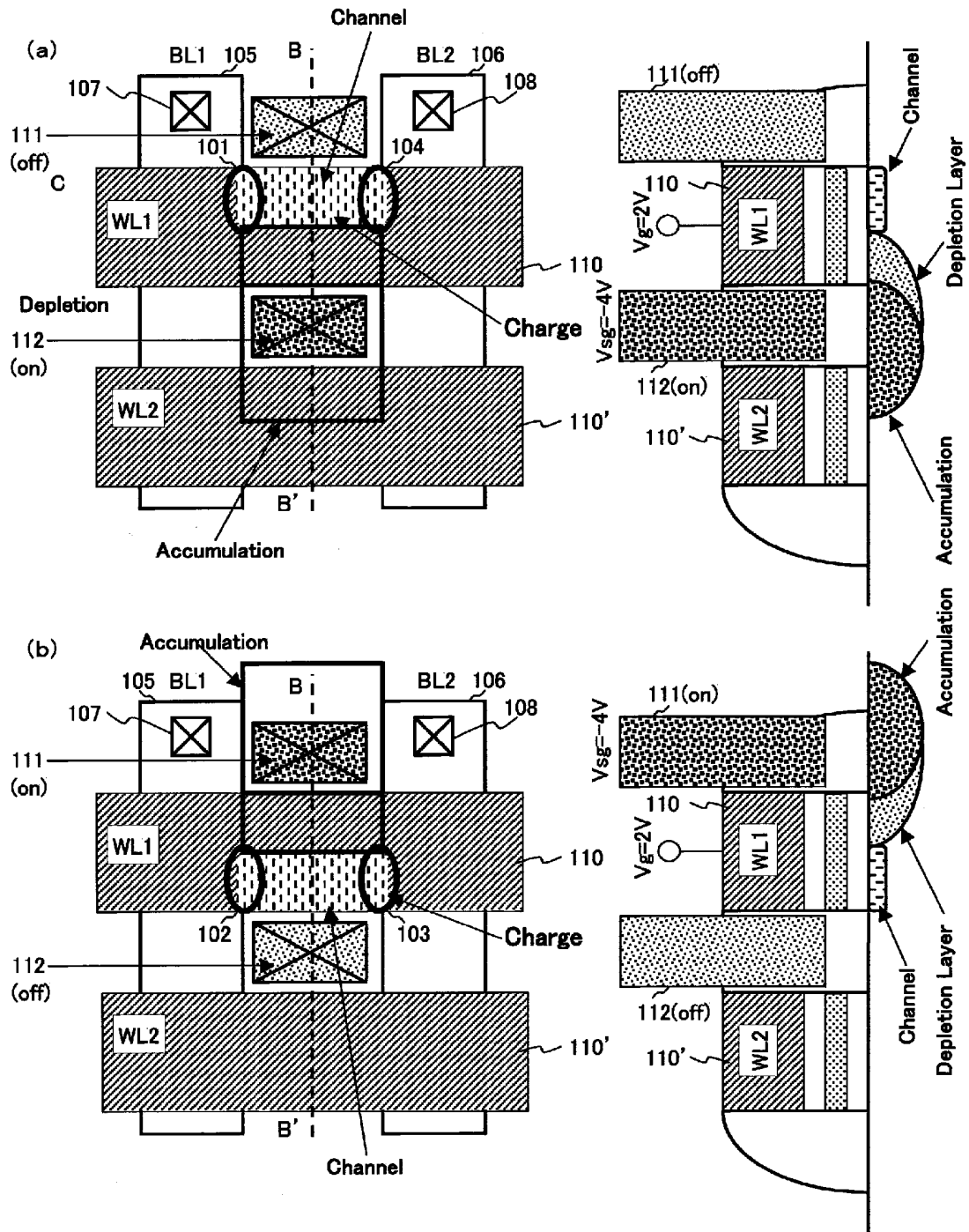
[図16]



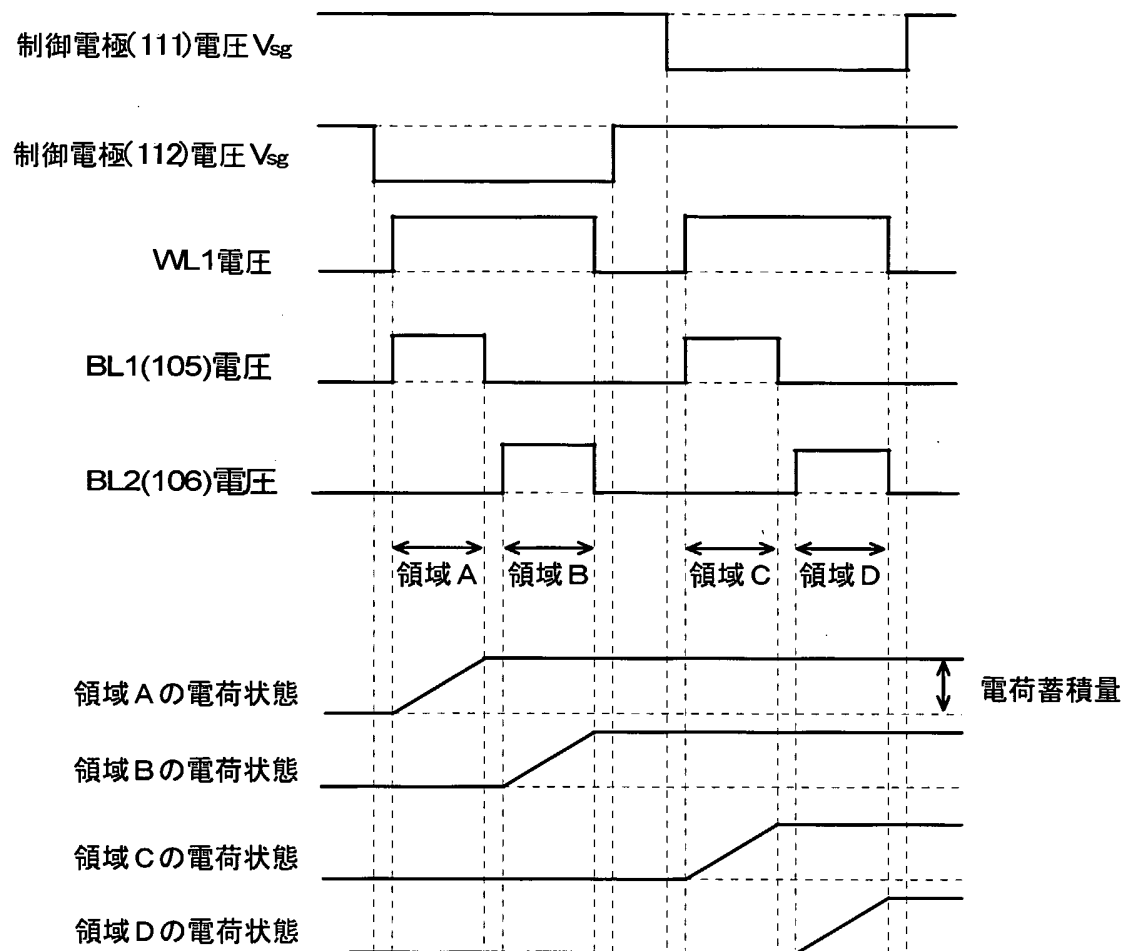
[図17]



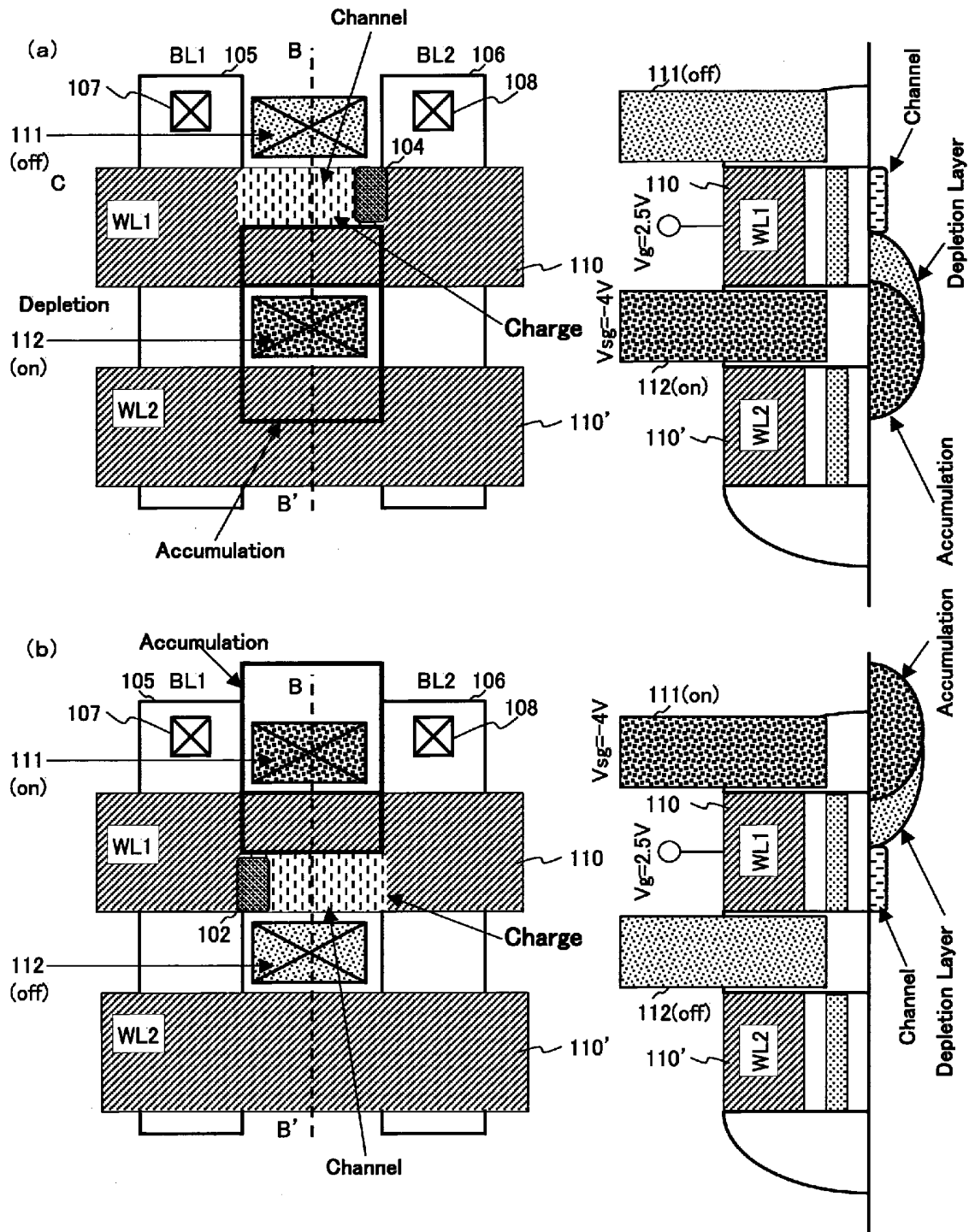
[図18]



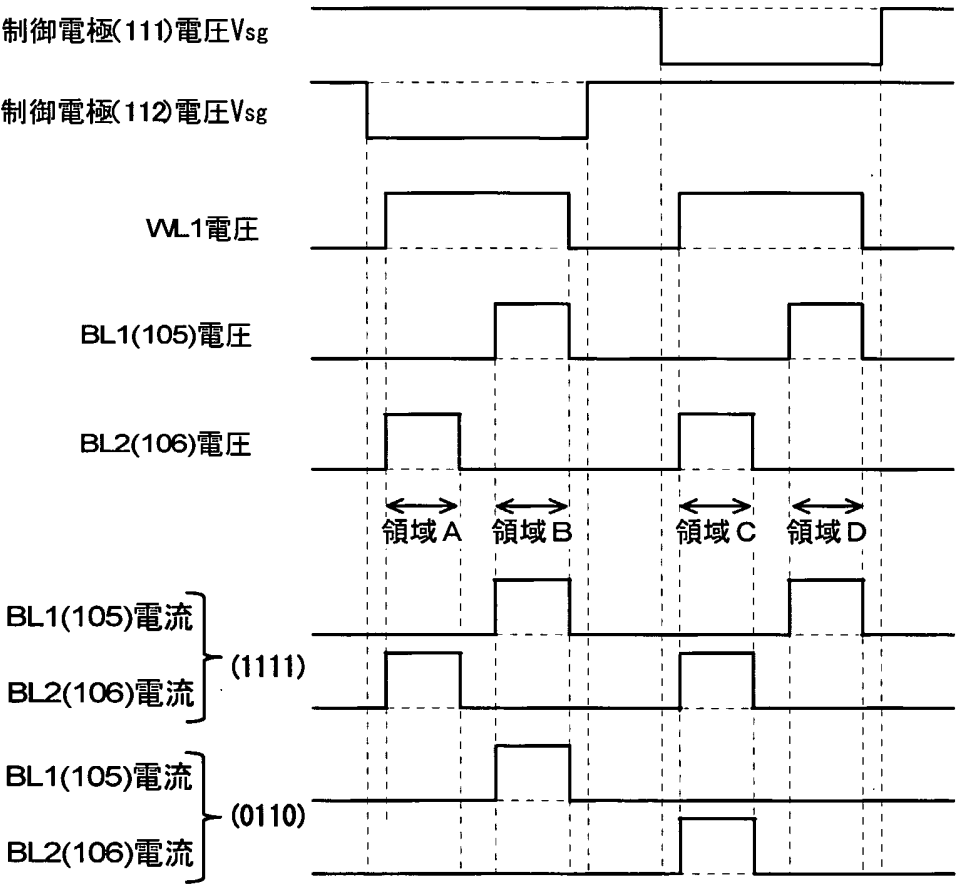
【図20】



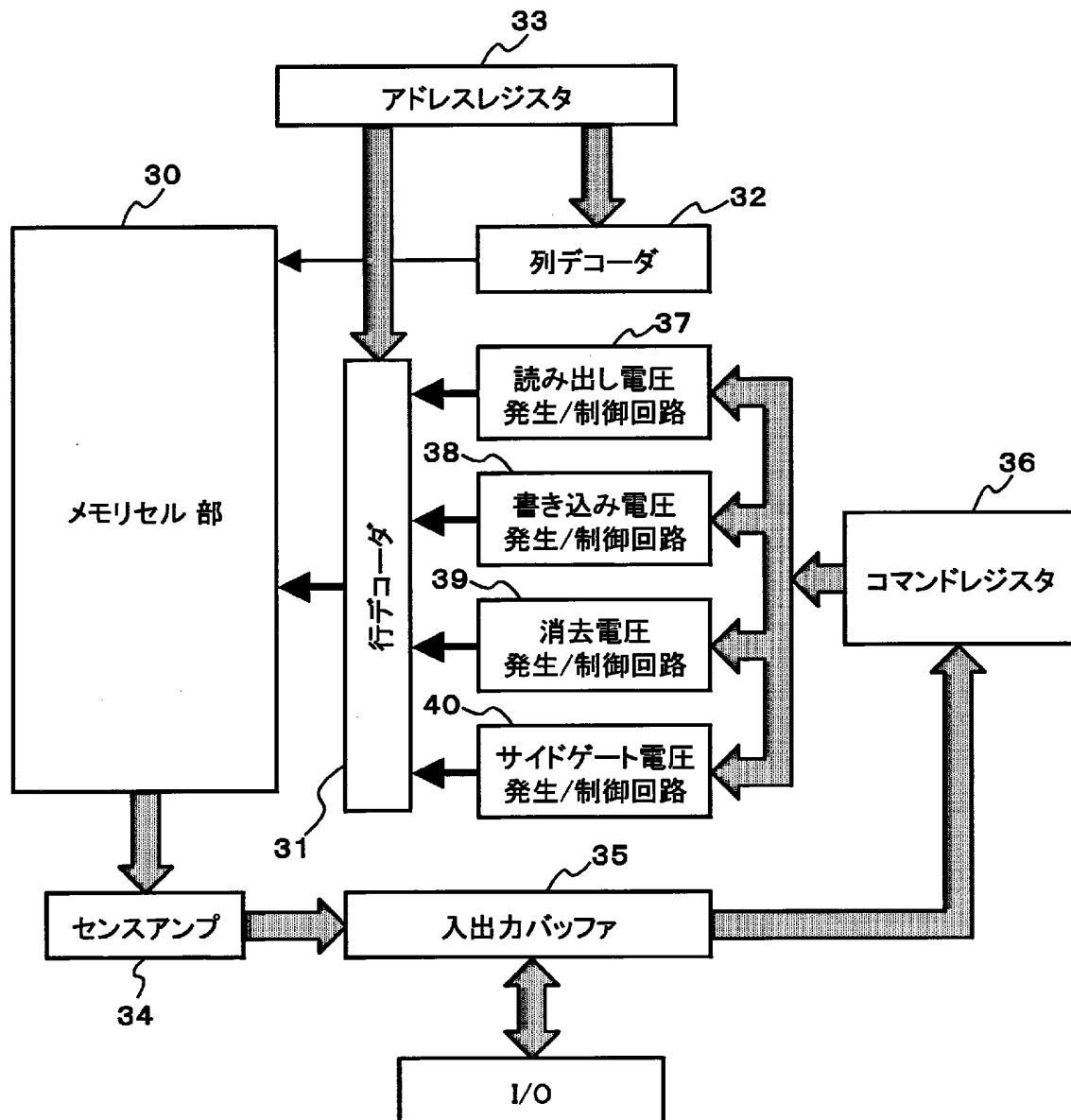
[図21]



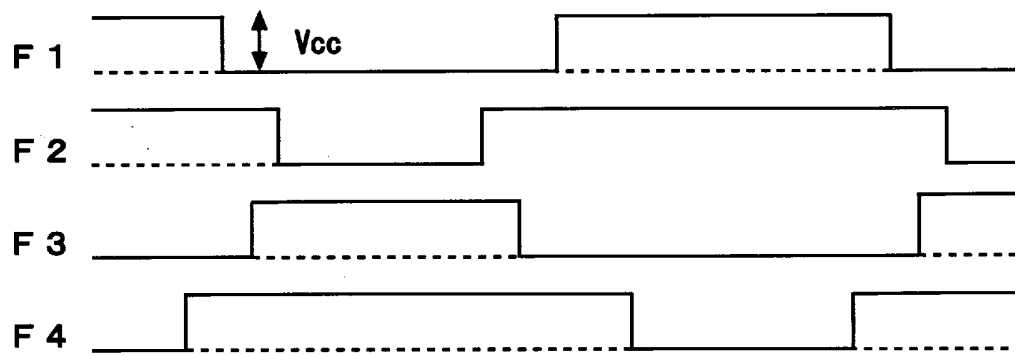
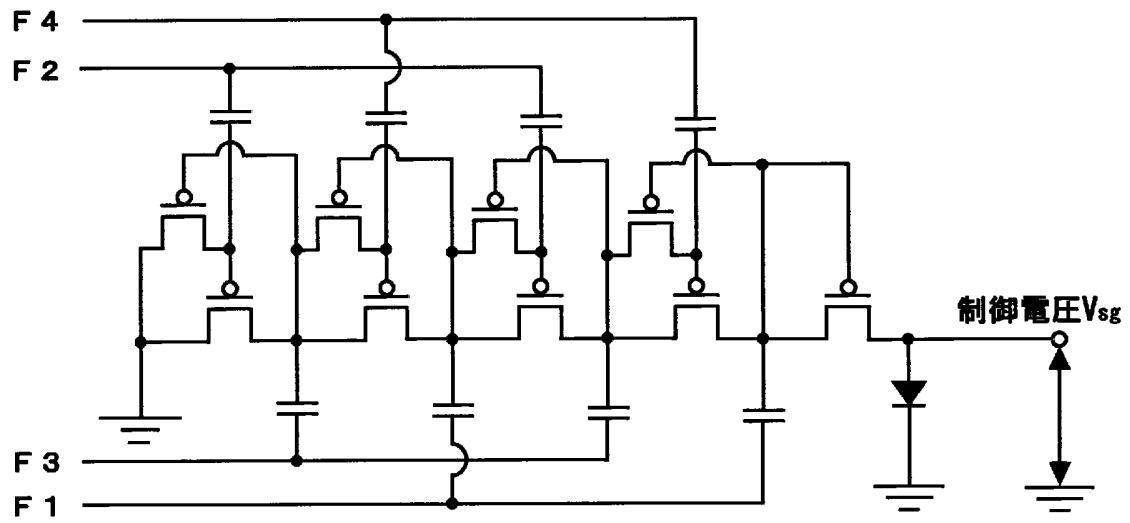
【図22】



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001246

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8247, G11C16/04, H01L27/115, 29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8247, G11C16/04, H01L27/115, 29/788, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-164449 A (Hitachi, Ltd.), 07 June, 2002 (07.06.02), Full text; all drawings & US 2002/745594 A1 & US 2003/17672 A1 & US 2004/65918 A1 & TW 535297 B	1-8, 11, 12 9, 10, 13-17
X A	JP 2001-156275 A (Hitachi, Ltd.), 08 June, 2001 (08.06.01), Full text; all drawings & US 6531735 B & US 2003/155607 A1 & US 2004/70026 A1 & EP 1085519 A1 & EP 1288963 A2 & DE 60004614 T	1-8, 11, 12 9, 10, 13-17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
12 April, 2005 (12.04.05)

Date of mailing of the international search report
26 April, 2005 (26.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8247, G11C16/04, H01L27/115, 29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8247, G11C16/04, H01L27/115, 29/788, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2002-164449 A (株式会社日立製作所) 2002.06.07, 全文, 全図 & US 2002/745594 A1 & US 2003/17672 A1 & US 2004/65918 A1 & TW 535297 B	1-8, 11, 12 9, 10, 13-17
X A	JP 2001-156275 A (株式会社日立製作所) 2001.06.08, 全文, 全図	1-8, 11, 12 9, 10, 13-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.04.2005

国際調査報告の発送日

26.4.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

9354

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& US 6531735 B & US 2003/155607 A1 & US 2004/70026 A1 & EP 1085519 A1 & EP 1288963 A2 & DE 60004614 T	