

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年1月30日(2014.1.30)

【公開番号】特開2012-129337(P2012-129337A)

【公開日】平成24年7月5日(2012.7.5)

【年通号数】公開・登録公報2012-026

【出願番号】特願2010-278926(P2010-278926)

【国際特許分類】

H 01 L 21/8244 (2006.01)

H 01 L 27/11 (2006.01)

H 01 L 27/10 (2006.01)

G 11 C 11/41 (2006.01)

G 11 C 11/413 (2006.01)

【F I】

H 01 L 27/10 3 8 1

H 01 L 27/10 4 7 1

G 11 C 11/34 3 4 5

G 11 C 11/34 K

【手続補正書】

【提出日】平成25年12月9日(2013.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マトリックス状に配置された複数のメモリーセルを有するメモリーセルアレイと、
第1の方向に並ぶメモリーセルを選択するための第1のワードラインと、
前記第1の方向と交差する第2の方向に並ぶメモリーセルを選択するための第2のワードラインと、

前記第1のワードラインによって選択された前記第1の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第1のビットラインと、

前記第1のビットラインが延びる前記第2の方向に延び、該第1のビットラインと互いに交差するように設けられ、前記第1のビットラインによって伝送される前記書き込みデータの相補データ又は前記読み出しデータの相補データが伝送される第1の相補ビットラインと、

前記第2のワードラインによって選択された前記第2の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第2のビットラインとを含み、

前記第2のワードラインは、

対応する一対の前記第1のビットライン及び前記第1の相補ビットラインに対し、上面から見て前記第1の方向又は該第1の方向の反対方向において、前記第2の方向に延びるように配置されることを特徴とする記憶装置。

【請求項2】

請求項1において、

前記第2のワードラインは、

対応する一対の前記第1のビットライン及び前記第1の相補ビットラインが配置される配線層とは異なる層に配置されることを特徴とする記憶装置。

【請求項 3】

マトリックス状に配置された複数のメモリーセルを有するメモリーセルアレイと、
第1の方向に並ぶメモリーセルを選択するための第1のワードラインと、
前記第1の方向と交差する第2の方向に並ぶメモリーセルを選択するための第2のワードラインと、

前記第1のワードラインによって選択された前記第1の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第1のビットラインと、

前記第1のビットラインが延びる前記第2の方向に延び、該第1のビットラインと互いに交差するように設けられ、前記第1のビットラインによって伝送される前記書き込みデータの相補データ又は前記読み出しデータの相補データが伝送される第1の相補ビットラインと、

前記第2のワードラインによって選択された前記第2の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第2のビットラインとを含み、

前記第2のワードラインは、

対応する一対の前記第1のビットライン及び前記第1の相補ビットラインが配置される配線層とは異なる層に、前記第2の方向に延びるように配置されることを特徴とする記憶装置。

【請求項 4】

請求項1乃至3のいずれかにおいて、

前記第2のワードラインは、

対応する一対の前記第1のビットライン及び前記第1の相補ビットラインが配置される配線層の上層に配置されることを特徴とする記憶装置。

【請求項 5】

請求項1乃至4のいずれかにおいて、

各メモリーセルは、

メモリーセルを構成するトランジスターが配置される領域内に基板電位を第1の電位に固定する電位固定手段を含むことを特徴とする記憶装置。

【請求項 6】

請求項1乃至5のいずれかにおいて、

上面から見て、前記第2のビットライン及び対応する前記第1のワードラインの間に、第2の電位に固定され前記第1の方向に延びるシールド配線が配置されることを特徴とする記憶装置。

【請求項 7】

請求項6において、

前記シールド配線は、

前記メモリーセルを構成するトランジスターが配置される領域内に基板電位を第1の電位に固定する電位固定手段と電気的に接続されることを特徴とする記憶装置。

【請求項 8】

請求項1乃至7のいずれかにおいて、

第(n-1)(nは2以上の整数)行の複数のメモリーセル、第n行の複数のメモリーセル及び第(n+1)行の複数のメモリーセルが前記第1の方向に並んで配置されるとき、

前記第(n-1)行について前記第1のビットライン、前記第1の相補ビットライン及び前記第2のワードライン(2WL)が上面から見て前記第1の方向に順番に並んで配置され、

前記第(n-1)行の前記第2のワードラインに対して上面から見て前記第1の方向に、前記n行について前記第1の相補ビットライン、前記第1のビットライン及び前記第2のワードラインが順番に並んで配置され、

前記n行の前記第2のワードラインに対して上面から見て前記第1の方向に、前記第(n+1)行について前記第1のビットライン、前記第1の相補ビットライン及び前記第

2のワードラインが順番に並んで配置されることを特徴とする記憶装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記第 1 のビットライン及び前記第 1 の相補ビットラインに接続される第 1 のポートと

、
少なくとも前記第 2 のビットラインに接続される第 2 のポートとを含むことを特徴とする記憶装置。

【請求項 10】

中央演算処理装置と、

前記中央演算処理装置によって書き込まれたデータを記憶し、又は記憶しているデータを前記中央演算処理装置によって読み出される請求項 1 乃至 9 のいずれか記載の記憶装置とを含むことを特徴とする集積回路装置。

【請求項 11】

請求項 1 乃至 9 のいずれか記載の記憶装置を含むことを特徴とする電子機器。