

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 1 月 30 日 (2014.1.30)

【公開番号】特開 2012-129337 (P2012-129337A)

【公開日】平成 24 年 7 月 5 日 (2012.7.5)

【年通号数】公開・登録公報 2012-026

【出願番号】特願 2010-278926 (P2010-278926)

【国際特許分類】

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

H 0 1 L 27/10 (2006.01)

G 1 1 C 11/41 (2006.01)

G 1 1 C 11/413 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

H 0 1 L 27/10 4 7 1

G 1 1 C 11/34 3 4 5

G 1 1 C 11/34 K

【手続補正書】

【提出日】平成 25 年 12 月 9 日 (2013.12.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マトリックス状に配置された複数のメモリーセルを有するメモリーセルアレイと、
第 1 の方向に並ぶメモリーセルを選択するための第 1 のワードラインと、
前記第 1 の方向と交差する第 2 の方向に並ぶメモリーセルを選択するための第 2 のワードラインと、

前記第 1 のワードラインによって選択された前記第 1 の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第 1 のビットラインと、

前記第 1 のビットラインが延びる前記第 2 の方向に延び、該第 1 のビットラインと互いに交差するように設けられ、前記第 1 のビットラインによって伝送される前記書き込みデータの相補データ又は前記読み出しデータの相補データが伝送される第 1 の相補ビットラインと、

前記第 2 のワードラインによって選択された前記第 2 の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第 2 のビットラインとを含み、

前記第 2 のワードラインは、

対応する一対の前記第 1 のビットライン及び前記第 1 の相補ビットラインに対し、上面から見て前記第 1 の方向又は該第 1 の方向の反対方向において、前記第 2 の方向に延びるように配置されることを特徴とする記憶装置。

【請求項 2】

請求項 1 において、

前記第 2 のワードラインは、

対応する一対の前記第 1 のビットライン及び前記第 1 の相補ビットラインが配置される配線層とは異なる層に配置されることを特徴とする記憶装置。

【請求項 3】

マトリックス状に配置された複数のメモリーセルを有するメモリーセルアレイと、
第 1 の方向に並ぶメモリーセルを選択するための第 1 のワードラインと、

前記第 1 の方向と交差する第 2 の方向に並ぶメモリーセルを選択するための第 2 のワードラインと、

前記第 1 のワードラインによって選択された前記第 1 の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第 1 のビットラインと、

前記第 1 のビットラインが延びる前記第 2 の方向に延び、該第 1 のビットラインと互いに交差するように設けられ、前記第 1 のビットラインによって伝送される前記書き込みデータの相補データ又は前記読み出しデータの相補データが伝送される第 1 の相補ビットラインと、

前記第 2 のワードラインによって選択された前記第 2 の方向に並ぶメモリーセルの書き込みデータ又は読み出しデータが伝送される第 2 のビットラインとを含み、

前記第 2 のワードラインは、

対応する一対の前記第 1 のビットライン及び前記第 1 の相補ビットラインが配置される配線層とは異なる層に、前記第 2 の方向に延びるように配置されることを特徴とする記憶装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 2 のワードラインは、

対応する一対の前記第 1 のビットライン及び前記第 1 の相補ビットラインが配置される配線層の上層に配置されることを特徴とする記憶装置。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

各メモリーセルは、

メモリーセルを構成するトランジスターが配置される領域内に基板電位を第 1 の電位に固定する電位固定手段を含むことを特徴とする記憶装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

上面から見て、前記第 2 のビットライン及び対応する前記第 1 のワードラインの間に、第 2 の電位に固定され前記第 1 の方向に延びるシールド配線が配置されることを特徴とする記憶装置。

【請求項 7】

請求項 6 において、

前記シールド配線は、

前記メモリーセルを構成するトランジスターが配置される領域内に基板電位を第 1 の電位に固定する電位固定手段と電氣的に接続されることを特徴とする記憶装置。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

第 $(n - 1)$ (n は 2 以上の整数) 行の複数のメモリーセル、第 n 行の複数のメモリーセル及び第 $(n + 1)$ 行の複数のメモリーセルが前記第 1 の方向に並んで配置されるとき、

前記第 $(n - 1)$ 行について前記第 1 のビットライン、前記第 1 の相補ビットライン及び前記第 2 のワードライン ($2WL$) が上面から見て前記第 1 の方向に順番に並んで配置され、

前記第 $(n - 1)$ 行の前記第 2 のワードラインに対して上面から見て前記第 1 の方向に、前記第 n 行について前記第 1 の相補ビットライン、前記第 1 のビットライン及び前記第 2 のワードラインが順番に並んで配置され、

前記第 n 行の前記第 2 のワードラインに対して上面から見て前記第 1 の方向に、前記第 $(n + 1)$ 行について前記第 1 のビットライン、前記第 1 の相補ビットライン及び前記第

2 のワードラインが順番に並んで配置されることを特徴とする記憶装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記第 1 のビットライン及び前記第 1 の相補ビットラインに接続される第 1 のポートと

、

少なくとも前記第 2 のビットラインに接続される第 2 のポートとを含むことを特徴とする記憶装置。

【請求項 10】

中央演算処理装置と、

前記中央演算処理装置によって書き込まれたデータを記憶し、又は記憶しているデータを前記中央演算処理装置によって読み出される請求項 1 乃至 9 のいずれか記載の記憶装置とを含むことを特徴とする集積回路装置。

【請求項 11】

請求項 1 乃至 9 のいずれか記載の記憶装置を含むことを特徴とする電子機器。