



I283069

申請日期	90-06-01
案號	90113334
類別	H01L 29/86

A4
C4

0116799

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	薄膜電晶體及其製造方法
	英文	THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING OF THE SAME
二、發明 創作人	姓名	田邊浩(田邊浩)
	國籍	日本
	住、居所	日本國東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國籍	日本
	住、居所 (事務所)	日本國東京都港區芝五丁目7番1號
	代表人 姓名	西垣浩司

-1-

裝

訂

線

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

日本國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
2000年6月23日特願 2000-188727

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（ 1 ）

[技術領域]

本發明為有關一種薄膜電晶體及其製造方法，其係作為記憶體、中央處理器(CPU)等的半導體裝置、或顯示器、感測器、打印設備等功能機器的構成元件所使用之形成在絕緣體上的薄膜電晶體者。

[背景技術]

以往，例如形成在玻璃或石英等絕緣基板上的，作為薄膜電晶體(以下稱 TFT)之代表例中，是有氫化非晶質矽 TFT 及多結晶矽 TFT。

其中，氫化料晶質矽 TFT 在其製造過程中的最高溫度為約 300℃ 程度，因而其絕緣性基板可用廉價的低軟化點玻璃基板。又，其移動度也達到 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 程度的載體移動度。

此氫化非晶質矽 TFT 被作為主動矩陣型液晶顯示器(以下稱為主動矩陣型 LCD)中的、各像素的開關電晶體之用，而由配置在畫面周邊的驅動積體電路(積體電路(IC)或形成在單結晶基板上的大型積體電路(LSI)等)所驅動。在此場合中，氫化非晶質 TFT 是配置在每一個像素上。

由此，此主動矩陣型 LCD 如與從周邊驅動積體電路傳送液晶驅動電氣信號的被動型液晶顯示器(以下稱被動型 LCD)相比時，其串音已被減低而具可獲得良好圖像品質之特徵。

其次，多結晶矽 TFT 是例如使用石英基板作為其絕

五、發明說明（ 2 ）

緣性基板，且，使用和 LSI 的製造過程同等的 1000°C 程度之高溫處理，就可獲得載體移動度為 $30\sim 100\text{cm}^2/\text{V}\cdot\text{sec}$ 的性能。

在此，對於將此多結晶矽 TFT 應用在液晶顯示器上的情形等予以說明。此多結晶矽 TFT 是如上述的，由和 LSI 製造過程同等的約 1000°C 程度之高溫處理所形成且可實現高的載體移動度。由此，可在同一絕緣性基板上，同時的形成驅動各象素的多結晶矽 TFT 和周邊驅動電路部（例如 LSI），其與上述主動矩陣型 LCD 相比時，可容易的使液晶顯示器小型化。

具體上，在主動矩陣型 LCD 中，基板與周邊驅動積體電路之間的連接是使用卷帶自動接合（TAB）或打線接合（Wire Bonding）法。

因而，主動矩陣型 LCD 會隨著要其小型化或高解析度化，其基板與周邊驅動積體電路之間的連接節距會狹小化，難於解決這些的連接。相對的，在於使用多結晶矽 TFT 的液晶顯示器中，如上述的可在於同一絕緣基板上，同時的形成多結晶矽 TFT 和周邊驅動電路部，因而，其小型化較為容易。

即，此多結晶矽 TFT 是有助於在液晶顯示器製造過程中的製造成本的減低及小型化。例如使用這種多結晶矽 TFT 的液晶顯示器中，是有一種用在液晶投影機的液晶光閥。此液晶光閥中，已被實現相當於解析度 1000dpi （點/英尺）的驅動電路一體型顯示元件。

五、發明說明（ 3 ）

然而，這些多結晶矽 TFT 是如上述的，在約 1000℃ 程度的高溫處理所製造者，因而，不能使用在於主動矩陣型 LCD 中可使用的廉價的低軟化點玻璃基板，而不得不使用高價的石英基板。即，要用廉價的低軟化點玻璃和多結晶矽 TFT 以形成液晶顯示器是有困難之問題。因此，爲了要使用低軟化點玻璃基板，必須將多結晶矽 TFT 在製造過程中之溫度降低，而其降低溫度手段中已被研究開發的是應用準分子雷射結晶化技術的多結晶矽膜之低溫形成技術。

又，要形成閘極之際，例如用濺射鋁膜作爲該閘極，以使其處理溫度溫度的低溫化。雖以如此使低軟化點基板的使用成爲可能，但在此產生新的問題。在具體上，隨著製造過程整體上的處理溫度低溫化之進展，對閘極絕緣膜的熱處理溫度也必須降低，閘極絕緣膜的品質會降低。由此，閘極絕緣膜與閘極 (Al) 會容易產生反應，且，隨著 TFT 元件尺寸的微細化、低電壓驅動化，也在謀求閘極絕緣膜的薄膜化，因而，閘極絕緣膜的可靠性會有大幅降低之問題。

在此，可使此問題解決的是有如特開平 11-307777 號公報所公佈的薄膜電晶體。此薄膜電晶體是具備形成在絕緣基板上的持有源極・汲極領域之結晶化矽薄膜；介以閘極絕緣膜，形成在該結晶化矽薄膜的通道領域上方之微結晶矽薄膜；和，用濺射法形成在該微結晶矽薄膜上閘極金屬者。在此場合中，源極・汲極領域是以閘極

五、發明說明(4)

爲遮罩，用離子注入法或離子摻雜法，以自調合的形成者。又，微結晶矽薄膜是用電漿心學氣相沈積(以下稱CVD)法所形成。如此，使用這種可在於300℃程度的低成膜溫度就可獲得低電阻的磷摻雜層之由電漿CVD法所形成的微結晶矽薄膜，就可解決上述問題。

然而在閘極的下層是有微結晶矽薄膜，即，是使用結晶性材料，因而，於形成源極・汲極之際，所注入或引進的離子會引起通道作用，此離子會有到達更深之虞。在具體上是離子會穿透閘極而到達閘極絕緣膜中或結晶化矽薄膜中，致使電晶體特性劣化之虞的問題之存在。

本發明的目的是在於提供一種可改善往例所持有的問題，可抑制離子的通道作用所引起的電晶體特性劣化之薄膜電晶體者。

[發明之啓示]

本發明的薄膜電晶體是由具備：持有形成在基板上的源極・汲極領域及通道領域之結晶化矽膜；形成在該結晶化矽膜上的閘極絕緣膜；和，形成在該絕緣膜上的閘極之構造所構成。在此，閘極是設有非晶質層和結晶質層者。

又，本發明的薄膜電晶體之製造方法是在於包含：在基板上形成源極・汲極領域用的結晶化矽膜的工程；在該結晶化矽層上形成閘極絕緣膜的工程；及在該閘極絕緣膜上形成閘極的工程之薄膜電晶體之製造方法中，在上述閘極形成工程中係包含形成作爲閘極構成要素的

五、發明說明（ 5 ）

非晶質層及結晶質層之工程者。

以如此形成薄膜電晶體時，如要用離子注入法或離子摻雜法，且，以閘極作為遮罩，自調合的形成源極，汲極領域之時，可抑制在往例中所擔心的，由於所注入或引進的離子之通道作用所引起弊病之事。

又，也可將非晶質層設在閘極絕緣膜表面上，並在該非晶質層上設置結晶質層。在此，對閘極詳述時，非晶質層可由非晶質材料來形成，且結晶質層可由結晶質材料來形成。其製造方法是例如要在閘極絕緣膜上形成非晶質層之場合中，是在上述非晶質層的形成工程中，在閘極絕緣膜上，層疊非晶質材料，然後，在上述結晶質層的形成工程中，在該非晶質材料上，層疊結晶質材料。在此場合中，非晶質材料及結晶質材料是可使用摻雜磷、砷、或硼等雜質的矽薄膜。由此，如上述的，可抑制由於離子的通道作用所引起的弊病。

又，也可用非晶質材料形成非晶質層後，在該非晶質材料上照射雷射光，以使非晶質材料表面成為結晶質層，而形成為閘極者。依此形成閘極，也可抑制由於離子的通道作用所引起的弊病。

又，也可形成矽薄膜以作為閘極的構成要素，而此矽薄膜是具備非晶質層及結晶質層者。其製造方法是在矽薄膜的形成工程中，控制該矽薄膜的成膜時間。例如要在閘極絕緣膜上形成矽薄膜的場合中，控制其成膜時間，以使其與閘極絕緣膜的交界面近旁成為非晶質層，

五、發明說明(6)

且隨著此矽薄膜的沈積之進行，變化其結晶性，以使在非晶質層上成為結晶質層。此時，結晶質層中的結晶成分會隨著離開於閘極絕緣膜而增加。以如此形成矽薄膜時，也可抑制由於離子的通道作用所引起的弊病。

又，在形成矽薄膜後，進行 300℃ 以上的退火，然後進行引進氫的處理，由此而可保護的薄膜的表面。

接著，將如上述所形成的矽薄膜製成圖案後，以該矽薄膜作為遮罩，在結晶化矽薄膜形成源極・汲極領域。然後，照射所定照射強度之雷射光。因此，可使矽薄膜及結晶化矽薄膜低電阻化之同時，也可使源極・汲極領域活性化。

[實施發明之較佳形態]

參照第 1 圖，說明本發明的第 1 實施形態。此第 1 圖中的符號 10 是表示薄膜電晶體。

此薄膜電晶體 10 是如第 1 圖所示的具備：形成在絕緣性基板 1 上的持有源極・汲極領域 2a 及通道領域 2b 之結晶化矽薄膜 2；形成在該結晶化矽薄膜 2 上的，例如由矽氧化膜所構成之閘極絕緣膜 3；和，形成在該閘極絕緣膜 3 上之閘極 4。

在此，絕緣性基板 1 是使用玻璃基板。又，結晶化矽薄膜 2 是由非摻雜(無添加雜質)膜所形成，源極・汲極領域 2a 是用離子注入法或離子摻雜法，以控制價電子為目的的、注入或引進磷、硼或砷等的高濃度雜質所形成。

五、發明說明(7)

又，閘極 4 是具備形成在通道領域 2b 上方的下層閘極矽 5(非晶質層)，和形成在該下層閘極矽 5 上的上層閘極矽(結晶質層)6，及，形成在該上層閘極矽 6 上的金屬或金屬矽化物之閘極金屬 7。其中，下層閘極矽 5 是用預先摻雜磷的非晶質矽(非晶質材料)，上層閘極矽 6 是用同樣摻雜磷的結晶性矽(結晶性材料)。

如此的，在非晶質材料的閘極絕緣膜 3 上形成非晶質材料的下層閘極矽 5，因而，在於要形成源極・汲極領域 2a 時，可防止如往例中的通道作用，而可抑制電晶特性的劣化。

在本實施形態中，絕緣性基板 1 是用玻璃基板者，但，也可用在玻璃基板上如後述的層疊基板覆蓋膜者，或在矽基板上形成熱氧化膜者。又，結晶化矽薄膜 2 也可用以控制閾值爲目的的、引進磷或硼作爲其低濃度雜質者。

其次，參照第 2 圖(a)、(b)說明本發明的第 2 實施形態、在此第 2 圖(a)、(b)中的符號 20 是表示薄膜電晶體。

此薄膜電晶體 20 是如第 2 圖(a)所示的，具備：形成在絕緣性基板 11 上的持有源極、汲極領域 12a 及通道領域 12b 之結晶化矽薄膜 12；形成在該結晶化矽薄膜 12 上的，例如由矽氧化膜所構成之閘極絕緣膜 13；和，形成在該閘極絕緣膜 13 上，且在通道領域 12b 上方之閘極 14。

又，此閘極 14 是具備：形成在其凹凸部分的層間分離絕緣膜 18；和，埋沒於形成在該層間分離絕緣膜 18

五、發明說明(8)

及閘極絕緣膜 13 的接觸孔 17 之由鋁所構成的，如第 2(a)、(b)圖所示之金屬配線 19。由此可使其配線電阻減低。

在此，閘極 14 是具備形成在通道領域 12b 上方的下層閘極矽(非晶質層)15，和，形成在該下層閘極矽 15 上的上層閘極矽(結晶質層)16。其中，下層閘極矽 15 是用預先摻雜磷的非晶質矽(非晶質材料)，上層閘極矽 16 是用同樣摻雜磷的結晶性矽(結晶性材料)。

又，絕緣性基板 11 是用和第 1 實施形態同樣的東西，結晶化矽薄膜 12 及源極・汲極領域 12a 是和第 1 實施形態同樣的形成之。

如此，是在非晶質材料的閘極絕緣膜 13 上形成非晶質材料的下層閘極矽 15，因而和第 1 實施形態同樣，要形成源極・汲極領域 12a 時，可防止如往例中的通道作用，而可抑制電晶體特性的劣化。

在本實施形態中，金屬配線 19 是用鋁所構成者，但也可用銅、鎢、鉬、鈦等的金屬，以這些金屬作為基礎材料之合金、或多種金屬的層疊體以取代於鋁者。

在此，如在於上述第 1 及第 2 實施形態中不形成作為上層閘極矽層 6、16 的結晶性矽時，也可獲得和各實施形態同樣效果。例如對作為下層閘極矽 5、15 的非晶質矽照射雷射光，以使非晶質矽表面成為結晶質層即可。

以如上述各實施形態所例示的、構成薄膜電晶體 10、20 時，是可解決往例之問題，但如採用如下述的構成時，也可同樣可使問題獲得解決。

五、發明說明 (9)

首先，對形成在由非晶質材料所構成的閘極絕緣膜上之矽薄膜的膜厚與其電阻率之間的關係加以說明。為此，其試樣是用使用平板型的高頻電漿 CVD 裝置將矽薄膜形成在玻璃基板(非晶質基板)上者。由此，可獲得和在閘極絕緣膜上形成的矽薄膜時同等之效果。

以氣體摻雜磷的矽薄膜之形成條件如下。

基板溫度	320℃
矽烷流量	20sccm
氫流量	1000sccm
磷(氫稀釋 0.5%)流量	40sccm
氣體壓力	50Pa
高頻電力密度(連續放電)	128mW/cm ²
典型的成膜速度	3.7nm/min

基於此形成條件，控制矽薄膜的成膜時間，以作為膜厚不同的三種(40.7nm、68.5nm、104.6nm)試樣。然後，測定各膜厚的薄片電阻，將此薄片電阻換算成電阻率。其結果(各膜厚與薄片電阻和電阻率的關係)如第3圖所示。由此第3圖可知，隨著膜厚的增加其電阻率會降低。此乃暗示著其係在膜厚方向產生電阻率分佈之事。

依據以上的結果進行光譜偏振光分析(ellipsometry)測定，用布魯吉曼(Bruggerman)的有效媒質近似(Effective Medium Approximation)解析在膜厚方向的構造變化。

此解析是用上述三種試樣。在此，在膜厚 40.7nm、

五、發明說明(10)

68.5nm、及 104.6nm 的各矽薄膜表面，分別形成膜厚 3.4nm、9.2nm、及 12.7nm 的表面氧化膜。而對膜厚 40.7nm 試樣的解析結果在第 4(a)圖，膜厚 68.5nm 試樣的解析結果在第 4(b)圖、膜厚 104.6nm 試樣的解析結果在第 4(c)圖所示。這些在測定、解析上的誤差是由導入空隙成分所調整。

在膜厚 40.7nm 的矽薄膜中，由第 4(a)圖得知，其下層(玻璃基板側)13.1nm 的閘極矽層中的非晶質矽成分為 100%，上層 27.6nm 的閘極矽層中的結晶性矽成分已上升到 14%。

其次，在膜厚 68.5nm 的矽薄膜中，由第 4(b)圖得知，其下層 27.1nm 的閘極矽層中未能觀測到結晶性矽成分，而非晶質矽成分已減少到 79%。又，在上層 1.4nm 的閘極矽層中的結晶性矽成分已增加到 49%。

同樣的，在膜厚 104.8nm 的矽薄膜中，由第 4(c)圖得知，其下層 42.1nm 的閘極矽層中未能觀測到結晶性矽成分，而非晶質矽成分已減少到 70%。又，在上層 62.5nm 的閘極矽層中，結晶性矽成分已增加到 60%。

在此，對膜厚 40.7nm 的矽薄膜之解析結果中，其下層 13.1nm 閘極矽層是由 100%非晶質矽成分所構成，因而，在其他兩種矽薄膜中，也可推測其由 100%非晶質矽成分所構成的層是有 13nm 程度。例如對膜厚 104.6nm 的矽薄膜加以說明時，可想像其下層 42.1nm 中的從玻璃基板算起的約 13nm 的層是由 100%的非晶

五、發明說明 (11)

質矽成分所構成，其上部約 29nm 的層是結晶成分逐漸的增加者。

由此，控制矽薄膜的成膜時間，就可使其下層形成爲非晶質層，上層形成爲結晶質層。基於此結果，將本發明薄膜電晶體的其他實施形態(第 3 及第 4 實施形態)於後述之。

又，用電漿 CVD 法所形成的，由矽薄膜所構成之閘極層是如第 1 及第 2 實施形態所示的使用閘極金屬(金屬配線)，就可在於像 LCD 那樣大型裝置中，也可減低其配線電阻。然而，在於被要求更高的驅動能力、且，要使閘極絕緣膜的薄膜化或通道長度的微細化之場合中，閘極層也被要求更低的電阻。在此場合中，施加 600℃~1000℃ 程度的熱處理，就可促進結晶的結晶化，由此，雖可實現閘極的低電阻化，但如此一來基板就不能用廉價的低軟化點玻璃(例如在 800℃ 以上就會軟化的玻璃)。

因此，基於如下的解析結果，將在於被要求更高的驅動能力，且要使閘極絕緣膜的薄形化或通道長度的微細化時，也可使用廉價的低軟化點玻璃等之本發明實施形態(第 3 及第 4 實施形態)加以說明。

在此是用三種膜厚(45nm、72nm、102nm)的，由矽薄膜所構成之試樣，以準分子雷射光照射，其照射強度與矽薄膜的薄片電阻值之關係如第 5 圖所示。這些各矽薄膜是用電漿 CVD 法所形成，在於將基板溫度保持在室

五、發明說明(12)

溫的狀態下，照射準分子雷射光以使其再結晶化，測定矽薄膜的薄片電阻值。其結果是如第 5 圖可知，隨著所照射準分子雷射光照射強度的增強，矽薄膜的薄片電阻值會降低。此時，如逐漸增強準分子雷射光的照射強度時，由於過大的能量之投入，膜會消蝕。但是，由膜厚 102nm 的矽薄膜中得知，使照射強度為 $230\text{mJ}/\text{cm}^2$ 時，其薄片電阻可降到 $300\Omega/\square$ 。

其次，準分子雷射光的照射強度與矽薄膜或源極・汲極領域的薄片電阻值之間的關係是如第 6 圖及第 7 圖所示。第 6 圖是將矽薄膜及源極・汲極領域的膜厚各個形成為 50nm，第 7 圖是將矽薄膜及源極・汲極領域的膜厚各個形成為 75nm 者。

各試樣是具備用低壓化學氣相沈積(以下稱 LPCVD)法所形成而持有源極・汲極領域之非晶質矽層，和在該非晶質矽層上用電漿 CVD 法所形成的矽薄膜(閘極矽層)。在此，源極・汲極領域是將以磷化氫氣體作為原料的磷離子，用離子摻雜法的引進所形成。此場合中，摻雜時的注入量程是設定在膜厚的大略中央，但，由於未被質量分離，因而，其係也含有由多數原子所構成的磷離子、磷、及氫的結合離子，或氫離子等。

如第 6 圖及第 7 圖所示，準分子雷射光的照射強度為 $130\sim 200\text{mJ}/\text{cm}^2$ 時，閘極矽層及源極・汲極領域各個都呈現同等的電阻值。由此可知，例如將準分子雷射光的照射強度設定在 $130\sim 200\text{mJ}/\text{cm}^2$ 時，就可使各矽層的低電阻化，和源極・汲極領域的活性化同時的進行。

在此，參照第 8 圖說明本發明的第 3 實施形態。此

五、發明說明（ 13 ）

第 8 圖中的符號 30 是表示本實施例中的薄膜電晶體。

此薄膜電晶體 30 是如第 8 圖所示，具備：形成在絕緣性基板 21 上的持有源極・汲極領域 22a 及通道領域 22b 之結晶化矽薄膜 22；形成在該結晶化矽薄膜 22 上的第 1 閘極絕緣膜 23A；以要覆蓋於該基板的凹凸部分似的，形成在其上面之第 2 閘極絕緣膜 23B；和形成在該第 2 閘極絕緣膜 23B 上之閘極 24。又，此薄膜電晶體 30 並具備形成在其凹凸部分的層間分離絕緣膜 28；和，埋設於形成在該層間分離絕緣膜 28 及第 2 閘極絕緣膜 23B 的接觸孔 27 之金屬配線 29。

其中，絕緣性基板 21 是的使用在玻璃基板 21a 上層疊有由 CVD 氧化膜所構成的基板覆蓋膜 21b 者。又，第 1 及第 2 閘極絕緣膜 23A，23B 是由矽氧化膜或氮化膜所形成。

在此，閘極 24 是具備形成在第 2 閘極絕緣膜 23B 的表面上，且在於通道領域 22b 上方的，由 n^+ 矽膜(矽薄膜)25A 所構成之閘極矽層 25，和，形成在該閘極矽層 25 上的閘極金屬 27。此閘極矽層 25 是形成為 80nm 的膜厚，其下層部分(從第 2 閘極絕緣膜 23B 上算起的約 13nm 部分)是成為非晶質層，上層部分(閘極矽層 25 的扣掉下層部分之部分)是成為結晶質層者。

如此的，在非晶質材料的第 1 及第 2 閘極絕緣膜 23A、23B 上，形成持有非晶層之閘極矽層 25，因而，在於要形成源極・汲極領域 22a 時，可防此如往例中的通

五、發明說明（ 14 ）

道作用，而可抑制電晶體特性的劣化。

在此，參照第 9 圖及第 10 圖說明本實施形態的薄膜電晶體 30 之製造方法。此第 9 圖及第 10 圖是表示其製造工程是從第 9(a)圖到第 9(e)圖、第 10(f)圖到第 10(h)圖的順序進行者。

首先，在於經過洗淨、將有機物、金屬、以及微粒子等除去的玻璃基板 21a 上，層疊由 CVD 氧化膜所構成的基板覆蓋膜 21b，以形成第 9(a)圖所示之絕緣性基板 21。接著，在該絕緣性基板 21 上形成矽薄膜 22A，然後，經由要除去有機物、金屬、微粒子，以及表面氧化膜的洗淨工程後，將其引進於薄膜形成裝置(圖未示)內。

在此，基板覆蓋膜 21b 是以可防止基板材料(儘可能減低鹼金屬濃度的玻璃、表面經過拋光的石英或玻璃等)所含有的有害雜質之擴散者較為有效。在具體上，本實施形態的基板覆蓋膜 21b 是用氧化矽膜。此氧化矽膜是以矽烷和氧為原料氣體，用 LPCVD 法，以基板溫度 450℃ 在玻璃基板 21a 上形成 1μm 的膜厚。如此用 LPCVD 法時，也可使其覆蓋於玻璃基板 21a 的保持區域(例如第 9(a)圖中的玻璃基板 21a 的下面部分)以外的全部表面(圖未示)。

此時，基板覆蓋膜 21b(氧化矽膜)也可用四氧乙基矽烷(以下稱 TEOS)和以氧氣為原料的電漿 CVD，或以 TEOS 和臭氧為原料的常壓 CVD 等來形成。

五、發明說明（ 15 ）

接著，矽薄膜 22A 是以乙矽烷氣體為原料，用 LPCVD 法，在基板溫度 500℃ 下形成為 75nm 的膜厚。由此，矽薄膜 22A 中所含有的氫原子濃度會成為 1 原子 % 以下，因而，可防止在於後述的雷射光 L1 照工程中，由於氫的放出所引起的矽薄膜 22A 之乾斑等。

此時，於形成矽薄膜 22A 之際，也可用電漿 CVD 法。像這樣用電漿 CVD 法，也可由調整絕緣性基板 21 的溫度、氫/矽烷的流量比、以及氫/四氟化矽烷的流量比等，以形成氫原子濃度低的矽薄膜 22A，而可獲得和用 LPCVD 法時同樣的效果。

接著，如第 9(b)圖所示，照射雷射光 L1，矽薄膜 22A 會被重整成為結晶化矽薄膜 22。此時，雷射結晶化是在 99.9999 以上的高純度氮氣 700 托 (1 托 = 1.333×10^2 帕斯卡 (Pa)) 以上之氣氛中所進行，於照射雷射光 L1 完了之後，引進氧氣。

在此，於引進氧氣之前進行氫電漿處理時，可使存在於結晶化矽薄膜 22 中的懸空鍵進行純化。此氫電漿處理也可在於第 1 及第 2 閘極絕緣膜 23A、23B、閘極 24，或金屬配線 29 等形成之後的階段進行之。但，如要經過 350℃ 上的製造工程之情形時，要在於該工程之後才來進行，且在氫純化後的製造過程中，要將溫度保持在 350℃ 以下為理想。

接著，將氣體排出後，經由基板搬運室 (圖未示) 搬運到電漿 CVD 室 (圖未示)。然後，在結晶化矽薄膜 22 上

五、發明說明(16)

形成由氧化矽膜所構成的，如第 9(c)圖所示之第 1 閘極絕緣膜 23A。此氧化矽膜是以矽烷、氮、及氧為原料氣體，用電漿 CVD 法，在基板溫度 350℃ 下，形成 10nm 膜厚。然後，視其所需，進行氫電漿處理或退火處理。

接著，用光刻法以及蝕刻法技術，如第 9(d)圖所示形成由結晶化矽薄膜 22 和第 1 閘極絕緣膜 23A 所構成的疊層膜之島部。此時，第 1 閘極絕緣膜 23A 是要選用比結晶化矽薄膜 22 的腐蝕率為高的蝕刻條件者為理想。即，如第 9(d)圖所示，以可使結晶化矽薄膜 22 和第 1 閘極絕緣膜 23A 成為階梯式(或錐形)的施加蝕刻為理想。由此，可防止閘漏電流，而可提供可靠性高的薄膜電晶體 30。

接著，經由要除去有機物、金屬、以及微粒子的洗淨工程後，以要將上述島部覆蓋似的，形成由氧化矽膜所構成的，如第 9(e)圖所示之第 2 閘極絕緣膜 23B。此氧化矽膜是以矽烷和氧為原料氣體，用 LPCVD 法，在基板溫度 450℃ 下，形成 30nm 膜厚。此時氧化矽膜是也可用以 TEOS 和氧氣為原料的電漿 CVD 法，或以 TEOS 和臭氧為原料的常壓 CVD 法來形成。

然後，在第 2 閘極絕緣膜 23B 上，用電漿 CVD 法形成如第 9(e)圖所示的，80nm 膜厚之 n^+ 矽膜 25A。接著，將此 n^+ 矽膜 25A 製成圖案，以使其在以後要成為通道領域 22b 的上方，保留著 n^+ 矽膜 25A。由此，形成如第 10(f)圖所示的閘極矽層 25。

五、發明說明（ 17 ）

接著，以閘極矽層 25 為遮罩，注入雜質離子，形成源極・汲極領域 22a。此時，是用對於所要注入雜質離子不做質量分離的離子摻雜法、離子注入法、電漿摻雜法、或雷射摻雜法來形成。

在此，如要形成互補金氧半導體(以下稱 CMOS)型電路時，可併用光刻法，以分開的作成 n^+ 領域所需的 n 型通道保護膜薄膜 TFT 或電要 p^+ 領域的 p 型通道保護膜 TFT。

接著，再度照射準分子雷射光 L2。由此，閘極矽層 25 及結晶化矽薄膜 22 會被低電阻化之同時，源極・汲極領域 22a 也會被活性化。此時，第 1 及第 2 閘極絕緣膜 23A、23B 會由於其膜厚的關係，在其表面的，對準分子雷射光 L2 之反射率會變化，因而要調整準分子雷射光 L2 的照射強度，以使閘極矽層 25 及結晶化矽薄膜 22 可獲得所欲電阻值的程度為理想。例如，此照射強度是可由，所欲電阻值與照射強度特性來做決定。

又，由於是用 LPCVD 法以形成 n^+ 矽膜 25A，因而，可照射更高照射強度的準分子雷射光 L2，由此，可使閘極 24 更為低電阻化。在此，用電漿 CVD 法所形成的 n^+ 矽膜 25A 之消蝕定限強度很小，因而，其與用 LPCVD 法所形成的 n^+ 矽膜 25A 相比，較難於使其低電阻化。因此，在本實施形態中， n^+ 矽膜 25A 雖用電漿 CVD 法所形成，但如被要求閘極 24 的更低電阻化時，可用消蝕開始強度較高的材料，其一例為可使用用

五、發明說明（ 18 ）

LPCVD 法所形成的 n^+ 矽膜 25A。

接著，以要將第 2 閘極絕緣膜 23b 及閘極矽層 25 覆蓋似的，沈積 110 nm 膜厚之金屬膜或鎢矽化物膜等的金屬矽化物膜後製成圖案，以保留閘極矽層 25 的上部金屬膜或金屬矽化物膜的，形成如第 10(g)圖之閘極金屬 26。

在此，在前工程中如不照射準分子雷射 L2 時，要在於形成閘極金屬 26 後，施加 550℃ 的熱處理，以使源極・汲極領域 22a 活性化。此時，熱處理溫度可在 400℃~600℃ 程度範圍做適當的選擇。

接著，在此凹凸部分沈積層間分離絕緣膜 28 後，以光刻法及蝕刻法技術，形成如第 10(h)圖所示的接觸孔 27。然後在其凹凸部分沈積金屬(鋁)後，以光刻法及蝕刻法技術，形成金屬配線 29。

在此，層間分離絕緣膜 28 是用可使膜平坦化的 TEOS 系氧化膜。此時，也可用二氧化矽系塗布膜，或有機塗布膜以取代於 TEOS 系氧化膜。又，金屬配線 29 也可用銅、以鋁或銅為基礎材料的合金、或者是鎢或鉬等的高熔點金屬以取代於鋁。

經過以上的製造工程，就可形成性能和可靠性高的薄膜電晶體 30。

其次，參照第 11 圖說明本發明薄膜電晶體的第 4 實施形態。在第 11 圖中的符號 40 是表示本實施形態之薄膜電晶體。

五、發明說明 (19)

此薄膜電晶體 40 是如第 11 圖所示，具備：形成在絕緣性基板 31 上的持有源極・汲極領域 32a 及通道領域 32b 之結晶化矽薄膜 32；形成在該結晶化矽薄膜 32 上，且是在通道領域 32b 上方的第 1 閘極絕緣膜 33A；形成在該第 1 閘極絕緣膜 33A 上的第 2 閘極絕緣膜 33B；和，形成在該第 2 閘極絕緣膜 33B 上的，由 n^+ 矽膜(矽薄膜)35A 所構成之閘極 34。又，此薄膜電晶體 40 並具備形成在其凹凸部分的層間分離絕緣膜 38，和被埋設於形成在該層間分離絕緣膜 38 的接觸孔 37 之金屬配線 39。

其中，絕緣性基板 31 是使用在玻璃基板 31a 上層疊有由 CVD 氧化膜所構成的基板覆蓋膜 31b 者。又，第 1 及第 2 閘極絕緣膜 33A、33B 是由矽氧化膜、或氮化膜所形成。

在此， n^+ 矽膜 35A 是形成為 80nm 的膜厚，和第 3 實施形態同樣，其下層部分(從第 2 閘極絕緣膜 33B 上算起的約 13nm 部分)是成為非晶質層，而其上層部分(n^+ 矽膜 35A 的扣掉下層部分)是成為結晶質層。

如此，在非晶質材料的第 1 及第 2 閘極絕緣膜 33A、33B 上，形成持有非晶質層的閘極 34，因而，在於要形成源極・汲極領域 32a 之際，可防止如往例中的通道作用，而可抑制電晶體特性的劣化。

在此，參照第 9 圖及第 12 圖說明本實施形態中的薄膜電晶體 40 之製造方法。此第 9 圖及第 12 圖是表示其

五、發明說明（ 20 ）

製造工程是從第 9(a)圖到第 9(e)圖、第 12(f)、第 12(g)的順序進行者。

此薄膜電晶體 40 的到途中為止是經過和第 3 實施形態的薄膜電晶體 30 的製造工程同樣之工程(第 9(a)圖到第 9(e)圖為止)所形成。因此，在此只對其以下的製程(第 12(f)圖及第 12(g)圖的工程)說明如下。又，此時，是將第 9(a)圖到第 9(e)圖中的符號 21 改為 31，符號 21a 改為 31a，符號 21b 改為 31b，符號 22A 改為 32A，符號 22 改為 32，符號 23A 改為 33A，符號 23B 改為 33B，符號 25A 改為 35A。

形成第 9(e)圖所示的 n^+ 矽膜 35A 後，製成圖案，以如第 12 圖所示的保留以後會成為通道領域 32b 的部分上方之第 1 及第 2 閘極絕緣膜 33A、33B 及 n^+ 矽膜 35A。由此，而形成如第 12(f)圖所示的閘極 34。

接著，以閘極 34 作為遮罩，形成注入雜質離子的源極・汲極領域 32a。此時，是用對於所要注入離子不做質量分離的離子摻雜法、離子注入法、電漿摻雜法、或雷射摻雜法來形成。

在此，如要和 3 第實施形態同樣形成 CMOS 型電路時，可併用光刻法，以分開的作成 n^+ 領域所需的 n 型通道保護膜 TFT，或需要 p^+ 領域的 p 型通道保護膜 TFT。

接著，再度照射準分子雷射光 L2。由此，閘極 34 及結晶化矽薄膜 22 會被低電阻化之同時，源極・汲極領域 32a 也會被活性化。

五、發明說明 (21)

接著，在此凹凸部分沈積層間分離絕緣膜 38 後，以光刻法及蝕刻法技術形成如第 12(g)圖所示之接觸孔 37。然後，在其凹凸部分沈積金屬(鋁)後，以光刻法及蝕刻法技術，形成金屬配線 39。

在此，層間分離絕緣膜 38 是用可使膜平坦化的 TEOS 系氧化膜。此時，也可用二氧化矽塗布膜或有機塗布膜以取代於 TEOS 系氧化膜。又，金屬配線 39 也可用銅、以銅或鋁為基礎材料的合金、或者是鎢或鉬等的高熔點金屬，以取代於鋁。

經過以上的製造工程，就可形成性能和可靠性高的薄膜電晶體 40。

其次，第 13 圖是使用上述各實施形態薄膜電晶體的，由 $2^n \times 2^m$ 位元之儲存格 MEM2 所構成的記憶陣列之一例。此記憶體是由行解碼器 MEM5 從 2^n 字中，指定 2^m 位元的一字，從列解碼器 MEM4 所存取之行之 2^m 位元內指定 2^k 位元。然後與外部介面(圖未示)之間，由字線 MEM1、位元線 MEM3、放大器/驅動器 MEM6、列位址 MEM7、行位址 MEM8，傳送資料 MEM9 者。

接著，第 14 圖是使用上述各實施形態薄膜電晶體的液晶光閥(液晶顯示器 LCV5)之一例，第 15 圖是應用此液晶光閥的投影機之一例。

液晶(像素 LCV4)是如第 14 圖所示的，由周邊驅動電路資料驅動器 LCV1、閘驅動器 LCV2 連接於動態矩陣 LCV3、並受其驅動。於是，影像信號資料 LCV6 從外

五、發明說明（ 22 ）

部輸入，顯示在各像素 LCV4 上。

第 15 圖所示的投影機 LCV7 是，由鹵素燈 LCV8 所發出的光會經由雙向分光鏡 LCV9 入射於光閥 LCV10，其影像會經由投影透鏡 LCV14 投影到銀幕 LCV15 者。在此，各光閥 LCV10 是用分別對應於光線的紅色成分 LCV11、綠成分 LCV12、及藍成分 LCV13 者。

又，除上述之外，本發明的薄膜電晶體也可用在非晶質矽光二極體的驅動上。在此場合中，影像感測器是由非晶質矽光二極體；由控制主掃描方向的薄膜電晶體所構成的移位暫存器；和，讀出開關所構成。將光源、影像感測器及纖維陣列板層疊，從影像感測器背面將經過証明的原稿表面圖像用纖維陣列板讀取其圖像。由滾輪及編碼器向副掃描方向進行移動位置的讀取，所讀出的圖像信號會經由形成在印刷基板上的外部電路連接於電腦或記錄裝置，由此形成為攜帶型掃描器。在此是以攜帶型掃描器為例說明者，但本發明的薄膜電晶體也可應用於平板型掃描器、傳真機、或數位複製機等的影像感測器，或二維感測器上。

[產業上之利用領域]

本發明的薄膜電晶體是在其閘極設有非晶質層者。因而，可抑制在於要用離子注入法或離子摻雜法，且以閘極作為遮罩，而自調合的形成源極・汲極領域時所注入的或所引進的離子之通道作用所引起的弊病。由此，可防上離子的更深入於內部，即透過閘極而到達閘極絕

五、發明說明 (23)

緣膜中或結晶化矽薄膜中所產生的缺陷，而可設計其係考慮到製造過程中的通道作用弊病之元件。

又，在於要在非晶質材料的閘極絕緣膜上形成閘極之際，是在閘極絕緣膜上設置非晶質材料，或在與閘極絕緣膜的界面設具非晶質層的矽薄膜，因而，可穩定的形成閘極。

又，將矽薄膜製成圖案作為閘極後，以此矽薄膜作為遮罩，在結晶化矽薄膜上形成源極・汲極領域，然後照射所定強度之雷射光，由此使矽薄膜及結晶化矽薄膜低電阻化之同時，可使源極・汲極領域活性化，也即可獲得從來沒有的優異薄膜電晶體。

[圖式之簡單說明]

第 1 圖係本發明薄膜電晶體的第 1 實施形態之構造圖。

第 2(a)圖係本發明薄膜電晶體的第 2 實施形態圖，第 2(b)圖係第 2(a)圖中的箭頭 A-A 線之斷面圖。

第 3 圖係表示不同膜厚的各矽薄膜之薄片電阻和電阻率的表。

第 4 圖係表示矽薄膜的上層和下層中的成分之表，第 4(a)圖是膜厚 40.7nm，第 4(b)圖是膜厚 68.5nm，第 4(c)是膜厚 104.6nm 的矽薄膜的表。

第 5 圖係表示不同膜厚的各矽薄膜中，準分子雷射光的照射強度與矽薄膜的薄片電阻值之關係表。

第 6 圖係在於由 50 μ m 膜厚所構成的矽薄膜及源極・

五、發明說明 (24)

汲極領域中，準分子雷射光的照射強度與矽薄膜成源極

・汲極領域的薄片電阻值之關係圖。

第 7 圖係在於由 75nm 膜厚所構成的矽薄膜及源極・

汲極領域中，準分子雷射光的照射強度與矽薄膜或源極

・汲極領域的薄片電阻值之關係圖。

第 8 圖係本發明薄膜電晶體的第 3 實施形態之構造圖。

第 9 圖係第 9(a)圖到第 9(e)圖是本實施形態的薄膜電晶體之製造工程圖，是從第 9(a)圖到第 9(e)圖的順序進行其製造工程者。

第 10 圖係第 10(f)圖到第 10(h)圖是本實施形態的薄膜電晶體之製造工程圖，是連續於第 9(e)圖的工程並從第 10(f)圖到第 10(h)圖的順序進行其製造工程者。

第 11 圖係本發明薄膜電晶體的第 43 實施形態之構造圖。

第 12 圖係第 12(f)圖及第 12(g)圖是本實施形態的薄膜電晶體之製造工程圖，是連續於第 9(e)圖的工程，並依第 12(f)圖、第 12(g)圖的順序進行其製造工程者。

第 13 圖係將本發明薄膜電晶體應用於記憶體時之例示圖。

第 14 圖係將本發明薄膜電晶體應用於液晶顯示元件時之例示圖。

第 15 圖係將本發明薄膜電晶體應用於投影機時之例示圖。

五、發明說明 (25)

[參考符號說明]

- 1 絕緣性基板
- 2 結晶化矽薄膜
- 2a 源極・汲極領域
- 2b 通道領域
- 3 閘極絕緣膜
- 4 閘極
- 5 下層閘極矽(非晶質層)
- 6 上層閘極矽(結晶質層)
- 7 閘極金屬
- 10 薄膜電晶體
- 11 絕緣性基板
- 12 結晶化矽薄膜
- 12a 源極・汲極領域
- 12b 通道領域
- 13 閘極絕緣膜
- 14 閘極
- 15 下層閘極矽(非晶質層)
- 16 上層閘極矽(結晶質層)
- 17 接觸孔
- 18 層間分離絕緣膜
- 19 金屬配線
- 20 薄膜電晶體
- 21 絕緣性基板

五、發明說明 (26)

- 21a 玻璃基板
- 21b 基板覆蓋膜
- 22 結晶化矽薄膜
- 22a 源極・汲極領域
- 22b 通道領域
- 23A 第 1 閘極絕緣膜
- 23B 第 2 閘極絕緣膜
- 24 閘極
- 25 閘極矽層
- 26 閘極金屬
- 27 接觸孔
- 28 層間分離絕緣膜
- 29 金屬配線
- 30 薄膜電晶體
- 31 絕緣性基板
- 31a 玻璃基板
- 31b 基板覆蓋膜
- 32 結晶化矽薄膜
- 32a 源極・汲極領域
- 32b 通道領域
- 33A 第 1 閘極絕緣膜
- 33B 第 2 閘極絕緣膜
- 34 閘極
- 37 接觸孔

五、發明說明 (27)

38 層間分離絕緣膜

39 金屬配線

40 薄膜電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 薄膜電晶體及其製造方法)

提供一種可抑制由於離子的通道作用所引起的電晶體特性的劣化之薄膜電晶體。在於具備：持有形成在基板 1 上的源極・汲極領域 2a 及通道領域 2b 之結晶化矽薄 2；形成在該結晶化矽膜 2 上的閘極絕緣膜 3；和，形成在該閘極絕緣膜 3 上的閘極 4 薄膜電晶體 10 中，在其閘極 4 設置非晶質層 5 及結晶質層 6 者。

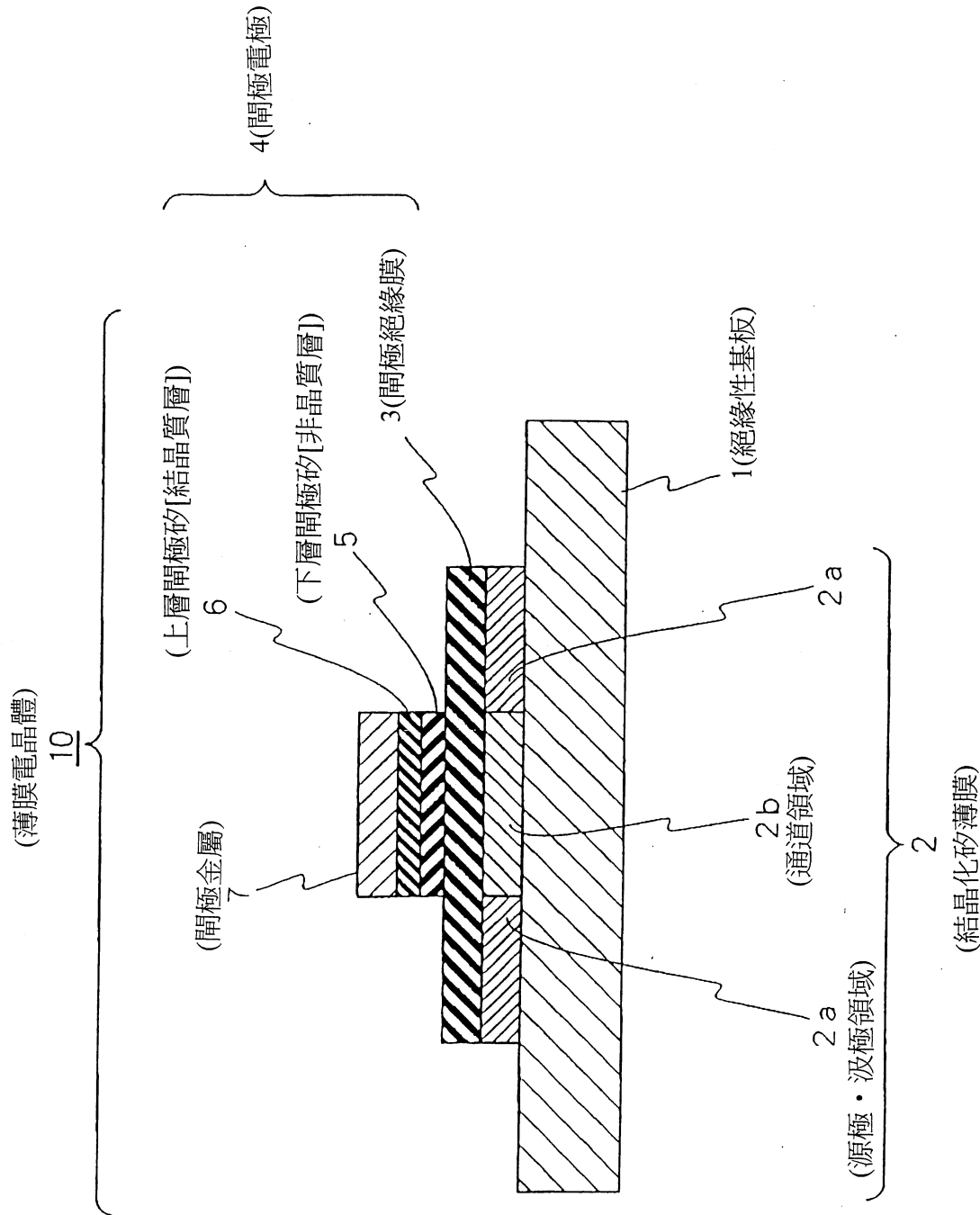
英文發明摘要(發明之名稱：

THIN FILM TRANSISTOR AND METHOD
FOR MANUFACTURING OF THE SAME)

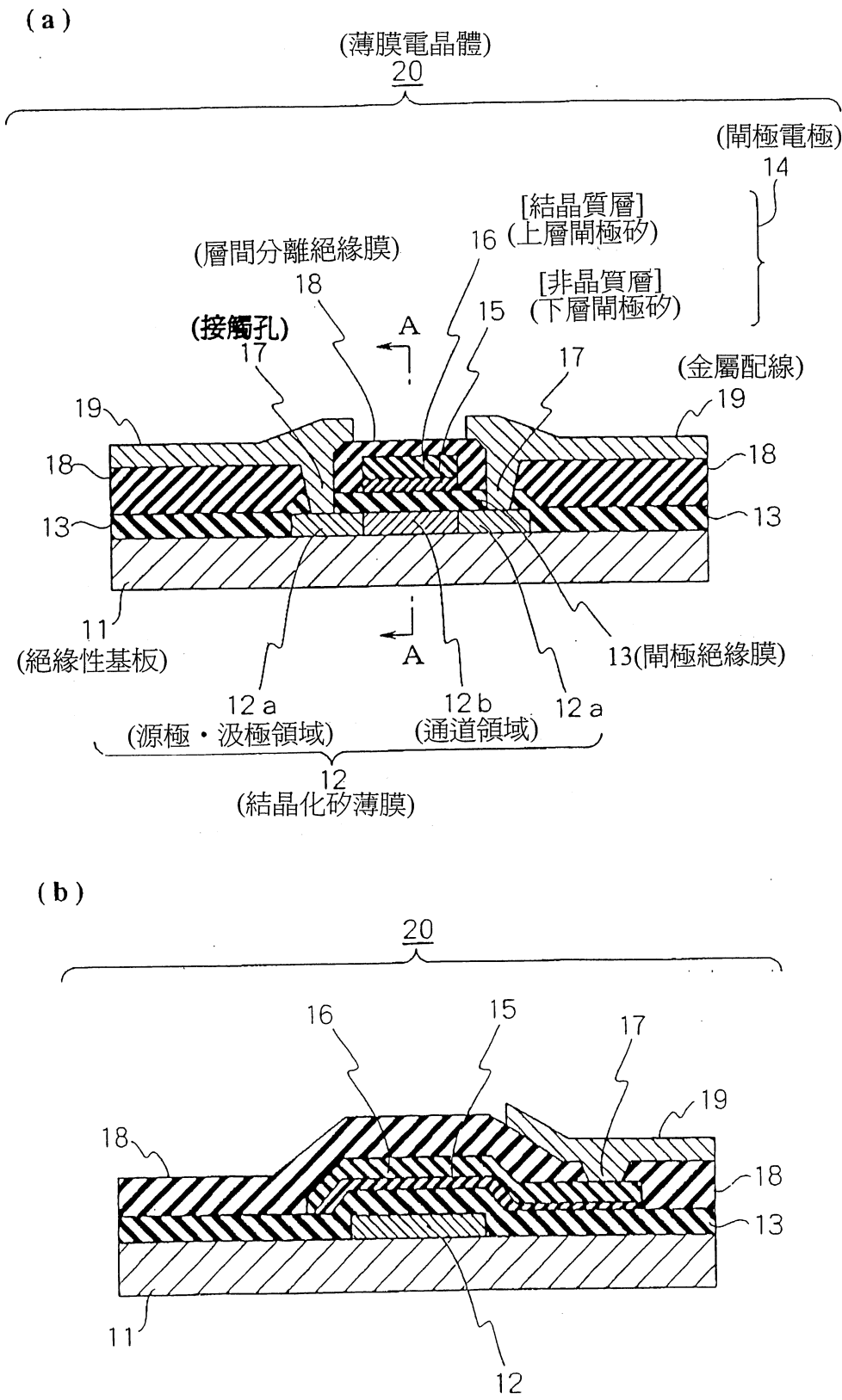
To provide a thin film transistor which can suppress deterioration of transistor characteristics caused by channeling of ions.

In a thin film transistor 10 including a crystallized silicon thin film 2 having a source drain region 2a formed on a insulating substrate 1 and a channel region 2b, a gate insulating film 3 formed on the crystallized silicon thin film 2, and a gate electrode 4 formed on the gate insulating film 3, an amorphous layer 5 and a crystalline layer 6 are formed in the gate electrode 4.

第 1 圖



第 2 圖



第 3 圖

膜厚 (n m)	40.7	薄片電阻 ($\Omega/\square$)	換算成電阻率 (Ω/cm)
		$>1 \times 10^6$	> 5
	68.5	2.3×10^5	1.73
	104.6	2.5×10^4	0.25

第 4 圖

(a)

		成分 (%)		
		非晶質矽	結晶性矽	空隙
膜厚 (n m)	上層 27.6	64	14	22
	下層 13.1	100	0	0

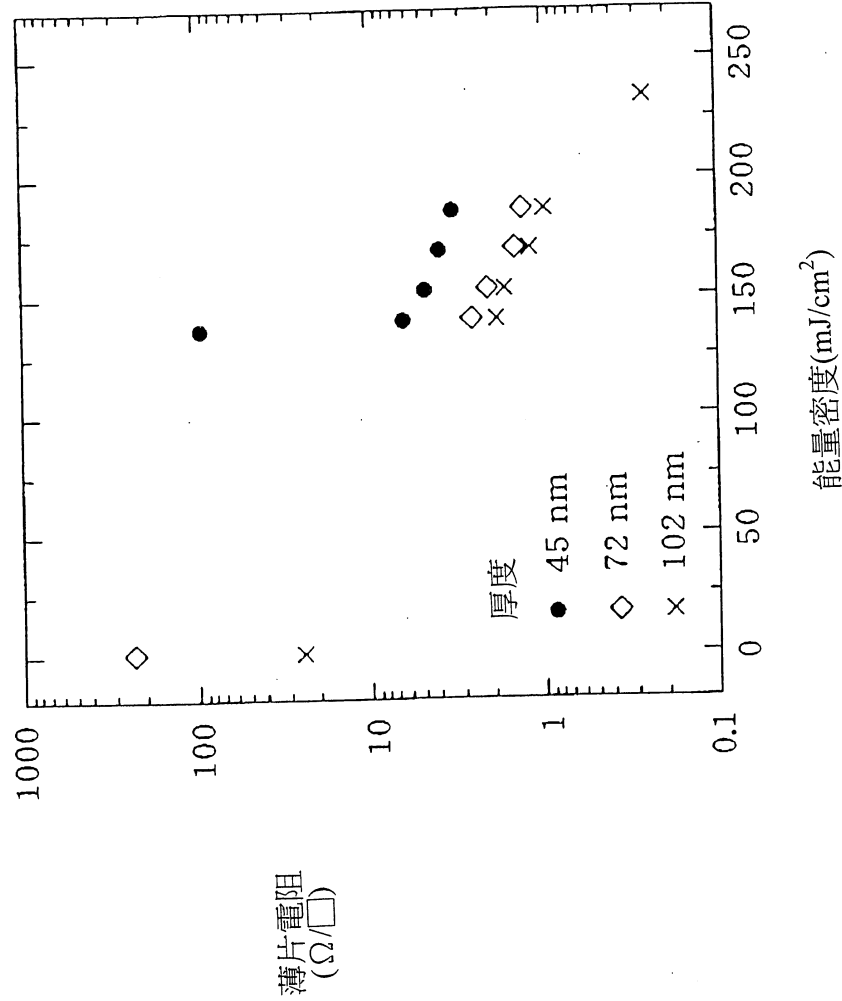
(b)

		成分 (%)		
		非晶質矽	結晶性矽	空隙
膜厚 (n m)	上層 41.4	31	49	20
	下層 27.1	79	0	21

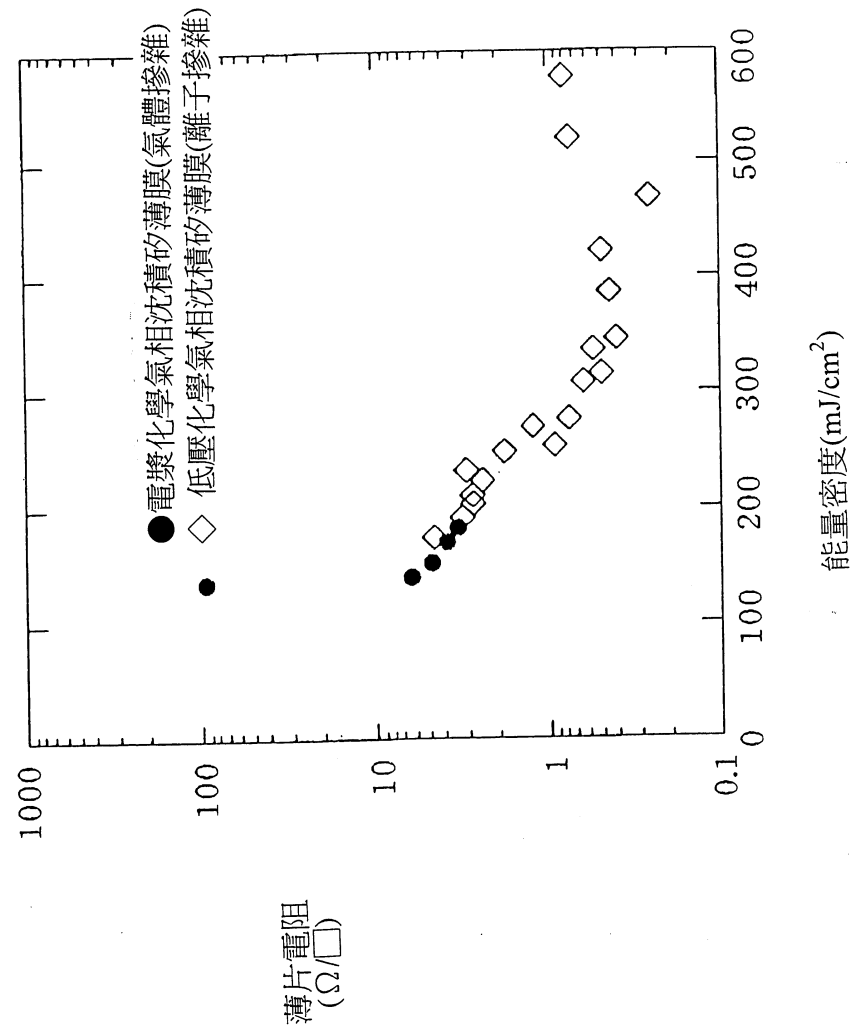
(c)

		成分 (%)		
		非晶質矽	結晶性矽	空隙
膜厚 (n m)	上層 62.5	10	60	30
	下層 42.1	70	0	30

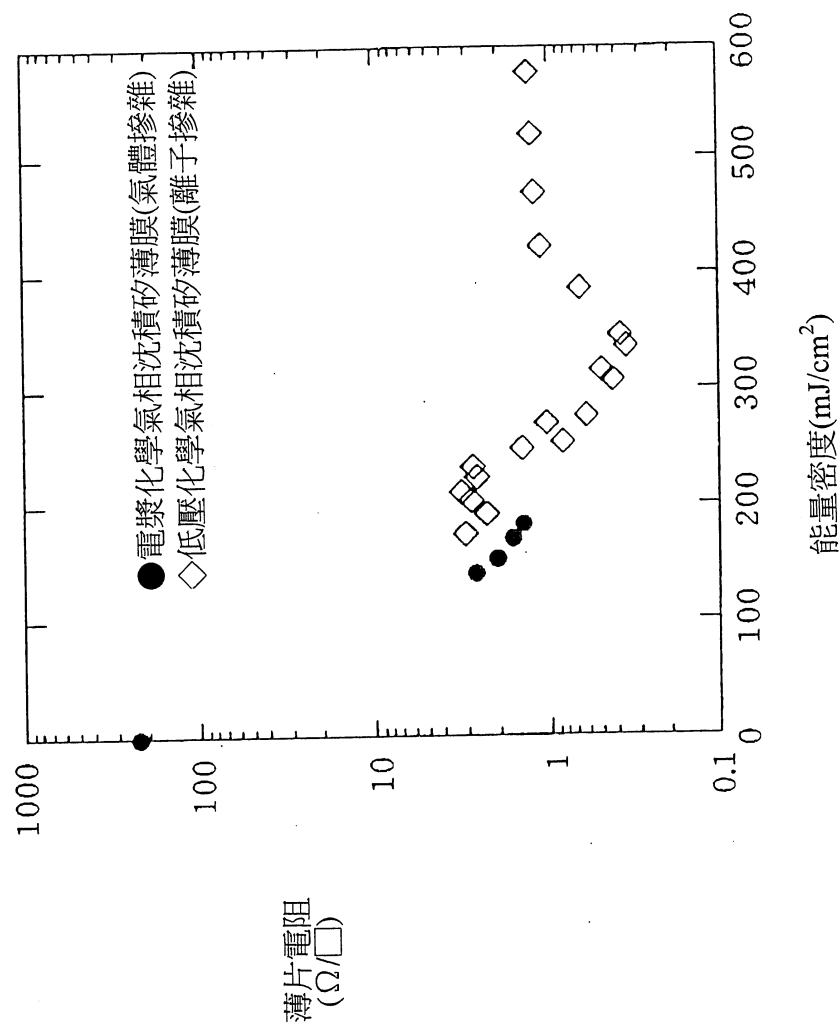
第 5 圖



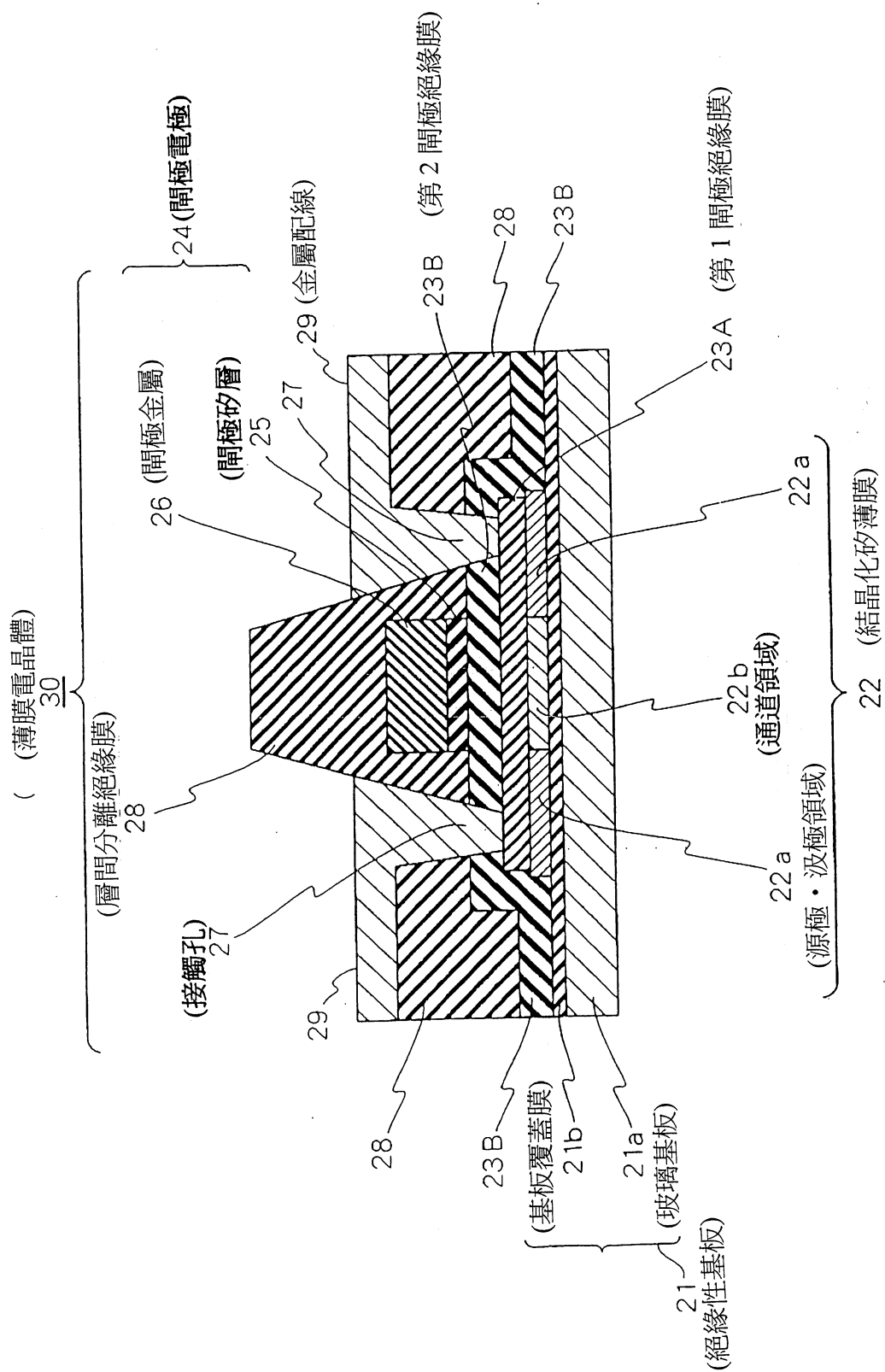
第 6 圖



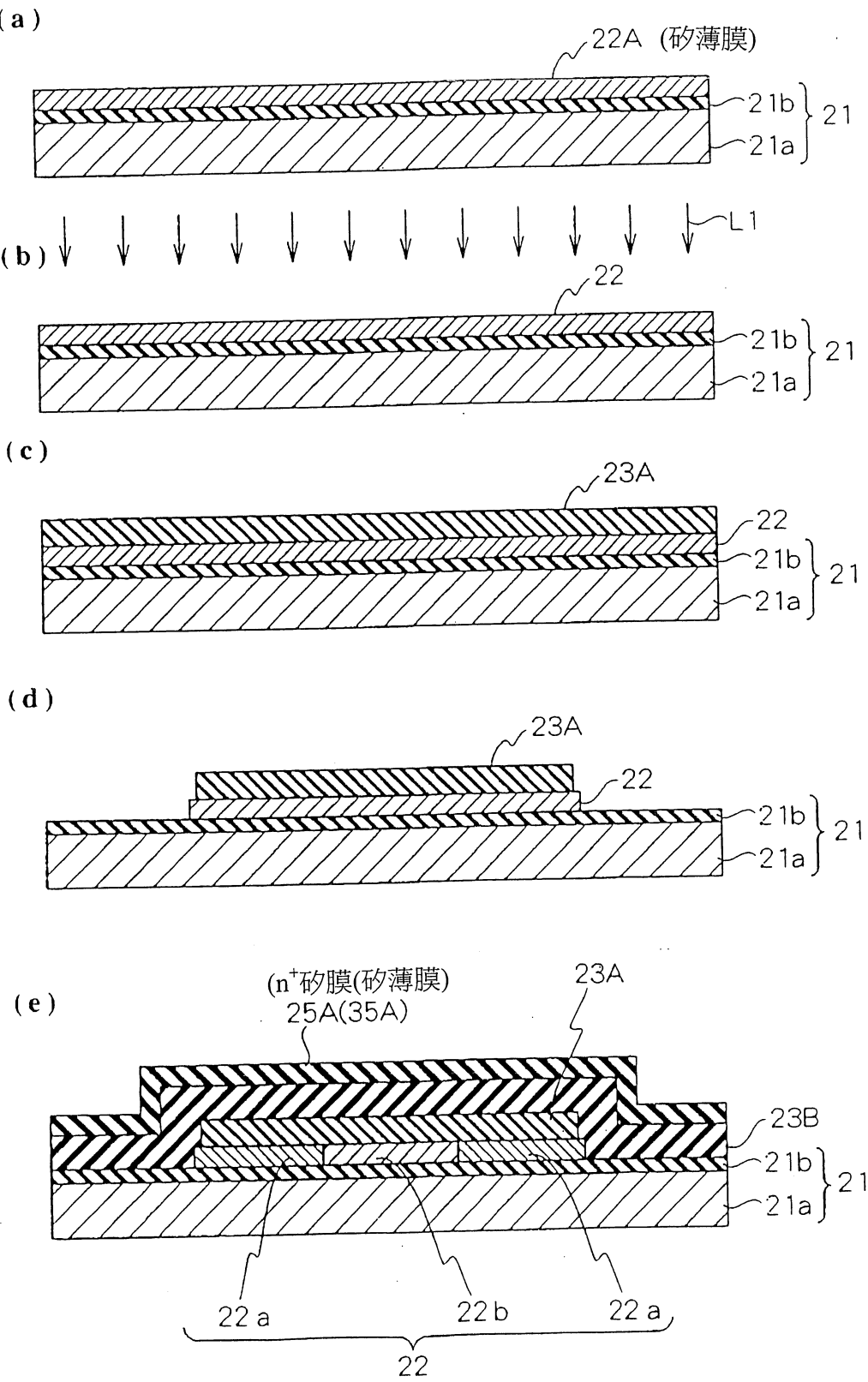
第 7 圖



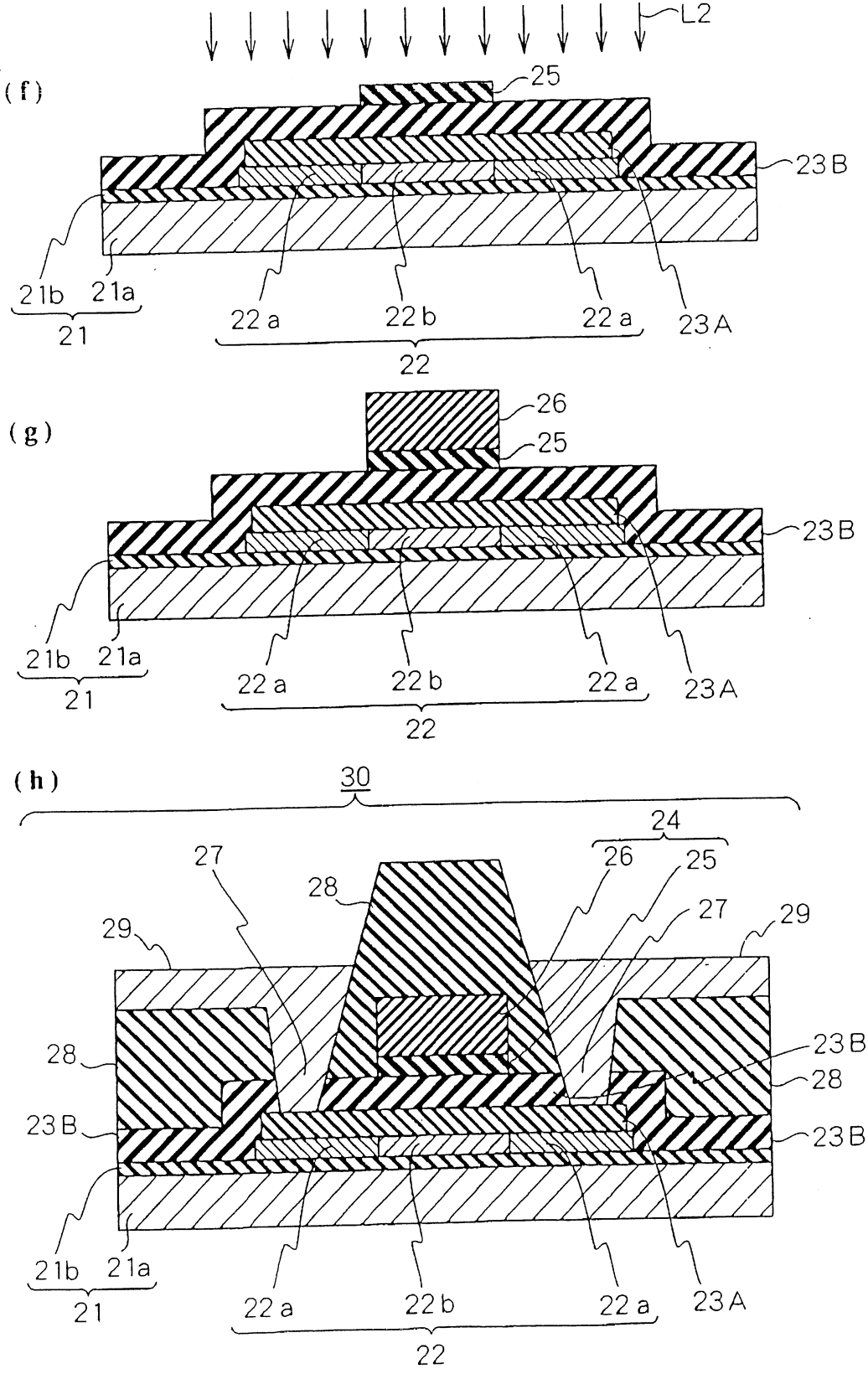
第 8 圖



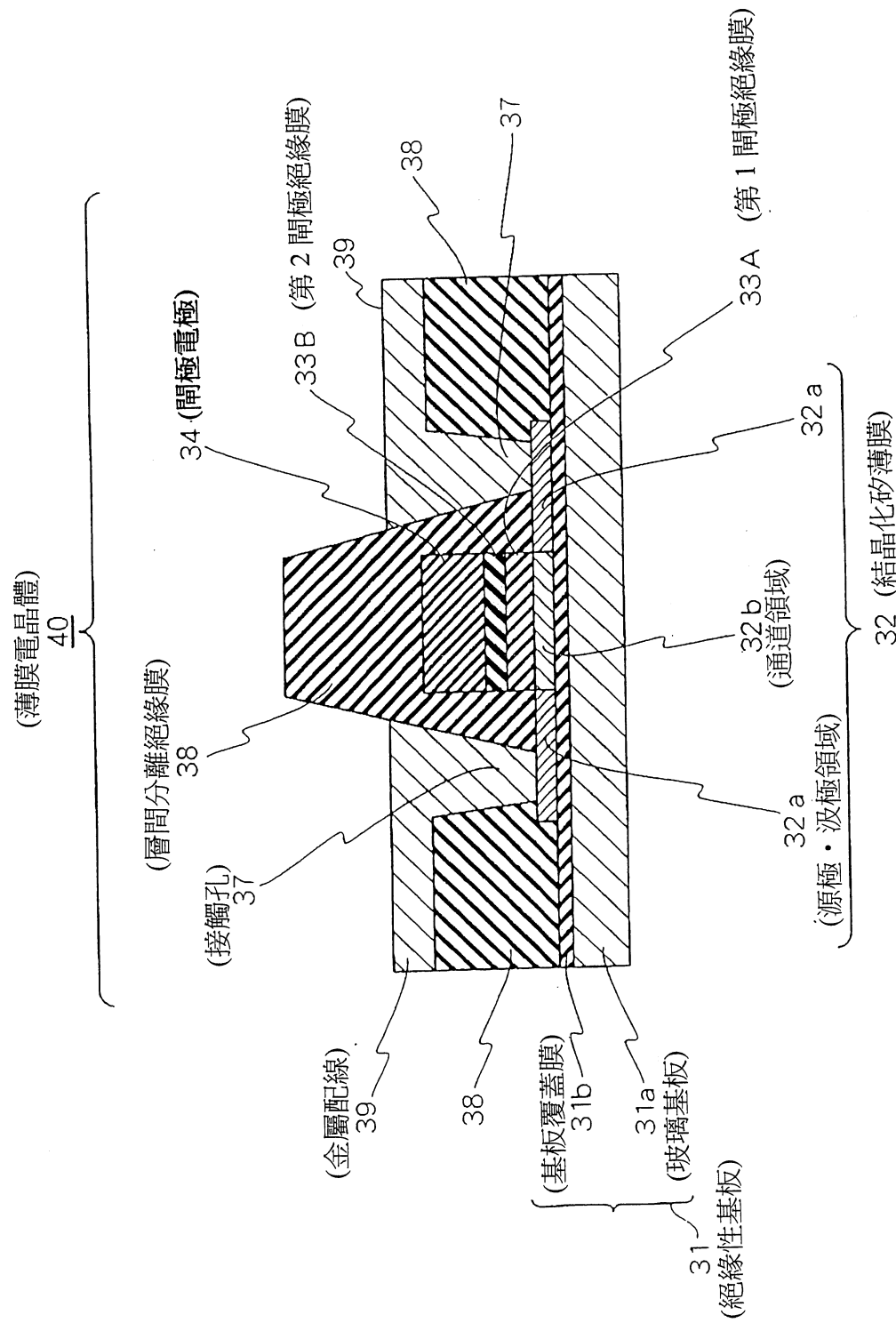
第 9 圖



第 10 圖

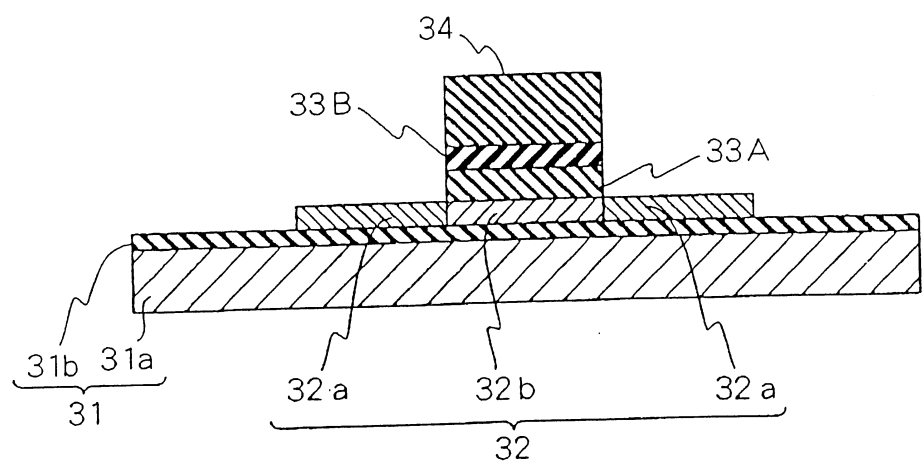


第 11 圖

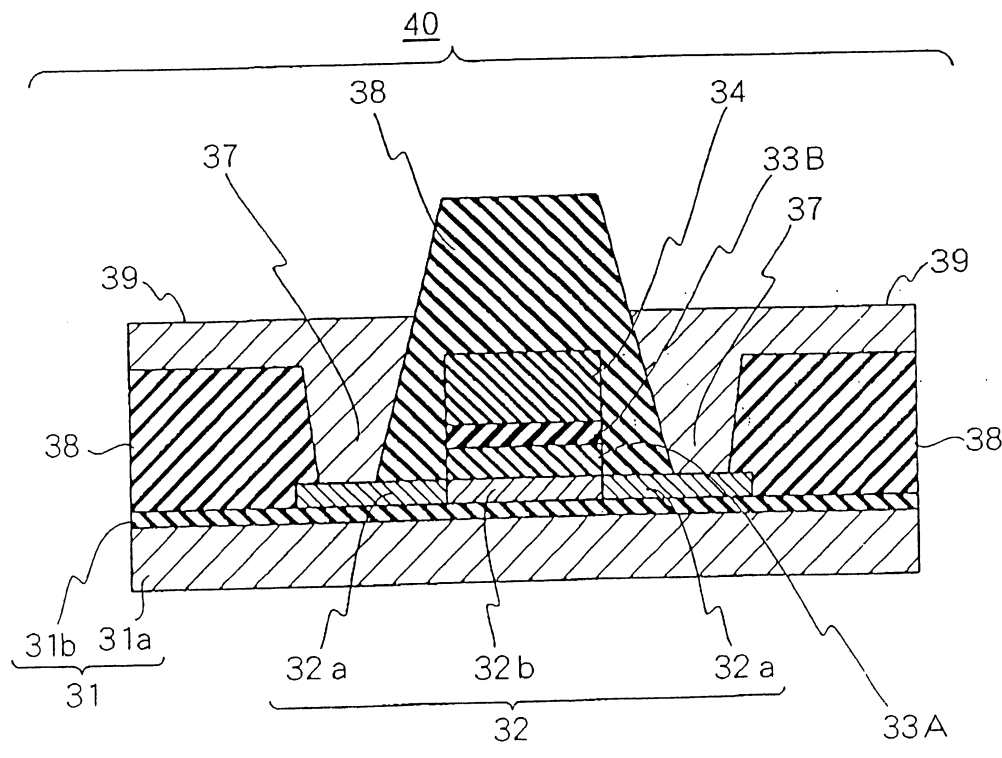


第 12 圖

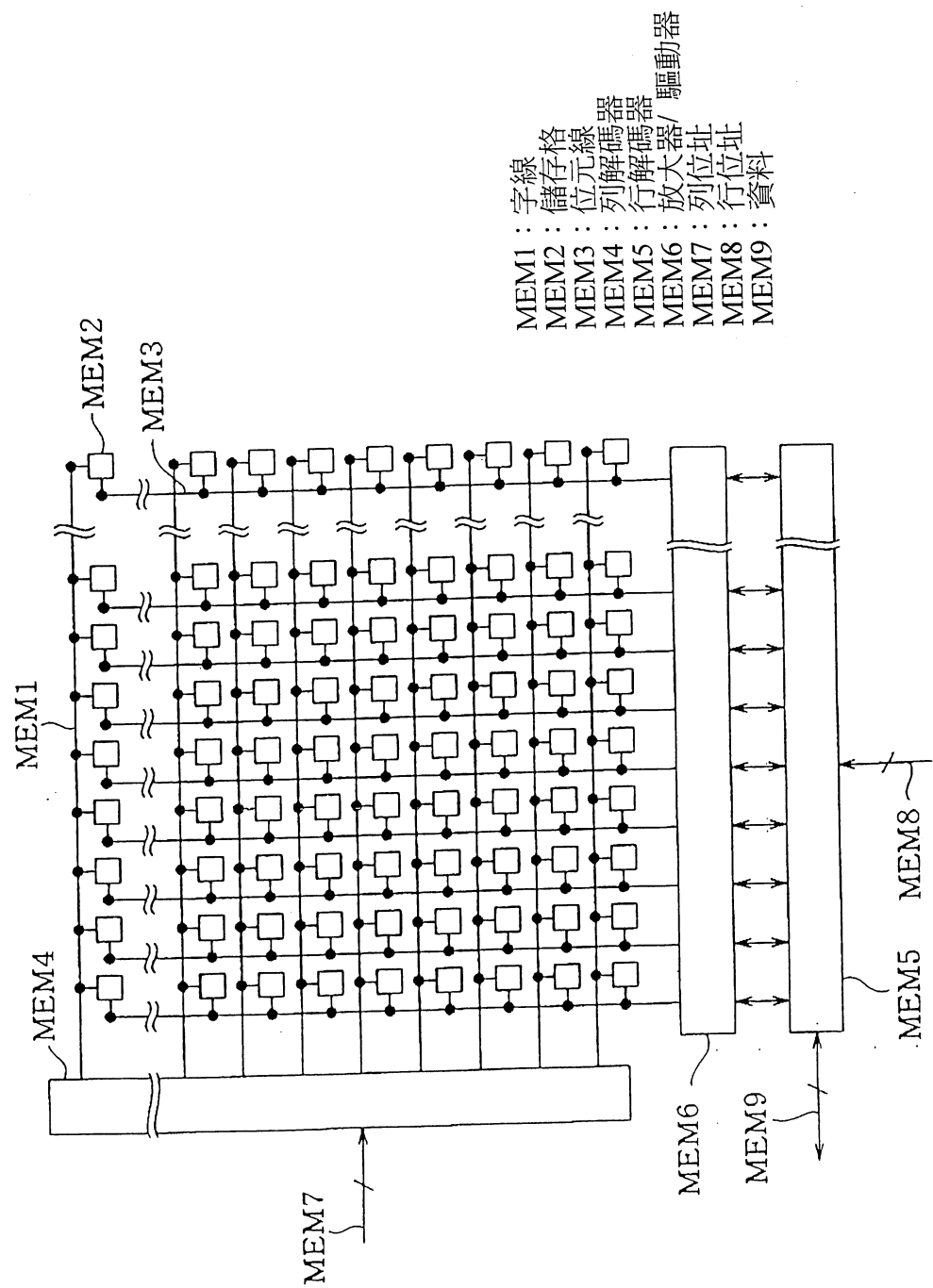
(f)



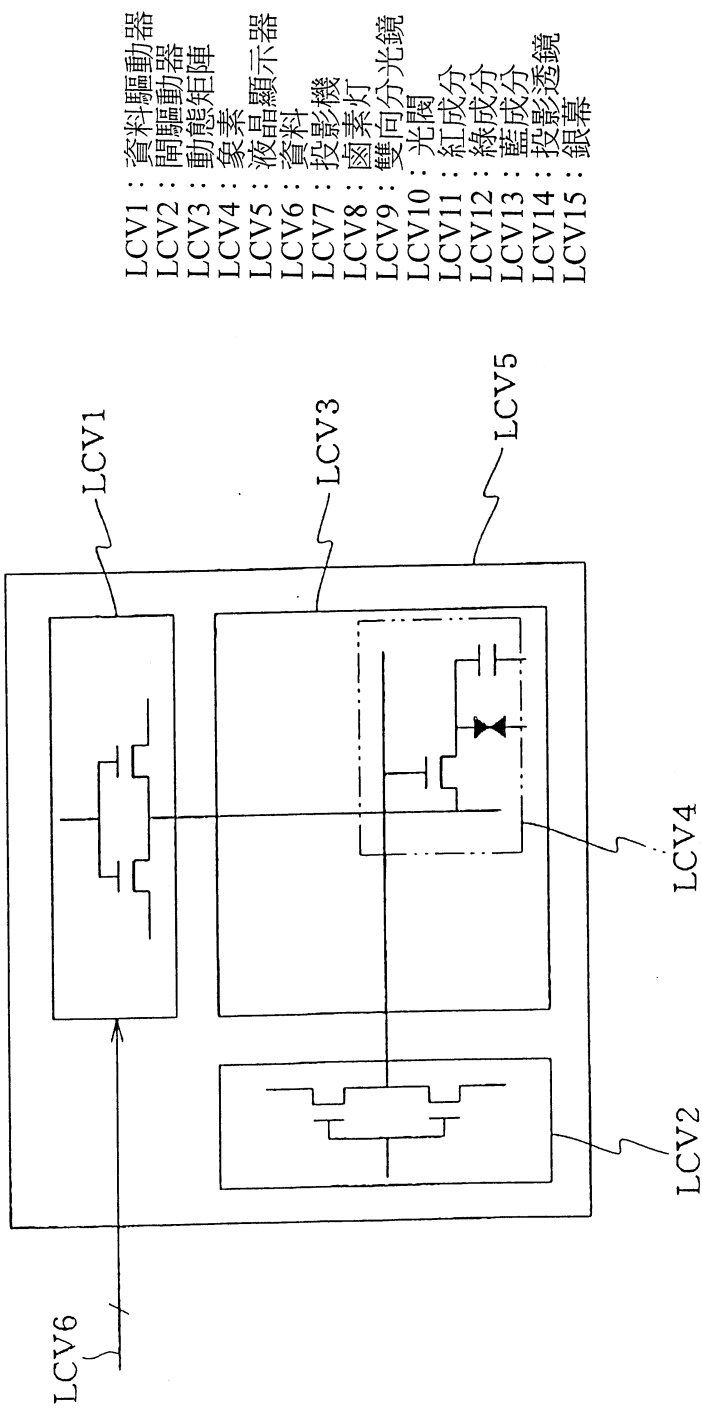
(g)



第 13 圖

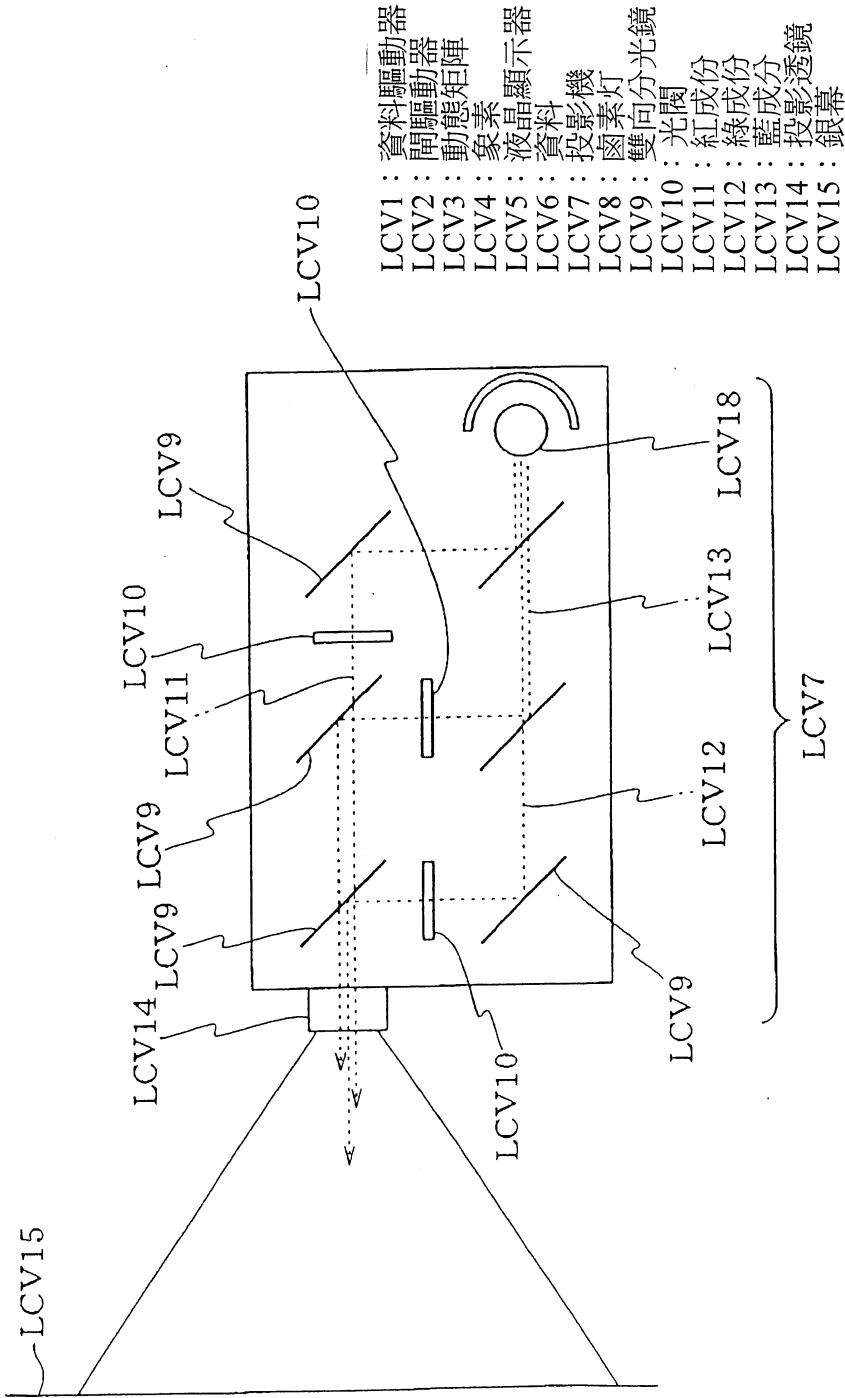


第 14 圖



- LCV1 : 資料驅動器
- LCV2 : 開關驅動器
- LCV3 : 動態矩陣
- LCV4 : 象素
- LCV5 : 液晶顯示器
- LCV6 : 資料
- LCV7 : 投影機
- LCV8 : 鹵素燈
- LCV9 : 雙向分光鏡
- LCV10 : 光閥
- LCV11 : 紅成分
- LCV12 : 綠成分
- LCV13 : 藍成分
- LCV14 : 投影透鏡
- LCV15 : 銀幕

第 15 圖



六、申請專利範圍

第 90113334 號「薄膜電晶體及其製造方法」專利案

(91 年 12 月 3 日修正)

六、申請專利範圍：

1. 一種矽薄膜，係在非晶質膜上以一定條件連續形成，其特徵為具有形成在該非晶質膜上的下層和形成在該下層上的上層，而該下層係非晶質層，該上層係結晶質層。
2. 如申請專利範圍第 1 項之矽薄膜，其中在該下層及該上層係摻雜磷，砷或硼之雜質。
3. 如申請專利範圍第 1 項之矽薄膜，其中該結晶質層中的結晶成分係隨著遠離該下層而增加。
4. 一種薄膜電晶體，具有形成在基板上的源極，汲極領域及通道領域的結晶化矽薄膜，形成在該結晶化矽薄膜上的閘極絕緣膜；以及形成在該閘極絕緣膜上且含有矽薄膜所形成之閘極電極，其中該矽薄膜係具有在該閘極絕緣膜上以一定條件連續形成的下層及上層，該下層係非晶質層，該上層係結晶質層。
5. 如申請專利範圍第 4 項之薄膜電晶體，其中該閘極電極係包含有形成在該矽薄膜上的閘極金屬所構成。
6. 如申請專利範圍第 5 項之薄膜電晶體，其中該閘極金屬為金屬或金屬氧化物所構成。
7. 一種薄膜電晶體之製造方法，包含：在基板上形成源極，汲極領域用之結晶化矽薄膜的步驟，在該結晶化

六、申請專利範圍

矽薄膜上形成閘極絕緣膜的步驟，以及在該閘極絕緣膜上形成閘極電極的步驟，

其特徵為：在形成該閘極電極的步驟中，於形成作為該閘極電極的構成要素之非晶質層及結晶質層之際，以該非晶質層及該結晶質層之順序，在同一條件下連續形成。

8. 如申請專利範圍第 7 項之薄膜電晶體之製造方法，其中係根據電漿化學沈積法執行該非晶質層及該結晶質層之形成。
9. 如申請專利範圍第 7 項之薄膜電晶體之製造方法，其中在形成該非晶質層及該結晶質層之後，照射雷射光。
10. 如申請專利範圍第 7 至 9 項中任一項之薄膜電晶體之製造方法、其中在該閘極絕緣膜上形成該非晶質層、在該非晶質層上形成該結晶質層。
11. 一種薄膜電晶體之製造方法，包含：在基板上形成源極，汲極領域用之結晶化矽薄膜的步驟，在該結晶化矽薄膜上形成閘極絕緣膜的步驟，以及在該閘極絕緣膜上形成閘極電極的步驟，
其特徵為：在形成該閘極電極的步驟中，於形成作為該閘極電極之構成要素的矽薄膜之際，將該矽薄膜以一定條件連續形成，該矽薄膜之該閘極絕緣膜側的部分係成為非晶質層，且與該閘極絕緣膜相反側的部分

六、申請專利範圍

係成爲結晶質層般地控制該矽薄膜的成膜時間。

12. 如申請專利範圍第 11 項之薄膜電晶體之製造方法，
其中在構成該矽薄膜之後，執行 300℃ 以上的退火，
然後執行氫導入處理。
13. 如申請專利範圍第 11 項之薄膜電晶體之製造方法，
其中將該矽薄膜製成圖案之後，將該矽薄膜作爲遮
罩，形成該源極，汲極領域，然後照射雷射光。
14. 如申請專利範圍第 11 至 13 項中任一項之薄膜電晶體
之製造方法，其中將該矽薄膜形成在該閘極絕緣膜。