

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2001-14847 (P2001-14847A)
 【公開日】平成 13 年 1 月 19 日 (2001.1.19)
 【出願番号】特願 平 11-187052
 【国際特許分類第 7 版】

G 1 1 C 11/407

【F I】

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

【手続補正書】

【提出日】平成 16 年 10 月 20 日 (2004.10.20)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

外部クロックを受けるクロックレシーバと、
 上記クロックレシーバの出力を遅延するディレイモニタと、
 上記ディレイモニタの出力を遅延する第 1 の遅延回路と、
 上記第 1 の遅延回路で遅延される信号の次のサイクルに対応した上記クロックレシーバからの出力を、上記第 1 の遅延回路における遅延時間と実質的に等しい遅延時間で遅延する第 2 の遅延回路と、
 上記第 2 の遅延回路の出力を受けて内部クロックを出力するドライバと、
 上記クロックレシーバと上記ディレイモニタとの間に設けられ、パワーダウンモードを制御するための信号に応じて上記ディレイモニタに対する上記クロックレシーバからの出力の供給を制御する第 1 のゲート回路と、
 上記ディレイモニタと上記第 1 の遅延回路との間に設けられ、上記パワーダウンモードを制御するための信号に応じて上記第 1 の遅延回路に対する上記ディレイモニタからの出力の供給を制御する第 2 のゲート回路
 とを具備したことを特徴とするクロック同期回路。

【請求項 2】

前記ディレイモニタにおける遅延時間が、実質的に前記クロックレシーバにおける遅延時間と前記ドライバにおける遅延時間との和の時間に設定されていることを特徴とする請求項 1 に記載のクロック同期回路。

【請求項 3】

外部クロックを受けるクロックレシーバと、
 上記クロックレシーバの出力を遅延するディレイモニタと、
 多段接続された複数の第 1 単位遅延ユニットが設けられ、上記ディレイモニタの出力を上記複数の第 1 単位遅延ユニットでそれぞれ一定期間だけ遅延して後段の第 1 単位遅延ユニットに前進パルスとして順次伝播する前進パルス用遅延回路と、
 多段接続された複数の第 2 単位遅延ユニットが設けられ、これら各第 2 単位遅延ユニットで後退パルスをそれぞれ一定期間だけ遅延して前段の第 2 単位遅延ユニットに順次伝播し、最前段の第 2 単位遅延ユニットから出力する後退パルス用遅延回路と、
 上記後退パルス用遅延回路の出力を受けて内部クロックを出力するドライバと、

上記前進パルス用遅延回路内の各第1単位遅延ユニット及び上記後退パルス用遅延回路内の各第2単位遅延ユニットに対応して複数の状態保持回路が設けられ、上記遅延回路の出力が上記前進パルス用遅延回路に入力されていない状態から上記遅延回路の出力が上記前進パルス用遅延回路に入力されて上記前進パルスが伝播した上記第1単位遅延ユニットに対応した状態保持回路がセット状態にされ、上記後退パルスが伝播した上記第2単位遅延ユニットに対応した状態保持回路がリセット状態にされ、かつ上記遅延回路の出力が上記前進パルス用遅延回路に入力された後でかつ上記後退パルスが上記後退パルス用遅延回路で伝播される前に、その状態がリセット状態にされている状態保持回路に対応した上記第2単位遅延ユニットに対し、それぞれ上記クロックレシーバの出力が上記後退パルスとして入力されるように制御する状態保持部と、

上記クロックレシーバからの出力に基づいて上記前進パルス用遅延回路内の各第1単位遅延ユニットをリセットするための第1の制御パルスを生成する制御パルス生成回路と、

上記クロックレシーバと上記ディレイモニタとの間に設けられ、上記ディレイモニタに対する上記クロックレシーバからの出力の供給を制御する第1のゲート回路と、

上記ディレイモニタと上記前進パルス用遅延回路との間に設けられ、上記前進パルス用遅延回路に対する上記ディレイモニタからの出力の供給を制御する第2のゲート回路と、

上記クロックレシーバと上記制御パルス生成回路との間に設けられ、上記制御パルス生成回路に対する上記クロックレシーバからの出力の供給を制御する第3のゲート回路と、

上記第1の制御パルスを受け、この第1の制御パルスに基づいて上記状態保持部内の状態保持回路をリセットするための第2の制御パルスを生成する状態保持部制御回路と、

パワーダウンモードを制御するための信号に応じて上記第1、第2及び第3のゲート回路並びに上記制御パルス生成回路の動作を制御するための制御信号を発生する制御信号発生回路

とを具備したことを特徴とするクロック同期回路。

【請求項4】

前記ディレイモニタにおける遅延時間が、実質的に前記クロックレシーバにおける遅延時間と前記ドライバにおける遅延時間との和の時間に設定されていることを特徴とする請求項3に記載のクロック同期回路。

【請求項5】

予め前記状態保持部内の全ての状態保持回路がリセット状態となるように初期化する状態保持部初期化回路をさらに具備したことを特徴とする請求項3に記載のクロック同期回路。

【請求項6】

前記状態保持部初期化回路は、前記制御信号発生回路で発生される前記制御信号に基づいて前記状態保持部内の全ての状態保持回路がリセット状態となるように初期化することを特徴とする請求項5に記載のクロック同期回路。

【請求項7】

前記制御信号発生回路は、

パワーダウンモード信号と前記クロックレシーバからの出力とを受けて第1の制御信号を発生する第1の制御信号発生回路と、

前記内部クロックに基づいて動作が制御される複数のバンクを有するメモリ内部回路でリードデータが出力されているか否かを示す第1の信号と、いずれかのバンクがバンクアクティブ状態であるか否かを示す第2の信号と、前記クロックレシーバからの出力と、前記ディレイモニタからの出力とを受けて第2の制御信号及び第3の制御信号を発生する第2の制御信号発生回路と、

上記第1の制御信号と第2の制御信号と前記クロックレシーバからの出力とを受けて第4の制御信号を発生する第3の制御信号発生回路とからなり、

前記第1のゲート回路は上記第1の制御信号に基づいて、前記第2のゲート回路は上記第4の制御信号に基づいて、前記第3のゲート回路は上記第1の制御信号と第3の制御信号とに基づいて、それぞれ動作が制御されることを特徴とする請求項3に記載のクロック

同期回路。

【請求項 8】

前記外部クロックの供給開始後から所定の期間、前記前進パルス用遅延回路に対して前記クロックレシーバからの出力の供給を停止させる制御を行う入力遮断回路をさらに具備したことを特徴とする請求項 3 に記載のクロック同期回路。

【請求項 9】

前記入力遮断回路は、前記外部クロックの供給開始後から、前記クロックレシーバが前記外部クロックの第 1 のクロックに対応したクロックを出力し終えるまでの期間、前記後退パルス用遅延回路に対して前記クロックレシーバからの出力の供給を停止させるように構成されていることを特徴とする請求項 8 に記載のクロック同期回路。

【請求項 10】

前記入力遮断回路は、

前記クロックレシーバからの出力に同期して第 1 論理レベルの信号をシフトして出力するシフトレジスタと、

上記シフトレジスタの出力と前記クロックレシーバからの出力との論理信号を、前記制御信号発生回路で発生される前記制御信号に応じて出力制御する論理回路とから構成されていることを特徴とする請求項 8 に記載のクロック同期回路。

【請求項 11】

前記状態保持部制御回路は、さらに後退パルス用遅延回路から出力される後退パルスを検知し、この検知結果に基づいて、前記遅延回路における遅延時間を所定の時間に対して延長させる制御を行うことを特徴とする請求項 3 に記載のクロック同期回路。

【請求項 12】

第 1 の外部クロックを受ける第 1 のクロックレシーバと、

上記第 1 のクロックレシーバの出力を遅延する第 1 のディレイモニタと、

上記第 1 のディレイモニタの出力を遅延する第 1 の遅延回路と、

上記第 1 の遅延回路で遅延される信号の次のサイクルに対応した上記第 1 のクロックレシーバからの出力を、上記第 1 の遅延回路における遅延時間と実質的に等しい遅延時間で遅延する第 2 の遅延回路と、

上記第 2 の遅延回路の出力を受けて第 1 の内部クロックを出力する第 1 のドライバと、

上記第 1 のクロックレシーバと上記第 1 のディレイモニタとの間に設けられ、パワーダウンモードを制御するための信号に応じて上記第 1 のディレイモニタに対する上記第 1 のクロックレシーバからの出力の供給を制御する第 1 のゲート回路と、

上記第 1 のディレイモニタと上記第 1 の遅延回路との間に設けられ、上記パワーダウンモードを制御するための信号に応じて上記第 1 の遅延回路に対する上記第 1 のディレイモニタからの出力の供給を制御する第 2 のゲート回路と、

上記第 1 の外部クロックに対して位相がずれた第 2 の外部クロックを受ける第 2 のクロックレシーバと、

上記第 2 のクロックレシーバの出力を遅延する第 2 のディレイモニタと、

上記第 2 のディレイモニタの出力を遅延する第 3 の遅延回路と、

上記第 3 の遅延回路で遅延される信号の次のサイクルに対応した上記第 2 のクロックレシーバからの出力を、上記第 3 の遅延回路における遅延時間と実質的に等しい遅延時間で遅延する第 4 の遅延回路と、

上記第 4 の遅延回路の出力を受けて第 2 の内部クロックを出力する第 2 のドライバと、

上記第 2 のクロックレシーバと上記第 2 のディレイモニタとの間に設けられ、パワーダウンモードを制御するための信号に応じて上記第 2 のディレイモニタに対する上記第 2 のクロックレシーバからの出力の供給を制御する第 3 のゲート回路と、

上記第 2 のディレイモニタと上記第 3 の遅延回路との間に設けられ、上記パワーダウンモードを制御するための信号に応じて上記第 3 の遅延回路に対する上記第 2 のディレイモニタからの出力の供給を制御する第 4 のゲート回路

とを具備したことを特徴とするクロック同期回路。

【請求項 13】

前記第 1 のディレイモニタにおける遅延時間が、実質的に前記第 1 のクロックレシーバにおける遅延時間と前記第 1 のドライバにおける遅延時間との和の時間に設定され、かつ前記第 2 のディレイモニタにおける遅延時間が、実質的に前記第 2 のクロックレシーバにおける遅延時間と前記第 2 のドライバにおける遅延時間との和の時間に設定されていることを特徴とする請求項 12 に記載のクロック同期回路。