

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)



(10) 国際公開番号

WO 2022/158347 A1

(51) 国際特許分類:
H02H 7/20 (2006.01) G01R 31/28 (2006.01)

(21) 国際出願番号: PCT/JP2022/000689

(22) 国際出願日: 2022年1月12日(12.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-006876 2021年1月20日(20.01.2021) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 住井 亮介(SUMII Ryosuke); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 押川 克寛(OSHIKAWA Katsuhiko); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 松浦 貴行(MATSUURA Takayuki); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

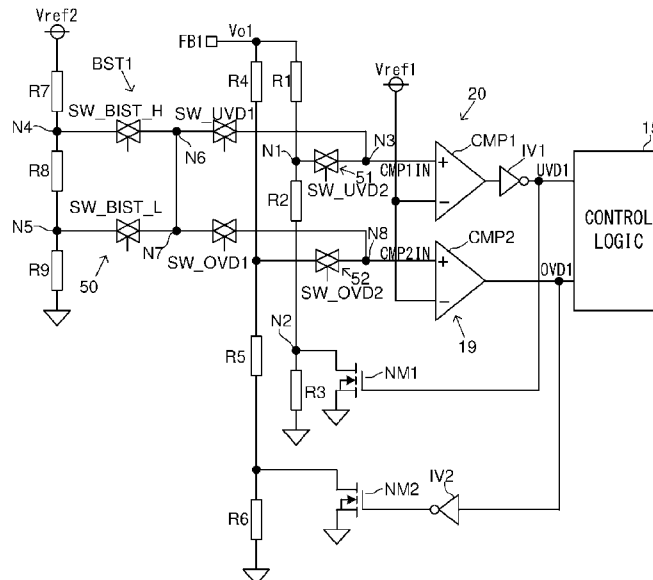
(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SELF-DIAGNOSTIC CIRCUIT, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 自己診断回路、および半導体装置

[図3]



(57) Abstract: A self-diagnostic circuit (BST1) diagnoses an abnormality detection circuit (20) having a first comparator (CMP1) to which a first reference voltage (Vref1) and a voltage based on an abnormality detection target voltage (Vo1) can be inputted. The self-diagnostic circuit has: a voltage switching unit (50) that switches the level of a voltage based on a second reference voltage (Vref2) and outputs same; a first path switching unit (51) that switches between the path on which the voltage outputted from the voltage switching unit is inputted to the first comparator, and the path on which the

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

voltage based on the abnormality detection target voltage is inputted to the first comparator; and a control unit (15) that controls the voltage switching unit and the path switching unit.

(57) 要約: 自己診断回路 (B S T 1) は、異常検出対象電圧 (V o 1) に基づく電圧と、第1基準電圧 (V r e f 1) とを入力可能な第1コンパレータ (C M P 1) を有する異常検出回路 (20) を診断する自己診断回路であって、第2基準電圧 (V r e f 2) に基づく電圧のレベルを切り替えて出力する電圧切替え部 (50) と、前記電圧切替え部から出力される電圧が前記第1コンパレータに入力される経路と、前記異常検出対象電圧に基づく電圧が前記第1コンパレータに入力される経路とを切り替える第1経路切替え部 (51) と、前記電圧切替え部および前記経路切替え部を制御する制御部 (15) と、を有する。

明 細 書

発明の名称：自己診断回路、および半導体装置

技術分野

[0001] 本開示は、自己診断回路に関する。

背景技術

[0002] 従来、電源ＩＣなどの各種ＩＣには、異常を検出・保護する機能が備えられる場合が多い。このような機能の一例としては、電源回路の出力電圧の減電圧を検出・保護する機能、上記出力電圧の過電圧を検出・保護する機能、ＩＣの電源電圧の低電圧を検出・保護する機能（ＵＶＬＯ）、およびＩＣチップの過熱状態を検出・保護する機能（ＴＳＤ）などが挙げられる（ＵＶＬＯ機能の一例については特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１２－１７５８１６号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、昨今、車載用機器などにおいて、自己診断機能（ＢＩＳＴ：Built-In Self Test）を備えることが重要となっている。そこで、ＩＣにおいて、上記のような異常を検出・保護する機能が正常に機能しているかを診断する自己診断機能を備えることが要望されている。

[0005] 上記状況に鑑み、本開示は、異常を検出する回路が正常に機能しているかを診断する効果的な構成を実現できる自己診断回路を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様は、異常検出対象電圧に基づく電圧と、第１基準電圧とを入力可能な第１コンパレータを有する異常検出回路を診断する自己診断回路であって、

第2基準電圧に基づく電圧のレベルを切り替えて出力する電圧切替え部と、

前記電圧切替え部から出力される電圧が前記第1コンパレータに入力される経路と、前記異常検出対象電圧に基づく電圧が前記第1コンパレータに入力される経路とを切り替える第1経路切替え部と、

前記電圧切替え部および前記経路切替え部を制御する制御部と、

を有する、自己診断回路としている。

発明の効果

[0007] 本開示の自己診断回路によれば、異常を検出する回路が正常に機能しているかを診断する効果的な構成を実現できる。

図面の簡単な説明

[0008] [図1]図1は、本開示の例示的な実施形態に係るPMICの外部接続に関する構成を示す図である。

[図2]図2は、本開示の例示的な実施形態に係るPMICの内部構成を示す図である。

[図3]図3は、減電圧検出回路および過電圧検出回路それぞれを診断する自己診断回路の構成を示す図である。

[図4]図4は、PMICの起動時における動作例を示すタイミングチャートである。

[図5]図5は、アナログ自己診断モード状態（A-BIST）等における減電圧検出回路の自己診断動作の一例を示すタイミングチャートである。

[図6]図6は、比較例に係る異常検出回路の構成を示す図である。

発明を実施するための形態

[0009] 以下、本開示の例示的な実施形態について、図面を参照して説明する。

[0010] <1. 比較例>

まず、本開示の実施形態について説明する前に、本開示の実施形態と比較するための比較例について説明する。比較例について説明することで、本開示の意義が明らかとなる。

[0011] 図6は、比較例に係る異常検出回路の構成を示す図である。図6においては、異常検出回路として、減電圧検出回路101の構成を示す。また、図6においては、異常検出回路に加えて、自己診断回路BST101の構成も示されている。図6に示される回路構成は、電源ICに備えられる。当該電源ICは、DC/DCコンバータ機能を有している。

[0012] 減電圧検出回路101は、上記DC/DCコンバータ機能による出力電圧 V_o （DC出力電圧）の減電圧を検出する回路である。具体的には、減電圧検出回路101は、コンパレータCMP11と、インバータIV11と、抵抗R11～R15と、NMOSトランジスタ（Nチャネル型MOSFET（metal-oxide-semiconductor field-effect transistor））NM11と、を有している。

[0013] 抵抗R11の一端は、FB端子に接続される。FB端子には、出力電圧 V_o が印加される。抵抗R11の他端は、ノードN11において抵抗R12の一端に接続される。ノードN11は、コンパレータCMP11の非反転入力端（+）に接続される。抵抗R13の一端は、基準電圧 V_{ref} の印加端に接続される。抵抗R13の他端は、ノードN13において抵抗R14の一端に接続される。ノードN13は、コンパレータCMP11の反転入力端（-）に接続される。コンパレータCMP11の出力端は、ノードN15においてインバータIV11の入力端に接続される。ノードN15は、NMOSトランジスタNM11のゲートに接続される。NMOSトランジスタNM11のソースは、グランド電位の印加端に接続される。NMOSトランジスタNM11のドレインは、抵抗R14の他端と抵抗R15の一端とが接続されるノードN14に接続される。抵抗R15の他端は、グランド電位の印加端に接続される。

[0014] また、自己診断回路BST101は、NMOSトランジスタNM12と、抵抗R16と、制御ロジック部100と、を有する。抵抗R16の一端は、ノードN12において抵抗R12の他端に接続される。抵抗R16の他端は、グランド電位の印加端に接続される。NMOSトランジスタNM12のド

レインは、ノードN12に接続される。NMOSトランジスタNM12のソースは、グランド電位の印加端に接続される。制御ロジック部100は、ゲート信号としてBIST信号Bst12をNMOSトランジスタNM12のゲートに印加させる。

[0015] 通常動作時には、BIST信号Bst12はLowであり、NMOSトランジスタNM12はオフ状態である。これにより、出力電圧Voを抵抗R11, R12, R16により分圧してノードN11に発生するコンパレータ入力信号CMP11INpがコンパレータCMP11の非反転入力端(+)に入力される。

[0016] また、NMOSトランジスタNM11および抵抗R15は、ヒステリシス機能のための構成である。具体的には、コンパレータCMP11の出力がLowの場合、NMOSトランジスタNM11はオフ状態であり、基準電圧Vrefを抵抗R13~R15により分圧してノードN13に発生するコンパレータ入力信号CMP11INnがコンパレータCMP11の反転入力端(-)に入力される。コンパレータCMP11の出力がHighの場合、NMOSトランジスタNM11はオン状態であり、基準電圧Vrefを抵抗R13, R14により分圧してノードN13に発生するコンパレータ入力信号CMP11INnがコンパレータCMP11の反転入力端(-)に入力される。

[0017] コンパレータ入力信号CMP11INpがコンパレータ入力信号CMP11INnを上回ってコンパレータCMP11の出力がHighとなった場合、インバータIV11の出力である減電圧検出信号UVDはLowとなる。一方、コンパレータ入力信号CMP11INpがコンパレータ入力信号CMP11INn以下であり、コンパレータCMP11の出力がLowとなった場合、減電圧検出信号UVDはHighとなる。減電圧検出信号UVDは制御ロジック部100に入力されるため、制御ロジック部100はHighとなった減電圧検出信号UVDにより、出力電圧Voが減電圧異常状態であると判断し、保護動作を行う。

- [0018] また、BISTモード（診断モード）においては、制御ロジック部100は、異なるレベル（Low、High）のBIST信号Bst12を順に切り替えて出力する。BIST信号Bst12がLowの場合、NMOSトランジスタNM12はオフ状態であり、出力電圧Voを抵抗R11, R12, R16により分圧してノードN11に発生するコンパレータ入力信号CMP11InpがコンパレータCMP11の非反転入力端（+）に入力される。
- [0019] また、BIST信号Bst12がHighの場合、NMOSトランジスタNM12はオン状態であり、出力電圧Voを抵抗R11, R12により分圧してノードN11に発生するコンパレータ入力信号CMP11InpがコンパレータCMP11の非反転入力端（+）に入力される。
- [0020] 従って、コンパレータCMP11が正常に動作している場合、電源ICが起動して出力電圧Voが立ち上がった後では、BISTモードにおいて、BIST信号Bst12がLowの場合、コンパレータCMP11の出力がHighとなり、減電圧検出信号UVDはLowとなる。一方、BISTモードにおいて、BIST信号Bst12がHighの場合、コンパレータCMP11の出力がLowとなり、減電圧検出信号UVDはHighとなる。
- [0021] このように、自己診断回路BST101は、コンパレータ入力信号CMP11Inpのレベルを強制的に切り替えることで、減電圧検出信号UVDのレベルが切り替わるか否かを検出し、減電圧検出回路101が正常に動作しているかを判定できる。
- [0022] しかしながら、上記の自己診断動作は、出力電圧Voが立ち上がって安定化した状態で実施されるものである。この場合、自己診断動作には一定の時間がかかるため、仮に異常検出機能が異常であった場合に、自己診断により異常検出機能が異常であると判定されてICがシャットダウンされるまで異常な出力電圧Voが出力される虞があった。
- [0023] そこで、出力電圧Voが立ち上がる前に自己診断動作を実施することが考えられる。この場合、異常検出機能が異常であった場合に、出力電圧Voを立ち上げることなくICのシャットダウンが可能である。しかしながら、I

Cが起動するタイミングによって起動時の出力電圧 V_o は不定となるため、出力電圧 V_o によっては自己診断動作が正常に動作しない可能性がある。例えば、起動時に出力電圧 V_o が0Vであった場合は、図6に示す構成では、BIST信号 B_{st12} のレベルを切り替えてもコンパレータ入力信号 $CMP11_{Inp}$ は0Vにしかならず、コンパレータ $CMP11$ の出力論理を切り替えることができない。従って、自己診断動作が不可能となってしまう。

[0024] 本願発明者は、上記のように独自に見出した課題に鑑み、異常検出回路により異常を検出する対象である異常検出対象電圧（図6の例であれば出力電圧 V_o ）の値によらずに自己診断動作が可能となる構成を考案した。以下、本開示の実施形態について説明する。

[0025] <2. PMICの構成>

ここでは、本開示の例示的な実施形態に係るPMIC（Power Management IC）の構成について説明する。図1は、本開示の例示的な実施形態に係るPMIC1の外部接続に関する構成を示す図である。図2は、PMIC1の内部構成を示す図である。

[0026] 図1および図2に示すPMIC1は、車載用のCMOSセンサ装置30に電源を供給するための複数の電源回路を備える半導体装置（電源ICパッケージ）である。CMOSセンサ装置30は、車載カメラシステムに搭載される。

[0027] 図1に示すように、PMIC1は、外部との電氣的接続を確立するための外部端子として、VIN端子、VREG50端子、VREG15端子、BOOT1端子、SW1端子、PGND1端子、FB1端子、FB2端子、PVIN2端子、SW2端子、PGND23端子、SW3端子、PVIN3端子、FB3端子、VO4端子、RSTOUT端子、WAROUT端子、SCL端子、SDA端子、およびGND端子を有している。

[0028] 図2に示すように、PMIC1は、内部電圧生成部2と、内部電圧生成部3と、基準電圧生成部4と、電源電圧UVLO（Under Voltage Lock Out）回路5と、内部電圧UVLO回路6と、内部電圧UVLO回路7と、OT

P (One Time Programmable ROM) 8 と、TSD (Thermal Shut Down) 回路 9 と、TW (Thermal Warning) 回路 10 と、第 1 DC/DC 回路 11 と、第 2 DC/DC 回路 12 と、第 3 DC/DC 回路 13 と、LDO (Low Dropout) 14 と、制御ロジック部 15 と、I2C 入出力部 16 と、リセット入出力部 17 と、ワーニング入出力部 18 と、を有している。

[0029] PMIC 1 は、さらに図 2 に示すように、第 1 過電圧検出回路 19 と、第 1 減電圧検出回路 20 と、第 2 過電圧検出回路 21 と、第 2 減電圧検出回路 22 と、第 2 減電圧保護回路 23 と、第 3 過電圧検出回路 24 と、第 3 減電圧検出回路 25 と、第 3 減電圧保護回路 26 と、第 4 過電圧検出回路 27 と、第 4 減電圧検出回路 28 と、第 4 減電圧保護回路 29 と、を有している。

[0030] VIN 端子は、電源電圧 (入力電源電圧) V_{in} の印加端に接続される。内部電圧生成部 2 は、VIN 端子に印加される電源電圧 V_{in} に基づいて内部電圧 V_{reg50} ($=5.0V$) を生成する。内部電圧 V_{reg50} は、内部電圧生成部 3 および第 1 DC/DC 回路 11 の各電源電圧となる。内部電圧 V_{reg50} は、VREG50 端子から外部出力可能である。

[0031] 内部電圧生成部 3 は、内部電圧 V_{reg50} に基づいて内部電圧 V_{reg15} ($=1.5V$) を生成する。内部電圧 V_{reg15} は、PMIC 1 における各部の電源電圧となる。また、内部電圧 V_{reg15} は、第 1, 2, 3 DC/DC 回路 11, 12, 13 および LDO 14 における基準電圧として使用される。内部電圧 V_{reg15} は、VREG15 端子から外部出力可能である。

[0032] 基準電圧生成部 4 は、内部電圧 V_{reg15} に基づいて第 1 基準電圧 V_{ref1} および第 2 基準電圧 V_{ref2} を生成する。第 1 基準電圧 V_{ref1} は、PMIC 1 における各種の異常検出回路および異常保護回路の基準電圧として使用される。また、第 2 基準電圧 V_{ref2} は、後述する自己診断回路の基準電圧として使用される。

[0033] 電源電圧 UVO 回路 5 は、電源電圧 V_{in} の低電圧異常を検出する異常保護回路である。電源電圧 UVO 回路 5 は、UVO 信号 UVLOVIN

を制御ロジック部15に出力する。制御ロジック部15は、電源電圧 V_{in} の低電圧異常が検出されると、ICをシャットダウンさせる。

[0034] 内部電圧UVLO回路6は、内部電圧 V_{reg50} の低電圧異常を検出する異常保護回路である。内部電圧UVLO回路6は、UVLO信号UVLOREG50を制御ロジック部15に出力する。制御ロジック部15は、内部電圧 V_{reg50} の低電圧異常が検出されると、セーフモード状態へ移行する。

[0035] 内部電圧UVLO回路7は、内部電圧 V_{reg15} の低電圧異常を検出する異常保護回路である。内部電圧UVLO回路7は、UVLO信号UVLOREG15を制御ロジック部15に出力する。制御ロジック部15は、内部電圧 V_{reg15} の低電圧異常が検出されると、スタンバイ状態へ移行する。

[0036] OTP8は、1回のみ書き込みが可能なROMであり、各種データが格納されている。OTP8は、制御ロジック部15によりデータを読み込まれる。

[0037] TSD回路9は、過熱保護回路であり、過熱保護信号TSDを制御ロジック部15に出力する。TSD回路9によりICチップのジャンクション温度が第1所定温度（例えば175℃）を上回ったことが検出されると、制御ロジック部15はICをシャットダウンさせる。

[0038] TW回路10は、過熱検出回路であり、過熱警告信号TWを制御ロジック部15に出力する。TW回路10は、ICチップのジャンクション温度が第2所定温度（＜第1所定温度、例えば140℃）を上回ったことを検出すると、過熱異常を警告する。

[0039] 第1DC/DC回路11は、PMIC1外部に配置されるインダクタL1、出力コンデンサC_{o1}、およびブートコンデンサC_{b1}とともに第1DC/DCコンバータ41（図1）を構成する。第1DC/DCコンバータ41は、電源電圧 V_{in} （例えば15.0V）を入力として出力電圧 V_{o1} （例えば3.7V）を出力する降圧コンバータ（Buck Converter）である。

[0040] SW1端子は、第1DC/DC回路11のスイッチング出力が印加される端子である。SW1端子は、インダクタL1の一端に接続される。インダクタL1の他端は、出力コンデンサC_{o1}の一端に接続される。出力コンデンサC_{o1}の他端は、PGND1端子に接続される。PGND1端子は、グラウンド電位の印加端に接続され、第1DC/DC回路11用のグラウンド端子である。ブートコンデンサC_{b1}は、ブートストラップを構成する。ブートコンデンサC_{b1}の一端は、BOOT1端子に接続される。ブートコンデンサC_{b1}の他端は、SW1端子に接続される。BOOT1端子に発生するブート電圧は、第1DC/DC回路11におけるハイサイドドライバに供給される。

[0041] 第1DC/DC回路11におけるスイッチング制御により、インダクタL1と出力コンデンサC_{o1}とが接続されるノードに出力電圧V_{o1}が生成される。出力電圧V_{o1}は、PVIN2端子およびPVIN3端子に印加され、第2DC/DC回路12および第3DC/DC回路13のそれぞれの入力電源とされる。

[0042] 出力電圧V_{o1}は、FB1端子に印加される。FB1端子は、出力電圧V_{o1}を第1DC/DC回路11に帰還させるための端子である。また、FB1端子に印加される出力電圧V_{o1}は、LDO14の入力電源としても使用される。

[0043] 第2DC/DC回路12は、PMIC1外部に配置されるインダクタL2、および出力コンデンサC_{o2}とともに第2DC/DCコンバータ42（図1）を構成する。第2DC/DCコンバータ42は、PVIN2端子に印加される出力電圧V_{o1}を入力として出力電圧V_{o2}（例えば1.1V）を出力する降圧コンバータ（Buck Converter）である。

[0044] SW2端子は、第2DC/DC回路12のスイッチング出力が印加される端子である。SW2端子は、インダクタL2の一端に接続される。インダクタL2の他端は、出力コンデンサC_{o2}の一端に接続される。出力コンデンサC_{o2}の他端は、PGND23端子に接続される。PGND23端子は、

グラウンド電位の印加端に接続され、第2 DC/DC回路12および第3 DC/DC回路13用のグラウンド端子である。

[0045] 第2 DC/DC回路12におけるスイッチング制御により、インダクタL2と出力コンデンサC_{o2}とが接続されるノードに出力電圧V_{o2}が生成される。出力電圧V_{o2}は、CMOSセンサ装置30に電源電圧として供給される。また、出力電圧V_{o2}は、FB2端子に印加される。FB2端子は、出力電圧V_{o2}を第2 DC/DC回路12に帰還させるための端子である。

[0046] 第3 DC/DC回路13は、PMIC1外部に配置されるインダクタL3、および出力コンデンサC_{o3}とともに第3 DC/DCコンバータ43（図1）を構成する。第3 DC/DCコンバータ43は、PVIN3端子に印加される出力電圧V_{o1}を入力として出力電圧V_{o3}（例えば1.8V）を出力する降圧コンバータ（Buck Converter）である。

[0047] SW3端子は、第3 DC/DC回路13のスイッチング出力が印加される端子である。SW3端子は、インダクタL3の一端に接続される。インダクタL3の他端は、出力コンデンサC_{o3}の一端に接続される。出力コンデンサC_{o3}の他端は、PGND23端子に接続される。

[0048] 第3 DC/DC回路13におけるスイッチング制御により、インダクタL3と出力コンデンサC_{o3}とが接続されるノードに出力電圧V_{o3}が生成される。出力電圧V_{o3}は、CMOSセンサ装置30に電源電圧として供給される。また、出力電圧V_{o3}は、FB3端子に印加される。FB3端子は、出力電圧V_{o3}を第3 DC/DC回路13に帰還させるための端子である。

[0049] LDO14は、FB1端子に印加される出力電圧V_{o1}を入力として出力電圧V_{o4}（例えば3.3V）を出力するリニアレギュレータである。出力電圧V_{o4}は、VO4端子から外部出力され、CMOSセンサ装置30に電源電圧として供給される。また、VO4端子は、出力電圧V_{o4}をLDO14に帰還させる端子としても使用される。

[0050] 制御ロジック部15は、PMIC1を統括的に制御する制御部である。

[0051] I2C入出力部16は、SDA端子およびSCL端子を介してCMOSセ

ンサ装置30との間でI2C通信を行う。I2Cは、シリアルインタフェースの一種である。SDA端子は、シリアルインタフェースデータの入出力に使用される。SCL端子は、シリアルインタフェースクロックの入力に使用される。

[0052] リセット入出力部17は、RSTOUT端子を介してリセット出力信号RstをCMOSセンサ装置30に出力する。リセット出力信号Rstは、後述するように、異常保護回路により異常が検出された場合に、異常を示すレベル（例えばLow）とされる。

[0053] ワーニング入出力部18は、WAROUT端子を介してワーニング出力信号WoをCMOSセンサ装置30に出力する。ワーニング出力信号Woは、後述するように、異常検出回路または異常保護回路により異常が検出された場合に、異常を示すレベル（例えばLow）とされる。

[0054] <3. 異常検出回路>

第1過電圧検出回路19、第2過電圧検出回路21、第3過電圧検出回路24、および第4過電圧検出回路27は、過電圧異常を検出する異常検出回路である。

[0055] 第1過電圧検出回路19は、FB1端子に印加される出力電圧Vo1の過電圧を検出する回路であり、過電圧検出信号OVD1を出力する。第2過電圧検出回路21は、FB2端子に印加される出力電圧Vo2の過電圧を検出する回路であり、過電圧検出信号OVD2を出力する。第3過電圧検出回路24は、FB3端子に印加される出力電圧Vo3の過電圧を検出する回路であり、過電圧検出信号OVD3を出力する。第4過電圧検出回路27は、VO4端子に印加される出力電圧Vo4の過電圧を検出する回路であり、過電圧検出信号OVD4を出力する。

[0056] 第1減電圧検出回路20、第2減電圧検出回路22、第3減電圧検出回路25、および第4減電圧検出回路28は、減電圧異常を検出する異常検出回路である。

[0057] 第1減電圧検出回路20は、FB1端子に印加される出力電圧Vo1の減

電圧を検出する回路であり、減電圧検出信号UVD1を出力する。第2減電圧検出回路22は、FB2端子に印加される出力電圧Vo2の減電圧を検出する回路であり、減電圧検出信号UVD2を出力する。第3減電圧検出回路25は、FB3端子に印加される出力電圧Vo3の減電圧を検出する回路であり、減電圧検出信号UVD3を出力する。第4減電圧検出回路28は、VO4端子に印加される出力電圧Vo4の減電圧を検出する回路であり、減電圧検出信号UVD4を出力する。

[0058] また、TW回路10は、過熱異常を検出する異常検出回路である。

[0059] このような上記いずれかの異常検出回路により異常が検出された場合、制御ロジック部15は、アクティブ状態（通常動作状態）を継続するが、ワーニング出力信号Woを異常を示すレベル（例えばLow）とし、CMOSセンサ装置30に警告する。このとき、リセット出力信号Rst0は、正常を示すレベル（例えばHigh）とさせる。

[0060] <4. 異常保護回路>

第2減電圧保護回路23、第3減電圧保護回路26、および第4減電圧保護回路29は、減電圧異常を検出する異常保護回路である。

[0061] 第2減電圧保護回路23は、FB2端子に印加される出力電圧Vo2の減電圧を検出する回路であり、減電圧保護信号UVP2を出力する。第3減電圧保護回路26は、FB3端子に印加される出力電圧Vo3の減電圧を検出する回路であり、減電圧保護信号UVP3を出力する。第4減電圧保護回路29は、VO4端子に印加される出力電圧Vo4の減電圧を検出する回路であり、減電圧保護信号UVP4を出力する。

[0062] また、電源電圧UVLO回路5、内部電圧UVLO回路6、7、およびTSD回路9は、いずれも異常保護回路である。

[0063] このような上記いずれかの異常保護回路により異常が検出された場合、制御ロジック部15は、シャットダウン状態、セーフモード状態、スタンバイ状態のいずれかに移行する。上記減電圧保護回路により異常が検出された場合は、制御ロジック部15は、セーフモードへ移行する。また、このとき、

制御ロジック部15は、ワーニング出力信号W_oとリセット出力信号R_{s t o}をとともに異常を示すレベル（例えばL_{o w}）とし、CMOSセンサ装置30に異常を通知する。

[0064] なお、異常保護回路は、異常を検出する機能は有するので、異常検出回路としても捉えることができる。

[0065] <5. 自己診断機能>

本実施形態に係るPMIC1は、異常検出回路および異常保護回路が正常に動作しているかを診断する自己診断（BIST: Built-In Self Test）機能を有している。以下、自己診断機能について説明する。

[0066] 図2に示すように、第1～第4過電圧検出回路19, 21, 24, 27、第1～第4減電圧検出回路20, 22, 25, 28、および第2～第4減電圧保護回路23, 26, 29のそれぞれに対応して自己診断回路が設けられる（図2の「A-BIST」）。

[0067] <5-1. 自己診断回路の構成>

ここでは、図3を用いて、減電圧検出回路20および過電圧検出回路19それぞれを診断する自己診断回路BST1の構成について説明する。

[0068] 減電圧検出回路20は、コンパレータCMP1と、インバータIV1と、抵抗R1～R3と、NMOSトランジスタNM1と、を有している。より具体的には、抵抗R1の一端は、FB1端子に接続される。抵抗R1の他端は、ノードN1において抵抗R2の一端に接続される。ノードN1は、後述する自己診断回路BST1に含まれる第2経路切替スイッチSW_UVD2の一端に接続される。第2経路切替スイッチSW_UVD2の他端は、ノードN3においてコンパレータCMP1の非反転入力端（+）に接続される。コンパレータCMP1の反転入力端（-）は、基準電圧生成部4により生成される第1基準電圧V_{ref1}の印加端に接続される。コンパレータCMP1の出力端は、インバータIV1の入力端に接続される。

[0069] NMOSトランジスタNM1および抵抗R3は、ヒステリシス機能のために設けられる。インバータIV1の出力端は、NMOSトランジスタNM1

のゲートに接続される。NMOSトランジスタNM1のソースは、グランド電位の印加端に接続される。NMOSトランジスタNM1のドレインは、抵抗R2の他端と抵抗R3の一端とが接続されるノードN2に接続される。抵抗R3の他端は、グランド電位の印加端に接続される。

[0070] また、自己診断回路BST1は、第1経路切替スイッチSW_UVD1、第2経路切替スイッチSW_UVD2、第1経路切替スイッチSW_OVD1、第2経路切替スイッチSW_OVD2、ハイサイドスイッチSW_BIST_H、ローサイドスイッチSW_BIST_L、抵抗R7～R9、および制御ロジック部15を有している。第1経路切替スイッチSW_UVD1、第2経路切替スイッチSW_UVD2、第1経路切替スイッチSW_OVD1、第2経路切替スイッチSW_OVD2、ハイサイドスイッチSW_BIST_H、およびローサイドスイッチSW_BIST_Lは、それぞれ制御ロジック部15によりオンオフ制御される。

[0071] 抵抗R7の一端は、基準電圧生成部4により生成される第2基準電圧Vref2の印加端に接続される。抵抗R7の他端は、ノードN4において抵抗R8の一端に接続される。抵抗R8の他端は、ノードN5において抵抗R9の一端に接続される。抵抗R9の他端は、グランド電位の印加端に接続される。

[0072] ノードN4は、ハイサイドスイッチSW_BIST_Hの一端に接続される。ハイサイドスイッチSW_BIST_Hの他端は、ノードN6において第1経路切替スイッチSW_UVD1の一端に接続される。第1経路切替スイッチSW_UVD1の他端は、ノードN3に接続される。

[0073] ノードN5は、ローサイドスイッチSW_BIST_Lの一端に接続される。ローサイドスイッチSW_BIST_Lの他端は、ノードN7においてノードN6に接続される。

[0074] また、過電圧検出回路19は、コンパレータCMP2と、インバータINV2と、抵抗R4～R6と、NMOSトランジスタNM2と、を有している。

[0075] 過電圧検出回路19の構成は、減電圧検出回路20の構成における接続関

係と同様であるため、過電圧検出回路 19 の構成における接続関係については詳述は省く。ノード N 7 は、第 1 経路切替スイッチ SW_OVD 1 の一端に接続される。第 1 経路切替スイッチ SW_OVD 1 の他端は、第 2 経路切替スイッチ SW_OVD 2 とコンパレータ CMP 2 の非反転入力端 (+) が接続されるノード N 8 に接続される。

[0076] <5-2. 異常検出回路および自己診断回路の動作>

次に、このような図 3 に示す構成における動作について説明する。通常動作時などにおいて、第 1 経路切替スイッチ SW_UVD 1 はオフ状態、第 2 経路切替スイッチ SW_UVD 2 はオン状態とされる。この場合、ハイサイド SW_BIST_H とローサイドスイッチ SW_BIST_L は、ともにオフ状態とされる。これにより、FB 1 端子に印加される出力電圧 V_{o1} を R 1 ~ R 3 により分圧されて生成される電圧が第 2 経路切替スイッチ SW_UVD 2 を介してコンパレータ CMP 1 の非反転入力端 (+) にコンパレータ入力信号 CMP 1_IN として入力される。コンパレータ CMP 1 は、コンパレータ入力信号 CMP 1_IN と第 1 基準電圧 V_{ref1} とを比較する。

[0077] これにより、出力電圧 V_{o1} に基づく電圧であるコンパレータ入力信号 CMP 1_IN が第 1 基準電圧 V_{ref1} を上回っている場合、コンパレータ CMP 1 の出力が High となり、インバータ IV 1 の出力である減電圧検出信号 UVD 1 は Low となる。一方、コンパレータ入力信号 CMP 1_IN が第 1 基準電圧 V_{ref1} 以下の場合、コンパレータ CMP 1 の出力が Low となり、インバータ IV 1 の出力である減電圧検出信号 UVD 1 は High となる。減電圧検出信号 UVD 1 は、制御ロジック部 15 に入力される。このようにして、出力電圧 V_{o1} に減電圧が生じた場合、異常を示す High の減電圧検出信号 UVD 1 を制御ロジック部 15 に通知することができる。

[0078] また、通常動作時などにおいて、第 1 経路切替スイッチ SW_OVD 1 はオフ状態、第 2 経路切替スイッチ SW_OVD 2 はオン状態とされる。この場合、FB 1 端子に印加される出力電圧 V_{o1} を R 4 ~ R 6 により分圧されて生成される電圧が第 2 経路切替スイッチ SW_OVD 2 を介してコンパレータ C

MP 2 の非反転入力端 (+) にコンパレータ入力信号 CMP 2 I N として入力される。コンパレータ CMP 2 は、コンパレータ入力信号 CMP 2 I N と第 1 基準電圧 V r e f 1 とを比較する。

[0079] これにより、出力電圧 V o 1 に基づく電圧であるコンパレータ入力信号 CMP 2 I N が第 1 基準電圧 V r e f 1 以下の場合、コンパレータ CMP 2 の出力である過電圧検出信号 O V D 1 は L o w となる。一方、コンパレータ入力信号 CMP 2 I N が第 1 基準電圧 V r e f 1 を上回っている場合、コンパレータ CMP 2 の出力である過電圧検出信号 O V D 1 が H i g h となる。過電圧検出信号 O V D 1 は、制御ロジック部 1 5 に入力される。このようにして、出力電圧 V o 1 に過電圧が生じた場合、異常を示す H i g h の過電圧検出信号 O V D 1 を制御ロジック部 1 5 に通知することができる。

[0080] また、減電圧検出回路 2 0 の自己診断動作時には、制御ロジック部 1 5 は、第 1 経路切替スイッチ SW _ U V D 1 をオン状態、第 2 経路切替スイッチ SW _ U V D 2 をオフ状態とする。また、制御ロジック部 1 5 は、第 1 経路切替スイッチ SW _ O V D 1 はオフ状態とする。この場合、制御ロジック部 1 5 は、ハイサイドスイッチ SW _ B I S T _ H をオン状態、ローサイドスイッチ SW _ B I S T _ L をオフ状態とする第 1 状態と、ハイサイドスイッチ SW _ B I S T _ H をオフ状態、ローサイドスイッチ SW _ B I S T _ L をオン状態とする第 2 状態と、を切り替える。

[0081] これにより、上記第 1 状態の場合、第 2 基準電圧 V r e f 2 を抵抗 R 7 ~ R 9 により分圧してノード N 4 に生成される電圧（第 1 レベルの電圧）がハイサイドスイッチ SW _ B I S T _ H および第 1 経路切替スイッチ SW _ U V D 1 を介してコンパレータ CMP 1 の非反転入力端 (+) にコンパレータ入力信号 CMP 1 I N として入力される。この場合、コンパレータ CMP 1 が正常に動作していれば、コンパレータ CMP 1 の出力は H i g h となり、減電圧検出信号 U V D 1 は L o w となる。

[0082] 一方、上記第 2 状態の場合、第 2 基準電圧 V r e f 2 を抵抗 R 7 ~ R 9 により分圧してノード N 5 に生成される電圧（第 2 レベルの電圧）がローサイ

ドスイッチSW_BIST_Lおよび第1経路切替スイッチSW_UVD1を介してコンパレータCMP1の非反転入力端(+)にコンパレータ入力信号CMP1INとして入力される。この場合、コンパレータCMP1が正常に動作していれば、コンパレータCMP1の出力はLowとなり、減電圧検出信号UVD1はHighとなる。

[0083] 従って、制御ロジック部15は、減電圧検出信号UVD1のレベルがHighとLowで切り替わっているかを判断することで、減電圧検出回路20が正常であるか否かを診断できる。

[0084] また、過電圧検出回路19の自己診断動作時には、制御ロジック部15は、第1経路切替スイッチSW_OVD1をオン状態、第2経路切替スイッチSW_OVD2をオフ状態とする。また、制御ロジック部15は、第1経路切替スイッチSW_UVD1はオフ状態とする。この場合、制御ロジック部15は、上記第1状態と上記第2状態とを切り替える。

[0085] これにより、上記第1状態の場合、第2基準電圧Vref2を抵抗R7～R9により分圧してノードN4に生成される電圧がハイサイドスイッチSW_BIST_Hおよび第1経路切替スイッチSW_OVD1を介してコンパレータCMP2の非反転入力端(+)にコンパレータ入力信号CMP2INとして入力される。この場合、コンパレータCMP2が正常に動作していれば、コンパレータCMP2の出力である過電圧検出信号OVD1はHighとなる。

[0086] 一方、上記第2状態の場合、第2基準電圧Vref2を抵抗R7～R9により分圧してノードN5に生成される電圧がローサイドスイッチSW_BIST_Lおよび第1経路切替スイッチSW_OVD1を介してコンパレータCMP2の非反転入力端(+)にコンパレータ入力信号CMP2INとして入力される。この場合、コンパレータCMP2が正常に動作していれば、コンパレータCMP2の出力である過電圧検出信号OVD1はLowとなる。

[0087] 従って、制御ロジック部15は、過電圧検出信号OVD1のレベルがHighとLowで切り替わっているかを判断することで、過電圧検出回路19

が正常であるか否かを診断できる。

[0088] このように、本実施形態では、抵抗 $R7 \sim R9$ と、ハイサイドスイッチ SW_BIST_H と、ローサイドスイッチ SW_BIST_L とから、第2基準電圧 V_{ref2} に基づく電圧のレベルを切り替えて出力する電圧切替え部50が構成される。また、第1経路切替スイッチ SW_UVD1 、 SW_OVD1 と第2経路切替スイッチ SW_UVD2 、 SW_OVD2 は、第2基準電圧 V_{ref2} に基づく電圧をコンパレータに印加させる第1経路と、出力電圧 V_{o1} に基づく電圧をコンパレータに印加させる第2経路と、を切り替える経路切替え部51、52を構成する。第1経路切替え部51は、第1経路切替スイッチ SW_UVD1 および第2経路切替スイッチ SW_UVD2 から構成される。第2経路切替え部52は、第1経路切替スイッチ SW_OVD1 および第2経路切替スイッチ SW_OVD2 から構成される。

[0089] そして、自己診断動作時には、第1経路切替スイッチ SW_UVD1 、 SW_OVD1 をオン状態、第2経路切替スイッチ SW_UVD2 、 SW_OVD2 をオフ状態とすることで、上記第2経路を遮断して上記第1経路を確保する。その状態で、ハイサイドスイッチ SW_BIST_H とローサイドスイッチ SW_BIST_L による上記第1状態と上記第2状態とを切り替えることで、出力電圧 V_{o1} とは関係なしにレベルの異なる電圧を電圧切替え部50から出力させコンパレータに印加させる。これにより、コンパレータの出力レベルが切り替わっているかに基づいて制御ロジック部15は異常検出回路の診断を行うことができる。

[0090] このように、本実施形態では、異常検出対象電圧である出力電圧 V_{o1} の値とは関係なしに、異常検出回路の診断を行うことができる。これにより、後述するように、IC起動時の出力電圧 V_{o1} の立上り前に、自己診断動作を実施することが可能となる。

[0091] <5-3. 変形例等>

なお、減電圧検出回路20用の自己診断動作と、過電圧検出回路19用の自己診断動作は、時系列的に順に実施するが、実施する順番は問わない。

[0092] また、ハイサイドスイッチSW_B I S T_HとローサイドスイッチSW_B I S T_Lによる上記第1状態と上記第2状態との切り替えについては、いずれの状態から開始してもよいし、切り替える回数は1回以上であれば回数は問わない。

[0093] また、自己診断動作を実施する一方の異常検出回路とは他方の異常検出回路において、第2経路切替スイッチSW_UVD2、SW_OVD2のオンオフ状態は問わない。

[0094] また、第2過電圧検出回路21および第2減電圧検出回路22についても、図3と同様な構成で自己診断回路を設けることができる。なお、第2減電圧保護回路23およびその自己診断回路については、図3に示す第1減電圧検出回路20、第1経路切替スイッチSW_UVD1、および第2経路切替スイッチSW_UVD2と同様な構成を第2過電圧検出回路21および第2減電圧検出回路22に追加すればよい。

[0095] 第3過電圧検出回路24、第3減電圧検出回路25、および第3減電圧保護回路26、ならびにそれらの自己診断回路について、第4過電圧検出回路27、第4減電圧検出回路28、および第4減電圧保護回路29、ならびにそれらの自己診断回路についても、第2過電圧検出回路21、第2減電圧検出回路22、および第2減電圧保護回路23、ならびにそれらの自己診断回路と同様に構成すればよい。

[0096] さらに、上記では異常検出対象電圧としては、電源回路の出力電圧V_{o1}～V_{o4}であったが、これに限らず、電源電圧V_{in}、内部電圧（V_{reg50}など）、またはジャンクション温度の検出電圧として、上記と同様に自己診断回路を構成してもよい。すなわち、UVLO回路、または過熱検出・保護回路において自己診断回路を適用することが可能である。

[0097] <6. IC起動時の動作例>

ここで、図4は、PMIC1の起動時における動作例を示すタイミングチャートである。図4において、まず制御ロジック部15は、スタンバイ状態であり、ICは動作を停止している。この状態でタイミングt1において、

電源電圧 V_{in} の立ち上がりが始まると、それに伴い、内部電圧 V_{reg50} および V_{reg15} の立ち上がりも開始される。

[0098] そして、タイミング t_2 において、内部電圧 V_{reg15} の UVLO 解除が内部電圧 UVLO 回路 7 により検出されると、制御ロジック部 15 は、スタンバイ状態からデジタル自己診断モード状態 (D-BIST) へ移行する。

[0099] デジタル自己診断モード状態において、正常である旨が診断されると、制御ロジック部 15 は、OTP ロード状態へ移行する。ここで、制御ロジック部 15 は、OTP 8 からデータを読み込み、設定を初期化する。

[0100] OTP ロード状態が完了すると、制御ロジック部 15 は、アナログ自己診断モード状態 (A-BIST) へ移行する。アナログ自己診断モード状態において、先述した各種の過電圧検出回路、減電圧検出回路、および減電圧保護回路の自己診断動作が実施される。なお、ここで、先述したように UVLO 回路および過熱異常検出・保護回路の自己診断動作を実施してもよい。

[0101] そして、アナログ自己診断モード状態において、すべての回路について正常であるとの診断がなされた場合、かつ、電源電圧 V_{in} の UVLO 解除状態、かつ内部電圧 V_{reg50} の UVLO 解除状態であることを条件として、制御ロジック部 15 は、アナログ自己診断モード状態からスタートアップ状態へ移行する。

[0102] スタートアップ状態へ移行すると、制御ロジック部 15 は、第 1～第 3 DC/DC 回路 11, 12, 13、および LDO 14 を制御して、出力電圧 $V_{o1} \sim V_{o4}$ を順に立ち上げる。より具体的には、まず出力電圧 V_{o1} の立ち上げを開始し、出力電圧 V_{o1} の減電圧状態が解除され、出力電圧 V_{o1} が正常に立ち上がったことが検出されると、出力電圧 V_{o2} の立ち上げを開始する。そして、出力電圧 V_{o2} の減電圧状態が解除され、出力電圧 V_{o2} が正常に立ち上がったことが検出されると、出力電圧 V_{o3} の立ち上げを開始する。そして、出力電圧 V_{o3} の減電圧状態が解除され、出力電圧 V_{o3} が正常に立ち上がったことが検出されると、出力電圧 V_{o4} の立ち上げを開

始する。

[0103] そして、出力電圧 V_{o4} の減電圧状態が解除され、出力電圧 V_{o4} が正常に立ち上がったことが検出されると、制御ロジック部 15 は、ワーニング出力信号 W_o を $H i g h$ に立ち上げる。ワーニング出力信号 W_o を $H i g h$ に立ち上げてから、所定の遅延時間が経過するまでに異常保護回路による異常検出がなかった場合は、制御ロジック部 15 は、リセット出力信号 $R s t_o$ を $H i g h$ に立ち上げるとともに、スタートアップ状態からアクティブ状態（通常動作状態）へ移行する。

[0104] このように、図 4 に示す起動動作においては、出力電圧 $V_{o1} \sim V_{o4}$ の立上り前に自己診断動作（ $A - B I S T$ ）を実施することができる。これにより、異常な出力電圧 $V_{o1} \sim V_{o4}$ を出力することなしに診断を行うことができる。なお、異常である旨の診断がされた場合、制御ロジック部 15 は、セーフモードへ移行する。

[0105] < 7. 自己診断動作例 >

図 5 は、アナログ自己診断モード状態（ $A - B I S T$ ）等における第 1 減電圧検出回路 20（図 3）の自己診断動作の一例を示すタイミングチャートである。なお、図 5 において、スイッチの状態は、 $H i g h$ がオン状態、 $L o w$ がオフ状態を示す。

[0106] 図 5 に示すように、アナログ自己診断モード状態において、第 1 経路切替スイッチ SW_UVD1 はオン状態、第 2 経路切替スイッチ SW_UVD2 はオフ状態とされる。一方、ハイサイドスイッチ SW_BIST_H とローサイドスイッチ SW_BIST_L のオンオフ状態は、第 1 状態 → 第 2 状態 → 第 1 状態の順に切り替わる。これにより、コンパレータ入力信号 $CMP1IN$ は、 $H i g h \rightarrow L o w \rightarrow H i g h$ と切り替えられる。図 5 の例では、コンパレータ $CMP11$ は正常であるため、減電圧検出信号 $UVD1$ は、 $L o w \rightarrow H i g h \rightarrow L o w$ と切り替わっている。従って、制御ロジック部 15 は、減電圧検出回路 20 は正常である旨の診断をしている。

[0107] また、図 5 に示すように、制御ロジック部 15 は、アクティブ状態から自

己診断モード状態（SELF TEST）へ移行することも可能である。この移行は、CMOSセンサ装置30からのI2C通信による指令に応じて行われる。この自己診断モード状態においても、アナログ自己診断モード状態と同様に減電圧検出回路20における自己診断動作が実施されている。

[0108] <8. その他>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

[0109] <9. 付記>

以上のように、例えば、本開示の一態様に係る自己診断回路（BST1）は、異常検出対象電圧（Vo1）に基づく電圧と、第1基準電圧（Vref1）とを入力可能な第1コンパレータ（CMP1）を有する異常検出回路（20）を診断する自己診断回路であって、

第2基準電圧（Vref2）に基づく電圧のレベルを切り替えて出力する電圧切替え部（50）と、

前記電圧切替え部から出力される電圧が前記第1コンパレータに入力される経路と、前記異常検出対象電圧に基づく電圧が前記第1コンパレータに入力される経路とを切り替える第1経路切替え部（51）と、

前記電圧切替え部および前記経路切替え部を制御する制御部（15）と、を有する構成としている（第1の構成）。

[0110] また、上記第1の構成において、前記電圧切替え部（50）は、前記第2基準電圧（Vref2）に基づく第1レベルの電圧が生じる第1ノード（N4）に接続される一端を有する第1スイッチ（SW_B1ST_H）と、前記第2基準電圧に基づく第2レベルの電圧が生じる第2ノード（N5）に接続される一端と、前記第1スイッチの他端と接続される他端を有する第2スイ

ッチ (SW_B I S T_L) と、を有し、前記第 1 スイッチおよび前記第 2 スイッチは、前記制御部 (15) によりオンオフ制御される構成としてもよい (第 2 の構成)。

[0111] また、上記第 2 の構成において、前記電圧切替え部 (50) は、

前記第 2 基準電圧 (V_{ref2}) の印加端に接続される一端を有する第 1 抵抗 ($R7$) と、前記第 1 抵抗の他端と前記第 1 ノード ($N4$) において接続される一端を有する第 2 抵抗 ($R8$) と、前記第 2 抵抗の他端と前記第 2 ノード ($N5$) において接続される一端を有する第 3 抵抗 ($R9$) と、を有する構成としている (第 3 の構成)。

[0112] また、上記第 1 から第 3 のいずれかの構成において、前記第 1 経路切替え部 (51) は、前記電圧切替え部 (50) から出力される電圧が印加される第 3 ノード ($N6$) と前記第 1 コンパレータ (CMP1) の入力端との間に配置される第 3 スイッチ (SW_UVD1) と、前記異常検出対象電圧 (V_{o1}) に基づく電圧が印加される第 4 ノード ($N1$) と前記第 1 コンパレータの前記入力端との間に配置される第 4 スイッチ (SW_UVD2) と、を有する構成としてもよい (第 4 の構成)。

[0113] また、上記第 4 の構成において、前記異常検出回路 (20) は、前記異常検出対象電圧 (V_{o1}) の印加端に接続される一端を有する第 4 抵抗 ($R1$) と、前記第 4 抵抗の他端と前記第 4 ノード ($N1$) において接続される一端を有する第 5 抵抗 ($R2$) と、前記第 5 抵抗の他端と第 5 ノード ($N2$) において接続される一端を有する第 6 抵抗 ($R3$) と、前記第 1 コンパレータの出力に基づき駆動されるゲートと、前記第 5 ノードに接続されるドレインとを含む NMOS トランジスタ (NM1) と、を有する構成としてもよい (第 5 の構成)。

[0114] また、上記第 1 から第 5 のいずれかの構成において、前記第 1 基準電圧 (V_{ref1}) は、前記第 1 コンパレータ (CMP1) の一方の入力端に印加され、前記異常検出回路 (20, 19) は、前記第 1 基準電圧が印加される一方の入力端を有する第 2 コンパレータ (CMP2) を有し、当該自己診断

回路（ＢＳＴ１）は、前記電圧切替え部（５０）から出力される電圧が前記第２コンパレータの他方の入力端に入力される経路と、前記異常検出対象電圧（Ｖｏ１）に基づく電圧が前記第２コンパレータの前記他方の入力端に入力される経路とを切り替える第２経路切替え部（５２）を有する構成としてもよい（第６の構成）。

[0115] また、上記第１から第６のいずれかの構成において、前記異常検出対象電圧（Ｖｏ１）は、電源回路（４１）の出力電圧である構成としてもよい（第７の構成）。

[0116] また、上記第７の構成において、当該自己診断回路（ＢＳＴ１）を含むＩＣ（１）の起動において前記出力電圧（Ｖｏ１）が立ち上がる前に自己診断動作を行う構成としてもよい（第８の構成）。

[0117] また、本開示の一態様に係る半導体装置（１）は、上記第１から第８のいずれかの構成とした自己診断回路（ＢＳＴ１）を有する構成としている（第９の構成）。

[0118] また、上記第９の構成において、車載用装置（３０）に電源を供給する電源回路（１４）を有し、前記異常検出対象電圧（Ｖｏ４）は、前記電源回路の出力電圧である構成としてもよい（第１０の構成）。

産業上の利用可能性

[0119] 本開示は、例えば、車載用のＰＭＩＣに利用することが可能である。

符号の説明

[0120]	１	ＰＭＩＣ
	２，３	内部電圧生成部
	４	基準電圧生成部
	５	電源電圧ＵＶＬＯ回路
	６，７	内部電圧ＵＶＬＯ回路
	８	ＯＴＰ
	９	ＴＳＤ回路
	１０	ＴＷ回路

1 1, 1 2, 1 3 D C / D C 回路
1 4 L D O
1 5 制御ロジック部
1 6 I 2 C 入出力部
1 7 リセット入出力部
1 8 ワーニング入出力部
1 9 第 1 過電圧検出回路
2 0 第 1 減電圧検出回路
2 1 第 2 過電圧検出回路
2 2 第 2 減電圧検出回路
2 3 第 2 減電圧保護回路
2 4 第 3 過電圧検出回路
2 5 第 3 減電圧検出回路
2 6 第 3 減電圧保護回路
2 7 第 4 過電圧検出回路
2 8 第 4 減電圧検出回路
2 9 第 4 減電圧保護回路
3 0 C M O S センサ装置
4 1 第 1 D C / D C コンバータ
4 2 第 2 D C / D C コンバータ
4 3 第 3 D C / D C コンバータ
B S T 1 自己診断回路
C M P 1, C M P 2 コンパレータ
C b 1 ブートコンデンサ
C o 1 ~ C o 3 出力コンデンサ
I V 1, I V 2 インバータ
L 1 ~ L 3 インダクタ
N M 1, N M 2 N M O S トランジスタ

R 1 ～ R 9	抵抗
SW_B I S T _H	ハイサイドスイッチ
SW_B I S T _L	ローサイドスイッチ
SW_U V D 1	第 1 経路切替スイッチ
SW_U V D 2	第 2 経路切替スイッチ
SW_O V D 1	第 1 経路切替スイッチ
SW_O V D 2	第 2 経路切替スイッチ

請求の範囲

- [請求項1] 異常検出対象電圧に基づく電圧と、第1基準電圧とを入力可能な第1コンパレータを有する異常検出回路を診断する自己診断回路であって、
- 第2基準電圧に基づく電圧のレベルを切り替えて出力する電圧切替え部と、
- 前記電圧切替え部から出力される電圧が前記第1コンパレータに入力される経路と、前記異常検出対象電圧に基づく電圧が前記第1コンパレータに入力される経路とを切り替える第1経路切替え部と、
- 前記電圧切替え部および前記経路切替え部を制御する制御部と、
- を有する、自己診断回路。
- [請求項2] 前記電圧切替え部は、
- 前記第2基準電圧に基づく第1レベルの電圧が生じる第1ノードに接続される一端を有する第1スイッチと、
- 前記第2基準電圧に基づく第2レベルの電圧が生じる第2ノードに接続される一端と、前記第1スイッチの他端と接続される他端を有する第2スイッチと、
- を有し、
- 前記第1スイッチおよび前記第2スイッチは、前記制御部によりオンオフ制御される、請求項1に記載の自己診断回路。
- [請求項3] 前記電圧切替え部は、
- 前記第2基準電圧の印加端に接続される一端を有する第1抵抗と、
- 前記第1抵抗の他端と前記第1ノードにおいて接続される一端を有する第2抵抗と、
- 前記第2抵抗の他端と前記第2ノードにおいて接続される一端を有する第3抵抗と、
- を有する、請求項2に記載の自己診断回路。
- [請求項4] 前記第1経路切替え部は、

前記電圧切替え部から出力される電圧が印加される第3ノードと前記第1コンパレータの入力端との間に配置される第3スイッチと、
前記異常検出対象電圧に基づく電圧が印加される第4ノードと前記第1コンパレータの前記入力端との間に配置される第4スイッチと、
を有する、請求項1から請求項3のいずれか1項に記載の自己診断回路。

[請求項5]

前記異常検出回路は、
前記異常検出対象電圧の印加端に接続される一端を有する第4抵抗と、
前記第4抵抗の他端と前記第4ノードにおいて接続される一端を有する第5抵抗と、
前記第5抵抗の他端と第5ノードにおいて接続される一端を有する第6抵抗と、
前記第1コンパレータの出力に基づき駆動されるゲートと、前記第5ノードに接続されるドレインとを含むNMOSトランジスタと、
を有する、請求項4に記載の自己診断回路。

[請求項6]

前記第1基準電圧は、前記第1コンパレータの一方の入力端に印加され、
前記異常検出回路は、前記第1基準電圧が印加される一方の入力端を有する第2コンパレータを有し、
当該自己診断回路は、前記電圧切替え部から出力される電圧が前記第2コンパレータの他方の入力端に入力される経路と、前記異常検出対象電圧に基づく電圧が前記第2コンパレータの前記他方の入力端に入力される経路とを切り替える第2経路切替え部を有する、請求項1から請求項5のいずれか1項に記載の自己診断回路。

[請求項7]

前記異常検出対象電圧は、電源回路の出力電圧である、請求項1から請求項6のいずれか1項に記載の自己診断回路。

[請求項8]

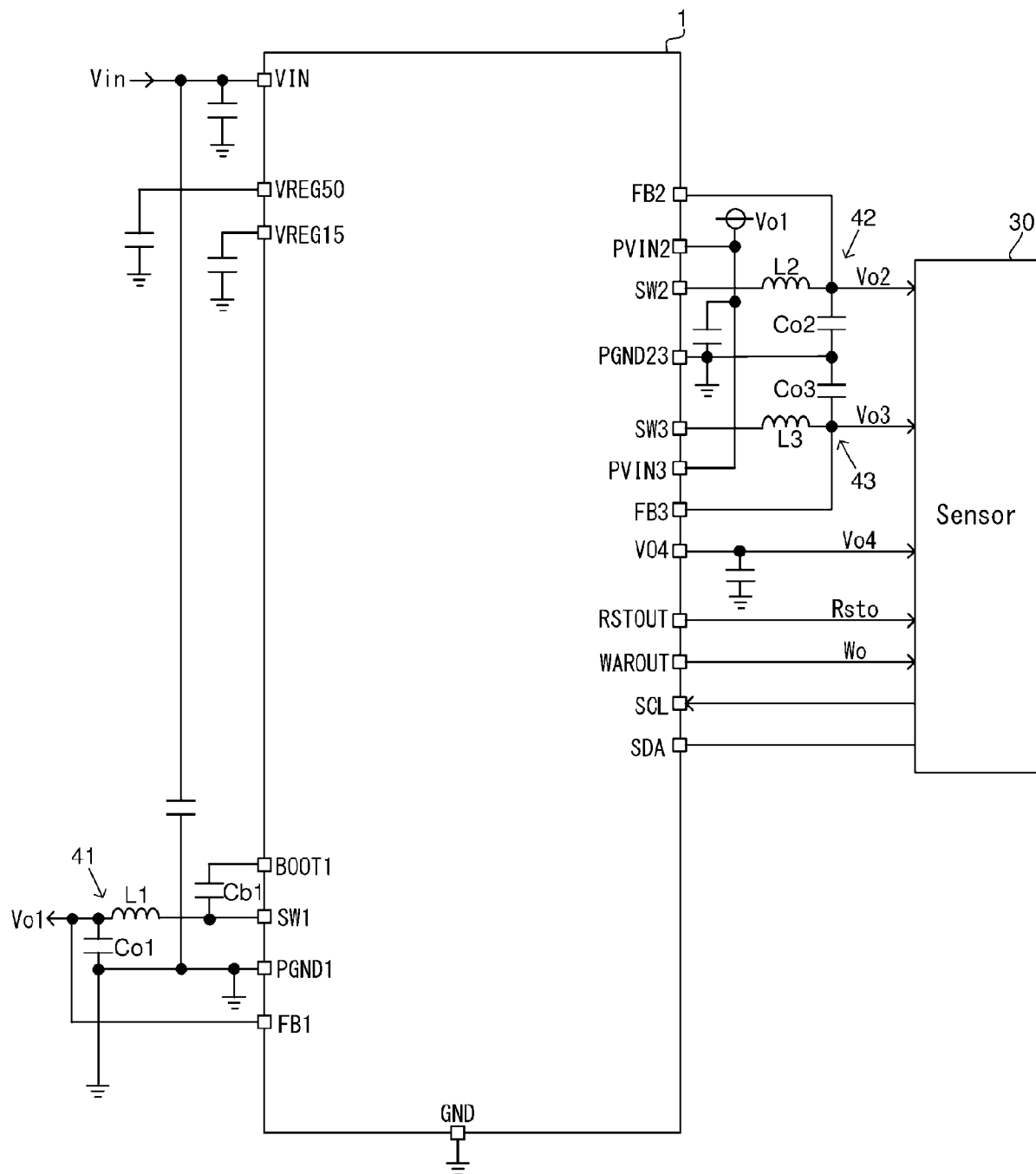
当該自己診断回路を含むICの起動において前記出力電圧が立ち上

がる前に自己診断動作を行う、請求項 7 に記載の自己診断回路。

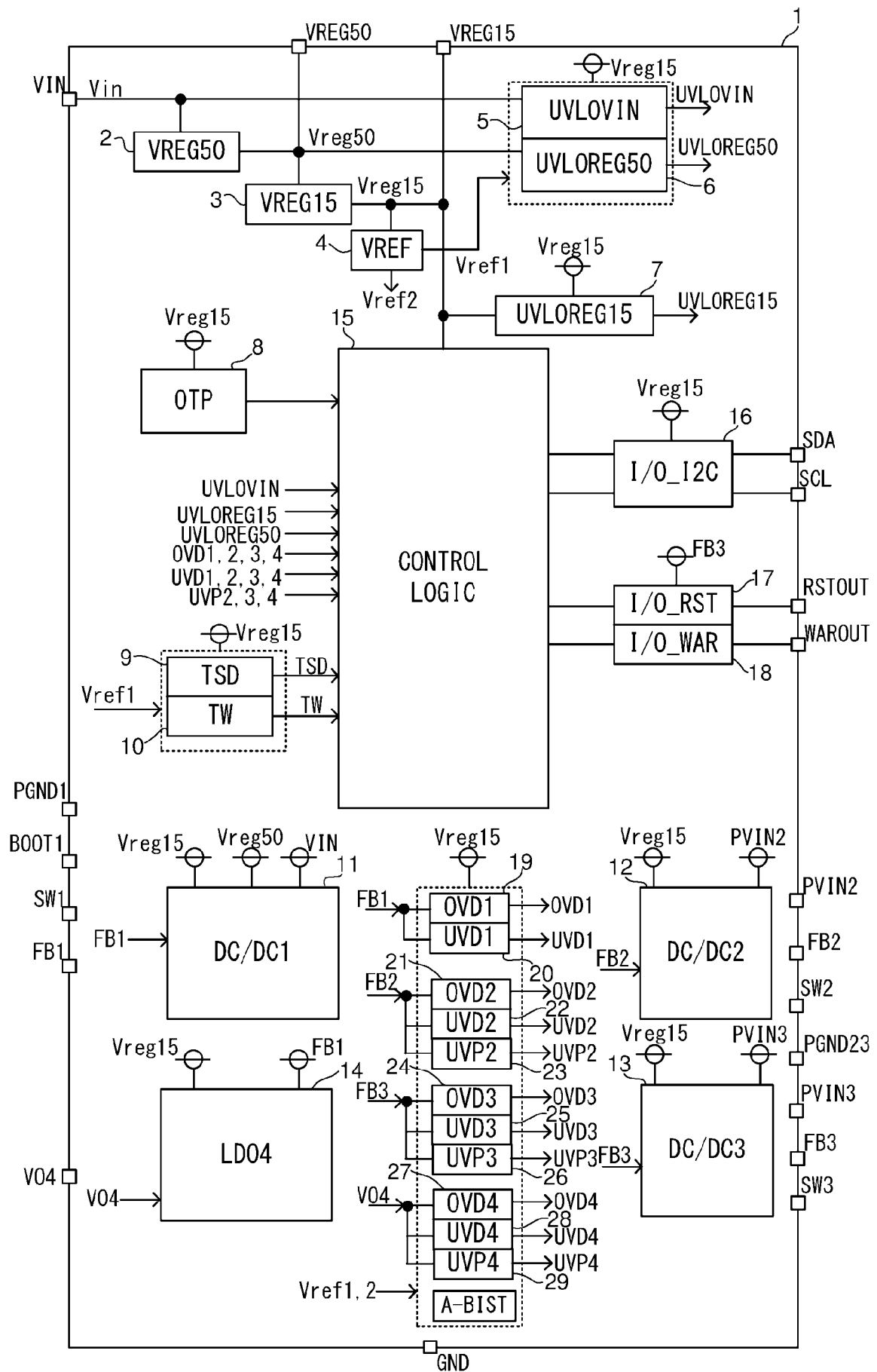
[請求項9] 請求項 1 から請求項 8 のいずれか 1 項に記載の自己診断回路を有する、半導体装置。

[請求項10] 車載用装置に電源を供給する電源回路を有し、
前記異常検出対象電圧は、前記電源回路の出力電圧である、請求項 9 に記載の半導体装置。

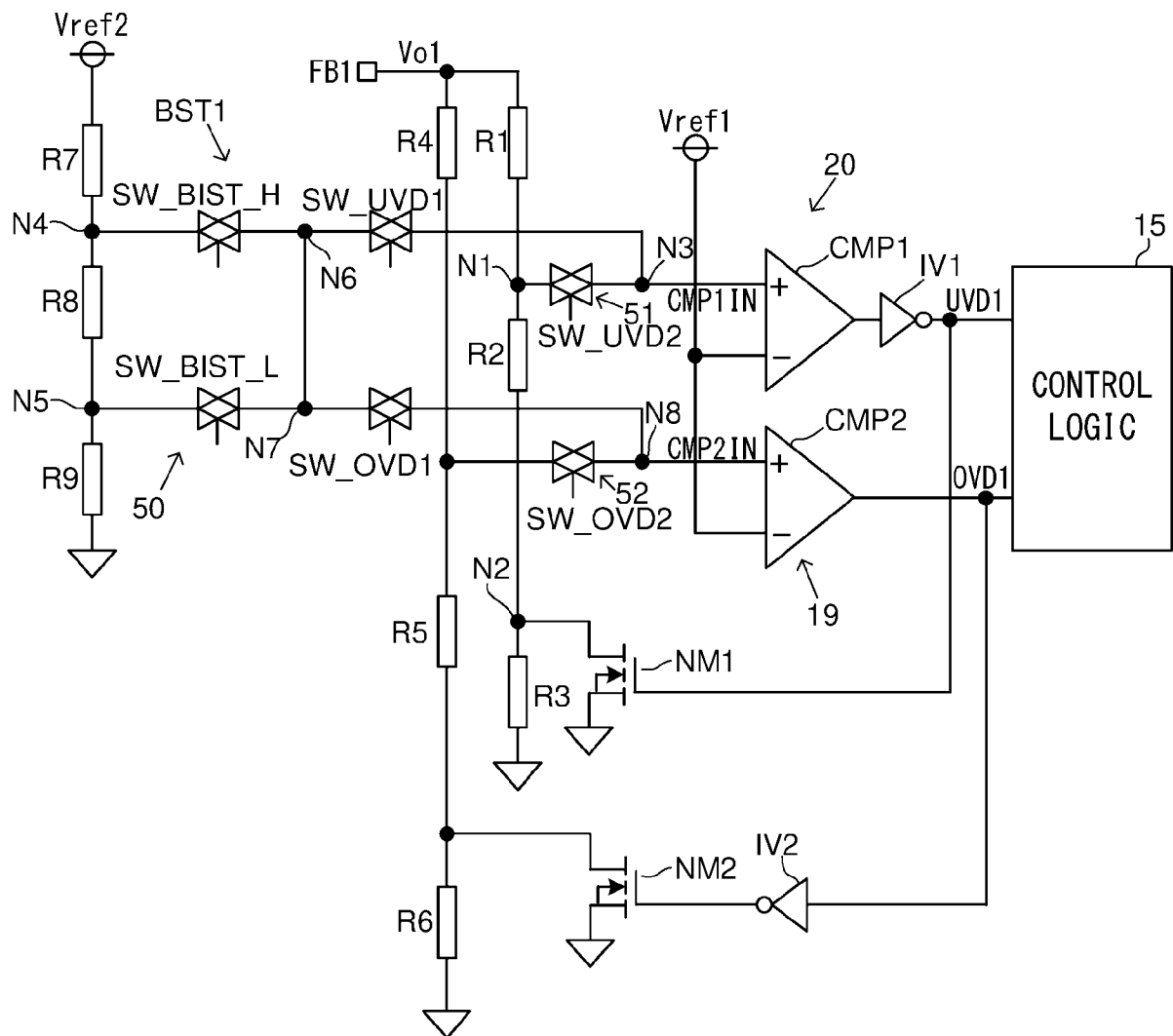
[図1]



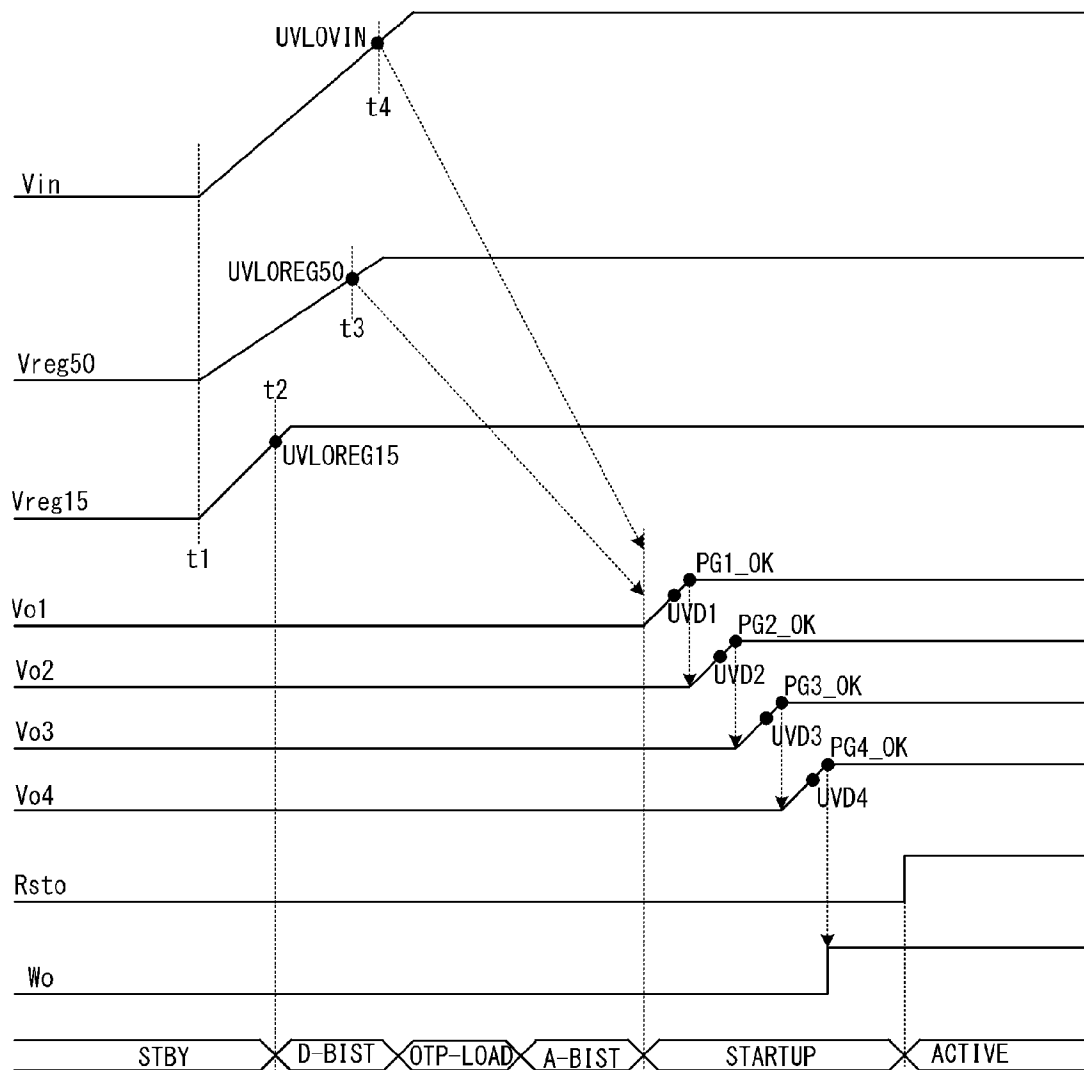
[図2]



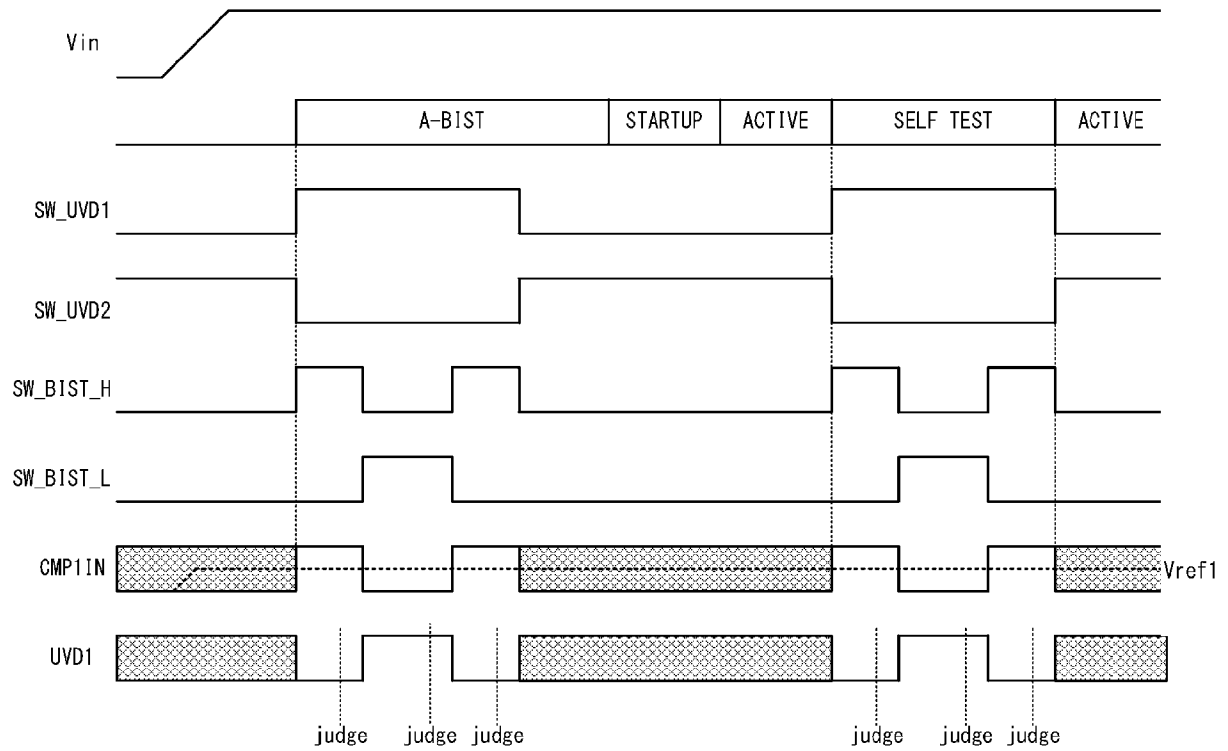
[図3]



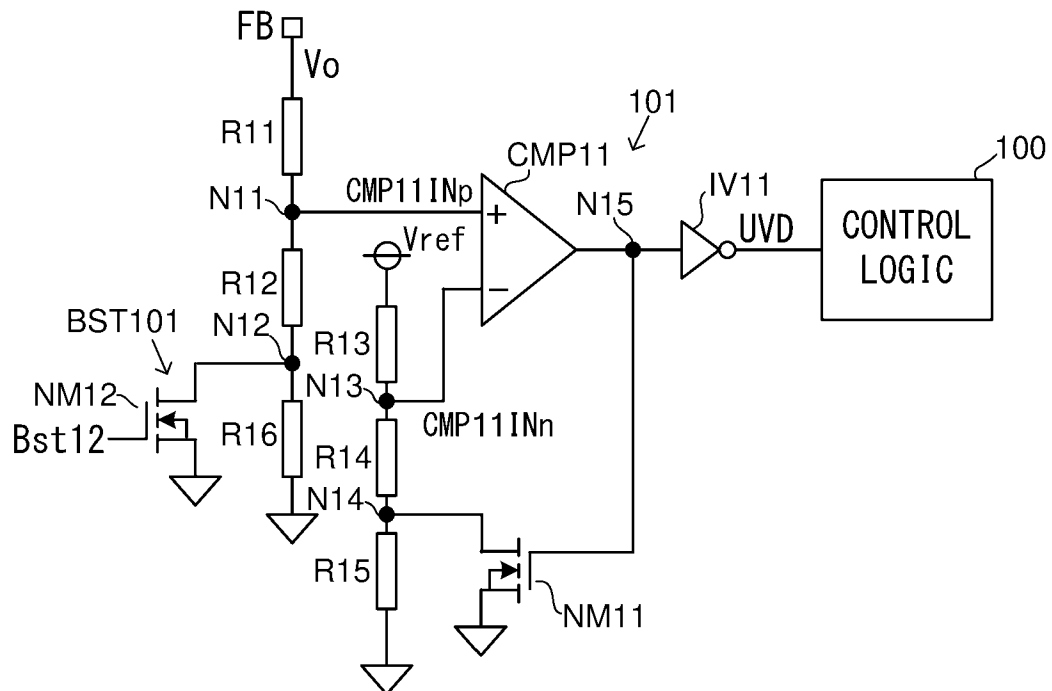
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000689

A. CLASSIFICATION OF SUBJECT MATTER**H02H 7/20**(2006.01)i; **G01R 31/28**(2006.01)i

FI: G01R31/28 A; H02H7/20 F; H02H7/20 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02H7/20; G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2017-195654 A (ROHM CO., LTD.) 26 October 2017 (2017-10-26) paragraphs [0002], [0013]-[0020], [0032]-[0042], fig. 1-4	1-4, 6-7, 9-10 5, 8
Y	JP 2016-220172 A (HITACHI AUTOMOTIVE SYSTEMS LTD.) 22 December 2016 (2016-12-22) paragraphs [0014]-[0016], fig. 6	1-4, 6-7, 9-10
Y	JP 2009-152129 A (MITSUMI ELECTRIC CO.) 09 July 2009 (2009-07-09) paragraphs [0066]-[0068], fig. 6, 7	2-4
A	JP 2020-187055 A (ROHM CO., LTD.) 19 November 2020 (2020-11-19) entire text, all drawings	1-10
A	JP 2020-186969 A (ROHM CO., LTD.) 19 November 2020 (2020-11-19) entire text, all drawings	1-10
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 35490/1991 (Laid-open No. 130086/1992) (YOKOGAWA ELECTRIC CORP.) 30 November 1992 (1992-11-30), entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 February 2022

Date of mailing of the international search report

08 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000689**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0070950 A1 (ELTEK AS) 12 March 2015 (2015-03-12) entire text, all drawings	1-10
A	US 2015/0323590 A1 (XU, Xiuqiang) 12 November 2015 (2015-11-12) entire text, all drawings	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/000689

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-195654	A	26 October 2017	(Family: none)	
JP	2016-220172	A	22 December 2016	(Family: none)	
JP	2009-152129	A	09 July 2009	US 2009/0160405 A1 paragraphs [0096]-[0102], fig. 6, 7 CN 101465539 A	
JP	2020-187055	A	19 November 2020	(Family: none)	
JP	2020-186969	A	19 November 2020	(Family: none)	
JP	4-130086	U1	30 November 1992	(Family: none)	
US	2015/0070950	A1	12 March 2015	WO 2013/152983 A1 entire text, all drawings GB 2501105 A CN 104254969 A	
US	2015/0323590	A1	12 November 2015	CN 105092930 A entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02H 7/20(2006.01)i; G01R 31/28(2006.01)i FI: G01R31/28 A; H02H7/20 F; H02H7/20 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H02H7/20; G01R31/28														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2017-195654 A（ローム株式会社）26.10.2017（2017-10-26） 段落0002, 0013-0020, 032-0042, 図1-4	1-4, 6-7, 9-10 5, 8												
Y	JP 2016-220172 A（日立オートモティブシステムズ株式会社）22.12.2016（2016-12-22） 段落0014-0016, 図6	1-4, 6-7, 9-10												
Y	JP 2009-152129 A（ミツミ電機株式会社）09.07.2009（2009-07-09） 段落0066-0068, 図6-7	2-4												
A	JP 2020-187055 A（ローム株式会社）19.11.2020（2020-11-19） 全文, 全図	1-10												
A	JP 2020-186969 A（ローム株式会社）19.11.2020（2020-11-19） 全文, 全図	1-10												
A	日本国実用新案登録出願3-35490号（日本国実用新案登録出願公開4-130086号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（横河電機株式会社）30.11.1992（1992-11-30）全文, 全図	1-10												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 17.02.2022	国際調査報告の発送日 08.03.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 島▲崎▼ 純一 2S 9107 電話番号 03-3581-1101 内線 3216													

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2015/0070950 A1 (ELTEK AS) 12.03.2015 (2015 - 03 - 12) 全文, 全図	1-10
A	US 2015/0323590 A1 (XU, Xiuqiang) 12.11.2015 (2015 - 11 - 12) 全文, 全図	1-10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/000689

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-195654	A	26.10.2017	(ファミリーなし)	
JP	2016-220172	A	22.12.2016	(ファミリーなし)	
JP	2009-152129	A	09.07.2009	US 2009/0160405 A1	
				段落 0 0 9 6 - 0 1 0 2 ,	
				F i g s . 6 - 7	
				CN 101465539 A	
JP	2020-187055	A	19.11.2020	(ファミリーなし)	
JP	2020-186969	A	19.11.2020	(ファミリーなし)	
JP	4-130086	U1	30.11.1992	(ファミリーなし)	
US	2015/0070950	A1	12.03.2015	WO 2013/152983 A1	
				全文, 全図	
				GB 2501105 A	
				CN 104254969 A	
US	2015/0323590	A1	12.11.2015	CN 105092930 A	
				全文, 全図	