

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4043743号
(P4043743)

(45) 発行日 平成20年2月6日 (2008.2.6)

(24) 登録日 平成19年11月22日 (2007.11.22)

(51) Int. Cl.	F I
GO 1 R 31/316 (2006.01)	GO 1 R 31/28 C
GO 1 R 31/26 (2006.01)	GO 1 R 31/26 B
	GO 1 R 31/26 G

請求項の数 2 (全 7 頁)

(21) 出願番号	特願2001-280894 (P2001-280894)	(73) 特許権者	000005049
(22) 出願日	平成13年9月17日 (2001.9.17)		シャープ株式会社
(65) 公開番号	特開2003-84048 (P2003-84048A)		大阪府大阪市阿倍野区長池町2番22号
(43) 公開日	平成15年3月19日 (2003.3.19)	(74) 代理人	110000338
審査請求日	平成16年6月18日 (2004.6.18)		特許業務法人原謙三国際特許事務所
		(74) 代理人	100102277
			弁理士 佐々木 晴康
		(74) 代理人	100103296
			弁理士 小池 隆彌
		(74) 代理人	100073667
			弁理士 木下 雅晴
		(72) 発明者	豊田 寛征
			大阪府大阪市阿倍野区長池町2番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体試験装置

(57) 【特許請求の範囲】

【請求項 1】

半導体集積回路を試験する半導体試験装置において、

半導体集積回路の電源端子と半導体試験装置のデバイス用電源との間に流れる電流値を出力可能な電流値出力手段と、

タイミング回路より出力されるタイミング信号によって、前記電流値出力手段から出力される過去の一時点での電流値を保持し、次のタイミング信号が入力されるまで保持した電流値を継続して出力する電流値保持手段と、

前記電流値出力手段より出力される電流値から、電流値保持手段より出力される電流値を減じた値を出力する電流値差出力手段と、

該電流値差出力手段から出力される電流値と判定基準電流値とを比較することによって論理値に変換した判定結果を出力する電流値比較判定手段とを有することを特徴とする半導体試験装置。

【請求項 2】

前記電流値出力手段、前記電流値保持手段、および前記電流値差出力手段の一部または全てにおいて、出力される値が電流値に対応した電圧値であることを特徴とする、請求項 1 に記載の半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

本発明は、半導体集積回路を試験する半導体試験装置に関するものである。

【0002】

【従来の技術】

従来より、CMOS構成半導体集積回路を出荷するにあたり、出荷試験を実施している。この出荷試験の内容は多様であり、その中の一つとして、 I_{ddq} ($I_{dd\ quiescent}$) 試験が実施されている。この試験は、半導体集積回路の静止状態における電源電流（以降、「静止時電源電流」と呼ぶ。）を測定し、基準値により良否を判定するものである。

【0003】

一般に、正常に製造された半導体集積回路において、静止時電源電流は、半導体集積回路上に作られたCMOSトランジスタのOFFリーク電流の総和であり、この値は数 μA 程度である。しかしながら、製造工程の不具合により半導体集積回路に欠陥が発生すると、半導体集積回路の内部に異常な電流経路が形成される。この場合、静止時電源電流は正常に製造された場合と比較し10倍か、またはそれ以上の大きな値となることが多い。この電流値差で半導体集積回路の良否を判定する試験が I_{ddq} 試験である。

【0004】

I_{ddq} 試験の良否判定方法としては、半導体集積回路の内部を一定の論理状態に設定し、その時の静止時電源電流を一定の基準値と比較し判定する。必要に応じて、この操作を繰り返すことで、複数の論理状態で良否判定することが多い。

【0005】

しかしながら、近年の半導体集積回路は、CMOSプロセスの微細化に伴うトランジスタの低スレッショルド電圧化により、CMOSトランジスタのOFFリーク電流が増大する傾向にある。また、同時に高集積化も進み、CMOSトランジスタのOFFリーク電流の総和である静止時電源電流は指数関数的に増加している。その結果、 I_{ddq} 試験においては、半導体集積回路のOFFリークによる電流が、半導体集積回路の欠陥による異常電流と同等か又はそれ以上となっている。更に、製造バラツキによる半導体集積回路のOFFリーク電流値の変動幅は、半導体集積回路の欠陥による異常電流の大きさを上回ることが多く、静止時電源電流を一定の基準値と比較するのみでは良否判定が困難となっている。

【0006】

そこで、半導体集積回路のOFFリークが大きい場合でも I_{ddq} 試験を精度良く実施するため、さまざまな方法が考案されている。

【0007】

例えば、特開2001-21609号公報では、半導体集積回路の内部状態を、順次、変えながら、静止時電源電流を連続して測定し、それら測定値間の電流値差が一定の基準値以下か否かで良否判定する方法が考案されている。

【0008】

この方法によると、静止時電源電流値の差をとることで、半導体集積回路のOFFリーク電流が打ち消しあい、半導体集積回路の欠陥による異常電流を精度良く検出可能となる。

【0009】

【発明が解決しようとする課題】

しかしながら、特開2001-21609号公報の方法によると、各々の内部状態での半導体集積回路の静止時電源電流をすべて測定し、演算・判定する必要がある。通常の半導体集積回路を試験する半導体試験装置で一連の処理を実現する場合を考える。まず、内部状態を設定するために、半導体集積回路には半導体試験装置よりテストパターンが実行され与えられる。その後、静止時電源電流を測定するためにテストパターンを停止して測定処理に移る。そして、電流値が安定する時間をおいてから電流計により測定する。この時、半導体試験装置では演算を行なえるよう電流値をアナログ値からデジタル値へ変換し、その値を記憶する。この一連の動作を繰り返すことで複数の内部状態での測定値を取得している。しかしながら、テストパターンの実行や停止、電流値の測定処理や測定値のデ

10

20

30

40

50

ィジタル値変換の際には、半導体試験装置においてソフトウェア処理する時間が無視できず、実際の装置で上記 I d d q 試験をおこなうと、1 ポイントの測定に 1 ミリ秒程度必要とし、1 0 0 0 ポイント程度の測定においては約 1 秒もの時間がかかる。半導体試験装置は高価であり、そのため、経済的に試験することができていないといった課題がある。

【0 0 1 0】

半導体試験装置において、1 ポイントの測定毎にテストパターンの実行や停止を行わず、更に電流値を直接測定せずに試験可能であると、大幅な試験時間短縮が実現できる。そのため、以上の課題を解決する手段が望まれている。

【0 0 1 1】

【課題を解決するための手段】

本発明は、このような課題を解決するためになされたものである。

【0 0 1 2】

本発明（第 1 発明）では、半導体集積回路の電源端子と半導体試験装置のデバイス用電源との間に流れる電流値を出力可能な電流値出力手段と、タイミング回路より出力されるタイミング信号によって、前記電流値出力手段から出力される過去の一時点での電流値を保持し、次のタイミング信号が入力されるまで保持した電流値を継続して出力する電流値保持手段と、電流値出力手段より出力される電流値から、電流値保持手段より出力される電流値を減じた値を出力する電流値差出力手段と、電流値差出力手段から出力される電流値と判定基準電流値とを比較することによって論理値に変換した判定結果を出力する電流値比較判定手段とを有することを特徴とする半導体試験装置を提供する。

【0 0 1 3】

また、本発明（第 2 発明）では、上記第 1 発明の半導体試験装置において、前記電流値出力手段、前記電流値保持手段、および前記電流値差出力手段の一部または全てにおいて、出力される値が電流値に対応した電圧値であることを特徴とする半導体試験装置を提供する。

【0 0 1 4】

【発明の実施の形態】

以下、本発明の一実施形態を図面を用いて詳細に説明する。

【0 0 1 5】

図 1 は、本発明の半導体試験装置の一実施形態のブロック構成図である。この例では、本発明による半導体試験装置のシステム構成を示している。ここで、デバイス電源 1 1、タイミング回路 1 2、基準値出力回路 1 3、及び判定結果入力回路 1 4 については、一般的な半導体試験装置が当然に有しているものである。詳細な説明は省略する。

【0 0 1 6】

まず、半導体集積回路 2 に与えられる電源電流値を出力する電流値出力手段 2 1 を、半導体試験装置 1 のデバイス電源 1 1 と半導体集積回路 2 の電源端子との間に接続する。次に、電流値出力手段 2 1 より出力される電流値を、電流値保持手段 2 2 に入力する。電流値保持手段 2 2 では、タイミング回路 1 2 より出力されるタイミング信号によって、任意の時点での電流値を保持し、次のタイミング信号が入力されるまで保持した電流値を継続して出力する。さらに、電流値差出力手段 2 3 は、電流値出力手段 2 1、電流値保持手段 2 2、電流値比較判定手段 2 4 のそれぞれに接続される。電流値差出力手段 2 3 では、電流値出力手段 2 1 より現在の電流値が、また、電流値保持手段 2 2 よりタイミング回路 1 2 により決められた過去の一時点での電流値が入力され、双方の電流値差が電流値比較判定手段 2 4 に出力される。最後に、電流値比較判定手段 2 4 では、基準値出力回路 1 3 より出力される判定基準値と、電流値差出力手段 2 3 より出力される電流値とが比較され、判定結果を 0、1 の論理値で判定結果入力回路 1 4 へ出力する。

【0 0 1 7】

以上より、本発明による半導体試験装置のシステム構成によると、任意の二時点での電源電流値の差をもって良否判定することにより、半導体集積回路 2 の O F F リークが大きい場合でも、その影響をなくして半導体集積回路 2 の欠陥による異常電流を検知可能な I d

10

20

30

40

50

d q 試験が提供されるといった試験目的を満たした上で、更に、直接、電源電流値を測定し統計処理する工程を含まず、判定結果が論理値で得られるため、I d d q 試験を通常の機能試験と同様に実施できる。これにより、1 ポイントの測定には長くとも10 マイクロ秒程度しか必要とせず、1000 ポイントの測定時間は10 ミリ秒と、従来の100 分の1 となり、I d d q 試験に要する試験時間を大幅に短縮できるため、高価な半導体試験装置を使用する時間が削減され、経済的に試験することができるものとなる。また、本発明による半導体試験装置のシステム構成で用いた回路は、いずれも一般に市販される簡易な部品で構成できるため、本発明を実施することで半導体試験装置の価格が高騰することはない。なお、本発明は半導体試験装置に内蔵するだけでなく、一般的な半導体試験装置を補完する外付け回路として付加することもできるものである。

10

【0018】

図2は、図1で示す一実施形態における各部分の信号を示すタイミングチャートである。各サイクルでは、サイクル開始直後に半導体集積回路2を動作させ所望の内部状態とし、その後、サイクル終了まで動作を停止させることで電流値の安定化を図る。サイクル1では、電流値31が安定した後、タイミング信号32の立ち上がりにより電流値31が保持され、保持電流値33となっていることがわかる。サイクル2では、電流値31と保持電流値33の差が電流値差34となっている。そして、電流値差34が基準値35を超える場合、判定結果36は論理「1」に、また、超えない場合は論理「0」が電流値比較判定手段24より出力される。判定結果入力回路14に判定結果36が入力されると、あらかじめ決められた判定タイミング37において判定結果36の論理を判定し、論理「0」ならば、「OK」と判定される。その後、タイミング信号32により保持電流値33が更新され、次のサイクルへと移る。以降のサイクルでは、この一連の処理を繰り返す。サイクル3では、半導体集積回路2の故障により、電流値31に異常な電流が生じている。その結果、判定タイミング37において判定結果36は論理「1」を出力し、「NG」と判定される。サイクル4は、保持電流値33がサイクル3での異常電流値となっているため、判定タイミング37ではゼロ点を下回ることとなっているが、判定結果36は論理「0」で「OK」と判定される。なお、当然ながら、サイクル3のように「NG」と判定されるサイクルが現れた場合、不良品として直ちに試験を終了してもよい。また、この例では電流値差34と基準値35は大小判定を行なったが、絶対値による大小判定を行い、サイクル4を「NG」と判定してもよい。更に、この例では、各サイクルにおいてタイミング信号32を変化させ保持電流値33を更新したが、例えば、サイクル1でのみタイミング信号32を変化させ、以降のサイクルでは、サイクル1で保持された保持電流値33を用いる構成としてもよい。

20

30

【0019】

図3は、電流値出力手段21から出力される電流値を、対応した電圧値として出力するよう、半導体試験装置1を構成した一具体例の構成図である。

【0020】

ここで、電流検出抵抗41および差動増幅器42は電流値出力手段21に、また、電圧値サンプル／ホールド(S/H)回路43は電流値保持手段22に、更に、差動増幅器44は電流値差出力手段23に、また、コンパレータ45は電流値比較判定手段24に、それぞれ相当するものである。

40

【0021】

以下、具体的な値を用いて、動作を説明する。まず、電流検出抵抗41の抵抗値が100 [Ω]、半導体集積回路2に流れる電源電流値が100 [μA]である場合、電流検出抵抗41の両端の電圧値差は10 [mV]となる。差動増幅器42では電流検出抵抗41の両端の電圧値差を100倍に増幅するようにして、出力される電圧値は1 [V]となる。この値は、タイミング回路12と電圧値サンプル／ホールド(S/H)回路43により保持される。次のサイクルにおいて、半導体集積回路2に流れる電源電流値が200 [μA]となった場合、差動増幅器42が出力する電圧値は2 [V]となる。差動増幅器44では、現在の電圧値である2 [V]と、過去の一時点での電圧値である1 [V]との差が出

50

力され、出力電圧値は1 [V] となる。ここで、基準値出力回路13から0.5 [V] の基準電圧値が出力されている場合、差動増幅器44の出力電圧値の方が大きいため、コンパレータ45は「NG」と判定する。仮に、基準値出力回路13よりの基準値が1.5 [V] であった場合は、「OK」と判定する。ちなみに、この例の場合、基準値出力回路13の基準電圧値1 [V] は、電源電流値100 [μA] に相当している。なお、上記の数値は一例であり、電流検出抵抗41の抵抗値や差動増幅器42の増幅率など、同様の機能を果たし得るものであればよい。また、判定結果入力回路14に至る各システム構成要素においても、同様の機能を果たし得るものであれば、その形態は変化してもよい。

【0022】

【発明の効果】

以上、詳細に説明したように、本発明の半導体試験装置によると、OFFリークの多い半導体集積回路の出荷試験において、半導体試験装置に簡易な回路を付加するのみで、Iddq試験に要する時間を従来より大幅に短縮できるため、高価な半導体試験装置の使用時間を低減でき、試験を経済的に実施し、コストを低減することができるものである。詳しくは、半導体試験装置において、テストパターンの実行や停止、電流値の測定処理や測定値のデジタル値変換の際には、その処理のためのソフトウェア動作時間が無視できないため、1ポイントの測定に1ミリ秒程度必要とし、1000ポイント程度の測定においては約1秒もの時間がかかるのに対して、本発明によると、半導体試験装置においてテストパターンの実行および停止を1度行なうだけで、複数の内部状態での静止時電源電流の電流値差を論理判定できるため、1ポイントの測定は10マイクロ秒で済み、1000ポイント程度の測定では約10ミリ秒と従来の100分の1となり、経済的なIddq試験を実施できるものとなるものである。

【図面の簡単な説明】

【図1】本発明による一実施形態の半導体試験装置の構成を示すブロック図である。

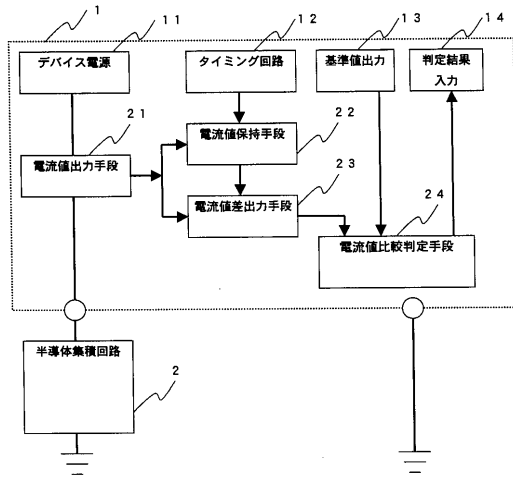
【図2】同実施形態における時間と各部位の値の変化を示すタイミング図である。

【図3】同実施形態の具体的一構成例を示す構成図である。

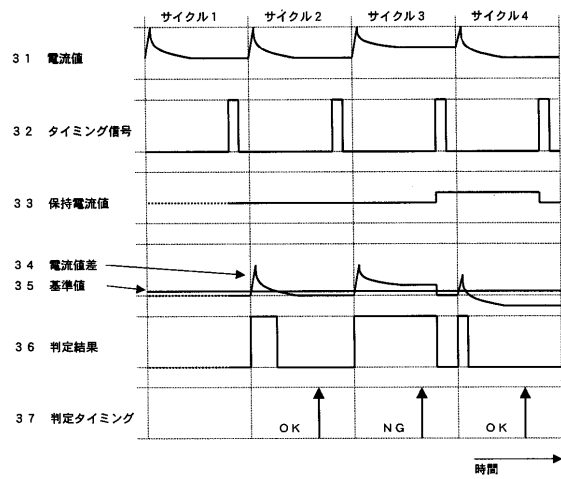
【符号の説明】

- 1 半導体試験装置
- 2 半導体集積回路
- 11 デバイス電源
- 12 タイミング回路
- 13 基準値出力回路
- 14 判定結果入力回路
- 21 電流値出力手段
- 22 電流値保持手段
- 23 電流値差出力手段
- 24 電流値比較判定手段
- 31 電流値
- 32 タイミング信号
- 33 保持電流値
- 34 電流値差
- 35 基準値
- 36 判定結果
- 37 判定タイミング
- 41 電流検出抵抗
- 42 差動増幅器
- 43 電圧値サンプル／ホールド（S／H）回路
- 44 差動増幅器
- 45 コンパレータ

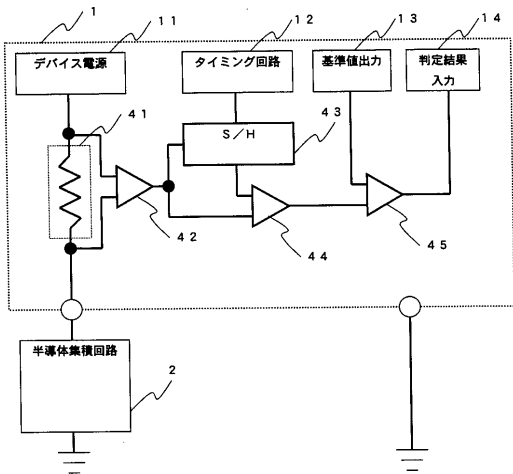
【図 1】



【図 2】



【図 3】



フロントページの続き

審査官 堀 圭史

- (56)参考文献 特開2001-021609 (JP, A)
特開平02-300667 (JP, A)
特開2000-258490 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/26-3193